



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0097232
(43) 공개일자 2020년08월18일

- | | |
|--|---------------------------|
| (51) 국제특허분류(Int. Cl.) | (71) 출원인 |
| <i>H01G 4/012</i> (2006.01) <i>H01G 4/12</i> (2006.01) | 삼성전기주식회사 |
| <i>H01G 4/232</i> (2006.01) <i>H01G 4/30</i> (2006.01) | 경기도 수원시 영통구 매영로 150 (매탄동) |
| (52) CPC특허분류 | (72) 발명자 |
| <i>H01G 4/012</i> (2013.01) | 정기석 |
| <i>H01G 4/1209</i> (2013.01) | 경기도 수원시 영통구 매영로 150 (매탄동) |
| (21) 출원번호 10-2020-0099088(분할) | 이순철 |
| (22) 출원일자 2020년08월07일 | 경기도 수원시 영통구 매영로 150 (매탄동) |
| 심사청구일자 없음 | 전호인 |
| (62) 원출원 특허 10-2018-0120323 | 경기도 수원시 영통구 매영로 150 (매탄동) |
| 원출원일자 2018년10월10일 | (74) 대리인 |
| 심사청구일자 2018년10월10일 | 특허법인씨엔에스 |

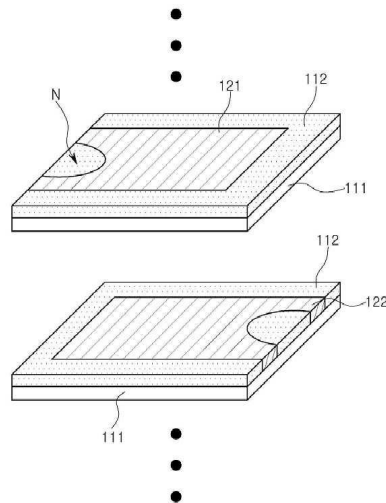
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 적층 세라믹 전자부품

(57) 요약

본 발명은 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 제1 및 제2 내부전극을 포함하며, 제1 방향으로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면과 연결되고, 제2 방향으로 대향하는 제3 면 및 제4 면, 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치되되, 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 포함하며, 상기 제1 내부전극은 상기 세라믹 바디의 일면으로 노출되고, 상기 제2 내부전극은 상기 세라믹 바디의 일면에 대향하는 타면으로 노출되며, 상기 제1 내부전극과 제2 내부전극은 상기 세라믹 바디의 일면 및 타면으로 노출된 부분에서 내부로 노치부가 배치되며, 상기 노치부와 상기 세라믹 바디의 제2 방향 및 제3 방향 마진부에는 단차 흡수층이 배치된 적층 세라믹 전자부품을 제공한다.

대표도 - 도6



(52) CPC특허분류

H01G 4/232 (2013.01)

H01G 4/30 (2013.01)

명세서

청구범위

청구항 1

유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 제1 및 제2 내부전극을 포함하는 세라믹 바디;

상기 세라믹 바디의 외측에 배치되며, 각각 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극; 및

상기 제1 및 제2 내부전극의 주변에 형성된 단차 흡수층;을 포함하며,

상기 제1 및 제2 내부전극은 각각 상기 제1 및 제2 외부전극을 향하는 영역에 형성된 노치부를 포함하며,

상기 제1 내부 전극의 노치부에서 상기 제1 외부전극을 향하는 측면은 곡면을 갖는 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 단차 흡수층은 상기 노치부에도 형성된 적층 세라믹 전자부품.

청구항 3

제2항에 있어서,

상기 단차 흡수층에서 상기 제1 및 제2 내부전극의 주변에 형성된 영역과 상기 노치부에 형성된 영역은 동일한 두께와 재질을 갖는 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 제2 내부 전극의 노치부에서 상기 제2 외부전극을 향하는 측면은 곡면을 갖는 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,

상기 노치부의 폭은 상기 제1 내부전극 및 제2 내부전극의 폭 대비 20% 내지 80%인 적층 세라믹 전자부품.

청구항 6

제1항에 있어서,

상기 내부전극의 두께(te)는 1 μm 미만인 적층 세라믹 전자부품.

청구항 7

제1항에 있어서,

상기 유전체층의 두께(td)는 2.8 μm 미만인 적층 세라믹 전자부품.

청구항 8

제1항에 있어서,

상기 유전체층의 두께(td)와 상기 내부전극의 두께(te)는 $td > 2 \times te$ 를 만족하는 적층 세라믹 전자부품.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것으로, 보다 구체적으로는 신뢰성이 우수한 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0003] 최근, 전자 제품의 소형화, 슬림화 및 다기능화에 따라 적층 세라믹 커패시터도 소형화가 요구되고 있으며, 적층 세라믹 커패시터의 실장도 고 집적화되고 있다.

[0004] 전자부품 중 하나인 적층 세라믹 커패시터는 액정 표시 장치 (LCD, Liquid Crystal Display) 및 플라즈마 표시 장치 패널 (PDP, Plasma Display Panel) 등의 영상 기기, 컴퓨터, 개인 휴대용 단말기 (PDA, Personal Digital Assistants) 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 한다.

[0005] 이러한 적층 세라믹 커패시터는 소형이면서 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자 장치의 부품으로 사용될 수 있다.

[0007] 한편, 최근 전장 부품에 대한 업계의 관심이 높아지면서 적층 세라믹 커패시터 역시 자동차 혹은 인포테인먼트 시스템에 사용되기 위하여 고용량 및 고신뢰성 특성이 요구되고 있다.

[0008] 상기와 같이, 고용량 및 고신뢰성 특성에 부합하는 적층 세라믹 커패시터를 구현하기 위해서는, 그에 비례하여 유전체층 및 내부전극층의 적층수를 증가하는 구조가 필요하다.

[0009] 그러나, 유전체층 및 내부전극층의 적층수 증가에 비해 액티브부에서의 층간 접착력 부족으로 유전체층과 내부전극 층간 계면 결함의 문제가 발생하고 있다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 일본공개특허공보 2011-018874

발명의 내용

해결하려는 과제

[0012] 본 발명은 적층 세라믹 전자부품에 관한 것으로, 보다 구체적으로는 신뢰성이 우수한 적층 세라믹 전자부품에 관한 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시형태는 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 제1 및 제2 내부전극을 포함하며, 제1 방향으로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면과 연결되고, 제2 방향으로 대향하는 제3 면 및 제4 면, 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치되되, 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 포함하며, 상기 제1 내부전극은 상기 세라믹 바디의 일면으로 노출되고, 상기 제2 내부전극은 상기 세라믹 바디의 일면에 대향하는 타면으로 노출되며, 상기 제1 내부전극과 제2 내부전극은 상기 세라믹 바디의 일면 및 타면으로 노출된 부분에서 내부로 노치부가 배치되며, 상기 노치부와 상기 세라믹 바디의 제2 방향 및 제3 방향 마진부에는 단차 흡수층이 배치된 적층 세라믹 전자부품을 제공한다.

발명의 효과

[0016] 본 발명의 일 실시형태에 따르면, 내부전극의 노출 면적을 최소화함과 동시에 동종의 유전체 접합 비율을 높여, 디라미네이션 및 크랙 불량을 개선하고 계면 접합력을 높일 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.
 도 2는 본 발명의 일 실시 형태에 따른 세라믹 바디를 나타낸 모식도이다.
 도 3은 도 1의 I-I' 단면도이다.
 도 4a는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, 유전층 상에 배치된 제2 내부전극의 패턴 형상을 나타내는 사시도이다.
 도 4b는 도 4a에서 제2 내부전극 미형성 영역에 단차 흡수층이 배치된 형상을 나타내는 사시도이다.
 도 5는 도 4b의 II-II' 방향으로 세라믹 바디를 절단한 단면도이다.
 도 6은 도 1에 도시된 적층 세라믹 전자부품의 일부를 나타내는 개략적인 분해 사시도이다.
 도 7은 도 3의 B 영역 확대도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0020] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0022] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

[0026] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.

- [0027] 도 2는 본 발명의 일 실시 형태에 따른 세라믹 바디를 나타낸 모식도이다.
- [0028] 도 3은 도 1의 I-I' 단면도이다.
- [0030] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 유전체층(111) 및 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 복수의 제1 및 제2 내부전극(121, 122)을 포함하며, 제1 방향으로 대향하는 제1 면(S1) 및 제2 면(S2), 상기 제1 면(S1) 및 제2 면(S2)과 연결되고, 제2 방향으로 대향하는 제3 면(S3) 및 제4 면(S4), 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면(S5) 및 제6 면(S6)을 포함하는 세라믹 바디(110) 및 상기 세라믹 바디(110)의 외측에 배치되되, 상기 복수의 제1 및 제2 내부전극(121, 122)과 전기적으로 각각 연결되는 제1 및 제2 외부전극(131, 132)을 포함하며, 상기 세라믹 바디(110)는 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 복수의 제1 및 제2 내부전극(121, 122)을 포함하여 용량이 형성되는 액티브부(A)와 상기 액티브부(A)의 상부 및 하부에 형성된 커버부(C1, C2)를 포함한다.
- [0032] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0034] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0036] 본 발명의 일 실시형태에서, 세라믹 바디(110)는 형상에 있어 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.
- [0038] 상기 세라믹 바디(110)는 제1 방향으로 대향하는 제1 면(S1) 및 제2 면(S2), 상기 제1 면(S1) 및 제2 면(S2)과 연결되고, 제2 방향으로 대향하는 제3 면(S3) 및 제4 면(S4), 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면(S5) 및 제6 면(S6)을 포함할 수 있다.
- [0039] 상기 제1 면(S1) 및 제2 면(S2)은 제1 방향인 세라믹 바디(110)의 두께 방향으로 마주보는 면으로, 상기 제3 면(S3) 및 제4 면(S4)은 제2 방향인 길이 방향으로 마주보는 면으로 정의될 수 있으며, 상기 제5 면(S5) 및 제6 면(S6)은 제3 방향인 폭 방향으로 마주보는 면으로 정의될 수 있다.
- [0041] 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬계 재료 등을 사용할 수 있다.
- [0043] 상기 유전체층(111)을 형성하는 재료는 티탄산바륨(BaTiO_3) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0045] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부(A)와, 상하 마진부로서 액티브부(A)의 상하부에 각각 형성된 상부 커버부(C1) 및 하부 커버부(C2)로 구성될 수 있다.
- [0047] 상기 액티브부(A)는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.

- [0049] 상기 상부 커버부(C1) 및 하부 커버부(C2)는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0050] 즉, 상기 상부 커버부(C1) 및 하부 커버부(C2)는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨(BaTiO_3)계 세라믹 재료를 포함할 수 있다.
- [0052] 상기 상부 커버부(C1) 및 하부 커버부(C2)는 단일 유전체층 또는 2 개 이상의 유전체층을 액티브부(A)의 상하면에 각각 상하 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다.
- [0054] 상기 제1 내부전극(121)은 상기 세라믹 바디(110)의 일면으로 노출되고, 상기 제2 내부전극(122)은 상기 세라믹 바디(110)의 일면에 대향하는 타면으로 노출된다.
- [0055] 구체적으로, 상기 액티브부(A)의 복수의 제1 및 제2 내부전극(121, 122)은 제3 면(S3) 또는 제4 면(S4)으로 일단이 노출된다.
- [0056] 상기 내부전극(121, 122)은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있다.
- [0057] 제1 내부전극(121)의 일단은 제3 면(S3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 면(S4)으로 노출될 수 있다.
- [0058] 상기 제1 내부전극(121)의 타단은 제4 면(S4)으로부터 일정 간격을 두고 형성되고, 제2 내부전극(122)의 타단은 제3 면(S3)으로부터 일정 간격을 두고 형성된다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0059] 상기 세라믹 바디(110)의 제3 면(S3) 및 제4 면(S4)에는 제1 및 제2 외부전극(131, 132)이 형성되어 상기 내부전극과 전기적으로 연결될 수 있다.
- [0061] 도 4a는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, 유전층 상에 배치된 제1 내부전극의 패턴 형상을 나타내는 사시도이다.
- [0063] 도 4a 를 참조하면, 상기 제1 내부전극(121)과 제2 내부전극(122)은 상기 세라믹 바디(110)의 일면 및 타면으로 노출된 부분에서 내부로 노치부(N)가 배치된다.
- [0064] 상기 제1 내부전극(121)의 일단은 제3 면(S3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 면(S4)으로 노출되기 때문에, 상기 노치부(N)는 상기 세라믹 바디(110)의 제3 면(S3) 및 제4 면(S4)으로 노출된 제1 및 제2 내부전극(121, 122) 부분에서 내부로 배치된다.
- [0066] 최근 전장 부품에 대한 업계의 관심이 높아지면서 적층 세라믹 커패시터 역시 자동차 혹은 인포테인먼트 시스템에 사용되기 위하여 고용량 및 고신뢰성 특성이 요구되고 있다.
- [0067] 상기와 같이, 고용량 및 고신뢰성 특성에 부합하는 적층 세라믹 커패시터를 구현하기 위해서는, 그에 비례하여 유전체층 및 내부전극층의 적층수를 증가하는 구조가 필요하다.
- [0068] 그러나, 유전체층 및 내부전극층의 적층수 증가에 비해 액티브부에서의 층간 접착력 부족으로 유전체층과 내부전극 층간 계면 결함의 문제가 발생하고 있다.
- [0070] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)의 제3 면(S3) 및 제4 면(S4)으로 노출된 제1 및 제2 내부전극(121, 122) 부분에서 내부로 노치부(N)를 배치함으로써, 내부전극의 노출 면적을 최소화할 수 있어 계

면 결함 발생을 막을 수 있다.

- [0071] 구체적으로, 내부전극의 노출 면적을 최소화함과 동시에 후술하는 바와 같이 동종의 유전체 접합 비율을 높여, 딜라미네이션 및 크랙 불량을 막고 계면 접합력을 높일 수 있다.
- [0073] 본 발명의 일 실시형태에 따르면, 상기 노치부(N)의 폭(W2)은 상기 제1 내부전극(121) 및 제2 내부전극(122)의 폭(W1) 대비 20% 내지 80% 일 수 있다.
- [0075] 상기 노치부(N)의 폭(W2)이 상기 제1 내부전극(121) 및 제2 내부전극(122)의 폭(W1) 대비 20% 내지 80% 을 만족하도록 조절함으로써, 내부전극의 노출 면적을 최소화하여 유전체층 및 내부전극의 적층수가 증가하더라도 딜라미네이션 및 크랙 불량을 막을 수 있다.
- [0076] 상기 노치부(N)의 폭(W2)이 상기 제1 내부전극(121) 및 제2 내부전극(122)의 폭(W1) 대비 20% 미만일 경우에는 상기 노치부(N)의 폭(W2)이 작아 노출되는 내부전극의 면적이 증가하므로, 딜라미네이션 및 크랙 불량에 문제가 될 수 있다.
- [0077] 반면, 상기 노치부(N)의 폭(W2)이 상기 제1 내부전극(121) 및 제2 내부전극(122)의 폭(W1) 대비 80% 를 초과하는 경우에는 노출되는 내부전극의 면적이 과도하게 작을 수 있어, 외부전극과의 전기적 연결성 문제 및 이로 인한 정전 용량 저하 등의 문제가 발생할 수 있다.
- [0079] 도 4b는 도 4a에서 제2 내부전극 미형성 영역에 단차 흡수층이 배치된 형상을 나타내는 사시도이다.
- [0081] 도 4b를 참조하면, 상기 노치부(N)와 상기 세라믹 바디(110)의 제2 방향 및 제3 방향 마진부에는 단차 흡수층(112)이 배치된다.
- [0083] 상기 세라믹 바디(110)의 제2 방향 마진부는 상기 세라믹 바디(110)의 길이 방향 마진부이고, 상기 세라믹 바디(110)의 제3 방향 마진부는 상기 세라믹 바디(110)의 폭 방향 마진부일 수 있다.
- [0084] 상기 세라믹 바디(110)의 제2 방향 및 제3 방향 마진부는 상기 액티브부(A)의 마진부일 수 있다.
- [0085] 즉, 본 발명의 일 실시형태에서 단차 흡수층(112)이 배치되는 영역은 상기 세라믹 바디(110)의 길이 방향인 제2 방향 마진부와 상기 세라믹 바디(110)의 폭 방향인 제3 방향 마진부 및 상기 노치부(N) 영역이다.
- [0086] 또한, 단차 흡수층(112)이 배치되는 영역은 상기 액티브부(A)에서 상기 세라믹 바디(110)의 제2 방향 및 제3 방향 마진부이며, 따라서 커버부(C1, C2)에는 배치되지 않는다.
- [0087] 다만, 반드시 이에 제한되는 것은 아니며, 상기 단차 흡수층(112)은 커버부 커버부(C1, C2)에서 상기 세라믹 바디(110)의 제2 방향 및 제3 방향 마진부에 배치될 수도 있다.
- [0089] 상술한 바와 같이, 본 발명의 일 실시형태에 따르면, 상기 노치부(N)와 상기 세라믹 바디(110)의 제2 방향 및 제3 방향 마진부에는 단차 흡수층(112)이 배치되기 때문에 동종의 유전체 접합 비율을 높여, 계면 접합력을 향상시킬 수 있다.
- [0091] 액티브부(A)의 길이 방향 및 폭 방향 마진부에 단차 흡수층(112)을 배치하는 방법은 특별히 제한되지 않으며, 제조 공정 단계에서 세라믹 그린시트 상에 도전성 금속 페이스트 페이스트를 도포한 후에 길이 방향 및 폭 방향으로 상기 페이스트가 도포되지 않은 영역인 마진부에 단차 흡수용 세라믹 재료를 도포하는 방법으로 수행될 수 있다.

- [0093] 혹은, 액티브부(A)의 길이 방향 및 폭 방향 마진부에 단차 흡수층(112)이 배치된 적어도 하나 이상의 별개의 유전체층을 삽입하여 수행될 수도 있다. 이 경우에는, 소성 후 제1 및 제2 내부 전극(121, 122)이 되는 도전성 금속 페이스트가 도포된 제1 세라믹 그린시트를 복수 매 적층하고 그 상부에, 양측 단부에 세라믹 부재를 형성하여 단차 흡수층이 형성된 제2 세라믹 그린시트를 적층함으로써 수행될 수 있다.
- [0095] 최근 적층되는 세라믹 그린시트의 수가 증가함에 따라, 세라믹 그린시트의 적층 공정과 압착 공정을 거치면서 제품의 신뢰성에 영향을 주는 문제점이 발생하고 있다.
- [0096] 즉, 세라믹 그린시트는 내부전극 형성부와 내부전극 비형성부인 마진부로 이루어지고 세라믹 그린시트가 적층된 후 소정의 압력이 인가되어 서로 압착될 경우, 내부전극 형성부와 내부전극 비형성부인 마진부의 단차가 심화되어 내전압 특성이 저하되는 문제가 있으며, 이종의 물질인 유전체층과 내부전극간 결합력의 한계에 따라 델라미네이션 및 크랙 발생의 문제가 발생할 수 있다.
- [0098] 그러나, 본 발명의 일 실시형태에 따르면 상기 액티브부(A)의 길이 방향 및 폭 방향 마진부 및 노치부(N)에는 단차 흡수층(112)이 배치됨으로써, 단차 문제를 개선하여 내전압 특성이 향상된 고용량 적층 세라믹 전자부품을 구현할 수 있다.
- [0099] 또한, 동종의 유전체 접합 비율을 높여, 계면 접합력을 향상시킬 수 있다.
- [0101] 상기 단차 흡수층(112)의 두께는 특별히 제한되지 않으며, 예를 들어 상기 유전체층(111)의 두께의 10 배 내지 20 배 보다 클 수 있다.
- [0102] 또한, 상기 단차 흡수층(112)의 두께는 상기 유전체층(111)의 상부에 형성된 제1 및 제2 내부전극(121, 122)의 두께와 동일할 수 있으나, 반드시 이에 제한되는 것은 아니며 공정 특성상 내부전극의 두께와 차이가 생길 수 있다.
- [0104] 한편, 상기 단차 흡수층(112)은 유전체층(111)이 포함하는 재료와 동일하거나 동종의 재료로 형성될 수 있으며, 특별히 제한되지 않는다.
- [0106] 도 5는 도 4b의 II-II' 방향으로 세라믹 바디를 절단한 단면도이다.
- [0107] 도 5를 참조하면, 상기 액티브부(A)의 폭 방향 마진부 및 노치부(N)에 단차 흡수층(112)이 배치되어 있는 것을 알 수 있다.
- [0108] 이로 인하여, 동종의 유전체 접합 비율을 높여, 계면 접합력을 향상시킬 수 있어 적층 세라믹 커패시터의 신뢰성을 개선할 수 있다.
- [0110] 도 6은 도 1에 도시된 적층 세라믹 전자부품의 일부를 나타내는 개략적인 분해 사시도이다.
- [0112] 도 6을 참조하면, 일 유전체층(111) 상에 제1 내부전극(121)이 배치되고, 제1 내부전극(121)은 세라믹 바디(110)의 제3 면(S3)으로 노출된 부분에서 내부로 노치부(N)가 배치되며, 상기 제1 내부전극(121)이 일 유전체층(111) 상에 배치되지 않은 영역인 길이 방향 및 폭 방향 마진부와 상기 노치부(N)에는 단차 흡수층(112)이 배치된다.
- [0113] 또한, 타 유전체층(111) 상에 제2 내부전극(122)이 배치되고, 제2 내부전극(122)은 세라믹 바디(110)의 제4 면(S4)으로 노출된 부분에서 내부로 노치부(N)가 배치되며, 상기 제2 내부전극(122)이 일 유전체층(111) 상에 배치되지 않은 영역인 길이 방향 및 폭 방향 마진부와 상기 노치부(N)에는 단차 흡수층(112)이 배치된다.

- [0115] 상기 제1 내부전극(121)이 배치된 일 유전체층(111)과 제2 내부전극(122)이 배치된 타 유전체층(112)을 교대로 적층함으로써, 본 발명의 일 실시형태에 따른 세라믹 바디(110)를 형성할 수 있다.
- [0117] 상기 제1 및 제2 내부 전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 은(Ag), 납(Pb), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질을 포함하는 도전성 페이스트를 사용하여 형성될 수 있다.
- [0119] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 상기 제1 내부전극(121)과 전기적으로 연결된 제1 외부전극(131) 및 상기 제2 내부 전극(122)과 전기적으로 연결된 제2 외부전극(132)을 포함할 수 있다.
- [0121] 상기 제1 및 제2 외부전극(131, 132)은 정전 용량 형성을 위해 상기 제1 및 제2 내부전극(121, 122)과 전기적으로 연결될 수 있으며, 상기 제2 외부전극(132)은 상기 제1 외부전극(131)과 다른 전위에 연결될 수 있다.
- [0123] 상기 제1 및 제2 외부 전극(131, 132)은 상기 세라믹 바디(110)의 제2 방향인 길이 방향 제3 면(S3) 및 제4 면(S4)에 각각 배치되며, 상기 세라믹 바디(110)의 제1 방향인 두께 방향 제1 면(S1) 및 제2 면(S2)으로 연장 배치될 수 있다.
- [0125] 상기 외부전극(131, 132)은 상기 세라믹 바디(111)의 외측에 배치되며, 상기 내부전극(121, 122)과 전기적으로 연결되는 전극층(131a, 132a)과 상기 전극층(131a, 132a) 상에 배치된 전도성 수지층(131b, 132b)을 포함할 수 있다.
- [0127] 상기 전극층(131a, 132a)은 도전성 금속 및 글라스를 포함할 수 있다.
- [0128] 상기 전극층(131a, 132a)에 사용되는 도전성 금속은 정전 용량 형성을 위해 상기 내부 전극과 전기적으로 연결될 수 있는 재질이면 특별히 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0129] 상기 전극층(131a, 132a)은 상기 도전성 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0131] 상기 전도성 수지층(131b, 132b)은 전극층(131a, 132a) 상에 형성되며, 전극층(131a, 132a)을 완전히 덮는 형태로 형성될 수 있다.
- [0132] 상기 전도성 수지층(131b, 132b)에 포함되는 베이스 수지는 접합성 및 충격흡수성을 가지고, 도전성 금속 분말과 혼합하여 페이스트를 만들 수 있는 것이면 특별히 제한되지 않으며, 예를 들어 에폭시계 수지를 포함할 수 있다.
- [0133] 상기 전도성 수지층(131b, 132b)에 포함되는 도전성 금속은 전극층(131a, 132a)과 전기적으로 연결될 수 있는 재질이면 특별히 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0135] 도 7은 도 3의 B 영역 확대도이다.
- [0137] 도 7을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품에 있어서, 상기 유전체층(111)의 두께(td)와 상기 내부전극(121, 122)의 두께(te)는 $td > 2 \times te$ 를 만족할 수 있다.

- [0139] 즉, 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)의 두께(td)는 상기 내부전극(121, 122)의 두께(te)의 2 배 보다 더 큰 것을 특징으로 한다.
- [0140] 일반적으로 고전압 전장용 전자부품은, 고전압 환경 하에서 절연파괴전압의 저하에 따른 신뢰성 문제가 주요한 이슈이다.
- [0141] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 고전압 환경 하에서 절연파괴전압의 저하를 막기 위하여 상기 유전체층(111)의 두께(td)는 상기 내부전극(121, 122)의 두께(te)의 2 배 보다 더 크게 함으로써, 내부 전극 간 거리인 유전체층의 두께를 증가시킴으로써, 절연파괴전압 특성을 향상시킬 수 있다.
- [0142] 상기 유전체층(111)의 두께(td)가 상기 내부전극(121, 122)의 두께(te)의 2 배 이하일 경우에는 내부 전극 간 거리인 유전체층의 두께가 얇아 절연파괴전압이 저하될 수 있다.
- [0144] 상기 내부전극의 두께(te)는 1 μm 미만일 수 있으며, 상기 유전체층의 두께(td)는 2.8 μm 미만일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0146] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조방법에 대하여 설명하나, 이에 제한되는 것은 아니다.
- [0148] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0149] 상기 슬러리는 세라믹 바디의 액티브부의 유전체층과 커버부를 구성하는 유전체층을 형성하는 세라믹 그린시트용 슬러리이다.
- [0151] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0153] 다음으로, 상기 세라믹 그린시트 상에 도전성 금속 페이스트를 도포하여 내부전극 패턴을 형성한다.
- [0154] 상기 내부전극 패턴은 스크린 인쇄법 또는 그라비아 인쇄법에 의하여 형성될 수 있다.
- [0155] 본 발명의 일 실시형태에 따르면, 상기 내부전극 패턴의 일 단부에는 내부로 노치부를 형성한다.
- [0156] 상기 노치부는 내부전극 패턴의 단부 중 외부로 노출되는 부분에서 내부로 형성되며, 이로 인하여 본 발명의 일 실시형태에서는 노출되는 내부전극의 면적이 최소화될 수 있다.
- [0158] 다음으로, 상기 세라믹 그린시트의 길이 방향 및 폭 방향 마진부 그리고 상기 노치부에 세라믹 부재를 형성하여 단차 흡수층을 형성한다.
- [0159] 상기 세라믹 그린시트의 길이 방향 및 폭 방향 마진부 그리고 상기 노치부에 세라믹 부재를 형성하는 방법은 특별히 제한되는 것은 아니며, 예를 들어 인쇄법에 의해 수행될 수 있다.
- [0161] 다음으로, 내부전극 패턴 및 단차 흡수층이 배치된 그린시트를 적층하여 세라믹 바디(110)를 만들었다.
- [0163] 다음으로, 상기 세라믹 바디의 외측에 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상의 도전성 금속 및 글라스를 포함하는 전극층을 형성할 수 있다.

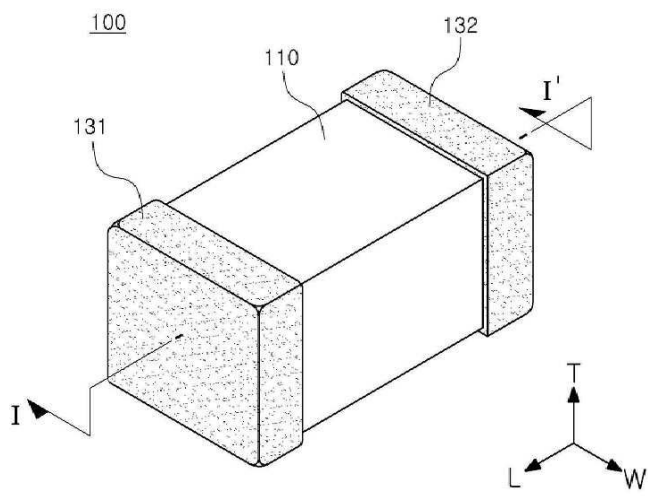
- [0165] 상기 글라스는 특별히 제한되는 것은 아니며, 일반적인 적층 세라믹 커패시터의 외부전극 제작에 사용되는 글라스와 동일한 조성의 물질이 사용될 수 있다.
- [0167] 상기 전극층은 상기 세라믹 바디의 상하면 및 단부에 형성됨으로써, 상기 제1 및 제2 내부전극과 각각 전기적으로 연결될 수 있다.
- [0169] 상기 전극층은 도전성 금속 대비 글라스를 5 부피% 이상 포함할 수 있다.
- [0171] 다음으로, 상기 전극층(131a, 132a) 상에 도전성 수지 조성물을 도포한 후 경화시켜 도전성 수지층(131b, 132b)을 형성할 수 있다.
- [0173] 상기 도전성 수지층(131b, 132b)은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상의 도전성 금속 및 베이스 수지를 포함하며, 상기 베이스 수지는 에폭시 수지일 수 있다.
- [0175] 또한, 상기 도전성 수지층(131b, 132b) 상부에 도금층(미도시)을 추가로 더 형성할 수 있으며, 니켈(Ni) 도금층 및 주석(Sn) 도금층을 순차로 형성하여 상기 도금층을 도전성 수지층 상에 형성할 수 있다.
- [0177] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

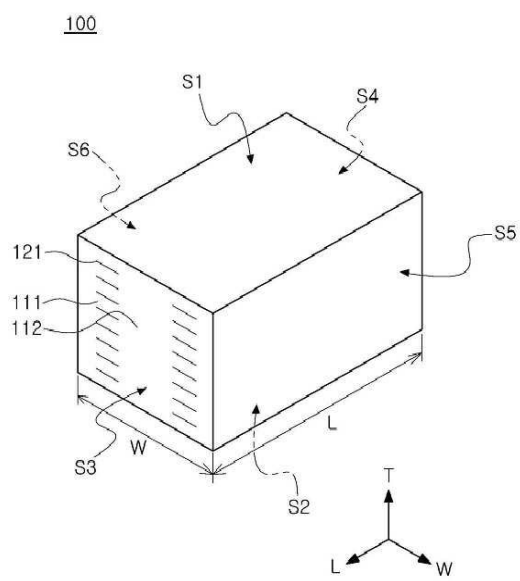
- [0179] 110: 세라믹 바디
- 111: 유전체층 121, 122: 제1 및 제2 내부전극
- 131, 132: 제1 및 제2 외부 전극
- 131a, 132a: 전극층 131b, 132b: 도전성 수지층

도면

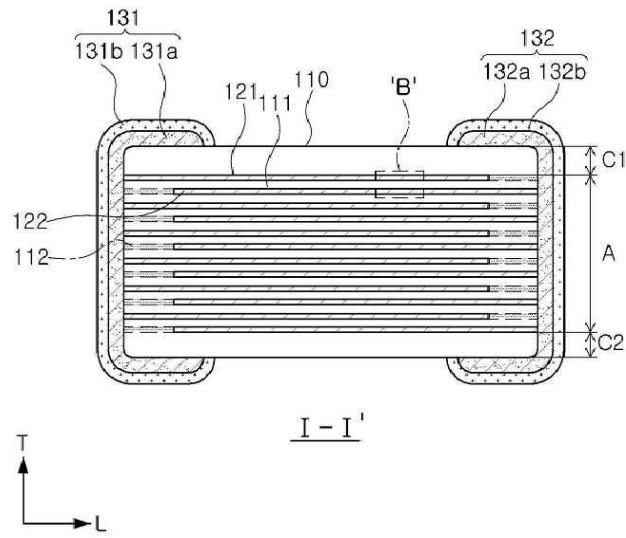
도면1



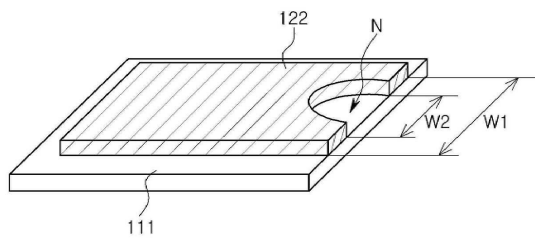
도면2



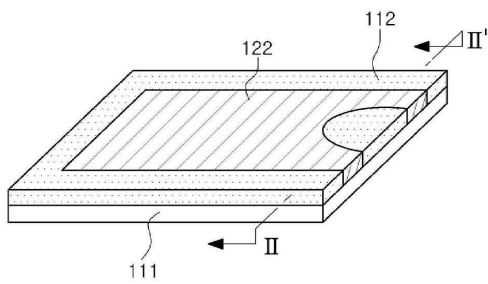
도면3



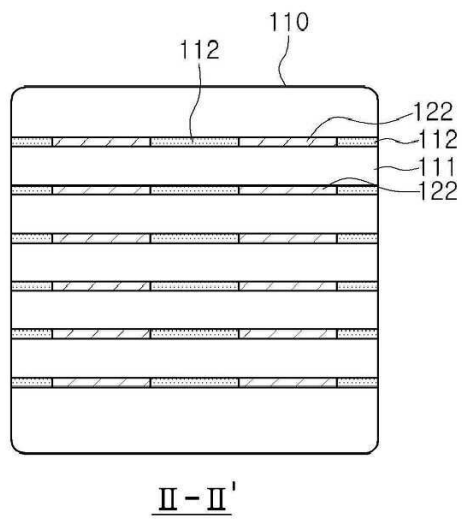
도면4a



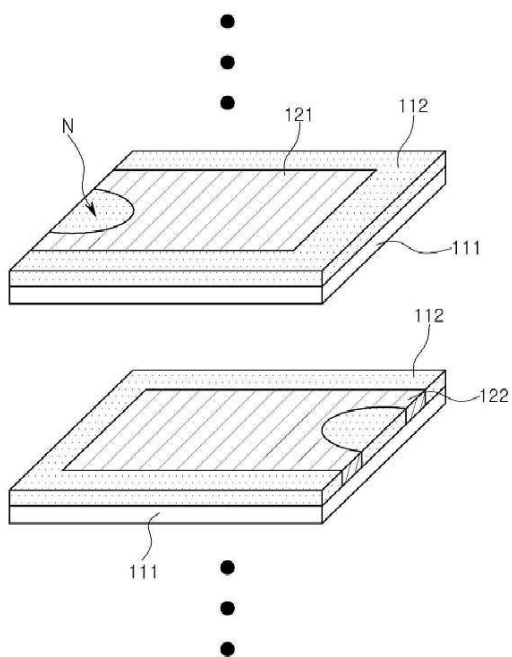
도면4b



도면5



도면6



도면7

