

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6072442号
(P6072442)

(45) 発行日 平成29年2月1日 (2017.2.1)

(24) 登録日 平成29年1月13日 (2017.1.13)

(51) Int. Cl.	F I
G 0 6 F 11/10 (2006.01)	G O 6 F 11/10 6 6 8
G 0 6 F 12/16 (2006.01)	G O 6 F 12/16 3 2 O F
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 9 C
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 4

請求項の数 10 (全 41 頁)

(21) 出願番号 特願2012-139532 (P2012-139532)	(73) 特許権者 390019839
(22) 出願日 平成24年6月21日 (2012.6.21)	三星電子株式会社
(65) 公開番号 特開2013-97786 (P2013-97786A)	S a m s u n g E l e c t r o n i c s
(43) 公開日 平成25年5月20日 (2013.5.20)	C o . , L t d .
審査請求日 平成27年6月12日 (2015.6.12)	大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号 10-2011-0114282	129, S a m s u n g - r o , Y e o n
(32) 優先日 平成23年11月4日 (2011.11.4)	g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国 韓国 (KR)	y e o n g g i - d o , R e p u b l i c
	o f K o r e a
	(74) 代理人 100110364
	弁理士 実広 信哉
	(72) 発明者 朱 相▲ヒュン▼
	大韓民国京畿道華城市陳雁洞873-17
	番地 ジャンヘウンビルディング505号
	最終頁に続く

(54) 【発明の名称】 メモリシステム及びその動作方法

(57) 【特許請求の範囲】

【請求項 1】

データを読み出し、エラー情報を受信し、前記受信したエラー情報にしたがって前記読み出しデータを訂正するように構成された不揮発性メモリ装置と、

前記読み出しデータを受信するように構成されたインターフェイス、及び前記受信した読み出しデータのエラービット位置を決定するように構成されたユニット、ここで前記インターフェイスは前記受信した読み出しデータの決定された前記エラービット位置に関する前記エラー情報を出力するようにさらに構成される、を有する制御器と、を含み、

前記エラー情報は、前記読み出しデータの複数ビットに対応する複数ビットを含み、ここで前記エラー情報の前記複数ビットは前記読み出しデータのビットのエラーの有無を示すビットを含むものとする、前記読み出しデータのの前記ビットの値は、前記エラー情報の対応するビットの値にしたがって変更される

ことを特徴とするメモリシステム。

【請求項 2】

前記不揮発性メモリ装置は、前記読み出しデータを前記制御器へ出力し、前記エラー情報を前記制御器から受信する

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記制御器は、前記エラー情報を前記不揮発性メモリ装置へ出力し、前記エラー情報は、前記読み出しデータの訂正されたデータと前記読み出しデータを含まない

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 4】

前記不揮発性メモリ装置は、ランダム化されたデータとして前記読み出しデータを前記制御器へ出力し、デランダム化されたデータとして前記エラー情報を前記制御器から受信する

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 5】

前記不揮発性メモリ装置は、前記読み出しデータを前記制御器へ出力した後、そして前記エラー情報を前記制御器から受信する時に、前記読み出しデータを格納するページバッファを含み、ここで前記エラー情報の受信により前記格納された読み出しデータが受信された前記エラー情報にしたがって訂正される

10

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 6】

前記エラー情報は、前記読み出しデータの前記ビットの一部については対応するものではない

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 7】

前記不揮発性メモリ装置は、

前記受信したエラー情報の前記ビットの前記値に対応する前記読み出しデータの前記ビットの前記値を変更し、

20

訂正されたデータとして、値が維持されたビットと、前記値が変更されたビットと、を格納する

ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 8】

データを出力する不揮発性メモリ装置と、

前記不揮発性メモリ装置から前記データを受信するように構成されたインターフェイス、及び前記受信したデータのエラービットの位置を決定するように構成されたユニット、ここで前記インターフェイスは前記受信したデータの決定された前記エラービットの位置に関するエラー位置情報を出力するようにさらに構成される、を有する制御器と、を含み

30

、
前記不揮発性メモリ装置は、前記エラー位置情報にしたがって前記データを訂正する

ことを特徴とするメモリシステム。

【請求項 9】

前記制御器は、前記受信したデータをデランダム化させて前記受信したデータから前記エラービットの位置を決定し、ランダム化無しで前記エラー位置情報を出力する

ことを特徴とする請求項 8 に記載のメモリシステム。

【請求項 10】

前記制御器は、前記受信したデータをデランダム化させるランダム化器 / デランダム化器を含み、前記制御器は、前記ランダム化器 / デランダム化器が前記エラー位置情報をランダム化することを防止する

40

ことを特徴とする請求項 8 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性メモリ装置及び制御器を含むメモリシステムに関する。

【背景技術】

【0002】

半導体メモリは、一般的に、衛星から消費者電子技術までの範囲に属するマイクロプロセッサを基づいた応用及びコンピューターのようなデジタルロジック設計の最も必須的なマイクロ電子素子である。したがって、高い集積度及び速い速度のための縮小 (S c a

50

ling)を通じて得られるプロセスの向上及び技術開発を含む半導体メモリの製造技術の進歩は他のデジタルロジック系列の性能基準を確立するのに役に立つ。

【0003】

半導体メモリ装置は大きく揮発性半導体メモリ装置と不揮発性半導体メモリ装置とに分けられる。揮発性半導体メモリ装置において、ロジック情報はスタティックランダムアクセスメモリの場合、双安定フリップフロップのロジック状態を設定することによって又はダイナミックランダムアクセスメモリの場合、キャパシターの充電を通じて格納される。揮発性半導体メモリ装置の場合、電源が印加される間にデータが格納され、読み出され、電源が遮断される時データは消失される。

【0004】

MROM、PROM、EPROM、EEPROM、PRAM、等のような不揮発性半導体メモリ装置は電源が遮断されてもデータを格納できる。不揮発性メモリデータ格納状態は使用される製造技術によって永久的であるか、或いは再プログラムできる。不揮発性半導体メモリ装置はコンピューター、航行電子工学、通信、及び消費者電子技術産業のような広い範囲の応用でプログラム及びマイクロコードを格納するために使用される。単一チップで揮発性及び不揮発性メモリ格納モードの組合が速くて再プログラムできる不揮発性メモリを要求するシステムで不揮発性RAM(nvRAM)のような装置でまた使用できる。その上に、応用指向業務のための性能を最適化させるために幾つかの追加的なロジック回路を含む特定メモリ構造が開発されてくる。

【0005】

不揮発性半導体メモリ装置において、MROM、PROM、及びEPROMはシステム自体的に消去及び書込みが容易でないので、一般の使用者が記憶内容を新しくするのが容易でない。これに反して、EEPROM、PRAM、等のような不揮発性半導体メモリ装置は電氣的に消去及び書込みができるので、継続的な更新が必要であるシステムプログラミング(system programming)や補助記憶装置としての応用が拡大されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許公報第7,941,586号公報

【特許文献2】米国特許公開第20080/0023747号公報

【特許文献3】米国特許公開第2008/0084729号公報

【特許文献4】米国特許第7,697,359号公報

【特許文献5】米国特許第7,529,124号公報

【特許文献6】米国特許第6,858,906号公報

【特許文献7】米国公開特許第2004-0169238号公報

【特許文献8】米国公開特許第2006-0180851号公報

【特許文献9】韓国特許第10-673020号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は動作速度を向上させることができるメモリシステム及びその動作方法を提供することにある。

【0008】

本発明の他の目的は電力消費を減らすことができるメモリシステム及びその動作方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の例示的な実施形態はデータを読み出し、エラー情報を受信し、前記受信したエラー情報にしたがって前記読み出しデータを訂正するように構成された不揮発性メモリ装置と

10

20

30

40

50

、前記読出しデータを受信するように構成され、インターフェイスが前記受信したデータのエラービット位置に前記エラー情報を出力するように前記受信したデータのエラービットの位置を決定するユニットを有する制御器と、を含み、前記エラー情報は前記読み出されたデータのビットに対応したビットを含み、前記エラー情報のビットは前記読み出されたデータのビットのエラーを示すビットを含み、前記読み出されたデータのビットの値は前記エラー情報のビットの値にしたがって変更されるメモリシステムを提供する。

【 0 0 1 0 】

前記不揮発性メモリ装置は前記読み出されたデータを前記制御器へ出力し、前記エラー情報を前記制御器から受信する。

【 0 0 1 1 】

前記制御器は前記エラー情報を前記不揮発性メモリ装置へ出力し、前記エラー情報は前記読み出されたデータと前記読み出されたデータの訂正データとを包含しない。

【 0 0 1 2 】

前記不揮発性メモリ装置はランダム化されたデータとして前記読み出されたデータを前記制御器へ出力し、デランダム化されたデータとして前記エラー情報を前記制御器から受信する。

【 0 0 1 3 】

前記不揮発性メモリ装置は前記読み出されたデータが前記エラー情報にしたがって訂正されるように前記読み出されたデータを前記制御器へ出力した後、そして前記エラー情報が前記制御器から入力される時に前記前記読み出されたデータを格納するページバッファを含む。

【 0 0 1 4 】

前記エラー情報は前記読み出されたデータの全てのビットと対応しているわけではない。

【 0 0 1 5 】

前記不揮発性メモリ装置は変更されたビットとして前記受信したエラー情報のビットの値に対応する前記ビットの値を変更し、前記変更されたビットと維持されたビットとを前記訂正されたデータとして格納する。

【 0 0 1 6 】

前記不揮発性メモリ装置は前記エラー情報に対応しないビットの値を維持し、前記変更された値を有する前記ビットと前記維持された値を有するビットとを含む前記訂正されたデータを格納する。

【 0 0 1 7 】

前記不揮発性メモリ装置は単一ビットメモリアレイとマルチビットメモリアレイとを含み、前記データを前記単一ビットメモリアレイから読出し、前記訂正されたデータを前記マルチビットメモリアレイに格納する。

【 0 0 1 8 】

前記不揮発性メモリ装置は S L C プログラム方法を利用してプログラムされた前記データを読出し、 M L C プログラム方法によって前記訂正されたデータを格納する。

【 0 0 1 9 】

前記不揮発性メモリ装置は前記制御器から前記エラー情報をページ単位で受信する。

【 0 0 2 0 】

前記読み出されたデータと前記エラー情報とは同一なデータ大きさを有する。

【 0 0 2 1 】

前記不揮発性メモリ装置は前記データを第 1 領域から第 2 領域に複写する複写動作の時、前記読み出されたデータに対応する前記エラー情報を受信する。

【 0 0 2 2 】

前記不揮発性メモリ装置は複写動作を示す命令に応答して前記データを読み出すことと前記受信したエラー情報にしたがって前記訂正されたデータを格納することとを活性化させる。

10

20

30

40

50

【 0 0 2 3 】

前記不揮発性メモリ装置は前記読み出されたデータのページ単位で前記エラー情報にしたがって前記エラーを有するビットを訂正するように構成されたページバッファラッチを含み、前記ページバッファラッチは前記読み出されたデータ、前記エラー情報、及び前記訂正されたデータを格納するように構成される。

【 0 0 2 4 】

前記不揮発性メモリ装置は前記読み出されたデータのビットと前記エラー情報とをビット単位で比較して排他的 O R 方式又は排他的 N O R 方式にしたがって前記読み出されたデータのエラービットを訂正する。

【 0 0 2 5 】

前記エラー情報のビットは前記読み出されたデータの他の 1 つのビットのエラー無しを示す第 2 ビットを含み、前記読み出されたデータの他の 1 つのビットの値は前記エラー情報の第 2 ビットの値にしたがって変更されない。

【 0 0 2 6 】

本発明の例示的な実施形態は、また、データを出力する不揮発性メモリ装置と、前記不揮発性メモリ装置から前記データを受信するように構成され、インターフェイスが前記受信したデータのエラービット位置に情報を前記不揮発性メモリ装置へ出力するように前記受信したデータのエラービットの位置を決定するユニットを有する制御器と、を含むメモリシステムを提供する。

【 0 0 2 7 】

前記制御器は前記受信したデータをデランダム化させて前記受信したデータから前記エラービットの位置を決定し、ランダム化無しで前記情報を出力する。

【 0 0 2 8 】

前記制御器は前記受信したデータをデランダム化させるランダム化器 / デランダム化器を含み、前記制御器は前記ランダム化器 / デランダム化器が前記情報をランダム化することを防止する。

【 0 0 2 9 】

前記不揮発性メモリ装置は前記受信したエラー位置情報にしたがって前記データを訂正する。

【 0 0 3 0 】

前記不揮発性メモリ装置はデータが読み出された領域を含み、前記不揮発性メモリ装置は前記訂正されたデータにしたがって前記領域に対するリフレッシュ動作を遂行する。

【 0 0 3 1 】

前記不揮発性メモリ装置は前記訂正されたデータを格納する第 2 領域を含み、前記第 2 領域はマルチビットメモリアレイである。

【 0 0 3 2 】

前記受信したデータの決定されたエラービット位置に対する情報は前記不揮発性メモリ装置がアドレスにしたがって前記データを訂正するように前記読み出されたデータの決定されたエラービット位置のアドレスを含む。

【 0 0 3 3 】

本発明の例示的な実施形態は、また、制御器と、第 1 プログラム方法によってデータを格納する単一ビットメモリアレイを含む第 1 領域とマルチビットメモリアレイを含む第 2 領域とを含み、複数のページ各々のデータを前記第 1 領域から読出し、そして前記複数のページ各々のデータを前記制御器へ出力するように構成された不揮発性メモリ装置と、を含み、前記制御器は前記複数のページ各々のデータのエラー位置情報を発生し、前記複数のページ各々のデータのエラー位置情報を前記不揮発性メモリ装置に出力し、前記不揮発性メモリ装置は前記複数のページ各々のデータに対応する前記エラー位置情報にしたがって前記複数のページ各々のデータを訂正し、前記複数のページの訂正されたデータを第 2 プログラム方法によって前記第 2 領域に 1 回に格納するメモリシステムを提供する。

【 0 0 3 4 】

前記データは少なくとも第 1 ページ及び第 2 ページを有する複数のページを含み、前記制御器は第 1 エラー情報が前記第 1 ページに应答して決定されて出力されるように、そして第 2 エラー情報が前記第 2 ページに应答して決定されて出力されるように前記データを反復的に受信する。

【0035】

前記不揮発性メモリ装置は前記データを同時に読み出し、前記エラー位置情報を受信する。

【0036】

前記不揮発性メモリ装置は前記読み出されたデータと前記受信したエラー位置情報とを同時に格納するバッファ回路を含む。

10

【0037】

前記不揮発性メモリ装置は前記読み出されたデータを読み出すメインバッファと前記エラー位置情報を受信するキャッシュバッファとを含み、前記エラー位置情報にしたがって前記メインバッファに格納されたデータを訂正する。

【0038】

前記不揮発性メモリ装置は前記読み出されたデータと前記訂正されたデータとを格納するように前記第 1 領域と前記第 2 領域と通信するメインバッファと、前記エラー位置情報を受信するように前記制御器と通信するキャッシュバッファと、を含む。

【0039】

前記不揮発性メモリ装置は前記エラー位置情報にしたがって前記読み出されたデータのビットを覆すフリップ動作を遂行して前記訂正されたデータを発生する。

20

【0040】

前記第 2 領域のマルチビットメモリアレイは 3 ビットメモリアレイを含む。

【0041】

前記第 2 プログラム方法は各々が前記第 2 領域のマルチビットメモリアレイに格納される前記訂正されたデータにしたがって異なる電圧を発生する複数の動作を含む。

【0042】

前記第 2 プログラム方法は前記第 2 領域のマルチビットメモリアレイに格納される前記訂正されたデータにしたがって異なる電圧を発生する再プログラム方法を含む。

【0043】

30

前記情報は前記読み出されたデータの部分の中の 1 つに対応し、前記読み出されたデータは前記制御器から前記不揮発性メモリ装置へ反復的に伝達され、一部の情報が前記読み出されたデータの全ての部分に対応する時まで前記制御器から前記不揮発性メモリ装置へ伝達され、前記不揮発性メモリ装置は前記対応する情報を受信する時、前記対応する情報にしたがって前記データの各部分を訂正する。

【0044】

前記メモリシステムは機能ユニットと前記不揮発性メモリ装置にデータを格納する前記制御器に連結できる端子を有するホスト装置とをさらに含む。

【0045】

前記ホスト装置は前記制御器を通じて前記不揮発性メモリ装置に格納される前記機能ユニットから生成されたデータを出力するか、或いは前記機能ユニットで使用されるデータを前記不揮発性メモリ装置から受信する。

40

【0046】

前記ホスト装置はビデオカメラ、テレビジョン装置、オーディオ装置、ゲーム機、電子音楽装置、携帯電話、コンピューター、PDA、ボイスレコーダー、移動装置、及び非接触式スマートカードの中で少なくとも 1 つを含む。

【発明の効果】

【0047】

本発明の実施形態によれば、動作速度を向上させることが可能である。また、電力消費を減らすことが可能である。

50

【図面の簡単な説明】

【0048】

【図1】本発明の実施形態によるメモリシステムを概略的に示すブロック図である。

【図2】図1に図示されたメモリ制御器を概略的に示すブロック図である。

【図3】本発明の他の実施形態による図1に図示されたメモリ制御器を概略的に示すブロック図である。

【図4】本発明の一実施形態による図1に図示された不揮発性メモリ装置を概略的に示すブロック図である。

【図5】全てのビットラインメモリ構造又はオッドイ - プンメモリ構造のためにメモリセルアレイをメモリブロックで構成する例を示す図面である。

10

【図6】本発明の例示的な実施形態による図5に図示されたページバッファ回路の一部を示すブロック図である。

【図7】本発明の実施形態による不揮発性メモリ装置のエラー訂正動作を概略的に説明するための図面である。

【図8】本発明の実施形態によるメモリシステムの複写動作を説明するためのフローチャートである。

【図9】図8で説明される複写動作の時、エラーフラッグ情報を不揮発性メモリ装置へ伝送するためのタイミング図である。

【図10】本発明の他の実施形態による図8で説明される複写動作の時、エラーフラッグ情報を不揮発性メモリ装置へ伝送するためのタイミング図である。

20

【図11】本発明の実施形態によるメモリシステムのエラー検出動作及びエラー訂正動作を概略的に説明するための図面である。

【図12】本発明の他の実施形態によるメモリシステムのエラー検出動作及びエラー訂正動作を概略的に説明するための図面である。

【図13A】マルチレベルメモリ装置に適用されるアドレススクランブル方式の一例を説明するための図面である。

【図13B】各メモリセル当たり3ビットデータを格納し、3ステッププログラム方式にしたがってプログラム動作が遂行される時に変化される閾値電圧分布を示す図面である。

【図14】本発明の例示的な実施形態によるデータ格納システムを概略的に示すブロック図である。

30

【図15A】本発明の例示的な実施形態によるマルチビットメモリ装置の第1及び第2メモリ領域に対する多様な組合を説明するための図面である。

【図15B】本発明の例示的な実施形態によるマルチビットメモリ装置の第1及び第2メモリ領域に対する多様な組合を説明するための図面である。

【図15C】本発明の例示的な実施形態によるマルチビットメモリ装置の第1及び第2メモリ領域に対する多様な組合を説明するための図面である。

【図15D】本発明の例示的な実施形態によるマルチビットメモリ装置の第1及び第2メモリ領域に対する多様な組合を説明するための図面である。

【図16】本発明の例示的な実施形態による1ステッププログラム動作のための命令シーケンスを示す図面である。

40

【図17】図16に図示された1ステッププログラム命令シーケンスにしたがうデータの流れを示す図面である。

【図18】エラー訂正動作（又は、ビットフリップ動作）にしたがうデータの流れを示す図面である。

【図19】粗いプログラム動作のための命令シーケンスを示す図面である。

【図20】図19に図示された粗いプログラム命令シーケンスにしたがうデータの流れを示す図面である。

【図21】本発明の他の実施形態による粗い/精巧なプログラム動作の時のデータの流れを説明するための図面である。

【図22】本発明の例示的な実施形態によるメモリシステムのリフレッシュプログラム動

50

作を概略的に説明するための図面である。

【図 2 3】本発明のその他の例示的な実施形態によるメモリシステムを概略的に示すブロック図である。

【図 2 4】本発明の例示的な実施形態によるコンピューティングシステムを概略的に示すブロック図である。

【図 2 5】本発明の例示的な実施形態による半導体ドライブを概略的に示すブロック図である。

【図 2 6】図 2 5 に図示された半導体ドライブを利用するストレージを概略的に示すブロック図である。

【図 2 7】図 2 5 に図示された半導体ドライブを利用する格納サーバーを概略的に示すブロック図である。

10

【図 2 8】本発明の例示的な実施形態によるデータ格納装置が適用されるシステムを概略的に示す図面である。

【図 2 9】本発明の例示的な実施形態によるデータ格納装置が適用されるシステムを概略的に示す図面である。

【図 3 0】本発明の例示的な実施形態によるデータ格納装置が適用されるシステムを概略的に示す図面である。

【図 3 1】本発明の実施形態によるメモリカード (memory card) を概略的に示すブロック図である。

【図 3 2】本発明の実施形態によるデジタルスチールカメラ (digital still camera) を概略的に示すブロック図である。

20

【図 3 3】図 3 2 のメモリカードが使用される多様なシステムを説明する例示的な図面である。

【発明を実施するための形態】

【0049】

本発明の長所及び特徴、及びそれを達成する方法は添付される図面と共に詳細に後述する実施形態を通じて説明される。しかし、本発明はここで説明される実施形態に限定されなく他の形態に具体化されることもあり得る。単なる、本実施形態は本発明が属する技術分野で通常の知識を有する者に本発明の技術的思想を容易に実施できる程度に詳細に説明するために提供されることである。

30

【0050】

図面において、本発明の実施形態は図示された特定形態に制限されることなく、明確性を期するために誇張されたことである。また、明細書全体に掛けて同一な参照番号に表示された部分は同一な構成要素を示す。

【0051】

本明細書で「及び／又は」という表現は前後に羅列された構成要素の中で少なくとも１つを含む意味に使用される。また、「連結される／結合される」という表現は他の構成要素と直接的に連結されたり、他の構成要素を通じて間接的に連結されたりすることを含む意味で使われる。本明細書で、単数型は文句で特別に言及しない限り複数型も含む。また、明細書で使用される「含む」又は「包含する」と言及された構成要素、段階、動作及び素子は１つ以上の他の構成要素、段階、動作、素子及び装置の存在又は追加を意味する。

40

【0052】

図 1 は本発明の実施形態によるメモリシステムを概略的に示すブロック図である。

【0053】

図 1 を参照すれば、本発明の実施形態によるメモリシステムは不揮発性メモリ装置 100 とメモリ制御器 2000 とを含む。不揮発性メモリ装置 1000 はデータ情報を格納する一種の格納媒体として使用される。格納媒体は１つ又はそれより多いメモリチップで構成され得る。不揮発性メモリ装置 1000 とメモリ制御器 2000 とは１つ又はそれより多いチャンネルを通じて通信する。不揮発性メモリ装置 1000 は、例えば、NAND フラッシュメモリ装置を含む。メモリ制御器 2000 は外部装置（例えば、ホスト）の要

50

請又は内部的な要請（例えば、マージ、ガーベッジコレクション、等のような背景動作に関連された要請）にしたがって不揮発性メモリ装置１０００を制御するように構成される。

【００５４】

例示的な実施形態において、不揮発性メモリ装置１０００がＮＡＮＤフラッシュメモリ装置に制限されない。例えば、不揮発性メモリ装置１０００はＮＯＲフラッシュメモリ装置、抵抗性ＲＡＭ（Ｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ：ＲＲＡＭ（登録商標））装置、相変化メモリ（Ｐｈａｓｅ－Ｃｈａｎｇｅ Ｍｅｍｏｒｙ：ＰＲＡＭ）装置、磁気抵抗メモリ（Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ：ＭＲＡＭ）装置、強誘電体メモリ（Ｆｅｒｒｏｅｌｅｃ 10
ｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ：ＦＲＡＭ（登録商標））装置、スピン注入磁化反転メモリ（Ｓｐｉｎ Ｔｒａｎｓｆｅｒ Ｔｏｒｑｕｅ Ｒａｎｄｏｍ
Ａｃｃｅｓｓ Ｍｅｍｏｒｙ：ＳＴＴ－ＲＡＭ）、又はそのようなことで構成され得る。また、本発明の不揮発性メモリ装置１０００は３次元アレイ構造を有するように具現され得る。３次元アレイ構造を有する不揮発性メモリ装置は垂直ＮＡＮＤフラッシュメモリ装置と称される。本発明は電荷格納層が伝導性浮遊ゲートで構成されたフラッシュメモリ装置のみで無く、電荷格納層が絶縁膜で構成されたチャージトラップ形フラッシュ（Ｃｈ 20
ａｒｇｅ Ｔｒａｐ Ｆｌａｓｈ、“ＣＴＦ”と称される）メモリ装置にも全て適用できる。

【００５５】

本発明の実施形態によるメモリシステムは不揮発性メモリ装置１０００の第１格納領域から第２格納領域にデータを複写する動作（例えば、コピーバック動作：ｃｏｐｙ ｂａｃ 20
ｋ ｏｐｅｒａｔｉｏｎ）を支援する。第１格納領域から第２格納領域にデータを複写する動作は第１格納領域で読み出されたデータに対するエラー検出及び訂正動作を必然的に随伴する。これはデータ信頼性を高くするためである。ここで、第１格納領域は第２格納領域と異なるか、或いは同一であり得る。本発明のメモリシステムによれば、不揮発性メモリ装置１０００から読み出されたデータＲＤのエラー検出（ｅｒｒｏｒ ｄｅｔｅｃ 30
ｔｉｏｎ）はメモリ制御器２０００によって行われ、エラー訂正（ｅｒｒｏｒ ｃｏｒｒｅ ｃｔｉｏｎ）は不揮発性メモリ装置１０００内で行われる。特に、メモリ制御器２０００は検出されたエラーの位置情報（以下、エラー位置情報と称される）及びパターン情報（以下、エラーフラッグ情報（ｅｒｒｏｒ ｆｌａｇ ｉｎｆｏｒｍａｔｉｏｎ）と称される）を不揮発性メモリ装置１０００へ提供し、不揮発性メモリ装置１０００はメモリ制御器２０００から提供されるエラー位置情報及びエラーフラッグ情報に基づいてデータのエラーを訂正する。即ち、エラー検出の以後、メモリ制御器２０００によってエラー訂正が行われないので（又は、エラー検出の以後、不揮発性メモリ装置１０００によってエラー訂正が行われるので）、不揮発性メモリ装置１０００から出力されたデータ（又は、訂正されたデータ）を全て不揮発性メモリ装置１０００へ伝送する必要がない。これはメモリ制御器２０００から不揮発性メモリ装置１０００へデータを伝送するのに掛かる時間及び 40
／又はメモリ制御器２０００から不揮発性メモリ装置１０００へデータを伝送するのに消耗される電力が減少されることを意味する。

【００５６】

図２は図１に図示されたメモリ制御器を概略的に示すブロック図である。図２を参照すれば、メモリ制御器２０００は第１インターフェイスとしてホストインターフェイス２１ 00
００、第２インターフェイスとしてメモリインターフェイス２２００、ＣＰＵのような処理ユニット２３００、バッファメモリ２４００、及びエラー検出及び訂正回路２５００を含む。

【００５７】

ホストインターフェイス２１００は外部（又は、ホスト）とインターフェイスするように構成される。メモリインターフェイス２２００は図１に図示された不揮発性メモリ装置 10
１０００とインターフェイスするように構成される。処理ユニット２３００、例えばＣＰ

10

20

30

40

50

Uはメモリ制御器2000の全般的な動作を制御するように構成される。例えば、処理ユニット2300はフラッシュ変換階層(Flash Translation Layer:FTL)のようなファームウェアを運用するように構成される。バッファメモリ2400はホストインターフェイス2100を通じて外部へ伝達されるデータを臨時格納するのに使用される。バッファメモリ2400はメモリインターフェイス2200を通じて不揮発性メモリ装置1000から伝達されるデータを臨時格納するのに使用される。

【0058】

エラー検出及び訂正回路2500は不揮発性メモリ装置1000に格納されるデータを符号化するように、そして不揮発性メモリ装置4100から読み出されたデータを復号化するように構成される。符号化はパリティ情報を生成する動作を含み、パリティ情報はフィールド単位で生成され得る。1ページのデータは1つ又はそれより多いフィールドで構成され得る。復号化はエラー検出動作とエラー訂正動作を含む。不揮発性メモリ装置1000で出力されたデータが外部へ伝送される時、エラー検出動作とエラー訂正動作とを含む復号化がエラー検出及び訂正回路2500によって行われる。先に説明された複写動作の時、エラー検出及び訂正回路2500はエラー訂正動作無しで不揮発性メモリ装置1000から読み出されたデータに対するエラー検出動作のみを遂行する。エラー検出及び訂正回路2500はエラー検出動作の結果としてエラー位置情報及びエラーフラッグ情報を発生し、エラー位置情報及びエラーフラッグ情報は処理ユニット2300の制御の下にメモリインターフェイス2200を通じて不揮発性メモリ装置1000へ伝送される。例えば、エラー位置情報はエラーが発生したデータビットを指定するための列アドレスを含み、エラーフラッグ情報はエラー位置情報によって指定される位置のデータビットがエラーであることを示すビット情報である。他の例として、エラー検出及び訂正回路2500はエラー検出動作の結果としてエラー位置情報によって指定される位置のデータビットがエラーであることを示すビット情報(即ち、エラーフラッグ情報)を包含するフィールドデータ(エラー訂正されたデータでないことに注意する)を不揮発性メモリ装置1000へ伝送する。これは以後詳細に説明される。

【0059】

たとえ図面には図示せずが、メモリ制御器2000はROMをさらに包含できる。ROMはフラッシュ変換階層(Flash Translation Layer:FTL)のようなファームウェアを格納するのに使用され得る。他の例として、ROMを包含しないようにメモリ制御器2000を構成することが可能である。このような場合、ROMに格納されるファームウェアはメモリ制御器2000によって制御される不揮発性メモリ装置1000に格納され、パワーアップの時に不揮発性メモリ装置1000からメモリ制御器2000へロードされる。

【0060】

例示的な実施形態において、ホストインターフェイス2100はコンピュータバス標準、ストレージバス標準、iFCP Peripheralバス標準等の中で1つ又はそれより多いことの組合で構成され得る。コンピュータバス標準(computer bus standards)はS-100 bus、Mbus、Smbus、Q-Bus、ISA、Zorro II、Zorro III、CAMAC、FASTBUS、LPC、EISA、VME、VXI、NuBus、TURBOchannel、MCA、Sbus、VLB、PCI、PXI、HP GSC bus、CoreConnect、InfiniBand、UPA、PCI-X、AGP、PCIe、Intel QuickPath Interconnect、Hyper Transport、等を含む。ストレージバス標準(storage bus standards)はST-506、ESDI、SMD、Parallel ATA、DMA、SSA、HIPPI、USB MSC、FireWire(1394)、Serial ATA、eSATA、SCSI、Parallel SCSI、Serial Attached SCSI、Fibre Channel、iSCSI、SAS、RapidIO、FCIP、等を含む。iFCP Peripheralバス標準(iFCP Peripheral bus sta

ndards)はApple Desktop Bus、HIL、MIDI、Multibus、RS-232、DMX512-A、EIA/RS-422、IEEE-1284、UNI/O、1-Wire、I2C、SPI、EIA/RS-485、USB、Camera Link、External PCIE、Light Peak、Multidrop Bus、等を含む。

【0061】

図3は本発明の他の実施形態による図1に図示されたメモリ制御器を概略的に示すブロック図である。図3において、図2に図示されたことと実質的に同一な構成要素は同一な参照番号に付し、それに対する説明はしたがって省略される。図3に図示されたメモリ制御器2000aはランダム化器/デランダム化器2600をさらに含む。

10

【0062】

ランダム化器/デランダム化器2600は不揮発性メモリ装置1000へ伝送されるデータをランダム化するように、そして不揮発性メモリ装置1000から出力されるデータ(例えば、ランダム化されたデータ)をデランダム化するように構成される。先に説明された複写動作の時、ランダム化器/デランダム化器2600は不揮発性メモリ装置1000から出力されるデータ(例えば、ランダム化されたデータ)をデランダム化し、エラー検出及び訂正回路2500はデランダム化されたデータのエラーを検出する。先に説明されたように、メモリ制御器2000aから不揮発性メモリ装置1000へ伝送されるエラーフラッグ情報はランダム化器/デランダム化器2600によってランダム化されない。同様に、エラーフラッグ情報を含むフィールドデータが伝送される場合にも、ランダム化器/デランダム化器2600は動作しない。エラー訂正されたデータが不揮発性メモリ装置1000へ伝送される場合、エラー訂正されたデータはランダム化器/デランダム化器2600によってランダム化される。本発明の場合、エラー訂正がメモリ制御器2000aによって提供されるエラーフラッグ情報にしたがって不揮発性メモリ装置1000によって行われるので、ランダム化器/デランダム化器2600のランダム化はエラーフラッグ情報/フィールドデータ(エラーフラッグ情報を含む)の伝送の時に行われない。

20

【0063】

図4は本発明の一実施形態による図1に図示された不揮発性メモリ装置を概略的に示すブロック図である。図4を参照すれば、不揮発性メモリ装置1000はメモリセルアレイ1100、アドレスデコーダー1200、電圧発生器1300、制御ロジック1400、ページバッファ回路1500、及び入出力インターフェイス1600を含む。

30

【0064】

メモリセルアレイ1100は行(例えば、ワードライン)と列(例えば、ビットライン)との交差領域に配列されたメモリセルを含む。メモリセルの各々は1ビットデータ又はマルチビットデータを格納する。アドレスデコーダー1200は制御ロジック1400によって制御され、メモリセルアレイ1100の行(例えば、ワードライン、ストリング選択ライン、接地選択ライン、共通ソースライン、等)の選択及び駆動を行う。電圧発生器1300は制御ロジック1400によって制御され、各動作に必要である電圧(例えば、高電圧、プログラム電圧、読出し電圧、検証電圧、消去電圧、パス電圧、バルク電圧、等)を発生する。電圧発生器1300によって電圧はアドレスデコーダー1200を通じてメモリセルアレイ1100へ提供される。制御ロジック1400は不揮発性メモリ装置1000の全般的な動作を制御するように構成される。ページバッファ回路1500は制御ロジック1400によって制御され、メモリセルアレイ1100からデータを読み出すように、又はプログラムデータにしたがってメモリセルアレイ1100の列(例えば、ビットライン)を駆動するように構成される。入出力インターフェイス1600は制御ロジック1400によって制御され、外部(例えば、図1のメモリ制御器)とインターフェイスするように構成される。

40

【0065】

ページバッファ回路1500はビットライン又はビットライン対に各々対応する複数のページバッファで構成される。ページバッファの各々は複数のラッチを含む。ページバッ

50

ファ回路 1500 は制御ロジック 1400 の制御の下に各ページバッファのラッチを利用してエラー訂正動作を遂行する。即ち、ページバッファ回路 1500 は制御ロジック 1400 の制御の下にメモリ制御器 2000 から提供されたエラーフラグ情報にしたがってエラー訂正動作を遂行する。本発明の例示的な実施形態において、エラー訂正動作はエラー位置情報に対応するデータビットの値を反転させることによって、達成される。即ち、エラー位置情報に対応するデータビットの値はエラーフラグ情報にしたがって反転される。このようなエラー訂正動作をビットフリップ動作と称する。これは以後詳細に説明する。

【0066】

図 5 は全てのビットラインメモリ構造又はオッドイ - ブンメモリ構造のためにメモリセルアレイをメモリブロックで構成する例を示す図面である。メモリセルアレイ 1100 の例示的な構造が説明される。一例として、メモリセルアレイ 1100 が 1024 個のメモリブロックに分けられた NAND フラッシュメモリ装置が説明される。各メモリブロックに格納されたデータは同時に消去され得る。一実施形態において、メモリブロックは同時に消去される格納素子の最小単位である。各メモリブロックには、例えば、ビットラインに各々対応する複数の列がある。全てのビットライン (all bit line: ABL) 構造と称される一実施形態において、メモリブロックの全てのビットラインは読出し及びプログラム動作の間に同時に選択され得る。選択されたワードラインに属し、全てのビットラインと連結された格納素子は同時にプログラムされ得る。

【0067】

例示的な実施形態において、同一な列に属する複数の格納素子は NAND スtring 111 を構成するように直列に連結される。NAND スtring の一端子は String 選択ライン SSL によって制御される選択トランジスターを通じて対応するビットラインに連結され、他の端子は接地選択ライン GSL によって制御される選択トランジスターを通じて共通ソースライン CSL に連結される。

【0068】

オッドイ - ブン構造 (odd - even architecture) と称される他の例示的な実施形態において、ビットラインはイ - ブンビットライン BL_e とオッドビットライン BL_o とに区分される。オッドノイ - ブンビットライン構造において、選択されたワードラインに属し、オッドビットラインと連結された格納素子が第 1 時間にプログラムされる反面に、選択されたワードラインに属し、イ - ブンビットラインと連結された格納素子は第 2 時間にプログラムされる。データは他のブロックにプログラムされ得り、他のメモリブロックから読み出され得る。このような動作は同時に遂行できる。

【0069】

図 6 は本発明の例示的な実施形態による図 5 に図示されたページバッファ回路の一部を示すブロック図である。本発明の実施形態によるページバッファ回路 1500 はビットラインに各々連結された複数のページバッファ PB を含む。図 6 には単なる 1 つのページバッファ PB が図示されている。残りページバッファの各々は図 6 に図示されたことと実質的に同様に構成される。

【0070】

図 6 を参照すれば、ページバッファ PB は図 4 の制御ロジック 1400 によって制御され、プリチャージ回路 1510、ラッチブロック 1520、及びデータ入出力回路 1530 を含む。プリチャージ回路 1510 はビットライン BL に連結され、ビットライン BL をプリチャージするように構成される。一对のビットラインにページバッファ PB が連結される場合、プリチャージ回路 1510 は一对のビットラインの中から 1 つを選択する機能を含む。ラッチブロック 1520 は感知ノード SO に連結される。ラッチブロック 1520 は複数の、例えば 5 つのラッチユニット 1521 ~ 1525 (図面には S、L、M、F、及び C に各々示す) を含む。ページバッファ PB に含まれたラッチユニットの数がここに開示されたことに制限されない。ラッチブロック 1520 は感知動作 (プログラム検証動作、読出し動作、消去検証動作等に関連される) の時、制御ロジック 1400 の制御

10

20

30

40

50

の下に感知ノードS Oの値をラッチするように構成される。制御ロジック1400はラッチの間からデータが伝達されるダンプ動作を実行するようにラッチブロック1520を制御する。ダンプ動作の時、ラッチの間から伝達されるデータの位相は制御ロジック1400の制御にしたがって反転されるか、或いはそのまま維持される。ラッチブロック1520はプログラム動作の時、プログラムデータにしたがってビットラインBLをビットラインプログラム電圧（例えば、0V又は0Vより高くても電源電圧より低い電圧）又はビットラインプログラム禁止電圧（例えば、電源電圧）で駆動する。

【0071】

以後説明されるように、ラッチブロック1520は制御ロジック1400の制御にしたがってエラーフラグ情報を利用して先に説明されたビットフリップ動作（又は、エラー訂正動作）を遂行する。これは制御ロジック1400の制御にしたがってラッチユニット1521～1525の間で行われるデータ伝送動作を通じて達成される。データ入出力回路1530はラッチブロック1520のデータをデータラインDLへ伝送するか、或いはデータラインDLのデータをラッチブロック1520へ伝送するように構成される。

【0072】

図6に図示されたページバッファPBの構成がここに開示されたことに制限されない。

【0073】

図7は本発明の実施形態による不揮発性メモリ装置のエラー訂正動作を概略的に説明するための図面である。以下、本発明の実施形態による不揮発性メモリ装置1000のエラー訂正動作が参照図面に基づいて詳細に説明される。

【0074】

メモリセルアレイ1100の第1格納領域から読み出されたデータを第2格納領域に複写する場合、第1格納領域から読み出されたデータに対するエラー訂正が行われる。第1格納領域から読み出されたデータに対するエラー訂正は、先に説明されたように、メモリ制御器2000によって行われるのではなく、不揮発性メモリ装置1000によって行われる。エラー訂正はメモリ制御器2000から提供されるエラーフラグ情報にしたがって行われる。例えば、エラー訂正はビットフリップ動作を通じて行われる。

【0075】

図7に図示されたように、説明の便宜上、メモリセルアレイ1100の第1格納領域から読み出されたデータが“01010011”の8ビットデータであると仮定する。第1格納領域から読み出されたデータは、先ず、メモリ制御器2000へ提供される。メモリ制御器2000のエラー検出及び訂正回路2500は不揮発性メモリ装置1000から提供されるデータがエラーがあるか否かを判別する。仮に不揮発性メモリ装置1000から提供されるデータがエラーがあると判別されれば、エラー検出及び訂正回路2500はエラー位置情報及びエラーフラグ情報を発生する。エラー位置情報及びエラーフラグ情報は処理ユニット2300の制御の下に不揮発性メモリ装置1000へ提供される。ここで、エラーフラグ情報はエラー位置情報に対応するデータビットがエラーがあることを示す。例えば、図7に図示されたように、エラーフラグ情報はエラー位置情報に対応するデータビットが誤ったことと判別される時、メモリの値を有する。しかし、エラーフラグ情報がエラー位置情報に対応するデータビットが誤ったことと判別される時、‘0’の値を有するように設定され得ることは理解できる。

【0076】

エラーフラグ情報は第1格納領域から読み出されたデータと独立的に不揮発性メモリ装置1000のページバッファ回路1500に格納される。エラーフラグ情報に基づいてページバッファ回路1500を通じてエラー訂正動作又はビットフリップ動作が行われる。図7に図示されたように、エラー位置情報に対応するデータビットはエラーフラグ情報に基づいて‘1’から‘0’に変更される。変更されたデータビットを含むデータはエラー訂正されたデータである。以後、エラー訂正されたデータはメモリセルアレイ1100の第2格納領域に格納される。

【0077】

10

20

30

40

50

エラーフラッグ情報に基づいて行われるページバッファのエラー訂正動作又はビットフリップ動作が以下詳細に説明される。

【 0 0 7 8 】

エラー訂正動作（又は、ビットフリップ動作）はページバッファ P B のラッチユニットを利用して行われる。例えば、エラー訂正動作は 3 つのラッチユニット 1 5 2 1、1 5 2 2、1 5 2 5 を利用して排他的 O R 動作を通じて行われる。エラー訂正動作が排他的 O R（X O R）動作に制限されない。例えば、エラー訂正動作はエラーフラッグ情報の値にしたがって排他的 N O R（X N O R）動作を通じて行われ得る。エラー訂正動作は制御ロジック 1 4 0 0 の制御の下に行われる。

【 0 0 7 9 】

先ず、第 1 格納領域から読み出されたデータはラッチユニット 1 5 2 1（以下、S ラッチユニットと称する）に格納される。S ラッチユニット 1 5 2 1 に格納されたデータはラッチユニット 1 5 2 2、1 5 2 5（以下、L ラッチユニット及び C ラッチユニットと称する）へ各々ダンプされる。C ラッチユニット 1 5 2 5 に格納されたデータはエラーを検出するためにメモリ制御器 2 0 0 0 へ出力される。説明の便宜上、1 つのデータビットを基準としてエラー訂正動作が説明される。このような場合、1 つの読み出されたデータビット及び 1 つのエラーフラッグビットの組合は 4 つの種類である場合（例えば、‘ 0 0 ’、‘ 0 1 ’、‘ 1 0 ’、及び‘ 1 1 ’）の中の 1 つである。下の表 1 はエラーを検出するためにメモリ制御器 2 0 0 0 にデータが出力される時、各ラッチユニットの状態を示す。下の表で‘ X ’は d o n ’ t c a r e を意味する。先に説明によれば、下の表 1 で分かるように、S ラッチユニット 1 5 2 1、L ラッチユニット 1 5 2 2、及び C ラッチユニット 1 5 2 5 は同一な状態を有する。

【 0 0 8 0 】

【表 1】

S-l a t c h	L-l a t c h	M-l a t c h	F-l a t c h	C-l a t c h
1	1	x	x	1
1	1	x	x	1
0	0	x	x	0
0	0	x	x	0

【 0 0 8 1 】

C ラッチユニット 1 5 2 5 からメモリ制御器 2 0 0 0 へデータが出力された後、C ラッチユニット 1 5 2 5 は‘ 0 ’の値を有するように初期化される。メモリ制御器 2 0 0 0 は不揮発性メモリ装置 1 0 0 0 から出力されたデータに対するエラー検出動作を遂行し、エラー検出動作の結果としてエラー位置情報及びエラーフラッグ情報（又は、エラーフラッグビット）を不揮発性メモリ装置 1 0 0 0 へ提供する。エラーフラッグ情報（又は、エラーフラッグビット）はメモリの値を有する。エラーフラッグ情報を入力する前に S ラッチユニット 1 5 2 1 は‘ 0 ’に初期化される。下の表 2 は L ラッチユニット 1 5 2 2 の値（読み出されたデータビットの値）と C ラッチユニット 1 5 2 5 の値（エラーフラッグ情報 / ビット）との組合にしたがう場合を示す。

【 0 0 8 2 】

【表 2】

S-latch	L-latch	M-latch	F-latch	C-latch
0	1	x	x	1
0	1	x	x	0
0	0	x	x	1
0	0	x	x	0

【0083】

Cラッチユニット1525へロードされた‘1’に対応するLラッチユニット1522の値を反転させることによって、エラー訂正動作が達成され、これは以下詳細に説明される。

10

【0084】

まず、制御ロジック1400はCラッチユニット1525へロードされたエラーフラグビットを反転させ、反転されたビットをSラッチユニット1521に格納するようにページバッファPBを制御する。エラーフラグビットの反転はCラッチユニット1525からSラッチユニット1521にデータがダンプされる過程で行われる。このような動作の結果は下の表3の通りである。

【0085】

【表 3】

20

S-latch	L-latch	M-latch	F-latch	C-latch
0	1	x	x	1
1	1	x	x	0
0	0	x	x	1
1	0	x	x	0

【0086】

制御ロジック1400はSラッチユニット1521の値が‘0’であり、Lラッチユニット1522の値が‘0’である時、Sラッチユニット1521の値及びLラッチユニット1522の値が‘1’に変更されるようにページバッファPBを制御する。このような動作の結果は下の表4の通りである。

30

【0087】

【表 4】

S-latch	L-latch	M-latch	F-latch	C-latch
0	1	x	x	1
1	1	x	x	0
1	1	x	x	1
1	0	x	x	0

40

【0088】

制御ロジック1400はSラッチユニット1521の値が‘0’である時、Lラッチユニット1522の値が‘0’に変更されるようにページバッファPBを制御する。このような動作の結果は下の表5の通りである。

【0089】

【表 5】

S-latch	L-latch	M-latch	F-latch	C-latch
0	0	x	x	1
1	1	x	x	0
1	1	x	x	1
1	0	x	x	0

【0090】

Lラッチユニット1522に格納されたデータがエラー訂正されたデータになる。即ち、読み出されたデータビットがメモリの値を有し、対応するエラーフラッグビットがメモリの値を有する時、表2及び表5で分かるように、Lラッチユニット1522の値は‘1’から‘0’に変更される。読み出されたデータビットが‘0’の値を有し、対応するエラーフラッグビットがメモリの値を有する時、表2及び表5で分かるように、Lラッチユニット1522の値は‘0’から‘1’に変更される。

10

【0091】

先に説明されたエラー訂正動作又はビットフリップ動作は例示的なことであり、本発明はここに開示されたことに制限されない。エラー訂正動作又はビットフリップ動作はページバッファの構造、エラーフラッグ情報の値、等にしたがって多様に変更される。

【0092】

20

図8は本発明の実施形態によるメモリシステムの複写動作を説明するためのフローチャートであり、図9は図8で説明される複写動作の時、エラーフラッグ情報を不揮発性メモリ装置へ伝送するためのタイミング図である。以下、本発明の実施形態によるメモリシステムの複写動作が参照図面に基づいて詳細に説明される。

【0093】

以後説明される複写動作は、先に説明されたように、メモリセルアレイ1100の第1格納領域（例えば、第1メモリブロックに属する1つのページに対応する）から第2格納領域（例えば、第2メモリブロックに属する1つのページに対応する）へデータを複写する動作を意味する。複写動作という用語が特定動作に制限されない。例えば、複写動作は1つの格納領域から他の格納領域へデータを移る全て動作を包含するように解釈される。

30

【0094】

先ず、S100段階で、ページバッファ回路1500はメモリセルアレイ1100の第1メモリブロックの第1格納領域（又は、選択されたページ）からデータを読み出す。読み出されたデータはページバッファ回路1500のSラッチユニット1521に格納される。読み出されたデータは読出し動作の間に発生され得るエラービットを包含できる。エラー訂正無しで第2メモリブロックの第2格納領域にエラービットを含む読み出されたデータがそのまま格納される場合、第2格納領域に格納されたデータのエラービットの数はメモリ制御器2000のエラー訂正範囲を超過され得る。即ち、データ信頼性が低下され得る。その故に、読み出されたデータに対するエラー検出及び訂正動作が行われる。このために、S110段階で、読み出されたデータはメモリ制御器2000へ出力される。先に説明されたように、読み出されたデータは外部へ出力される以前にLラッチユニット1522及びCラッチユニット1525へダンプされる。Cラッチユニット1525に格納された読み出されたデータがメモリ制御器2000へ出力される。

40

【0095】

S120段階で、メモリ制御器2000は読み出されたデータがエラービットを含むかを判別する。これはメモリ制御器2000のエラー検出及び訂正回路2500を通じて行われる。読み出されたデータがエラービットを包含しないことと判別されれば、手続はS160段階に進行する。読み出されたデータがエラービットを含むことと判別されれば、エラー検出及び訂正回路2500はエラー位置情報及びエラーフラッグ情報を発生させる。エラー検出及び訂正回路2500はエラー位置情報及びエラーフラッグ情報を発生

50

するためのエラー検出動作を遂行する。即ち、複写動作の時、エラー検出及び訂正回路 2500 はエラー訂正動作を遂行する必要性がない。S140 段階で、メモリ制御器 2000 から不揮発性メモリ装置 1000 へエラー位置情報及びエラーフラッグ情報が伝送される。これは図 9 を参照して以下詳細に説明される。

【0096】

不揮発性メモリ装置 1000 から出力された読み出されたデータは 1 つ又はそれより多いエラービットを包含できる。エラー位置情報及びエラーフラッグ情報はエラービット単位で反復的に不揮発性メモリ装置 1000 へ伝送される。図 9 に図示されたように、エラービットの中の第 1 番目のエラービットに対応したエラー位置情報は第 1 命令 86h に続いて伝送されるアドレス C1C2R1R2R3 に包含され、エラーフラッグ情報 EFI はアドレス C1C2R1R2R3 に続いて伝送される。ここで、アドレス C1C2R1R2R3 の中の列アドレス C1C2 はエラー位置情報を含む。アドレス C1C2R1R2R3 は第 1 格納領域を含むメモリブロック（又はプラン/マット）を指定するための行アドレス R1R2R3 を含む。このようなシーケンスは 1 つのエラービットに関連されて行われる。残りのエラービット各々に対応するエラー位置情報は、図 9 に図示されたように、第 1 命令 86h に続いて伝送されるアドレス C1C2 に包含され、エラーフラッグ情報 EFI はアドレス C1C2 に続いて伝送される。ここで、アドレス C1C2、即ち列アドレス C1C2 はエラー位置情報を含む。全てのエラービットによって対するエラーフラッグ情報が図 9 に図示されたタイミングにしたがって不揮発性メモリ装置 1000 へ伝送された後、第 2 命令 12h がメモリ制御器 2000 から不揮発性メモリ装置 1000 へ伝送される。以後、以下で説明されるように、エラー訂正動作（又は、ビットフリップ動作）及びプログラム動作が行われる。

【0097】

再び図 8 を参照すれば、S140 段階で続いて S150 段階で、不揮発性メモリ装置 1000 はメモリ制御器 2000 から提供されたエラーフラッグ情報に基づいてエラー訂正動作（又は、ビットフリップ動作）を遂行する。エラー訂正動作（又は、ビットフリップ動作）は表 2 乃至表 5 を参照して説明されたことと実質的に同様に行われるので、それに対する説明は省略される。S160 段階で、エラー訂正されたデータはメモリセルアレイ 1100 の第 2 格納領域にプログラム/格納される。以後、手続は終了される。

【0098】

先の説明のよれば、エラー検出はメモリ制御器 2000 によって行われ、エラー訂正は不揮発性メモリ装置 1000 内で行われる。即ち、エラー検出の以後、メモリ制御器 2000 によってエラー訂正が行われないので（又は、エラー検出の以後、不揮発性メモリ装置 1000 によってエラー訂正が行われるので）、不揮発性メモリ装置 1000 から出力されたデータ（又は、訂正されたデータ）を全ての不揮発性メモリ装置 1000 へ伝送する必要がない。これはメモリ制御器 2000 から不揮発性メモリ装置 1000 へデータを伝送するのに掛かる時間及び/又はメモリ制御器 2000 から不揮発性メモリ装置 1000 へデータを伝送するのに消耗される電力が減少されることを意味する。

【0099】

図 10 は本発明の他の実施形態による図 8 で説明される複写動作の時、エラーフラッグ情報を不揮発性メモリ装置へ伝送するためのタイミング図である。

【0100】

エラービット単位でエラーフラッグ情報が伝送される図 9 の伝送方式と異なり、エラーフラッグ情報（エラービットによって各々対応するエラーフラッグビットを包含する）を含むデータ（以下、フィールドデータと称する）が命令 86h 及びアドレス C1C2R1R2R3 に続いて不揮発性メモリ装置 1000 へ伝送される。そのようなフィールドデータの大きさは読み出されたデータの大きさと同一である。フィールドデータにおいて、エラー位置情報に対応する位置の値（即ち、エラーフラッグビットの値）はロジック値 '1'（ロジック値がエラービットであることを示す）であり、残りの位置の値は反転されたロジック値 '0'（ロジック値がノンエラービット（non-error bit）で

あることを示す)である。例えば、データがメモリ制御器2000から不揮発性メモリ装置1000へバイト単位で伝送される場合、エラー位置情報に対応する位置は8つのデータビット(例えば、D0~D7)の中の1つ(例えば、D1)に対応する。エラーフラグ情報を含むフィールドデータが伝送される方式の場合、バス遷移回数が非常に少ない。これはデータ伝送の時、消耗される電力が減少することを意味する。また、エラー検出がメモリ制御器によって行われ、エラー訂正が不揮発性メモリ装置内で行われるので、メモリ制御器から不揮発性メモリ装置へデータを伝送するのに掛かる時間及び/又はメモリ制御器から不揮発性メモリ装置へデータを伝送するのに消耗される電力が減少される。

【0101】

図11は本発明の実施形態によるメモリシステムのエラー検出動作及びエラー訂正動作を概略的に説明するための図面である。

【0102】

メモリセルアレイMCAの第1格納領域(例えば、第1メモリブロックの1ページに対応する)のデータはメインバッファMBを通じて読み出し、メインバッファMBに格納された読み出されたデータはキャッシュバッファCBを通じてメモリ制御器2000へ伝送される。ここで、メインバッファMBはSラッチユニット1521で構成され得り、キャッシュバッファCBはCラッチユニット1525で構成され得る。しかし、本発明はそれに制限されない。メインバッファMBとキャッシュバッファCBとはページバッファ回路1500を構成する。メモリ制御器2000へ伝送されたデータはランダム化器/デランダム化器2600を通じてデランダム化され、エラー検出及び訂正回路2500はランダム化器/デランダム化器2600によってデランダム化されたデータに対するエラー検出動作を遂行する。ここで、不揮発性メモリ装置1000から出力される読み出されたデータRDのデランダム化されたデータはバッファメモリ2400に格納される。エラー検出動作の結果として、エラーフラグ情報が不揮発性メモリ装置1000のキャッシュバッファCBへ伝送される。ここで、エラーフラグ情報は図9で説明された方式又は図10で説明された方式にしたがってメモリ制御器2000から不揮発性メモリ装置1000へ伝送される。エラーフラグ情報又はエラーフラグ情報を含むフィールドデータはランダム化器/デランダム化器2600を経由しなくて直接不揮発性メモリ装置1000へ伝送される。キャッシュバッファCBに格納されたエラーフラグ情報に基づいてビットフリップ動作(又は、エラー訂正動作)が行われ、ビットフリップ動作(又は、エラー訂正動作)を通じて訂正されたデータはメインバッファMBを通じてメモリセルアレイMCAの第2格納領域(例えば、第2メモリブロックの1ページに対応する)に格納される。ビットフリップ動作(又は、エラー訂正動作)は表3乃至図5で説明されたことと実質的に同一であるので、それに対する説明は省略される。

【0103】

例示的な実施形態において、メモリ制御器2000から提供されるエラーフラグ情報はページバッファ回路1500のキャッシュバッファCBへロードされる。この時、メインバッファMBには読み出されたデータが格納されている。即ち、キャッシュバッファCBへロードされる情報はメインバッファMBにされたデータビットが誤ったか否かを示す値である。

【0104】

例示的な実施形態において、図11で説明された複写動作は点線で示されたランダム化器/デランダム化器2600を含むメモリ制御器(例えば、図3に図示されたことに対応する)のみでなく、点線で示されたランダム化器/デランダム化器2600を含まないメモリ制御器(例えば、図2に図示されたことに対応する)に適用できる。ランダム化器/デランダム化器2600を含むメモリ制御器2000において、仮に第1格納領域を含む第1メモリブロック及び第2格納領域を含む第2メモリブロックに対するランダム化のためのシードが互に同一な場合、エラーフラグ情報に対するランダム化は行われない。

【0105】

例示的な実施形態において、シード値はランダム化されたデータが格納される領域のメ

10

20

30

40

50

メモリセルに格納される。

【 0 1 0 6 】

複写動作であるコピーバック動作（又はコピーバックプログラム動作）が特許文献 1 に開示され、この出願のレファレンスとして包含される。

【 0 1 0 7 】

図 1 2 は本発明の他の実施形態によるメモリシステムのエラー検出動作及びエラー訂正動作を概略的に説明するための図面である。

【 0 1 0 8 】

メモリセルアレイ M C A の第 1 格納領域のデータはメインバッファ M B を通じて読出し、メインバッファ M B に格納された読み出されたデータはキャッシュバッファ C B を通じてメモリ制御器 2 0 0 0 へ伝送される。ここで、メインバッファ M B は S ラッチユニット 1 5 2 1 で構成され得り、キャッシュバッファ C B は C ラッチユニット 1 5 2 5 で構成され得る。しかし、本発明はそれに制限されない。ここで、不揮発性メモリ装置 1 0 0 0 から出力される読み出されたデータ R D のデランダム化されたデータはバッファメモリ 2 4 0 0 に格納される。メモリ制御器 2 0 0 0 へ伝送されたデータはランダム化器 / デランダム化器 2 6 0 0 を通じてデランダム化され、エラー検出及び訂正回路 2 5 0 0 はランダム化器 / デランダム化器 2 6 0 0 によってデランダム化されたデータに対するエラー検出動作を遂行する。仮にメモリセルアレイ M C A の第 1 格納領域に関連されたランダム化動作のためのシード値が第 2 格納領域に関連されたランダム化動作のためのシード値と一致しなければ、メモリ制御器 2 0 0 0 は読み出されたデータに対するエラー検出動作のみで無く、エラー訂正動作を遂行する。ここで、不揮発性メモリ装置 1 0 0 0 から出力される読み出されたデータ R D のデランダム化されたデータはバッファメモリ 2 4 0 0 に格納される。読み出されたデータのエラーはエラー検出及び訂正回路 2 5 0 0 によって訂正される。訂正されたデータはランダム化器 / デランダム化器 2 6 0 0 を通じて不揮発性メモリ装置 1 0 0 0 のキャッシュバッファ C B へ伝送される。キャッシュバッファ C B に格納されたエラー訂正されたデータはメインバッファ M B へ伝送され、メインバッファ M B へ伝送されたデータ（即ち、エラー訂正されたデータ）はメモリセルアレイ M C A の第 2 格納領域に格納される。

【 0 1 0 9 】

先に説明されたエラー検出動作及びエラー訂正動作を含む複写動作は多様なメモリシステムに適用できる。以下、先に説明されたエラー検出動作及びエラー訂正動作を含む複写動作が適用されるメモリシステムの一例が説明される。

【 0 1 1 0 】

図 1 3 A はマルチレベルメモリ装置に適用されるアドレススクランブル方式の一例を説明するための図面である。

【 0 1 1 1 】

各メモリセルに格納されるデータビットの数が増加されることによって、マルチビット（又は、マルチレベル）データを格納するメモリ装置（以下、マルチレベルメモリ装置と称する）の信頼性を確保することが漸次的に難しくなり得る。信頼性を低下させる要因の中で代表的な 1 つは隣接メモリセルの間のカップリングによる閾値電圧の変化である。例えば、以前にプログラムされたメモリセルの閾値電圧はプログラムされたメモリセルに隣接するメモリセルがプログラムされる時、生じるカップリングによって変化され得る。

【 0 1 1 2 】

1 つのメモリセルに 3 ビットデータが格納されると仮定の下でアドレススクランブル方式が説明される。図示の便宜上、図 1 3 A には単なる 4 つのワードライン W L 0 - W L 3 が図示されている。ワードライン W L 0 - W L 3 各々には複数のメモリセル M C が連結される。先ず、下位 2 ビットデータが第 1 番目のワードライン W L 0 に連結されたメモリセル各々に格納される 1 ステッププログラム動作が遂行される。即ち、1 ステッププログラム動作の間に、第 1 番目のワードライン W L 0 に連結されたメモリセルには 2 ページデータが格納される。これは図 1 3 A で (1) に表記されている。その次に、第 2 番目のワード

ラインWL1に連結されたメモリセルに対して1ステッププログラム動作が遂行される。これは図13Aで(2)に表記されている。第2番目のワードラインWL1に対する1ステッププログラム動作が遂行された後、第2番目のワードラインWL1の下に位置し、下位2ビットデータがプログラムされた第1番目のワードラインWL0に連結されたメモリセルに上位1ビットデータが格納される粗いプログラム動作(*coarse program operation*) (又は、第2番目のステッププログラム(*2-step programming*))と称される)が遂行される。これは図13Aで(3)に表記されている。第1番目のワードラインWL0に連結されたメモリセルに対して粗いプログラム動作が遂行された後、第3番目のワードラインWL2に対する1ステッププログラム動作が遂行される、これは図13Aで(4)に表記されている。第3番目のワードラインWL2に対する1ステッププログラム動作の以後、下位2ビットデータがプログラムされた第2番目のワードラインWL1に連結されたメモリセルに上位1ビットデータが格納される粗いプログラム動作が遂行される。これは図13Aで(5)に表記されている。その後、第1番目のワードラインWL0に対する精巧なプログラム動作(*fine program operation*)が遂行される。これは図13Aで(6)に表記されている。以後、1ステップ、粗い、そして精巧なプログラム動作が先に説明されたプログラム順序(図13A参照)にしたがって順次的に遂行される。図13で説明されたプログラム順序にしたがってワードラインが選択される方式をアドレススクランブル方式と称する。アドレススクランブル方式がここに開示されたことに制限されない。

【0113】

1ステッププログラム動作と粗いプログラム動作とが完了されれば、Mビットデータ(Mは2又はそれより大きい整数)に対応する閾値電圧分布(例えば、2Mつの閾値電圧分布)が全て形成される。たとえ粗いプログラム動作が完了されることにしたがって全て閾値電圧分布が形成されても、閾値電圧分布間のマージンは閾値電圧分布を明確に区分するのに充分でない。閾値電圧分布を明確に区分するのに充分なマージンを確保するために精巧なプログラム動作が遂行される。精巧なプログラム動作は各閾値電圧分布の幅を狭くするために行われ、粗いプログラム動作で使用される閾値電圧分布の検証電圧より所定電圧程度各々高い検証電圧を使用して行われる。このようなプログラム方式を通じて隣接するメモリセルの間のカップリングを減らすことが可能である。このようなプログラム方法/アルゴリズムは再プログラム方法/アルゴリズム(*reprogram method/algorithm*)と称する。

【0114】

例示的な実施形態において、3ビットデータのための再プログラム方法、即ち、1ステッププログラミング、粗いプログラミング、及び精巧なプログラミングが2ビットデータ及び4ビットデータの再プログラム方法にも全て適用され得ることはよく理解できる。

【0115】

このような再プログラム方法によると、任意のワードラインに対する精巧なプログラム動作が終了される時まで任意のワードラインのメモリセルに格納されたデータを維持する必要がある。例えば、1ステッププログラム動作はメモリ制御器からマルチビットメモリ装置へ提供されるデータに基づいて行われ、粗いプログラム動作は1ステッププログラム動作を通じて格納されたデータとメモリ制御器から提供されるデータとに基づいて行われる。精巧なプログラム動作は1ステッププログラム動作と粗いプログラム動作とを通じて格納されたデータに基づいて行われる。しかし、先に説明されたように、1ステッププログラム動作と粗いプログラム動作とを通じて格納されたデータを正確に読み出すことは難しい。これは精巧なプログラム動作に必要であるデータはメモリ制御器からマルチビットメモリ装置へ提供されなければならないことを意味する。そのような理由で、任意のワードラインに対する精巧なプログラム動作が終了される時まで任意のワードラインのメモリセルに格納されたデータがメモリ制御器によって維持される。これは精巧なプログラム動作に必要であるデータを維持するための大きい容量のバッファメモリがメモリ制御器へ提供されることを意味する。バッファメモリの容量を減らすために以後説明されるオンチッ

プバッファプログラミング (On-chip Buffered Programming: OBP) 技術がメモリシステムに適用され得る。

【0116】

図13Bは各メモリセル当たり3ビットデータを格納し、3ステッププログラム方式にしたがってプログラム動作が遂行される時、変化される閾値電圧分布を示す図面である。以下、3ステッププログラム方式によるプログラム方法が参照図面に基づいて説明される。

【0117】

先ず、選択されたワードライン (例えば、WL0、図13A参照) のメモリセルには2ページデータ (即ち、第1及び第2ページデータ) が同時に格納される。この時、図13Bのボックス31に図示されたように、消去状態Eに対応する閾値電圧分布に属するメモリセルはプログラムされるデータにしたがってプログラム状態Q1、Q2、Q3に各々対応する閾値電圧分布に属する閾値電圧を有するようにプログラムされる。

10

【0118】

先に説明されたように、ワードライン (例えば、WL0) に属する1ステッププログラムされたメモリセルの粗いプログラム動作は隣接するワードライン (例えば、WL1) に属するメモリセルの1ステッププログラム動作の以後に行われる。この時、図13Bのボックス31の実線で表示されたように、ワードライン (例えば、WL0) に属する1ステッププログラムされたメモリセルの散布が隣接するワードライン (例えば、WL1) に属するメモリセルがプログラムされる時に生じるカップリングによって広がる。

20

【0119】

その次に、選択されたワードラインWL0のメモリセルには1ページデータが格納される。この時、図13Bのボックス32に図示されたように、各状態に対応する閾値電圧分布に属するメモリセルは対応する閾値電圧散布に属する閾値電圧を有するようにプログラムされる。例えば、消去状態Eに対応する閾値電圧分布に属するメモリセルはプログラムされるデータにしたがってプログラム状態P1に対応する閾値電圧分布に属する閾値電圧を有するようにプログラムされる。プログラム状態Q1に対応する閾値電圧分布に属するメモリセルはプログラムされるデータにしたがってプログラム状態P2、P3に各々対応する閾値電圧分布に属する閾値電圧を有するようにプログラムされる。プログラム状態Q2に対応する閾値電圧分布に属するメモリセルはプログラムされるデータにしたがってプログラム状態P4、P5に各々対応する閾値電圧分布に属する閾値電圧を有するようにプログラムされる。プログラム状態Q3に対応する閾値電圧分布に属するメモリセルはプログラムされるデータにしたがってプログラム状態P6、P7に各々対応する閾値電圧分布に属する閾値電圧を有するようにプログラムされる。

30

【0120】

先に説明されたように、ワードライン (例えば、WL0) に属する粗いプログラムされたメモリセルの精巧なプログラム動作は隣接するワードライン (例えば、WL2、WL1) に対する1ステッププログラム動作及び粗いプログラム動作の以後に行われる。この時、図13Bのボックス32の実線で図示されたように、ワードライン (例えば、WL0) に属する粗いプログラムされたメモリセルの散布が隣接するワードライン (例えば、WL2、WL1) に属するメモリセルがプログラムされる時に生じるカップリングによって広がる。このような理由で、粗いプログラムされたメモリセルからデータを正確に読み出すことが難しい。

40

【0121】

ワードラインWL0に属するメモリセルが図13Bのボックス33に図示されたような最終閾値電圧分布P1を有するようにプログラムされる。このような動作は精巧なプログラム動作と称される。先に説明されたように、精巧なプログラム動作は以前にプログラムされたデータ (例えば、第1乃至第3ページデータ) を必要とし、これはワードラインWL0に属するメモリセルから以前にプログラムされたデータを正確に読み出すことが難しいので、メモリ制御器から提供されるデータ (又は、メモリ装置によって維持されるデー

50

タ)に基づいて行われる。図13Bのボックス33の実線で図示されたように、精巧なプログラムされたメモリセルやはり隣接するワードラインに属するメモリセルの散布はプログラムされる時に生じるカップリングによって広くなり得る。

【0122】

以後、各ワードラインに対する1ステッププログラム動作、粗いプログラム動作、及び精巧なプログラム動作が図13Aで説明されたプログラム順序にしたがって行われ、これは図13Bで説明されたことと同一な方式に行われる。

【0123】

図14は本発明の例示的な実施形態によるデータ格納システムを概略的に示すブロック図である。

10

【0124】

図14を参照すれば、データ格納システム3000は不揮発性メモリ装置としてマルチビットメモリ装置3100、メモリ制御器3200、及びホスト3300を含む。マルチビットメモリ装置3100は1つ又はそれより多いメモリチップで構成され得る。マルチビットメモリ装置3100とメモリ制御器3200とは、データ格納装置として、メモリカード、半導体ディスク(Solid State Drive: SSD)、メモリスティック、又はそのようなことを構成する。マルチビットメモリ装置3100は複数のメモリブロック(セクター/バンク)を含み、各メモリブロックは行と列とに配列されたメモリセルを含む。メモリセルの各々はマルチビット(又は、マルチレベル)データを格納する。メモリセルは2次元アレイ構造を有するように又は3次元/垂直アレイ構造を有するように配列される。例示的な3次元アレイ構造が特許文献2に“SEMICONDUCTOR MEMORY DEVICE WITH MEMORY CELLS ON MULTIPLE LAYERS”という名称にて、及び特許文献3に“EMICONDUCTOR DEVICE WITH THREE-DIMENSIONAL ARRAY STRUCTURE”という名称にて各々開示されているし、この出願のレファレンスとして包含される。

20

【0125】

本発明の例示的な実施形態によるマルチビットメモリ装置3100のメモリブロックは第1メモリ領域3101と第2メモリ領域3102とに区分される。ここで、第1及び第2メモリ領域3101、3102の区分が物理的なことでは無くても論理的に行われることが理解できる。第1及び第2メモリ領域3101、3102の区分は論理的に可変できる。第1メモリ領域3101に属するメモリブロックは第2メモリ領域3102に属するメモリブロックと異なる方式にプログラムされる。例えば、第1メモリ領域3101に属するメモリブロックは単一ビットプログラム方式(以下、SLCプログラム方式と称する)にしたがってプログラムされ、第2メモリ領域3102に属するメモリブロックはマルチビットプログラム方式(以下、MLCプログラム方式と称する)にしたがってプログラムされる。言い換えれば、第1メモリ領域3101に属するメモリセルの各々は1ビットデータを格納し、第2メモリ領域3102に属するメモリセルの各々はMビットデータ(Mは2又はそれより大きい整数)を格納する。結果的に、第1メモリ領域3101に属するメモリセルの各々は第2メモリ領域3102に属するメモリセルの各々に格納されるMビットデータより小さい数のデータビットを格納する。

30

40

【0126】

続いて図14を参照すれば、メモリ制御器3200はホスト3300の要請に回答してマルチビットメモリ装置3100を制御するように構成される。メモリ制御器3200はバッファメモリ3201とエラー検出及び訂正回路3202とを含む。バッファメモリ3201はホスト3300から伝送されたデータを臨時に格納するのに、そしてマルチビットメモリ装置3100から読み出されたデータを臨時に格納するのに使用される。エラー検出及び訂正回路3202はマルチビットメモリ装置3100に格納されるデータを符号化するように、そしてマルチビットメモリ装置3100から読み出されたデータを復号化するように構成される。符号化はパリティ情報を生成する動作を含み、パリティ情報

50

はフィールド単位で生成され得る。１ページのデータは１つ又はそれより多いフィールドで構成され得る。復号化はエラー検出動作とエラー訂正動作とを含む。先に説明された複写動作の時、エラー検出動作はメモリ制御器３２００によって行われ、エラー訂正動作はマルチビットメモリ装置３１００によって行われる。

【０１２７】

メモリ制御器３２００は静的なスケジューリング方式（static scheduling manner）にメモリ装置３１００のプログラム動作を制御する。例えば、第１メモリ領域３１０１に対する最小プログラム単位のデータがバッファメモリ３２０１に格納されれば、メモリ制御器３２００は最小プログラム単位のデータが第１メモリ領域３１０１に格納されるようにマルチビットメモリ装置３１００を制御する。これはバッファプログラム動作と称する。第２メモリ領域３１０２に対する最小プログラム単位のデータが第１メモリ領域３１０１に集まれば、メモリ制御器３２００は第２メモリ領域３１０２に対する最小プログラム単位のデータが第２メモリ領域３１０２に格納されるようにマルチビットメモリ装置３１００を制御する。これはメインプログラム動作と称する。バッファプログラム動作とメインプログラム動作とはオンチップバッファプログラミング動作を構成する。

10

【０１２８】

本発明の例示的な実施形態によれば、メインプログラム動作は第１メモリ領域３１０１でからみ出されたデータが第２メモリ領域３１０２に複写される以前に行われるエラー検出動作とエラー訂正動作とを含む。エラー検出動作はメモリ制御器３２００によって行われ、エラー訂正動作はマルチビットメモリ装置３１００によって行われる。これは以後詳細に説明される。

20

【０１２９】

例示的な実施形態において、第１メモリ領域３１０１に対する最小プログラム単位と第２メモリ領域３１０２に対する最小プログラム単位とはプログラム方式、セル当たりビット数、等にしたがって多様に決定される。第１メモリ領域３１０１に対する最小プログラム単位は第２メモリ領域３１０２に対する最小プログラム単位と異なる。

【０１３０】

例示的な実施形態において、バッファプログラム動作を通じて第１メモリ領域３１０１にデータを格納し、メインプログラム動作を通じて第２メモリ領域３１０２にデータを格納することによってメモリ制御器３２００のバッファメモリ３２０１の大きさを最小化させ得る。言い換えれば、バッファメモリ３２０１に精巧なプログラム動作のためのデータを維持する必要が無い。そのような理由で、メモリ制御器３２００のバッファメモリ３２０１の大きさを最小化させ得る。

30

【０１３１】

図１５Ａ乃至図１５Ｄは本発明の例示的な実施形態によるマルチビットメモリ装置の第１及び第２メモリ領域に対する多様な組合を説明するための図面である。図面で、“ＢＰ”は第１メモリ領域３１０１に対するバッファプログラミングを示し、“ＭＰ”は第２メモリ領域３１０２に対するメインプログラミングを示す。

40

【０１３２】

先に説明されたように、マルチビットメモリ装置３１００は第１メモリ領域３１０１と第２メモリ領域３１０２とを含む。ここで、第１メモリ領域３１０１と第２メモリ領域３１０２とはマルチビットメモリ装置３１００のメモリセルアレイを構成する。たとえ図面には図示せずが、メモリセルアレイはさらに多い領域（例えば、メタ領域、予備領域、等）を含む。メモリセルアレイのメモリ領域が物理的に区分されることでは無く、論理的に区分されることはよく理解できる。これはメモリ制御器３２００のアドレスマッピングにしたがって領域が定義されることを意味する。

【０１３３】

図１５Ａを参照すれば、セル当たり３ビットデータを格納するマルチビットメモリ装置の場合、第１メモリ領域３１０１は１ビットデータを各々格納するメモリセルで構成され、

50

第2メモリ領域3102は3ビットデータを各々格納するメモリセルで構成され得る。この場合、バッファプログラミングはSLCプログラム方式にしたが行われる。メインプログラミングは先に説明されたMLCプログラム方式にしたが行われる。

【0134】

図15Bを参照すれば、セル当り4ビットデータを格納するマルチビットメモリ装置の場合、第1メモリ領域3101は1ビットデータを各々格納するメモリセルで構成され、第2メモリ領域3102は4ビットデータを各々格納するメモリセルで構成され得る。この場合、バッファプログラミングはSLCプログラム方式にしたが行われる。メインプログラミングは先に説明されたMLCプログラム方式にしたが行われる。

【0135】

図15Cを参照すれば、セル当り3ビットデータを格納するマルチビットメモリ装置の場合、第1メモリ領域3101は2ビットデータを各々格納するメモリセルで構成され、第2メモリ領域3102は3ビットデータを各々格納するメモリセルで構成され得る。この場合、バッファプログラミングは一般的な又は先に説明されたMLCプログラム方式にしたが行われる。メインプログラミングは先に説明されたMLCプログラム方式（例えば、再プログラム方式）にしたが行われる。

【0136】

図15Dを参照すれば、セル当り4ビットデータを格納するマルチビットメモリ装置の場合、第1メモリ領域3101は2ビットデータを各々格納するメモリセルで構成され、第2メモリ領域3102は4ビットデータを各々格納するメモリセルで構成され得る。この場合、バッファプログラミングは一般的な又は先に説明されたMLCプログラム方式にしたが行われる。メインプログラミングは先に説明されたMLCプログラム方式（例えば、再プログラム方式）にしたが行われる。

【0137】

例示的な実施形態において、図15A乃至図15Dに図示された第1及び第2メモリ領域3101、3102の定義がここに開示されたことに制限されない。例えば、データ格納システムに含まれる格納媒体が複数のマルチビットメモリ装置で構成される場合、各マルチビットメモリ装置に第1及び第2メモリ領域3101、3102が定義され得る。他の例として、任意のマルチビットメモリ装置のみに第1メモリ領域101が定義され得る。又は、任意のマルチビットメモリ装置が第1メモリ領域3101として定義され得る。

【0138】

図16は本発明の例示的な実施形態による1ステッププログラム動作のための命令シーケンスを示す図面であり、図17は図16に図示された1ステッププログラム命令シーケンスにしたがうデータの流れを示す図面である。図18はエラー訂正動作（又は、ビットフリップ動作）にしたがうデータの流れを示す図面である。以下、本発明の例示的な実施形態によるデータ格納システムの動作が参照図面に基づいて詳細に説明される。

【0139】

1ステッププログラム動作は第2メモリ領域3102に対する最小プログラム単位（例えば、2ページ）が第1メモリ領域3101に格納された場合に行われる。メインプログラム動作として、第2メモリ領域3102に対する1ステッププログラム動作は第1メモリ領域3101に対する2回のSLC読出し動作と第2メモリ領域3102に対する1回のMLCプログラム動作とを随伴する。各SLC読出し動作は先に説明されたエラー検出動作とエラー訂正動作とを含む。

【0140】

本発明の例示的な実施形態によるデータ格納システム3000の場合、1ステッププログラム動作を遂行される先に、SLC動作モードの転換のための命令DAhがメモリ制御器3200からマルチビットメモリ装置3100へ伝送される。モード転換のための命令DAhが入力される時、マルチビットメモリ装置3100はメモリ制御器3200から提供される命令をSLC動作に関連された命令として認識する。

【0141】

10

20

30

40

50

モード転換のための命令 D A h に続いて、図 16 に図示されたように、メモリ制御器 3 2 0 0 は一連の命令 0 0 h、アドレス A D D R、及び命令 3 9 h をマルチビットメモリ装置 3 1 0 0 へ伝送する。この時、アドレス A D D R は 1 ステッププログラム動作に必要な 2 ページデータの中の 1 つのページを指定するためのアドレスである。命令 3 9 h が入力された後、マルチビットメモリ装置 3 1 0 0 のページバッファ 3 1 0 3 は、図 17 に図示されたように、第 1 メモリ領域 3 1 0 1 から第 1 番目のデータを読み出す。読み出されたデータは S ラッチユニットに格納される。読出し動作の間に、図 16 に図示されたように、マルチビットメモリ装置 3 1 0 0 はビジー状態を示すようにレディ / ビジー信号 R n B を設定する。読出し動作が完了された後、マルチビットメモリ装置 3 1 0 0 はレディ状態を示すようにレディ / ビジー信号 R n B を設定する。

10

【 0 1 4 2 】

その次に、図 16 に図示されたように、マルチビットメモリ装置 3 1 0 0 からメモリ制御器 3 2 0 0 へ読み出されたデータが出力される。データ出力に先に、S ラッチユニットのデータは C ラッチユニットへダンプされる。C ラッチユニットへダンプされたデータはメモリ制御器 3 2 0 0 へ出力される。メモリ制御器 3 2 0 0 は先に説明されたことと実質的に同一な方式にエラー検出動作を遂行し、エラー検出動作の結果としてエラー位置情報及びエラーフラッグ情報を生成する。エラー検出動作が遂行された後、メモリ制御器 3 2 0 0 は一連の命令 8 6 h、アドレス A D D R、及びデータ E F I をマルチビットメモリ装置 3 1 0 0 へ伝送する。ここで、データ E F I はエラーフラッグ情報を含み、図 17 に図示されたように、C ラッチユニットへロードされる。エラーフラッグ情報は図 9 で説明された方式又は図 10 で説明された方式にしたがって伝送される。図 9 で説明された方式の場合、たとえ図面には図示せずが、図 16 に図示されたエラーフラッグ入力手続 8 6 h、A D D R、E F I がエラービットの数程度に反復される。

20

【 0 1 4 3 】

エラーフラッグ情報の伝送に続いて、メモリ制御器 3 2 0 0 は一連の命令 C 0 h 及びアドレス A D D R をマルチビットメモリ装置 3 1 0 0 へ伝送する。ここで、命令 C 0 h は先に説明されたビットフリップ動作（又は、エラー訂正動作）の実行を通知する命令であり、アドレス A D D R はエラー訂正されたデータが格納されたラッチユニットを指定するためのアドレスである。一連の命令 C 0 h 及びアドレス A D D R の入力に続いて、レディ / ビジー信号 R n B はビジー状態に設定される。レディ / ビジー信号 R n B のビジー状態の間に、先に説明されたエラー訂正動作（又は、ビットフリップ動作）が行われる。

30

【 0 1 4 4 】

エラー訂正動作（又は、ビットフリップ動作）にしたがうデータの流れを示す図 18 を参照すれば、S T 1 段階で、メモリ制御器 3 2 0 0 から提供されたエラーフラッグ情報は C ラッチユニットへロードされる。S T 2 段階で、C ラッチユニットへロードされたエラーフラッグ情報は S ラッチユニットへダンプされる。この時、C ラッチユニットから S ラッチユニットへダンプされるデータは反転される。S T 3 段階で、X N O R 演算を通じて S ラッチユニットのデータが L ラッチユニットへダンプされる。この時、L ラッチユニットへダンプされたデータは X N O R 演算を通じてエラー訂正されたデータである。エラー訂正されたデータが格納される位置、即ち L ラッチユニットは命令 C 0 h と共に入力されたアドレス A D D R によって指定される。反転演算及び X N O R 演算はビットフリップ動作に対応する X O R 演算を構成する。先に説明された動作（即ち、エラーフラッグローディング、エラーフラッグ反転、及び X N O R 演算を包含する）は表 2 乃至表 5 で説明されたことと実質的に同様に遂行され、それに対する説明はしたがって省略される。

40

【 0 1 4 5 】

再び図 16 を参照すれば、エラー訂正動作（又は、ビットフリップ動作）が完了された後、マルチビットメモリ装置 3 1 0 0 はレディ状態を示すようにレディ / ビジー信号 R n B を設定する。メモリ制御器 3 2 0 0 はレディ / ビジー信号 R n B の状態に応答してマルチビットメモリ装置 3 1 0 0 に一連の命令 0 0 h、アドレス A D D R、及び命令 3 9 h をマルチビットメモリ装置 3 1 0 0 へ伝送する。この時、アドレス A D D R は 1 ステップ

50

プログラム動作に必要である2ページデータの中の残りページを指定するためのアドレスである。命令39hが入力された後、マルチビットメモリ装置3100のページバッファ3103は、図17に図示されたように、第1メモリ領域3101からデータを読み出す。読み出されたデータはSラッチユニットに格納される。読出し動作の間に、図16に図示されたように、マルチビットメモリ装置3100はビジー状態を示すようにレディ/ビジー信号RnBを設定する。読出し動作が完了された後、マルチビットメモリ装置3100はレディ状態を示すようにレディ/ビジー信号RnBを設定する。

【0146】

その次に、図16に図示されたように、マルチビットメモリ装置3100からメモリ制御器3200へ読み出されたデータが出力される。データ出力の前に、図17に図示されたように、SラッチユニットのデータはCラッチユニットへダンプされる。Cラッチユニットへダンプされたデータはメモリ制御器3200へ出力される。メモリ制御器3200は先に説明されたことと実質的に同一な方式にエラー検出動作を遂行し、エラー検出動作の結果としてエラー位置情報及びエラーフラッグ情報を生成する。エラー検出動作が遂行された後、メモリ制御器3200は一連の命令86h、アドレスADDR、及びデータEFIをマルチビットメモリ装置3100へ伝送する。ここで、データEFIはエラーフラッグ情報を含み、図17に図示されたように、Cラッチユニットへロードされる。エラーフラッグ情報は図9で説明された方式又は図10で説明された方式にしたがって伝送される。図9で説明された方式の場合、たとえ図面には図示せずが、図16に図示されたエラーフラッグ入力手続86h、ADDR、EFIがエラービットの数程度反復される。

【0147】

エラーフラッグ情報の伝送に続いて、メモリ制御器3200は一連の命令C0h及びアドレスADDRをマルチビットメモリ装置3100へ伝送する。一連の命令C0h及びアドレスADDRの入力に続いて、レディ/ビジー信号RnBはビジー状態に設定される。レディ/ビジー信号RnBのビジー状態の間に、図18を参照して説明されたエラー訂正動作（又は、ビットフリップ動作）が行われる。但し、図17に図示されたように、エラー訂正されたデータは命令C0hと共に入力されたアドレスADDRによって指定されるフラッチユニットに格納される。

【0148】

先ず、1ステッププログラム動作に必要であるデータが準備されれば、第2メモリ領域3102に対する1ステッププログラム動作が行われる。1ステッププログラム動作を遂行される以前に、メモリ制御器3200はモード転換のための命令DFhをマルチビットメモリ装置3100へ伝送する。そのような命令DFhはSLC動作のためのモードから抜け出されるためのことである。命令DFhが入力されることにしたがって、マルチビットメモリ装置3100はメモリ制御器3200から提供される命令をメインプログラム動作、例えば、MLC動作に関連された命令として認識する。

【0149】

以後、メモリ制御器3200は、図16に図示されたように、一連の命令8Bh、アドレスADDR、及び命令10hをマルチビットメモリ装置3100へ伝送する。この時、アドレスADDRは1ステッププログラムされるページの中の1つを指定するためのアドレスである。1ステッププログラム動作に必要であるデータがページバッファ3103に準備されているので、メモリ制御器3200からマルチビットメモリ装置3100へデータが伝送されない。命令10hが入力された後、図17に図示されたように、ページバッファ3103に格納されたデータは第2メモリ領域3102にプログラムされる。プログラム動作の間に、図16に図示されたように、マルチビットメモリ装置3100はビジー状態を示すようにレディ/ビジー信号RnBを設定する。プログラム動作が完了された後、マルチビットメモリ装置3100はレディ状態を示すようにレディ/ビジー信号RnBを設定する。

【0150】

図19は粗いプログラム動作のための命令シーケンスを示す図面であり、図20は図1

10

20

30

40

50

9に図示された粗いプログラム命令シーケンスにしたがうデータの流れを示す図面である。以下、本発明の例示的な実施形態によるデータ格納システムの動作が参照図面に基いて詳細に説明される。

【0151】

詳細は後ほど説明するとして、粗いプログラム動作は第2メモリ領域3102に対する最小プログラム単位(例えば、3ページ)が第1メモリ領域3101に格納された場合に行われる。第2メモリ領域3102に対する粗いプログラム動作は第1メモリ領域3101に対する3回のSLC読出し動作と第2メモリ領域3102に対する1回のMLCプログラム動作とを随伴する。

【0152】

SLC読出し動作の各々は、図20に図示されたように、図16乃至図18で説明されたことと実質的に同一であるので、それに対する説明は省略される。第1番目のSLC読出し動作を遂行される以前に、図19に図示されたように、モード転換のための命令DAhがメモリ制御器3200からマルチビットメモリ装置3100へ伝送される。第2メモリ領域3102に対するMLCプログラム動作は3ビットデータが第2メモリ領域3102に格納される点を除外すれば、図16乃至図18で説明されたことと実質的に同一であるので、それに対する説明は省略される。粗いプログラム動作を遂行される以前に、図19に図示されたように、モード転換のための命令DFhがメモリ制御器3200からマルチビットメモリ装置3100へ伝送される。たとえ図面には図示せずが、メインプログラム動作として精巧なプログラム動作は図19に図示された命令シーケンスにしたがって同様に実行される。

【0153】

図16乃至図20を参照して説明された1ステッププログラム動作及び粗いプログラム動作がここに開示されたことに制限されない。また、オンチップバッファプログラム方式もやはりここに開示されたことに制限されない。

【0154】

粗い/精巧なプログラム動作及び精巧なプログラム動作の時、SLC読出し動作が連続的に3回行われる。このような場合、図20に図示されたことと異なり、第1番目のSLC読出し動作を通じて読み出されたデータは第2番目のSLC読出し動作が行われる間にメモリ制御器2000へ出力され、メモリ制御器2000は第2番目のSLC読出し動作が行われる間にエラーフラグ情報を生成する。言い換えれば、本発明の他の実施形態による粗い/精巧なプログラム動作の時のデータの流れを説明するための図21を参照すれば、SLC読出し動作が連続的に実行される場合、以前のSLC読出し動作に関連されたデータ出力動作及びエラーフラグ生成動作は次のSLC読出し動作が実行される間に行われる。

【0155】

図22は本発明の例示的な実施形態によるメモリシステムのリフレッシュプログラム動作を概略的に説明するための図面である。

【0156】

反復的なプログラム/消去サイクルはメモリトランジスタ酸化膜にストレスを加え、そのようなストレスはメモリトランジスタのトンネル酸化膜がブレイクダウンに成るようにする。メモリセルの閾値電圧はそのようなストレスによって漸次的に低くなる。即ち、プログラムされたメモリセルの電荷格納層から電子が漏洩される。これはプログラムされたメモリセルの閾値電圧散布が低い電圧の方に移動されるようにし、その結果プログラム検証電圧より低い閾値電圧を有するメモリセルが発生されるようになる。これは読出しマージンの減少によって読出しフェイルが発生され得ることを意味する。読出しフェイルが発生される以前にプログラム検証電圧より低い閾値電圧を有するメモリセルを再プログラムすることが可能である。このような動作をリフレッシュプログラム動作が称する。

【0157】

図22を参照すれば、再プログラム/リフレッシュプログラム動作の時、まず、ページ

10

20

30

40

50

バッファ回路 1500 のメインバッファ MB を通じてメモリセルアレイ MCA の特定ページからデータを読み出す。メインバッファ MB に格納された読み出されたデータはキャッシュバッファ CB を通じてメモリ制御器 2000 へ伝送される。ここで、メインバッファ MB はスラッチユニット 1521 で構成され得、キャッシュバッファ CB は C ラッチユニット 1525 で構成され得る。しかし、本発明はそれに制限されない。メインバッファ MB とキャッシュバッファ CB とはページバッファ回路 1500 を構成する。メモリ制御器 2000 へ伝送されたデータはランダム化器 / デランダム化器 2600 を通じてデランダム化され、エラー検出及び訂正回路 2500 はランダム化器 / デランダム化器 2600 によってデランダム化されたデータに対するエラー検出動作を遂行する。ここで、不揮発性メモリ装置 1000 から出力される読み出されたデータ RD のデランダム化されたデータはバッファメモリ 2400 に格納される。エラー検出動作の結果として、エラーフラグ情報が不揮発性メモリ装置 1000 のキャッシュバッファ CB へ伝送される。ここで、エラーフラグ情報は図 9 で説明された方式又は図 10 で説明された方式にしたがってメモリ制御器 2000 から不揮発性メモリ装置 1000 へ伝送される。エラーフラグ情報又はエラーフラグ情報を含むフィールドデータはランダム化器 / デランダム化器 2600 を経由しなくて直接不揮発性メモリ装置 1000 へ伝送される。キャッシュバッファ CB に格納されたエラーフラグ情報に基づいてビットフリップ動作（又は、エラー訂正動作）が行われ、ビットフリップ動作（又は、エラー訂正動作）を通じて訂正されたデータはメインバッファ MB を通じてメモリセルアレイ MCA の特定ページ（即ち、データが読み出された位置はエラー訂正されたデータが格納される位置と同一である）に格納される。即ち、特定ページから読み出されたデータに対する再プログラム動作が行われる。言い換えれば、特定ページのメモリセルがリフレッシュされる。ビットフリップ動作（又は、エラー訂正動作）は表 3 乃至図 5 で説明されたことと実質的に同一であるので、それに対する説明は省略される。

10

20

【0158】

リフレッシュプログラム動作に対する追加的なそしてより詳細な説明は特許文献 4 に開示され、この出願のレファレンスとして包含される。

【0159】

図 23 は本発明のその他の例示的な実施形態によるメモリシステムを概略的に示すブロック図である。図 23 を参照すれば、メモリシステム 3000 は不揮発性メモリ装置 3100a とメモリ制御器 3200b とを含む。

30

【0160】

不揮発性メモリ装置 3100a はメモリセルアレイ 3110、行デコーダー回路 3120、電圧発生回路 3130、制御ロジック 3140、ページバッファ回路 3150、及び入出力インターフェイス 3160 を含む。図 23 において、メモリセルアレイ 3110、行デコーダー回路 3120、及び電圧発生回路 3130 は図 4 に図示されたことと実質的に同一であるので、それに対する説明は省略される。制御ロジック 3140 は不揮発性メモリ装置 3100a の全般的な動作を制御するように構成される。制御ロジック 3140 はランダムシーケンスデータ発生器 3141（図面には、RDG で示した）を含む。ランダムシーケンスデータ発生器 3140 はシード値を利用してランダムシーケンスデータを発生する。ランダムシーケンスデータは入出力インターフェイス 3160 を通じてページバッファ回路 3150 へ伝達される。

40

【0161】

ページバッファ回路 3150 は制御ロジック 3140 の制御にしたがってプログラムデータ及びランダムシーケンスデータに対する XOR 演算を遂行し、その結果、プログラムデータがランダム化される。また、ページバッファ回路 3150 はメモリセルアレイ 3110 から読み出されたデータとランダムシーケンスデータとに対する XOR 演算を遂行し、その結果読み出されたデータ（又は、ランダム化された読み出されたデータ）がデランダム化される。ページバッファ回路 3150 は制御ロジック 3140 の制御の下に先に説明されたエラー訂正動作（又は、ビットフリップ動作）を遂行する。ここで、データラン

50

ダム化がエラー訂正の先に行われるか、或いはデータランダム化がエラー訂正に続いて行われ得る。

【0162】

メモリ制御器3200aはバッファメモリ3210とエラー検出及び訂正回路3220を含む。バッファメモリ3210は不揮発性メモリ装置3100aから読み出されたデータを臨時格納するように構成される。エラー検出及び訂正回路3220は不揮発性メモリ装置3100aから読み出されたデータのエラーを検出し、エラー検出結果としてエラー位置情報及びエラーフラッグ情報を発生する。これは先に説明されたことと実質的に同様に行われ、それに対する説明はしたがって省略される。エラー位置情報及びエラーフラッグ情報は図9で説明された方式に又は図10で説明された方式に不揮発性メモリ装置3100aへ伝送される。

10

【0163】

結論的に、エラー検出はメモリ制御器3200aによって行われ、エラー訂正及びデータランダム化/デランダム化(又は、オンチップランダム化/デランダム化)は不揮発性メモリ装置3100aによって行われる。

【0164】

図24は本発明の例示的な実施形態によるコンピューティングシステムを概略的に示すブロック図である。

【0165】

コンピューティングシステムはマイクロプロセッサ2101、使用者インターフェイス2202、ベースバンドチップセット(baseband chipset)のようなモデム2303、メモリ制御器2404、及び格納媒体として不揮発性メモリ装置2505を含む。メモリ制御器2404と不揮発性メモリ装置2505とは図1に図示されたこと又は図14に図示されたことと実質的に同様に構成される。即ち、エラー検出がメモリ制御器2404によって行われ、エラー訂正が不揮発性メモリ装置2505内で行われるので、メモリ制御器から不揮発性メモリ装置へデータを伝送するのに掛かる時間及び/又はメモリ制御器から不揮発性メモリ装置へデータを伝送するのに消耗される電力が減少される。不揮発性メモリ装置2505にはマイクロプロセッサ2101によって処理された/処理されるNビットデータ(Nは1又はそれより大きい整数)がメモリ制御器2404を通じて格納される。コンピューティングシステムがモバイル装置である場合、コンピューティングシステムの動作電圧を供給するためのバッテリー2606が追加的に提供される。たとえ図面には図示せずが、本発明によるコンピューティングシステムには応用チップセット(application chipset)、カメライメージプロセッサ(Camera Image Processor: CIS)、モバイルDRAM、等がさらに提供され得ることは理解できる。

20

30

【0166】

図25は本発明の例示的な実施形態による半導体ドライブを概略的に示すブロック図である。

【0167】

図25を参照すれば、半導体ドライブ4000(SSD)は格納媒体4100と制御器4200を含む。格納媒体4100は複数のチャンネルを通じて制御器4200に連結される。各チャンネルには複数の不揮発性メモリが共通に連結される。各不揮発性メモリは図1で説明されたメモリに構成され、制御器4200は図1乃至図19を参照して説明された方式にしたがって格納媒体4100を制御するように構成される。即ち、エラー検出がメモリ制御器2404によって行われ、エラー訂正が不揮発性メモリ装置2505内で行われるので、メモリ制御器から不揮発性メモリ装置へデータを伝送するのに掛かる時間及び/又はメモリ制御器から不揮発性メモリ装置へデータを伝送するのに消耗される電力が減少される。

40

【0168】

図26は図25に図示された半導体ドライブを利用するストレージを概略的に示すプロ

50

ック図であり、図 27 は図 25 に図示された半導体ドライブを利用するストレージサーバーを概略的に示すブロック図である。

【0169】

本発明の例示的な実施形態による半導体ドライブ 4000 はストレージを構成するのに使用され得る。図 26 に図示されたように、ストレージは図 25 で説明されたことと実質的に同様に構成される複数の半導体ドライブを含む。本発明の例示的な実施形態による半導体ドライブ 4000 はストレージサーバーを構成するのに使用され得る。図 27 に図示されたように、ストレージサーバーは図 25 で説明されたことと実質的に同様に構成される複数の半導体ドライブ 4000、及びサーバー 4000A を含む。また、この分野に広く公知された R A I D 制御器 4000B がストレージサーバーとして提供され得ることは理解できる。

10

【0170】

図 28 乃至図 30 は本発明の例示的な実施形態によるデータ格納装置が適用されるシステムを概略的に示す図面である。

【0171】

本発明の例示的な実施形態によるメモリ制御器及びマルチビットメモリ装置に構成されるデータ格納装置を含む半導体ドライブがストレージに適用される場合、図 28 に図示されたように、システム 6000 は有線及び / 又は無線でホストと通信するストレージ 6100 を含む。本発明の例示的な実施形態によるデータ格納装置を含む半導体ドライブがストレージサーバーに適用される場合、図 29 に図示されたように、システム 7000 は有線及び / 又は無線でホストと通信するストレージサーバー 7100、7200 を含む。また、図 30 に図示されたように、本発明の例示的な実施形態によるデータ格納装置を含む半導体ドライブはメールサーバー 8100 にも適用され得る。

20

【0172】

図 31 は本発明の実施形態によるメモリカード (memory card) を概略的に示すブロック図である。

【0173】

メモリカードは、例えば MMC カード、SD カード、マルチユース (multi use) カード、マイクロ SD カード、メモリスティック、コンパクト SD カード、ID カード、PCMCIA カード、SSD カード、チップカード (chip card)、スマートカード (smart card)、USB カード等であり得る。

30

【0174】

図 31 を参照すれば、メモリカードは外部とのインターフェイスを遂行するインターフェイス部 9221、バッファメモリを有し、メモリカードの動作を制御する制御器 9222、1 つ又はそれより多い不揮発性メモリ装置 9207 を含む。制御器 9222 はプロセッサとして、不揮発性メモリ装置 9207 の書込み動作及びリード動作を制御することができる。具体的に、コントローラ 9222 はデータバス (DATA) とアドレスバス (ADDRESS) とを通じて不揮発性メモリ装置 9207 及びインターフェイス部 9221 とカップリングされている。制御器 9222 と不揮発性メモリ 9207 とは図 1 で説明された又は図 14 で説明されたメモリ制御器と不揮発性メモリ装置とに対応する。制御器 9222 は図 1 乃至図 19 を参照して説明された方式にしたがって不揮発性メモリ 9207 を制御するように構成される。即ち、エラー検出がメモリ制御器によって行われ、エラー訂正が不揮発性メモリ装置内で行われるので、メモリ制御器から不揮発性メモリ装置へデータを伝送するのに掛かる時間及び / 又はメモリ制御器から不揮発性メモリ装置へデータを伝送するのに消耗される電力が減少される。

40

【0175】

図 32 は本発明の実施形態によるデジタルスチールカメラ (digital still camera) を概略的に示すブロック図である。

【0176】

図 32 を参照すれば、デジタルスチールカメラはボディー 9301、スロット 9302

50

、レンズ 9303、ディスプレイ部 9308、シャッターボタン 9312、ストロボ (strobe) 9318 等を含む。特に、スロット 9308 にはメモリカード 9331 が挿入され得り、メモリカード 9331 は図 1 で説明された又は図 14 で説明されたメモリ制御器及び不揮発性メモリ装置を含む。メモリカード 9331 内に含まれたメモリ制御器は図 1 乃至図 19 を参照して説明された方式にしたがってメモリ装置を制御するように構成される。即ち、エラー検出がメモリ制御器によって行われ、エラー訂正が不揮発性メモリ装置内で行われるので、メモリ制御器から不揮発性メモリ装置へデータを伝送するのに掛かる時間及び / 又はメモリ制御器から不揮発性メモリ装置へデータを伝送するのに消耗される電力が減少される。

【0177】

10

メモリカード 9331 が接触形 (contact type) である場合、メモリカード 9331 がスロット 9308 に挿入される時、メモリカード 9331 と回路基板の上の特定電気回路とが電氣的に接触される。メモリカード 9331 が非接触形 (non-contact type) である場合、無線信号を通じてメモリカード 9331 がアクセスされる。

【0178】

図 33 は図 32 のメモリカードが使用される多様なシステムを説明する例示的な図面である。

【0179】

図 32 を参照すれば、メモリカード 9331 はビデオカメラ (VC)、テレビジョン (TV)、オーディオ装置 (AD)、ゲーム装置 (GM)、電子音楽装置 (EMD)、携帯電話 (HP)、コンピューター (CP)、PDA (Personal Digital Assistant)、ボイスレコーダー (voice recorder) (VR)、PC カード (PCC)、等に使用され得る。

20

【0180】

本発明の例示的な実施形態において、メモリセルは可変抵抗メモリセルから構成され得り、例示的な可変抵抗メモリセル及びそれを含むメモリ装置が特許文献 5 に開示され、この出願のレファレンスとして包含される。

【0181】

本発明の他の例示的な実施形態において、メモリセルは電荷格納層を有する多様なセル構造の中から 1 つを利用して具現され得る。電荷格納層を有するセル構造は電荷トラップ層を利用する電荷トラップフラッシュ構造、アレイが多層に積層されるスタックフラッシュ構造、ソースドレインが無いフラッシュ構造、ピンタイプフラッシュ構造、等を含む。

30

【0182】

電荷格納層として電荷トラップフラッシュ構造を有するメモリ装置が特許文献 6、特許文献 7、及び特許文献 8 に各々開示され、この出願のレファレンスとして包含される。ソース/ドレインが無いフラッシュ構造は特許文献 9 に開示され、この出願のレファレンスとして包含される。

【0183】

本発明によるフラッシュメモリ装置及び / 又はメモリ制御器は多様な形態のパッケージを利用して実装され得る。例えば、本発明によるフラッシュメモリ装置及び / 又はメモリコントローラは PoP (Package on Package)、Ball grid arrays (BGAs)、Chip scale packages (CSPs)、Plastic Leaded Chip Carrier (PLCC)、Plastic Dual In-Line Package (PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board (COB)、Ceramic Dual In-Line Package (CERDIP)、Plastic Metric Quad Flat Pack (MQFP)、Thin Quad Flatpack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Th

40

50

in Small Outline (TSOP)、In Package (SIP)、Multi Chip Package (MCP)、Wafer-level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP) 等のようなパッケージを利用して実装され得る。

【0184】

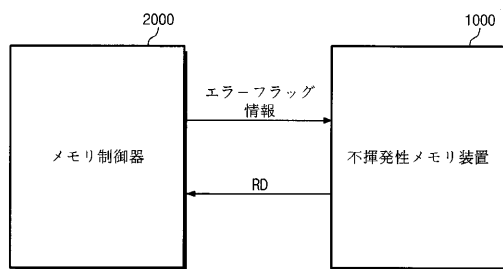
本発明の範囲又は技術的思想を逸脱しなく本発明の構造が多様に修正されるか、或いは変更され得ることはこの分野に熟練された者に明確である。上述した内容を鑑みて見る時、仮に本発明の修正及び変更が下の請求項及び同等物の範疇内に属すれば、本発明がこの発明の変更及び修正を含むことと看做す。

【符号の説明】

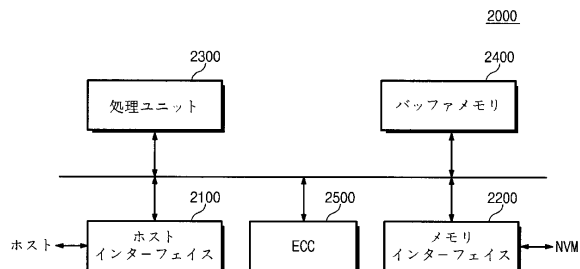
【0185】

- 1000・・・不揮発性メモリ装置
- 1100・・・メモリセルアレイ
- 1200・・・アドレスデコーダー
- 1300・・・電圧発生器
- 1400・・・制御ロジック
- 1500・・・ページバッファ回路
- 1600・・・入出力インターフェイス
- 2000・・・メモリ制御器
- 2100・・・ホストインターフェイス
- 2200・・・メモリインターフェイス
- 2300・・・処理ユニット
- 2400・・・バッファメモリ
- 2600・・・ランダム化器 / デランダム化器

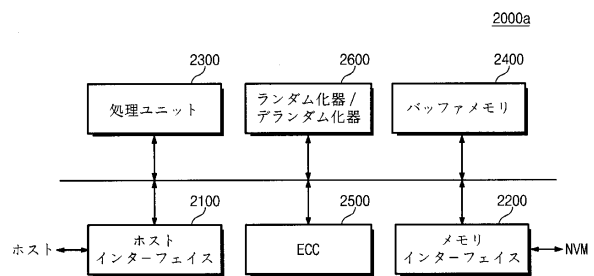
【図1】



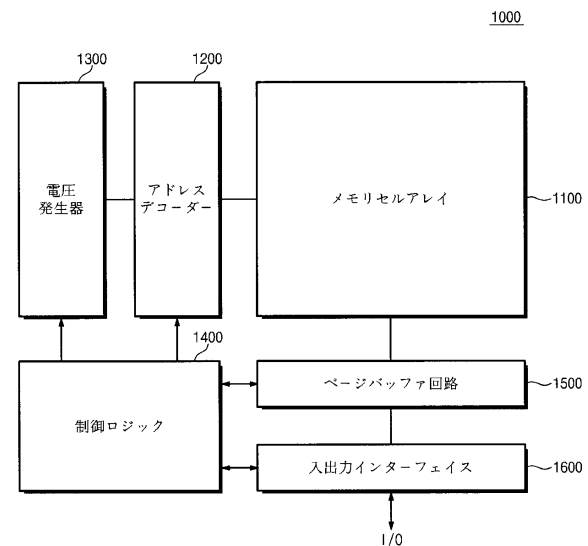
【図2】



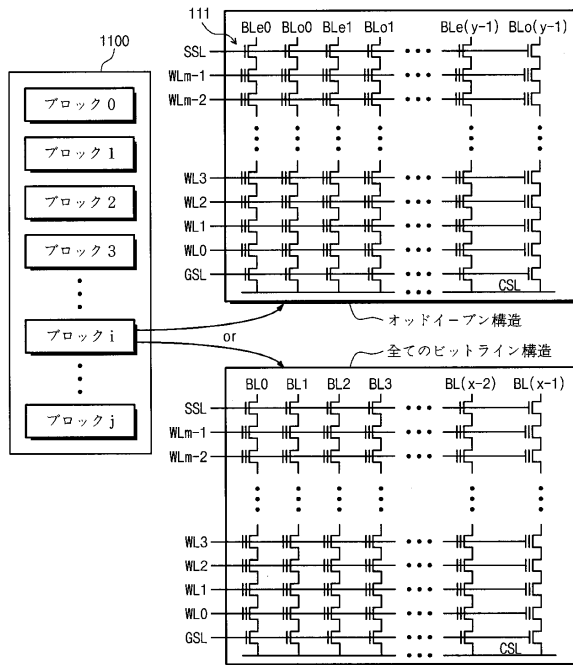
【図3】



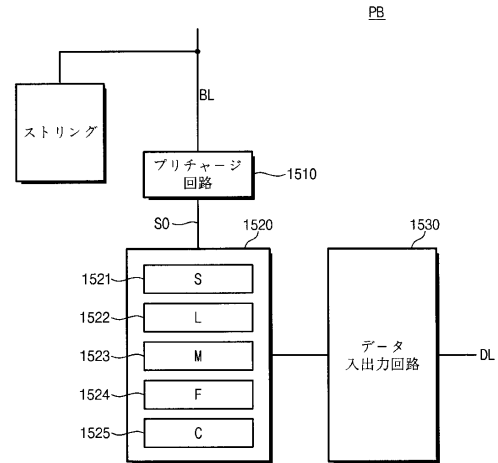
【図4】



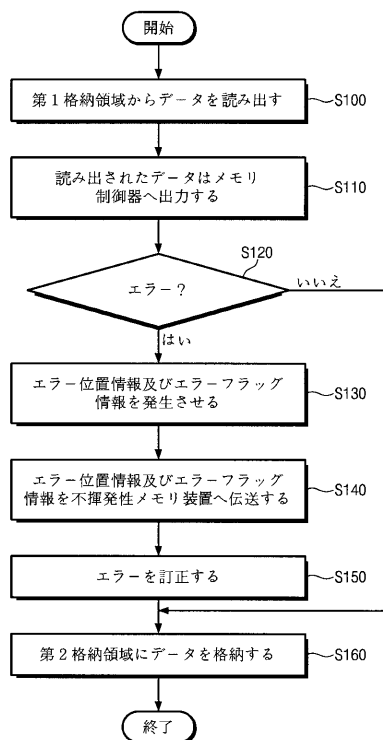
【図 5】



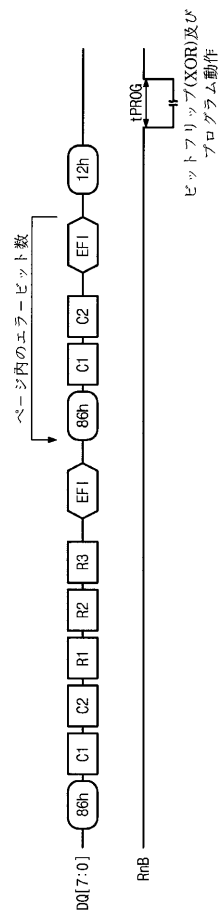
【図 6】



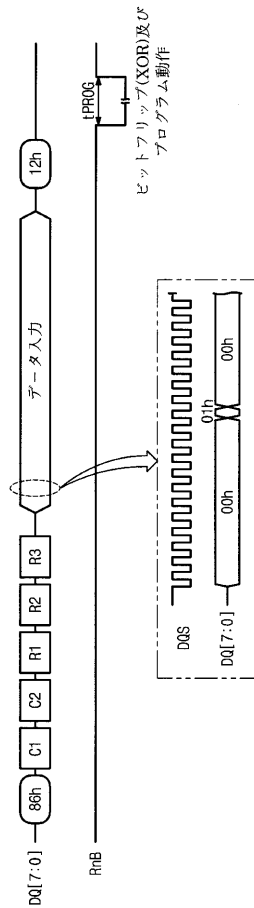
【図 8】



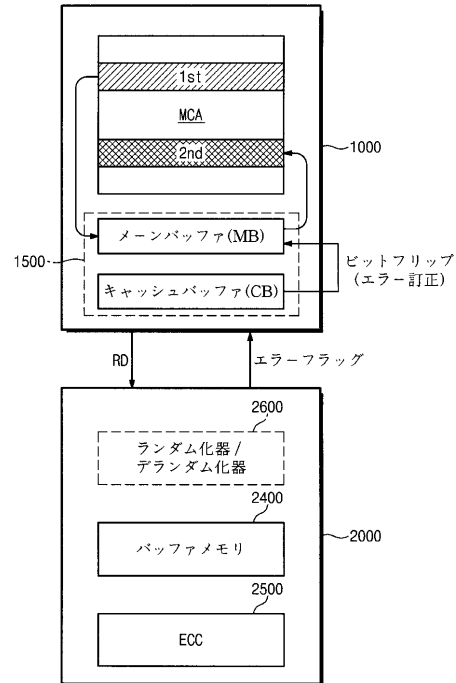
【図 9】



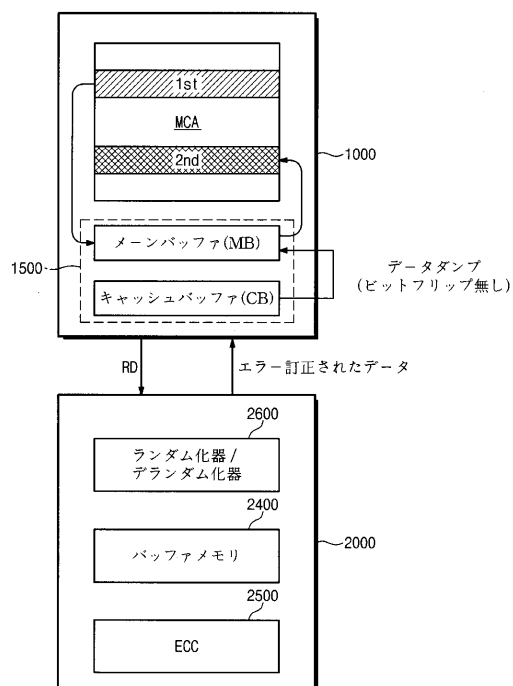
【 図 1 0 】



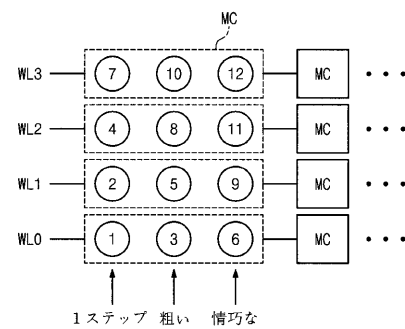
【 図 1 1 】



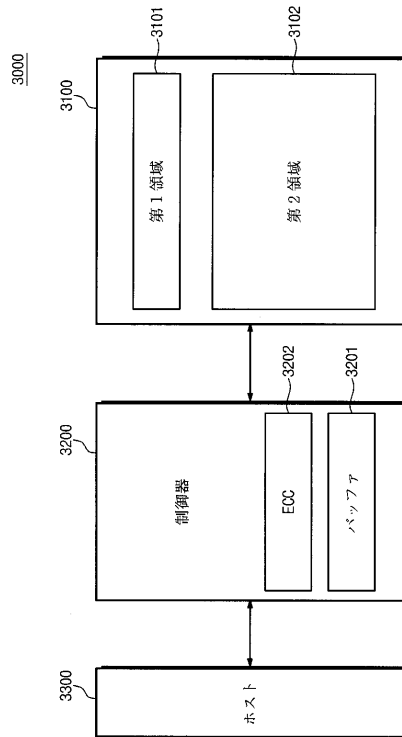
【 圖 1 2 】



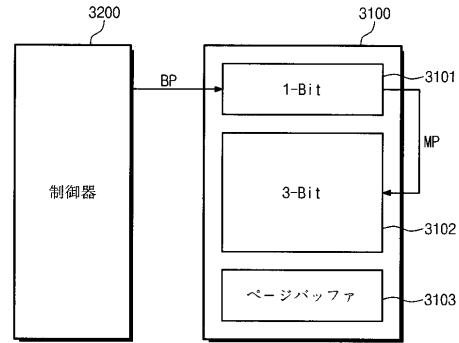
【 図 1 3 A 】



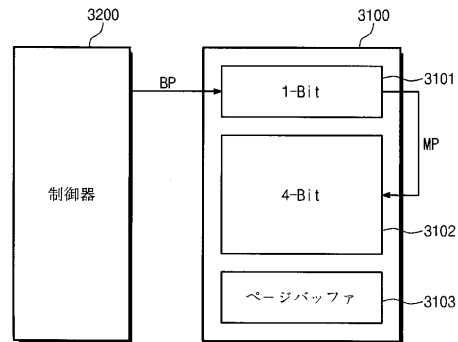
【図14】



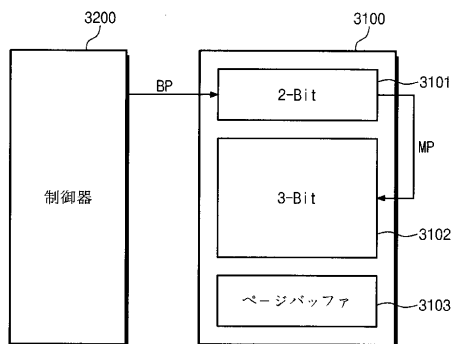
【図15A】



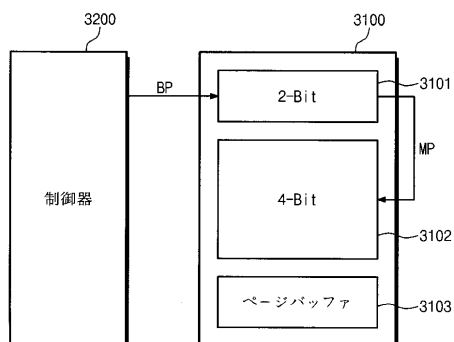
【図15B】



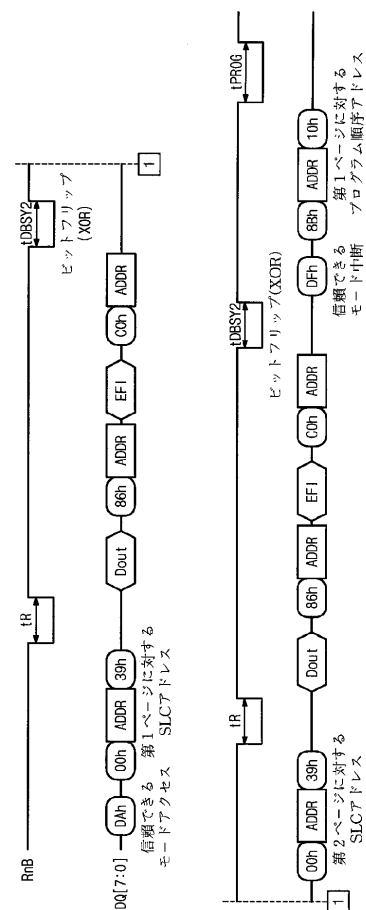
【図15C】



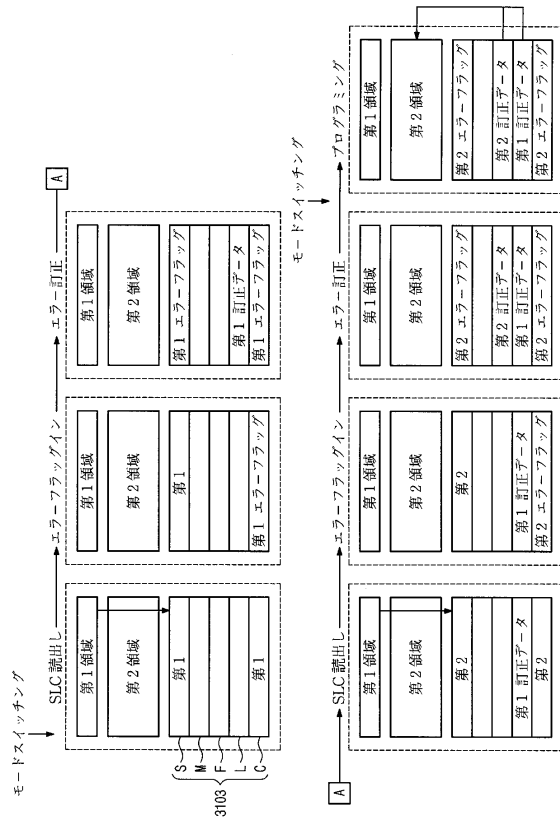
【図15D】



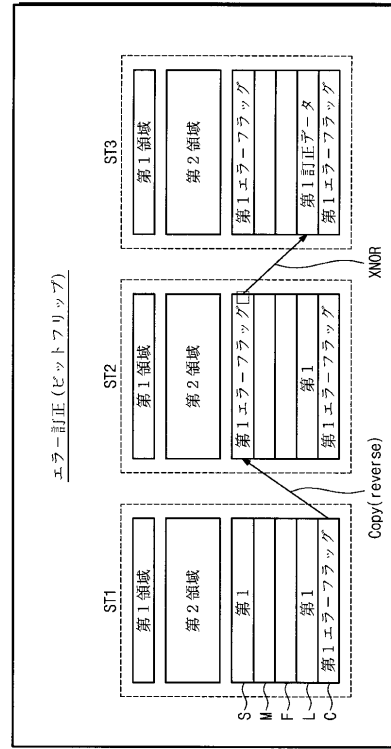
【図16】



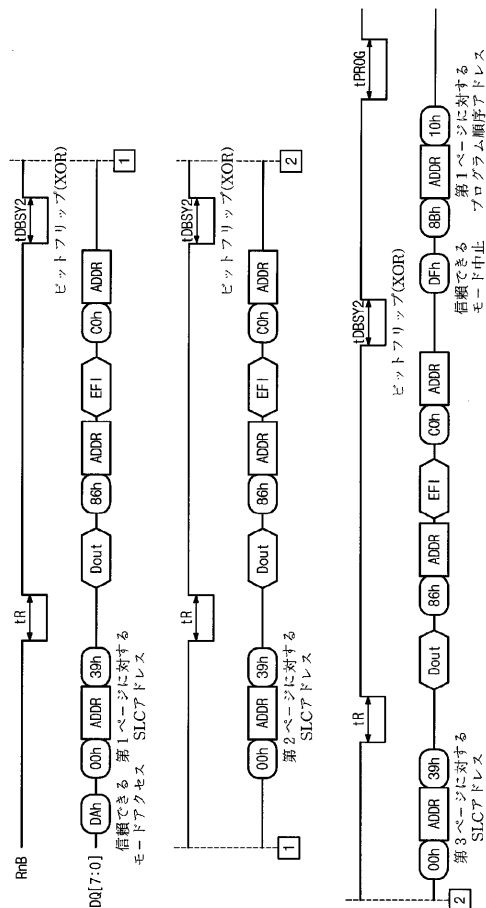
【 図 1 7 】



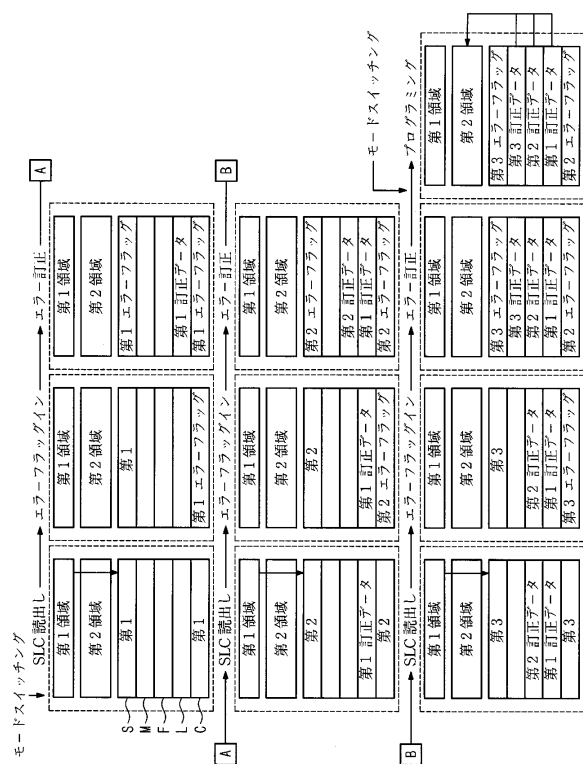
【 図 1 8 】



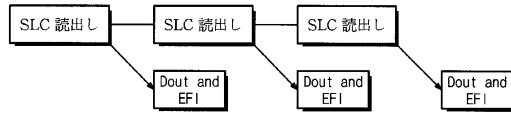
【 図 1 9 】



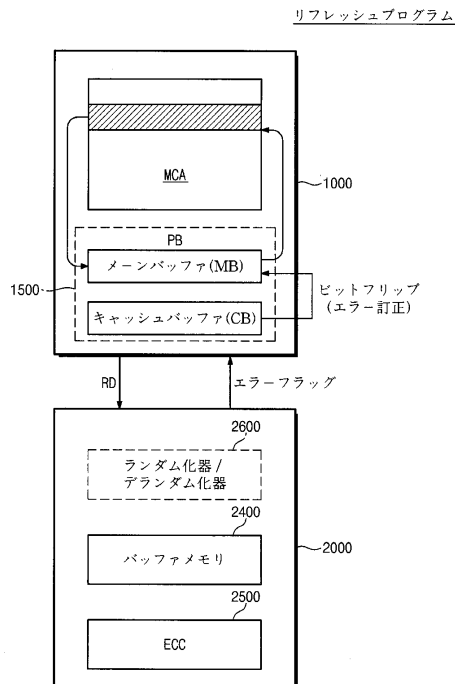
【 図 2 0 】



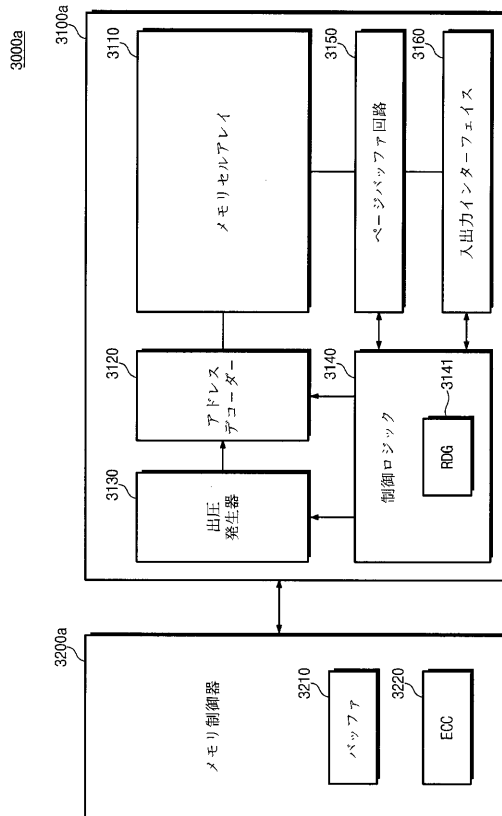
【図 2 1】



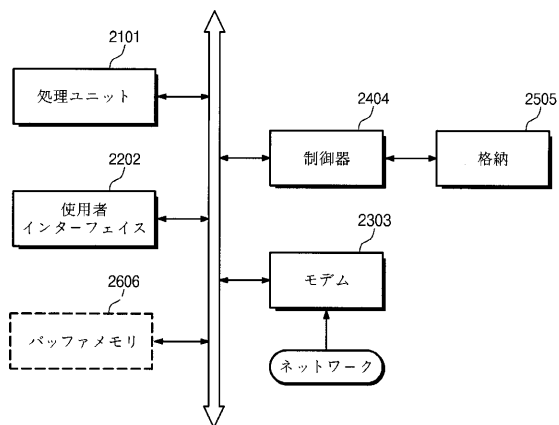
【図 2 2】



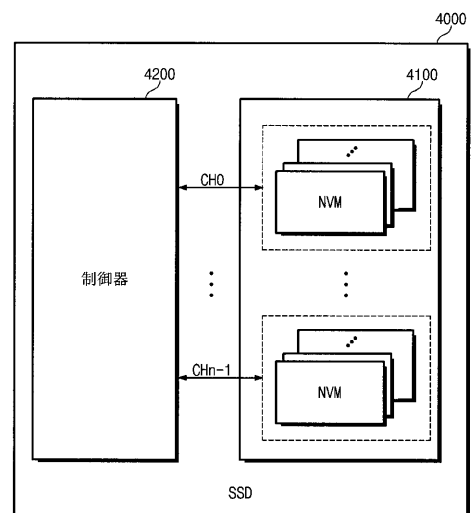
【図 2 3】



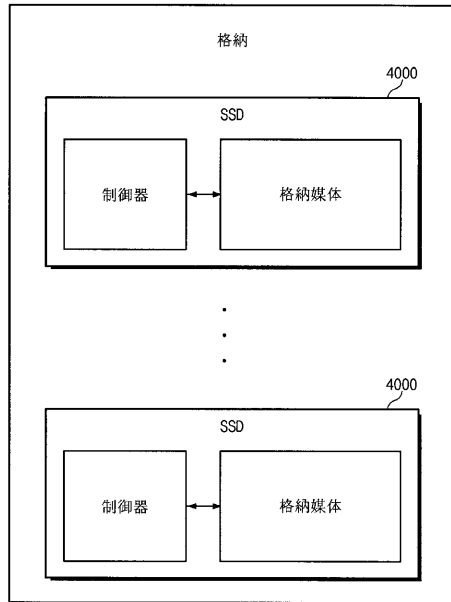
【図 2 4】



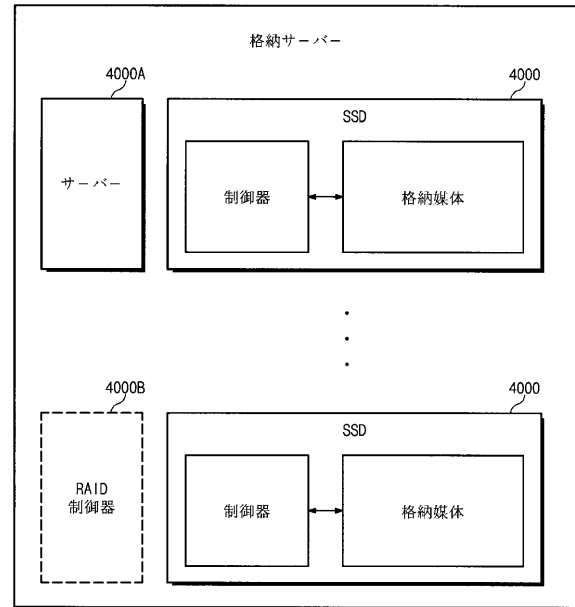
【図 2 5】



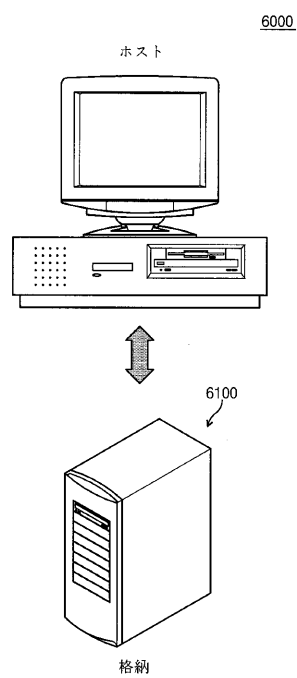
【図 26】



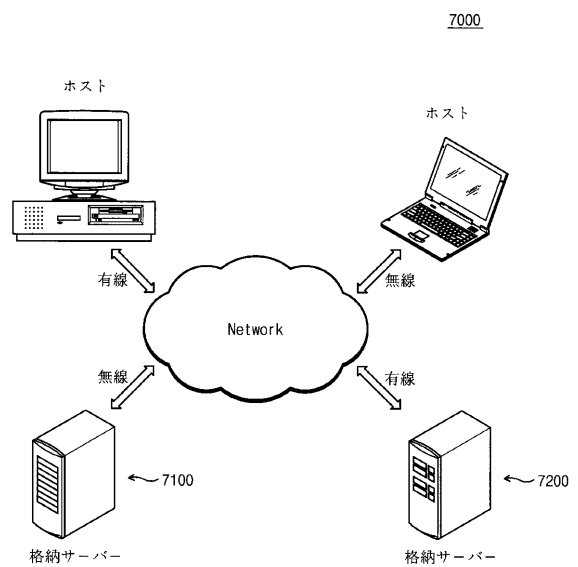
【図 27】



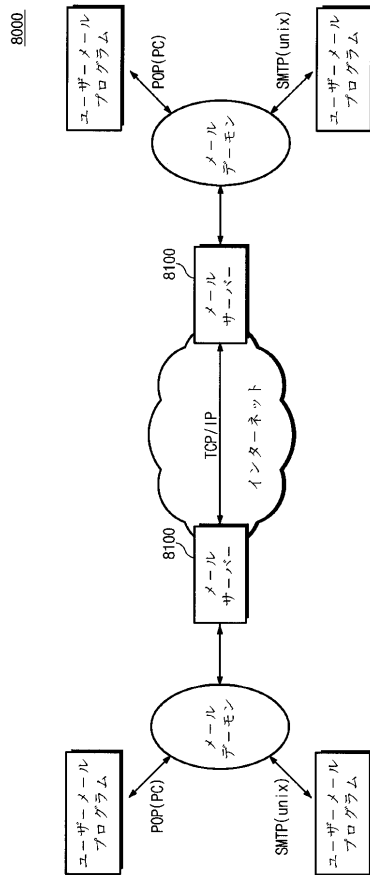
【図 28】



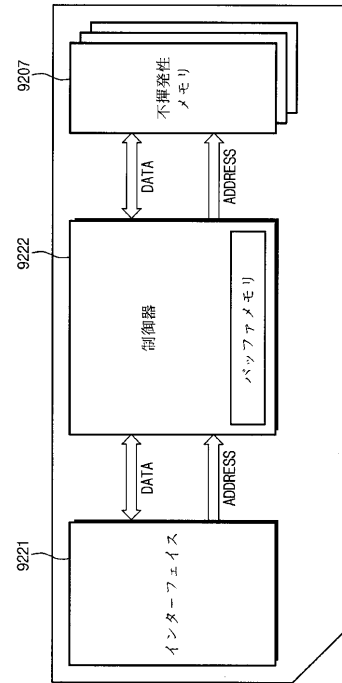
【図 29】



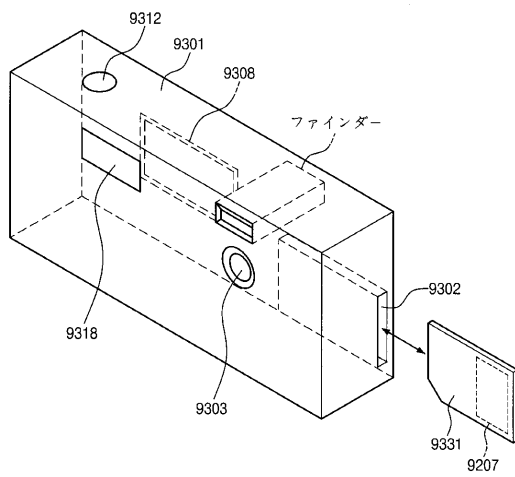
【図 30】



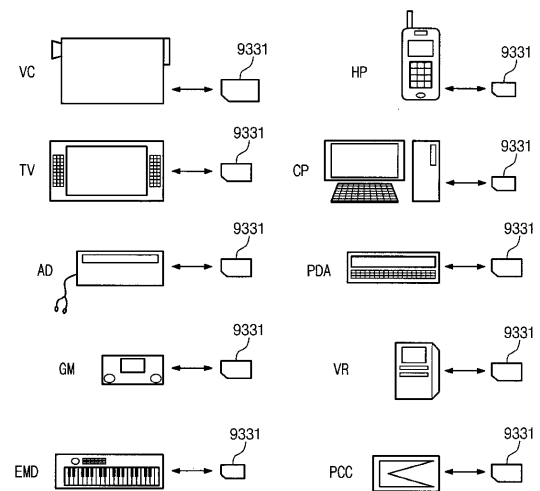
【図 31】



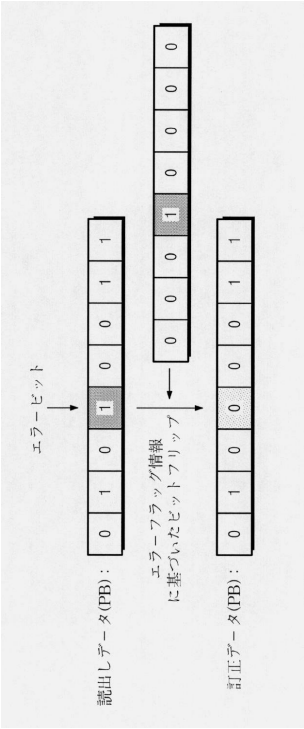
【図 32】



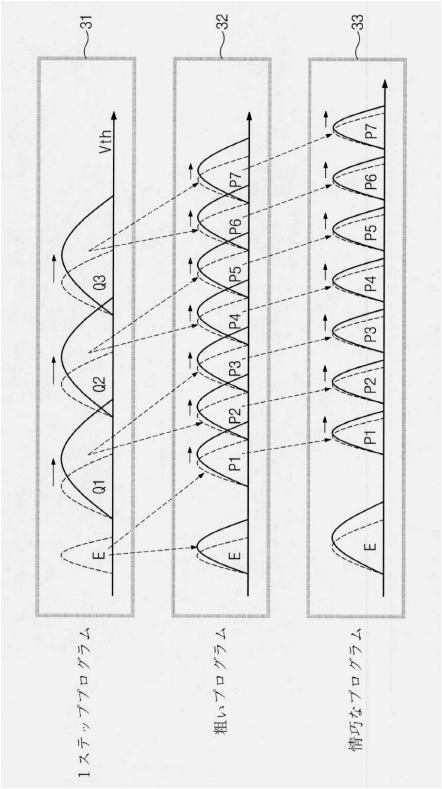
【図 33】



【図 7】



【図 13 B】



フロントページの続き

(72)発明者 朴 起台

大韓民国京畿道城南市盆唐区盆唐洞(番地なし) セトビョル - マウルサンブアパートメント41
0棟304号

(72)発明者 尹 翔 ヨン

大韓民国ソウル特別市中浪区中和洞(番地なし) ハンシンアパートメント101棟1802号

(72)発明者 韓 真晩

大韓民国京畿道城南市盆唐区亭子洞(番地なし) アイ - パークアパートメント104棟3103
号

審査官 酒井 恭信

(56)参考文献 特開2009-301194(JP, A)

特開2001-175542(JP, A)

米国特許第6651212(US, B1)

特開2011-028741(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 11/10

G06F 12/16

G11C 16/02 - 16/06