

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成27年11月26日 (2015.11.26)

【公表番号】特表2014-534625(P2014-534625A)
 【公表日】平成26年12月18日 (2014.12.18)
 【年通号数】公開・登録公報2014-070
 【出願番号】特願2014-534623(P2014-534623)
 【国際特許分類】

H 0 1 L 23/12 (2006.01)

【 F I 】

H 0 1 L 23/12 5 0 1 W

【手続補正書】

【提出日】平成27年10月1日 (2015.10.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

超小型電子パッケージであって、

第 1 の表面と、複数の基板コンタクトと、前記第 1 の表面の反対側の第 2 の表面とを有する基板であって、前記第 2 の表面は、第 1 の方向及び前記第 1 の方向を横切る第 2 の方向に延在する、基板と、

その他の機能よりもメモリ記憶アレイ機能を与える多数のアクティブデバイスを有する超小型電子素子であって、該超小型電子素子は、前記第 1 の表面を向く後面と、該後面の反対側の前面と、それぞれが前記前面と前記後面との間に延在しかつ前記前面に平行な方向に延在する対向する第 1 の縁部及び第 2 の縁部とを有し、該超小型電子素子は、前記前面に沿う前記第 1 の方向に延在する、素子コンタクトの少なくとも 1 つの列を有し、前記第 1 の縁部及び第 2 の縁部は、前記第 1 の方向に延在するとともに、前記超小型電子素子の前記後面に垂直な第 3 の方向にも延在する軸平面を規定しており、該軸平面は、前記第 1 の縁部及び前記第 2 の縁部に対して中央に置かれる、超小型電子素子と、

前記素子コンタクトを前記基板コンタクトに電氣的に接続する、前記前面の上に延在する導電性構造と、

前記第 2 の表面において前記基板コンタクトに電氣的に接続された、前記第 1 の方向に延在する端子の複数の平行な列であって、前記端子は、前記基板の前記第 2 の表面の中央領域内に露出する第 1 の端子を含み、前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中から、1 つのアドレス指定可能メモリ位置を決定するのに該パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、端子の複数の平行な列と

を含んでなり、

前記中央領域は、前記第 2 の方向に幅を有し、前記中央領域の前記幅は、前記端子の前記平行な列の任意の 2 つの隣接する列間の最小ピッチの 3 . 5 倍以下であり、前記軸平面は前記中央領域に交わる、超小型電子パッケージ。

【請求項 2】

前記第 1 の端子は、前記メモリ記憶アレイ内の前記アドレス指定可能メモリ位置を決定するのに該パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成される、請求項 1 に記載の超小型電子パッケージ。

【請求項 3】

前記導電性構造は、前記素子コンタクトから延在し、前記基板コンタクトに電氣的に接続されたワイヤボンドを含む、請求項 1 に記載の超小型電子パッケージ。

【請求項 4】

前記第 1 の端子は、端子のわずか 2 つ以下の列に配列される、請求項 1 に記載の超小型電子パッケージ。

【請求項 5】

前記第 1 の端子は、端子の単一の列に配列される、請求項 1 に記載の超小型電子パッケージ。

【請求項 6】

前記第 1 の端子は、端子の 4 つ以下の列に配列される、請求項 1 に記載の超小型電子パッケージ。

【請求項 7】

前記基板は、互いに反対側の前記第 1 の表面と前記第 2 の表面との間に対向する第 1 の縁部及び第 2 の縁部を有し、前記第 1 の縁部及び前記第 2 の縁部は前記第 1 の方向に延在し、前記第 2 の表面は、前記第 1 の縁部及び前記第 2 の縁部に隣接する第 1 の周辺領域及び第 2 の周辺領域をそれぞれ有し、前記中央領域は、前記第 1 の周辺領域及び前記第 2 の周辺領域を分離し、

前記端子は、前記第 2 の表面において前記周辺領域の少なくとも一方の周辺領域内に露出する複数の第 2 の端子を含み、前記第 2 の端子のうちの少なくともいくつかは前記アドレス情報以外の情報を運ぶように構成される、請求項 1 に記載の超小型電子パッケージ。

【請求項 8】

前記第 2 の端子のうちの少なくともいくつかはデータ信号を運ぶように構成される、請求項 7 に記載の超小型電子パッケージ。

【請求項 9】

前記第 1 の端子は、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中から、1つのアドレス指定可能メモリ位置を決定するのに該パッケージ内の回路によって使用可能なアドレス情報の大部分を運ぶように構成される、請求項 1 に記載の超小型電子パッケージ。

【請求項 10】

前記超小型電子素子は、第 1 の超小型電子素子及び第 2 の超小型電子素子を含み、該第 1 の超小型電子素子及び第 2 の超小型電子素子のそれぞれは、その他の機能よりもメモリ記憶アレイ機能を与える多数のアクティブデバイスを実現しており、該第 1 の超小型電子素子及び該第 2 の超小型電子素子は、前記第 1 の表面上で互いから離間し、それぞれが前記第 1 の方向に延在する平行な第 1 の縁部を有し、前記軸平面は、前記第 1 の縁部の間で中央に置かれる、
、請求項 1 に記載の超小型電子パッケージ。