



(12) 发明专利

(10) 授权公告号 CN 1663209 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 03814570. 7

(22) 申请日 2003. 06. 20

(30) 优先权数据

60/390, 346 2002. 06. 21 US

(85) PCT申请进入国家阶段日

2004. 12. 21

(86) PCT申请的申请数据

PCT/US2003/019391 2003. 06. 20

(87) PCT申请的公布数据

W02004/002096 EN 2003. 12. 31

(73) 专利权人 GVBB 控股股份有限公司

地址 卢森堡卢森堡

(72) 发明人 卡尔·克里斯坦森

林恩·H·阿巴克

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 吕晓章 马莹

(51) Int. Cl.

H04L 27/06 (2006. 01)

H03D 1/00 (2006. 01)

(56) 对比文件

Marco Angelici 等. NEW ARCHITECTURE
FOR AN AES-EBU DIGITAL AUDIO RECEIVER.
《IEEE Transactions on Consumer
Electronics》. 1997, 第 43 卷 (第 3 期), 第
694-698 页.

审查员 贺秀莲

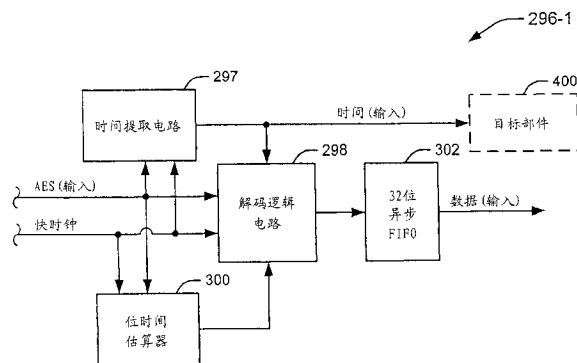
权利要求书 1 页 说明书 8 页 附图 5 页

(54) 发明名称

在线性可扩展广播路由器中使用的时钟提取电路

(57) 摘要

一种用于从串行化 AES 数字音频数据流中提取所选时间信息的方法。检测指明所述串行化 AES 数字音频数据流的第一前同步码的第一转变 (354), 并且, 一旦检测出该转变, 便初始化时间计数 (355)。随后检测指明所述串行化 AES 数字音频数据的后续前同步码的第二转变 (360) 并停止时间计数。随后确定分隔第一和第二转变的时间。然后, 将优选以快时钟脉冲计数 (362) 形式确定的间隔时间传送到供在对串行化 AES 数字音频数据流进行解码中使用的解码逻辑电路 (298)。



1. 一种从串行化 AES 数字音频数据流中提取所选时间信息的方法,包括:

由广播路由器检测指明所述串行化 AES 数字音频数据流的第一前同步码的第一转变;

由广播路由器检测指明所述串行化 AES 数字音频数据流的后续前同步码的第二转变,其中通过对所述第一转变之后的转变计数来检测所述第二转变,此处由 31 个居间转变分隔所述第一转变和所述第二转变,其中所述 31 个转变没有指明所述串行化 AES 数字音频数据流的所述后续前同步码;以及

确定分隔所述第一前同步码和所述第二前同步码的快时钟脉冲计数。

2. 如权利要求 1 所述的方法,其中,所述确定的快时钟脉冲计数信息适合于在对所述串行化 AES 数字音频数据流进行解码中使用。

3. 如权利要求 2 所述的方法,还进一步包括将所述确定的快时钟脉冲计数信息传送到解码逻辑电路 (298),以供在对所述串行化 AES 数字音频数据流进行解码中使用。

4. 如权利要求 1 所述的方法,其中,所述确定的快时钟脉冲计数信息适合于在对所述串行化 AES 数字音频数据流进行编码中使用。

5. 如权利要求 4 所述的方法,还进一步包括将所述确定的快时钟脉冲计数信息传送到编码逻辑电路,以供在对所述串行化 AES 数字音频数据流进行编码中使用。

6. 一种广播路由器 (100),包括:

解码器电路 (296-1),耦合来接收串行化 AES 数字音频数据流;

所述解码器电路包括时间提取电路 (297),用于在所述解码器电路进行解码期间从所述串行化 AES 数字音频数据流中提取时间信息,其中所述时间信息包括分隔指明所述串行化 AES 数字音频数据流的第一前同步码的第一转变和指明所述串行化 AES 数字音频数据流的第二前同步码的第二转变的时钟脉冲计数,其中通过对所述第一转变之后的转变计数来检测所述第二转变,此外由 31 个居间转变分隔所述第一转变和所述第二转变,其中所述 31 个转变没有指明所述串行化 AES 数字音频数据流的所述后续前同步码;以及

目标部件 (400),耦合到所述解码器电路 (296-1),所述目标部件从所述串行化 AES 数字音频数据流中接收所述提取的时间信息;

其中,在执行所述目标部件 (400) 的至少一个功能期间,所述目标部件 (400) 利用所述提取的时间信息。

7. 如权利要求 6 所述的广播路由器 (100),其中,还由所述解码器电路 (296-1) 利用所述提取的时钟脉冲计数信息,以对所述接收的串行化 AES 数字音频数据流进行解码。

在线性可扩展广播路由器中使用的时钟提取电路

[0001] 交叉参考

[0002] 本申请涉及 2002 年 6 月 21 日提出的美国临时专利申请第 60/390,346 号。

[0003] 本申请还涉及如下序号的共同待审美国专利申请：

[0004] PCT/____(代理人案号 IU010620), PCT/____(代理人案号 IU020157),

[0005] PCT/____(代理人案号 IU020158), PCT/____(代理人案号 IU020159),

[0006] PCT/____(代理人案号 IU020160), PCT/____(代理人案号 IU020161),

[0007] PCT/____(代理人案号 IU020162), PCT/____(代理人案号 IU020252),

[0008] PCT/____(代理人案号 IU020253), PCT/____(代理人案号 IU020255), 和 PCT/____(代理人案号 IU020256), 所有这些申请都转让给本申请的受让人, 特此全文引用, 以供参考。

技术领域

[0009] 本发明涉及广播路由器, 尤其涉及用于从通过该广播路由器的解码器电路的串行化数字音频数据流中提取所选时间信息的电路, 该电路供该广播路由器中的各种部件使用。

背景技术

[0010] 传统上, 广播路由器已合并用于从串行化数字音频数据流中提取数字音频数据的串行数字音频解码器。然而, 如果存在定时信息的话, 这种串行数字音频解码器从数字音频数据流中提取很少的定时信息。例如, 在本领域中, 输出一些形式的“恢复时钟 (recovered clock)”的现有串行数字音频解码器是公知的。如果配置串行数字音频解码器来从接收的串行化数字音频数据流中提取其它类型的定时信息, 那么将是相当有用的。例如, 考虑由串行数字音频解码器从接收的串行化数字音频数据流中提取的时间信息可被串行数字音频解码器自身以例如共同待审美国专利申请序号 10/____(代理人案号 IU020159) 中公开并且先前通过引用结合于此的方式使用、或被广播路由器的其它部件使用。然而, 迄今仍没有将串行数字音频解码器配置用来提取这种类型的信息。因此, 本发明的目的是提供能够从接收的串行化数字音频数据流中提取定时信息的串行数字音频解码器。

发明内容

[0011] 本发明旨在提供一种从串行化 AES 数字音频数据流中提取所选时间信息的方法。检测指明所述串行化 AES 数字音频数据流的第一前同步码的第一转变, 并且, 一旦检测出该转变, 便初始化时间计数。随后检测指明所述串行化 AES 数字音频数据的后续前同步码的第二转变并停止时间计数。随后确定分隔第一和第二转变的时间。然后, 可将最好以快时钟脉冲计数形式确定的分隔第一和第二转变的间隔时间传送到供在对串行化 AES 数字音频数据流进行解码中使用的解码逻辑电路。可替换地, 可将也是最好以快时钟脉冲计数形式确定的分隔第一和第二转变的间隔时间传送到供在对串行化 AES 数字音频数据流进

行编码中使用的编码逻辑电路。

[0012] 在另一个实施例中,本发明提供一种广播路由器,其包括解码器电路和耦合到解码器电路的目标部件。解码器电路接收串行化 AES 数字音频数据流,并且,在进行解码期间,解码器电路从串行化 AES 数字音频流中提取时间信息。解码器电路随后将提取的时间信息转发到目标部件,其中在执行该目标部件的至少一个功能期间,目标部件使用该时间信息。解码器电路自身也可使用提取的时间信息,以对接收的串行化 AES 数字音频数据流进行解码。

附图说明

[0013] 图 1 为合并了根据本发明的原理而构造的二相 (bi-phase) 解码器的全冗余、线性可扩展广播路由器的方框图;

[0014] 图 2 为图 1 的全冗余、线性可扩展广播路由器的第一广播路由器部件的扩展方框图;

[0015] 图 3 为图 2 的第一广播路由器部件的 AES 输入电路的扩展方框图;

[0016] 图 4 为图 3 的 AES 输入电路的 AES 二相解码器电路的扩展方框图;以及

[0017] 图 5 为一种方法的流程图,通过该方法,图 4 的 AES 二相解码器的时间提取电路确定分隔 AES-3 串行数字音频数据流的连续前同步码的快时钟的数目。

具体实施方式

[0018] 首先参照图 1,现在将更详细地描述全冗余、线性可扩展广播路由器 100。正如现在可看到的那样,全冗余、线性可扩展广播路由器 100 包括相互耦合以形成更大的全冗余、线性可扩展广播路由器 100 的多个广播路由器部件。每个广播路由器部件为包括第一和第二路由器矩阵的分离路由器设备,第二路由器矩阵是第一路由器矩阵的冗余。因此,每个广播路由器具有第一和第二路由引擎,分别用于第一和第二路由器矩阵中的一个,每个所述路由引擎在其输入侧接收相同的输入数字音频数据流,并将相同的输出数字音频数据流置于其输出侧。正如这里所公开的那样,用于构造全冗余、线性可扩展广播路由器的每个广播路由器部件均为 $N \times M$ 大小的广播路由器。然而,完全可以设想,全冗余、线性可扩展广播路由器 100 可以改为由大小彼此不同的广播路由器部件构成。

[0019] 正如这里进一步公开的那样,通过将第一、第二、第三和第四广播路由器部件 102、104、106 和 108 耦合在一起而形成全冗余、线性可扩展广播路由器 100。当然,当前公开的全冗余、线性可扩展广播路由器 100 由 4 个广播路由器部件组成纯粹是举个例子。因此,应该清楚地认识到,可以利用各种其它数目的广播路由器部件来形成根据本发明的原理构造的全冗余、线性可扩展广播路由器。当以这里公开的方式全部连接时,可以将集体形成全冗余、线性可扩展广播路由器 100 的第一、第二、第三和第四广播路由器部件 102、104、106 和 108 一起存放在如图 1 所示的公共底盘 (chassis) 上,或者,如果期望的话,存放在单独的底盘上。尽管如以前所述的那样,广播路由器部件 102、104、106 和 108 可以具有彼此不同的大小,或者,可替换地,可以全部具有相同的 $N \times M$ 大小,但已证明了适合于在此期待的用途的一种大小为 256×256 。此外,全冗余、线性可扩展广播路由器 100 的适当配置可以耦合大小各为 256×256 的 5 个广播路由器部件,从而产生 $1,280 \times 1,280$ 广播路由器。

[0020] 第一广播路由器部件 102 由第一路由器矩阵 102a 和用于在第一路由器矩阵 102a 出现故障的情况下取代第一路由器矩阵 102a 的第二（或“冗余”）路由器矩阵 102b 组成。类似地，全冗余、线性可扩展广播路由器 100 的第二、第三和第四广播路由器部件 104、106 和 108 中的每一个分别由第一路由器矩阵 104a、106a 和 108a 和用于在第一路由器矩阵 104a、106a 和 108a 出现故障的情况下分别取代第一路由器矩阵 104a、106a 和 108a 的第二（或“冗余”）路由器矩阵 104b、106b 和 108b 组成。当然，作为在第一路由器矩阵 102a、104a、106a 和 108a 出现故障的情况下分别用作第一路由器矩阵 102a、104a、106a 和 108a 的备份的冗余矩阵的第二路由器矩阵 102b、104b、106b 和 108b 的指定纯粹是任意的，并且，完全可以设想，位于广播路由器部件内的路由器矩阵对中的任何一个均可以作为位于该广播路由器部件内的路由器矩阵对中的另一个的备份。

[0021] 正如可在图 1 中进一步看到的那样，第一广播路由器部件 102 的第一路由器矩阵 102a、第二广播路由器部件 104 的第一路由器矩阵 104a、第三广播路由器部件 106 的第一路由器矩阵 106a、和第四广播路由器部件 108 的第一路由器矩阵 108a 以遵循全连接拓扑结构的路由器矩阵的第一排列耦合在一起。类似地，第一广播路由器部件 102 的第二路由器矩阵 102b、第二广播路由器部件 104 的第二路由器矩阵 104b、第三广播路由器部件 106 的第二路由器矩阵 106b、和第四广播路由器部件 108 的第二路由器矩阵 108b 以像第一种排列那样遵循全连接拓扑结构的第二排列耦合在一起。在全连接拓扑结构中，路由器矩阵排列的每个路由器矩阵通过分离链路与形成路由器矩阵排列的一部分的每个其它路由器矩阵耦合。

[0022] 因此，对于路由器矩阵的第一排列，第一、第二和第三双向链路 110、112 和 114 将第一广播路由器部件 102 的第一路由器矩阵 102a 分别与第二广播路由器部件 104 的第一路由器矩阵 104a、第三广播路由器部件 106 的第一路由器矩阵 106a、以及第四广播路由器部件 108 的第一路由器矩阵 108a 耦合。另外，第四和第五双向链路 116 和 118 将第二广播路由器部件 104 的第一路由器矩阵 104a 分别与第三广播路由器部件 106 的第一路由器矩阵 106a、以及第四广播路由器部件 108 的第一路由器矩阵 108a 耦合。最后，第六双向链路 120 将第三广播路由器部件 106 的第一路由器矩阵 106a 与第四广播路由器部件 108 的第一路由器矩阵 108a 耦合。

[0023] 类似地，对于路由器矩阵的第二排列，第一、第二和第三双向链路 122、124 和 126 将第一广播路由器部件 102 的第二路由器矩阵 102b 分别与第二广播路由器部件 104 的第二路由器矩阵 104b、第三广播路由器部件 106 的第二路由器矩阵 106b、以及第四广播路由器部件 108 的第二路由器矩阵 108b 耦合。另外，第四和第五双向链路 128 和 130 将第二广播路由器部件 104 的第二路由器矩阵 104b 分别与第三广播路由器部件 106 的第二路由器矩阵 106b、以及第四广播路由器部件 108 的第二路由器矩阵 108b 耦合。最后，第六双向链路 132 将第三广播路由器部件 106 的第二路由器矩阵 106b 与第四广播路由器部件 108 的第二路由器矩阵 108b 耦合接。可变化地，可由铜线、光纤或另一种认为适合于数字信号交换的传输介质来形成双向链路 110 到 120。当然，除了图 1 中显示的广播路由器部件对之间的单个双向链路，在本发明的替换实施例中，设想可将广播路由器部件对替换为通过第一和第二单向链路而一起耦合。图 2 中显示了这种替换配置。

[0024] 现在将更为详细地描述广播路由器部件 102、104、106 和 108。图 2 示出了第一广

播路由器部件 102。另一方面,与第一广播路由器部件 102 相类似地配置第二、第三和第四广播路由器部件 104、106 和 108,并且不需要对其进行更为详细地描述。当然,应当清楚地理解,为了精简描述,前面有关第一广播路由器部件 102、以及第二、第三和第四广播路由器部件 104、106 和 108 的描述中的某些部分已被简化。注意,然而,通过参照先前通过引用结合于此的共同待审美国专利申请序号 10/____(代理人案号 IU020160) 可找到其进一步的细节。

[0025] 如可在图 2 中看到的,广播路由器 102 包括 N 个选择器 138-1 到 138-N,所述选择器被设置为使得每一个选择器的输出端将 N 个传输流中的一个提供到第一广播路由器部件 102 的路由器矩阵 102a、102b 中的每一个的输入侧。如这里所公开的,选择器 138-1 到 138-N 中的每一个是第一 2:1 选择器电路,具有分别由音频工程协会(“AES”)输入电路 140-1 到 140-N 构建的第一传输流,作为对其的第一输入;以及分别由多通道数字音频(“MADI”)输入电路 142-1 到 142-N 从遵循 MADI 标准的解码的数字音频数据流构建的第二传输流,作为对其的第二输入。第一选择器电路 138-1 到 138-N 中的每一个还包括控制输入端(未示出),用于在两个传输流之间进行选择。

[0026] 将第一选择器电路 138-1 到 138-N 中的每一个的所选传输流输出供应到第一路由器矩阵 102a 的路由引擎 144 的输入侧、传送(或“TX”)扩展端口 276、第一接收(或“RX”)扩展端口 278、第二接收扩展端口 280 以及第三接收扩展端口 282。意图通过术语“传送”扩展端口来指出数据从其传送到所选目的地的扩展端口。类似地,意图通过术语“接收”扩展端口来指出从目的地接收数据的扩展端口。广义上说,第一路由器矩阵 102a 的传送扩展端口 276 包括:存储器子系统,从第一广播路由器部件 102 的第一选择器电路 138-1 到 138-N 接收的传输流在传送到多个目的地之前被缓存于其中;以及处理器子系统,用于控制从第一选择器电路 138-1 到 138-N 接收的传输流传送到第二广播路由器部件 104 的第一路由器矩阵 104a、第三广播路由器部件 106 的第一路由器矩阵 106a 以及第四广播路由器部件 108 的第一路由器矩阵 108a 的接收扩展端口。相反,广义上说,第一路由器矩阵 102a 的第一、第二和第三扩展端口 278、280 和 282 中的每一个包括:存储器子系统,从另一个广播路由器部件的第一路由器矩阵的传送扩展端口接收的输入传输流在传送到其最终目的地之前可被缓存于其中;以及处理器子系统,用于控制从另一个广播路由器部件的第一路由器矩阵的传送扩展端口接收的输入传输流传送到第一广播路由器部件 102 的第一路由器矩阵 102a 的路由引擎 144 的输入端。

[0027] 将包含从 AES 输入端 1-32N 和/或 MADI 输入端 1-N 提取的信息的传输流 1 到 N 从第一选择器电路 138-1 到 138-N 传送到路由引擎 144 和传送扩展端口 276。将输入传输流 1 到 N 从传送扩展端口 276 通过链路 110 转发到第二广播路由器部件 104 的第一路由器矩阵 104a、通过链路 112 转发到第三广播路由器部件 106 的第一路由器矩阵 106a、以及通过链路 114 转发到第四广播路由器部件 108 的第一路由器矩阵 108a。作为回复,将输入传输流 N+1 到 2N 通过链路 110 从第二广播路由器部件 104 的第一路由器矩阵 104a 的传送扩展端口传送到第一接收扩展端口 278;将输入传输流 2N+1 到 3N 通过链路 112 从第三广播路由器部件 106 的第一路由器矩阵 106a 的传送扩展端口传送到第二接收扩展端口 280;以及将输入传输流 3N+1 到 4N 通过链路 114 从第四广播路由器部件 108 的第一路由器矩阵 108a 的传送扩展端口传送到第三接收扩展端口 282。最后,第一、第二和第三接收扩展端口 278、

280 和 282 分别将输入传输流 $N+1$ 到 $2N$ 、 $2N+1$ 到 $3N$ 以及 $3N+1$ 到 $4N$ 输入到路由引擎 144。

[0028] 如前所述,第一和第二路由器矩阵 102a 和 102b 为彼此的冗余矩阵。为了以此方式工作,第二路由器矩阵 102b 的路由引擎 152 必须具有和路由引擎 144 相同的一组输入传输流。因此,以与上面描述的方式相类似的方式,将第一选择器电路 138-1 到 138-N 中的每一个的所选传输流输出也供应到路由引擎 152 的输入侧以及传送端口 284。类似地,被供应到第一接收扩展端口 278、第二接收扩展端口 290 以及第三接收扩展端口 282 的传输流也被分别供应到第二路由器矩阵 102b 的第一接收扩展端口 286、第二接收扩展端口 288 以及第三接收扩展端口 290。广义上说,第二路由器矩阵 102b 的传送扩展端口 284 包括:存储器子系统,从第一广播路由器部件 102 的第一选择器电路 138-1 到 138-N 接收的传输流在传送到多个目的地之前被缓存于其中;以及处理器子系统,用于控制从第一选择器电路 138-1 到 138-N 接收的传输流传送到第二广播路由器部件 104 的第二路由器矩阵 104b、第三广播路由器部件 106 的第二路由器矩阵 106b 以及第四广播路由器部件 108 的第二路由器矩阵 108b。相反,广义上说,第二路由器矩阵 102b 的第一、第二和第三扩展端口 286、288 和 290 中的每一个包括:存储器子系统,从另一个广播路由器部件的第一路由器矩阵的传送扩展端口接收的传输流在传送到其最终目的地之前可被缓存在其中;以及处理器子系统,用于控制从另一个广播路由器部件的第一路由器矩阵的传送扩展端口接收的传输流传送到第一广播路由器部件 102 的第二路由器矩阵 102b 的路由引擎 152 的输入端。

[0029] 将输入传输流 1 到 N 从第一选择器电路 138-1 到 138-N 传送到路由引擎 152 和传送扩展端口 284。将输入传输流 1 到 N 从传送扩展端口 284 通过链路 122 转发到第二广播路由器部件 104 的第二路由器矩阵 104b、通过链路 124 转发到第三广播路由器部件 106 的第二路由器矩阵 106b、以及通过链路 126 转发到第四广播路由器部件 108 的第二路由器矩阵 108b。作为回复,将输入传输流 $N+1$ 到 $2N$ 通过链路 122 从第二广播路由器部件 104 的第二路由器矩阵 104b 的传送扩展端口传送到第三接收扩展端口 290;将输入传输流 $2N+1$ 到 $3N$ 通过链路 124 从第三广播路由器部件 106 的第二路由器矩阵 106b 的传送扩展端口传送到第二接收扩展端口 288;以及将输入传输流 $3N+1$ 到 $4N$ 通过链路 126 从第四广播路由器部件 108 的第二路由器矩阵 108b 的传送扩展端口传送到第一接收扩展端口 286。从第三、第二和第一接收扩展端口 290、288 和 286,输入传输流 $N+1$ 到 $2N$ 、 $2N+1$ 到 $3N$ 以及 $3N+1$ 到 $4N$ 分别由第三、第二和第一接收扩展端口 290、288 和 286 传送到路由引擎 154。

[0030] 第一路由器矩阵 102a 的路由引擎 144 内具备切换装置,用于将作为到路由引擎 144 的输入而接收的 $4N$ 个 AES 流中的任一个分配到路由引擎 144 的 M 条输出线路中的任一条。可变化的,考虑可以用软件(例如一系列指令)、硬件(例如一系列逻辑电路)、或其组合来实现路由引擎 144。类似地,第二路由器矩阵 102b 的路由引擎 152 内具备切换装置,用于将作为到路由引擎 152 的输入而接收的 $4N$ 个 AES 流中的任一个分配到路由引擎 152 的 M 条输出线路中的任一条。再次考虑可以用软件、硬件或其组合来不同地实现路由引擎 152。将第一广播路由器部件 102 的第一和第二路由矩阵 102a 和 102b 各自的路由引擎 144 和 152 的 1 到 M 个 AES 流输出中的每一个输送到第二选择器电路 160-1 到 160-M 中的对应的一个。第二选择器电路 160-1 到 160-M 集体确定第一路由矩阵 102a 的路由引擎 144 的 1 到 M 个 AES 流输出还是第二路由矩阵 102b 的路由引擎 152 的 1 到 M 个 AES 流输出应当为第一广播路由器部件 102 的输出。第二选择器电路 160-1 到 160-M 中的每一个共享公共

控制输入端（未示出），其用于选择是路由引擎 144 的 AES 流输出还是路由引擎 152 的 AES 流输出应当通过第二选择器电路 160-1 到 160-M 传递。

[0031] 所选 AES 流从第二选择器电路 160-1 到 160-M 输送到信息复制电路 162-1 到 162-M 中的相应一个。作为回复，信息复制电路 162-1 到 162-M 将接收的 AES 流传递到用于编码的 AES 输出电路 164-1 到 164-M 或 MADI 输出电路 166-1 到 166-M，并从第一广播路由器部件 102 输出该 AES 流。类似地，如果接收的信息流是 MADI 流，则也可将它们传递到用于编码的 AES 输出电路 164-1 到 164-M 或 MADI 输出电路 166-1 到 166-M，并从第一广播路由器部件 102 输出这些 MADI 流。

[0032] 接下来参照图 3，现在将更为详细地描述 AES 输入电路 140-1 到 140-N。图 3 示出了 AES 输入电路 140-1。剩下的 AES 输入电路，具体地说，AES 输入电路 140-2 到 140-N 的配置与 AES 输入电路 140-1 类似，不需要对其进行更为详细地描述。如现在可以看出的，AES 输入电路 140-1 包括 AES 二相解码器电路 296-1 到 296-32 以及传输流多路复用器 295。到 AES 二相解码器电路 296-1 到 296-32 中的每一个的输入为遵循 AES-3 标准并在信号源（未示出）产生的各个输入数字音频数据流。如将在下面更为全面地描述的，AES 二相解码器电路 296-1 到 296-32 对输入到其中的各个输入数字音频数据流进行解码。将 AES 二相解码器电路 296-1 到 296-32 产生的 32 个已解码的输入数字音频数据流输入到传输流多路复用器 295，传输流多路复用器 295 从 32 个已解码的输入数字音频数据流构建传递到选择器电路 138-1 的输入传输流。

[0033] 现在将更为详细地描述 AES 二相解码器电路 296-1 到 296-32。图 4 示出了 AES 二相解码器电路 296-1。剩下的 AES 二相解码器电路，具体地说，AES 二相解码器电路 296-2 到 296-32 的配置与 AES 二相解码器电路 296-1 类似，不需要对其进行更为详细地描述。如将在下面更为全面地描述的，AES 二相解码器电路 296-1 通过使用快时钟来工作，以对输入数据流进行采样，这里即为 AES 串行化数字音频数据流。为了对 AES 串行化数字音频数据流进行解码，AES 二相解码器电路 296-1 还需要估算的位时间。如这里所使用的，术语“快时钟”表示具有比输入 AES 数字音频数据流的频率至少快 20 倍的频率的时钟。另一方面，术语“位时间”表示将在输入 AES 数字音频数据流的典型位期间出现的快时钟的数目。如这里所公开的，考虑 AES 二相解码器电路 296-1 可以两种模式操作。在第一模式中，用户选择位时间，用于直接输入到逻辑电路 298，而在第二模式中，从输入串行化数字音频数据流自动生成位时间。

[0034] 如在图 4 中可以看出的，AES 二相解码器电路 296-1 包括时间提取电路 297、解码逻辑电路 298、位时间估算器 300 以及适当大小的数据存储器，例如 32 位宽的异步先进先出（“FIFO”）存储器 302。AES 二相解码器电路 296-1 从 AES 输入 140-1 接收串行化数字音频数据流。在 AES 二相解码器电路 296-1 内，随后将 AES 串行化数字音频数据流发送到时间提取电路 297、解码逻辑电路 298 和位时间估算器 300 中的每个。时间提取电路 297 提取特定时间信息，具体地说是从第二串行化数字音频数据流分离出连续的前同步码的快时钟的数目。时间提取电路 297 随后将提取的时间信息传递到解码逻辑电路 298，用于对 AES 串行化数字音频数据流进行解码。除了将提取的时间信息传递到解码逻辑电路 298 之外，时间提取电路 297 还将提取的时间信息输出到广播路由器 100 的目标部件 400（由于其不是 AES 二相解码器电路 296-1 的一部分，所以在图 4 中将其以虚框示出）。此处，取决于目

标部件 400 的特定功能,考虑可将由 AES 二相解码器电路 296-1 的时间提取电路提取的提取时间信息用于多种目的。例如,考虑可在对串行化 AES 数字音频数据流进行编码时使用提取的时间信息。在这种例子中,例如,可形成 AES 输出电路 164-1 的一部分的编码逻辑电路将用作目标部件 400。当然,编码逻辑电路仅为可使用提取的时间信息来执行各种功能的广播路由器 100 的目标部件的一个例子。此外,考虑可将提取的时间信息转发到多个目标部件,所述多个目标部件中的每个将在执行各个功能的期间使用提取的时间信息。最后,考虑还可由 AES 二相解码器电路 296-1 自身使用提取的时间信息,以对接收的 AES 串行化数字音频数据流进行解码。

[0035] 有关解码逻辑电路 298 的操作的进一步细节在先前通过引用结合的共同待审美国专利申请序号 10/____(代理人案号 IU020259) 中有更为详细的阐述。如其中更为全面的描述的,将解码逻辑电路 298 配置为识别 AES 串行化数字音频数据流内的“X 类”前同步码、“Y 类”前同步码、“Z 类”前同步码、逻辑 1 和逻辑 0。在识别出前同步码并断定识别出的前同步码为“X”前同步码、“Y”前同步码或“Z”前同步码之后,解码逻辑电路 298 将识别出的前同步码传送到 FIFO 存储器 302,如这里所公开的,FIFO 存储器 302 为 32 位宽寄存器。

[0036] 一旦开始从接收的 AES 串行化数字音频数据流中提取数字音频数据,解码逻辑电路 298 便将第一个这种已解码的前同步码,典型地为“Z”类前同步码,置于 FIFO 存储器 302 的位 31-28 中。如果解码逻辑电路 298 随后在 AES 串行化数字音频数据流中识别出逻辑“1”或逻辑“0”,则解码逻辑电路 298 将已解码的数据位传送到 FIFO 存储器 302 的位 31 中,由此使第一个已解码的前同步码移到 FIFO 存储器 302 的位 30-27 中。以这种方式,解码逻辑电路 298 接连对接收的串行化 AES 数字音频数据流中的数据各个位进行解码,并将每个这种位识别为逻辑“1”、逻辑“0”或前同步码的一部分。随着成功地识别出了每个数据位,将每个数据位传送到 FIFO 302 的位 31 中,由此用 AES 数字数据的第一个 32 位子帧逐渐地填充 FIFO 302。然而,只要随后识别出另一个前同步码,解码逻辑电路 298 就会断定已经开始对 AES 数字数据的下一个 32 位子帧进行解码。因此,将 FIFO 302 的现有内容计时(clock)到选择器电路 138-1 中,并且将新识别的前同步码置于 FIFO 302 的位 31-28 中,由此开始用 AES 数字数据的下一个 32 位子帧来填充 FIFO 302。

[0037] 接下来参照图 5,现在将更为详细地描述时间提取电路 297 从 AES 串行化数字音频数据流中提取特定时间信息、具体地说是分隔连续前同步码的快时钟的数目的方法。该方法在步骤 350 处开始,并在步骤 352,将要从中提取前面提到的时间信息的 AES 串行化数字音频数据流输入到时间提取电路 297。继续进行到步骤 353,将转变计数“T”设为 0,并且时间提取电路 297 开始对输入 AES 串行化数字音频数据流检查转变(transition)。在步骤 354,时间提取电路 297 在输入 AES 串行化数字音频数据流中检测第一转变,并假定检测出的转变指明第一前同步码的开始。该方法随后前进到步骤 355,其中时间提取电路 297 开始对输入 AES 串行化数字音频数据流中检测出的前同步码和后续前同步码之间的快时钟脉冲的数目进行计数。为此,该方法将首先进入到步骤 356,其中转变计数 T 递增 1。

[0038] 前进到步骤 357,时间提取电路 297 随后将转变计数 T 与 33 比较,所述 33 为在 AES-3 串行化数字音频数据流的连续前同步码之间出现的转变的数目。如果在步骤 357 确定转变计数 T 小于 33,那么时间提取电路 297 断定仍未检测出后续前同步码。该方法随后前进到步骤 358,其中继续对快时钟脉冲计数。继续进行到步骤 359,时间提取电路 297 继

续对输入 AES-3 串行化数字音频数据流检查后续转变。一旦检测出后续转变,时间提取电路 297 便再次确定检测出的转变是否指明输入 AES-3 串行化数字音频数据流中后续前同步码的开始。为此,该方法返回到步骤 356,其中,时间提取电路 297 将以先前描述的有关第一检测出的转变的方式,再次确定随后检测出的转变是否指明输入 AES-3 串行化数字音频数据流中的后续前同步码。

[0039] 现在返回到步骤 357,如果转变计数 T 等于 33,则该方法前进到步骤 360,其中时间提取电路 297 断定检测出的转变指明输入 AES-3 串行化数字音频数据流中后续前同步码的开始。该方法将随后前进到步骤 362,其中时间提取电路 297 将快时钟脉冲计数传送到解码逻辑电路 298,用于在以预先已通过引用结合于此的共同待审美国专利申请序号 10/____ (代理人案号 IU020259) 中描述的方式来对 AES-3 串行化数字音频数据流进行解码中使用。继续进行到步骤 364,时间提取电路 297 确定是否还有要分析的额外的 AES 串行化数字音频数据。如果还有要分析的额外数据,则该方法前进到步骤 366,用于复位快速时钟脉冲计数。该方法将随后返回到步骤 353,用于以前述方式对输入 AES 串行化数字音频数据流作进一步分析。然而,如果在步骤 364 确定没有额外的 AES 串行化数字音频数据需要分析,则该方法将改为在 368 结束。

[0040] 因此,这里已公开并图解了用于从通过广播路由器的串行化数字音频数据流中提取所选时间信息的方法,供路由器的各种部件使用。当然,尽管这里已示出并描述了本发明的优选实施例,但本发明所属领域的技术人员可作出各种修改和其它变换而不背离本发明的精髓或原理。因此,保护范围不限于这里描述的实施例,而仅受所附权利要求的限制。

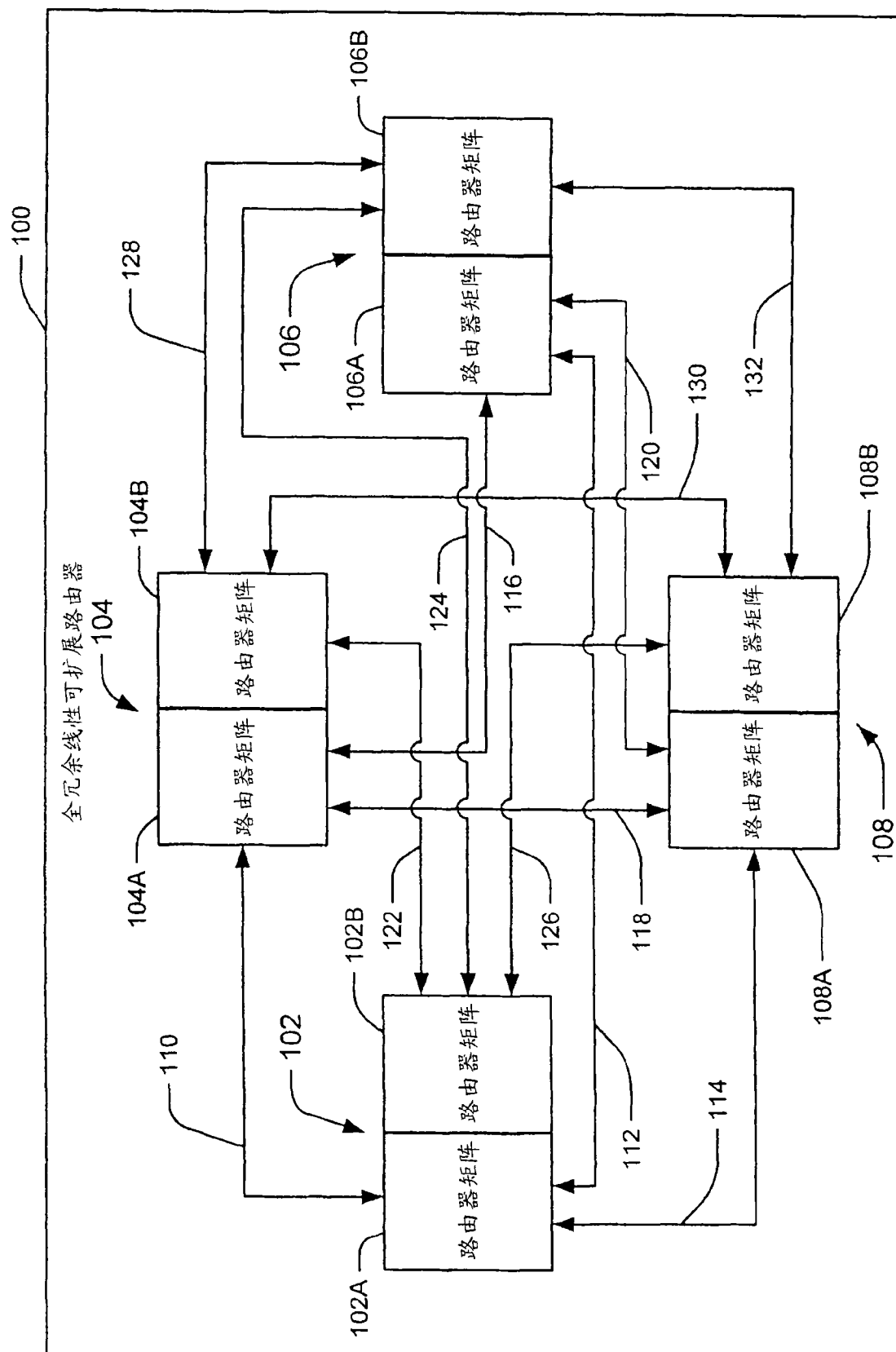


图 1

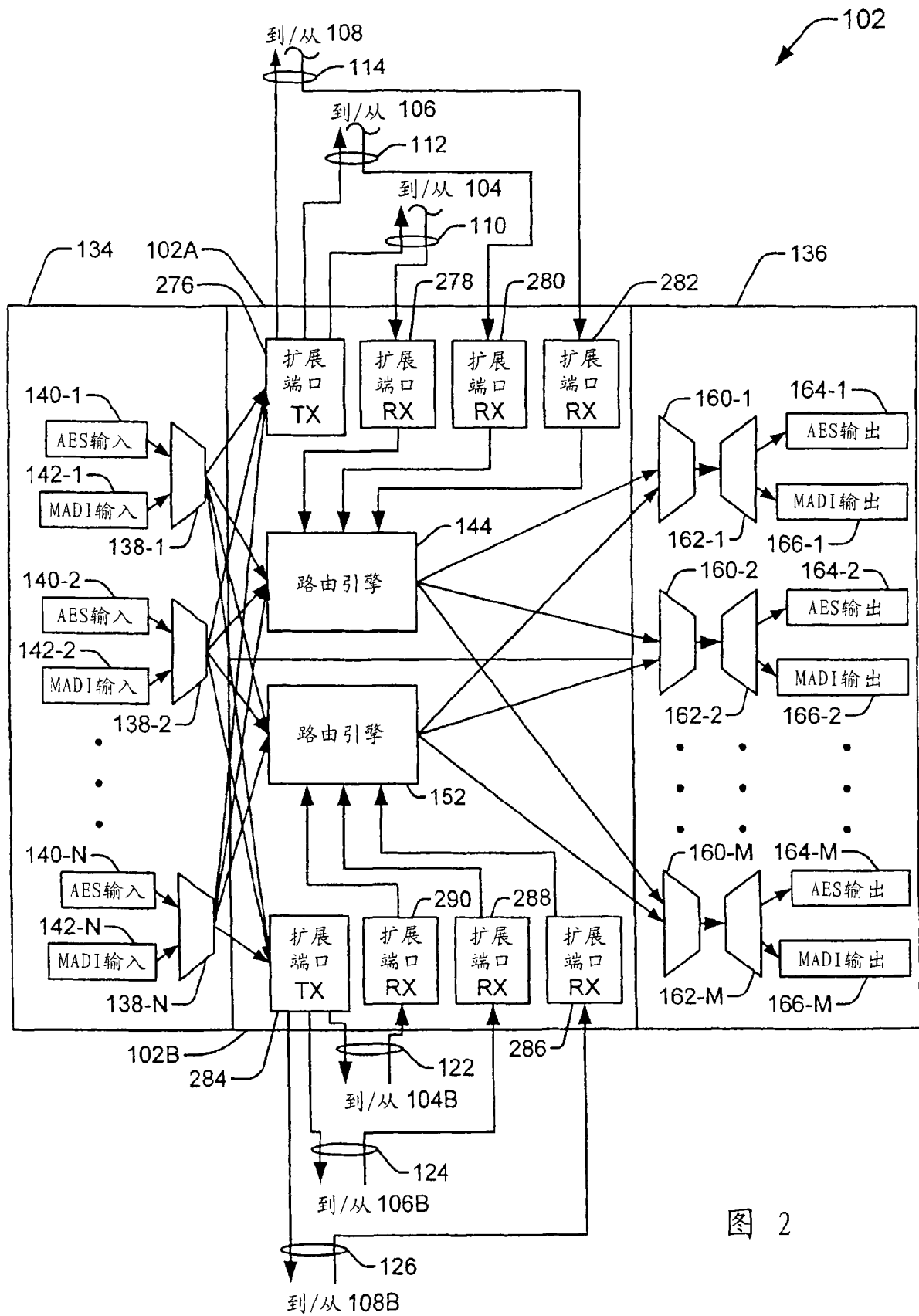


图 2

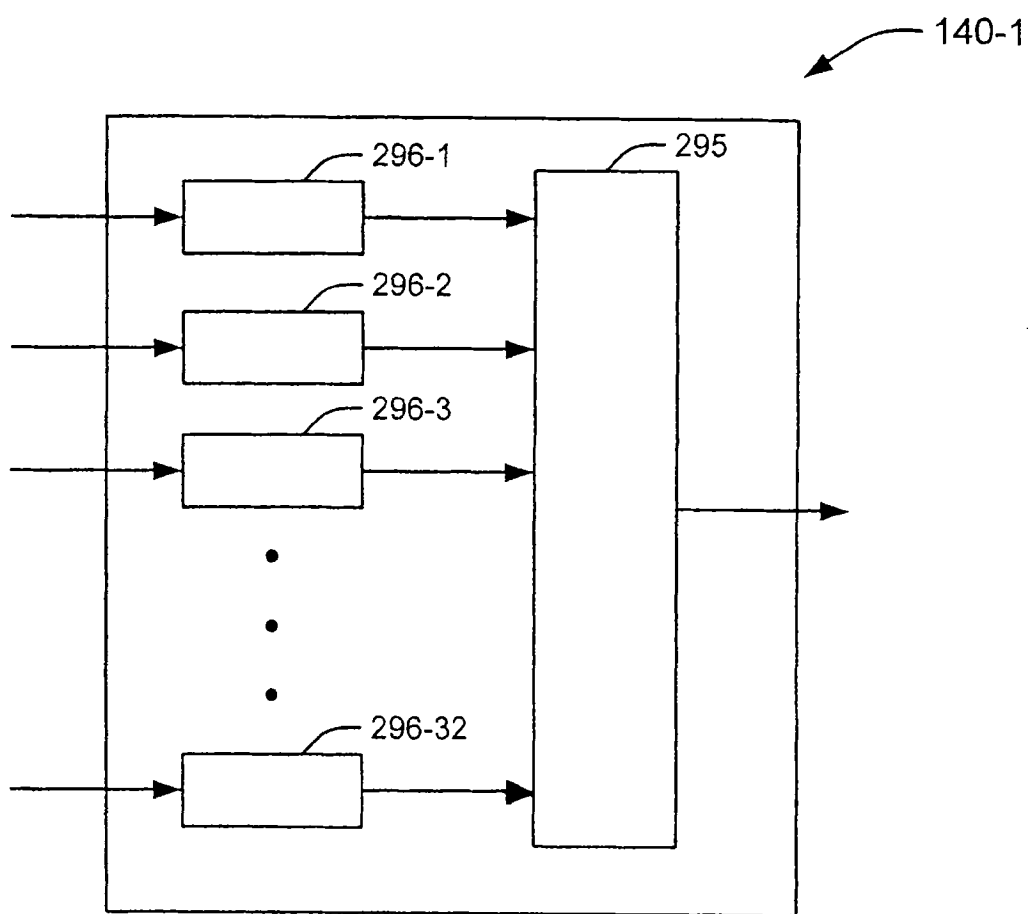


图 3

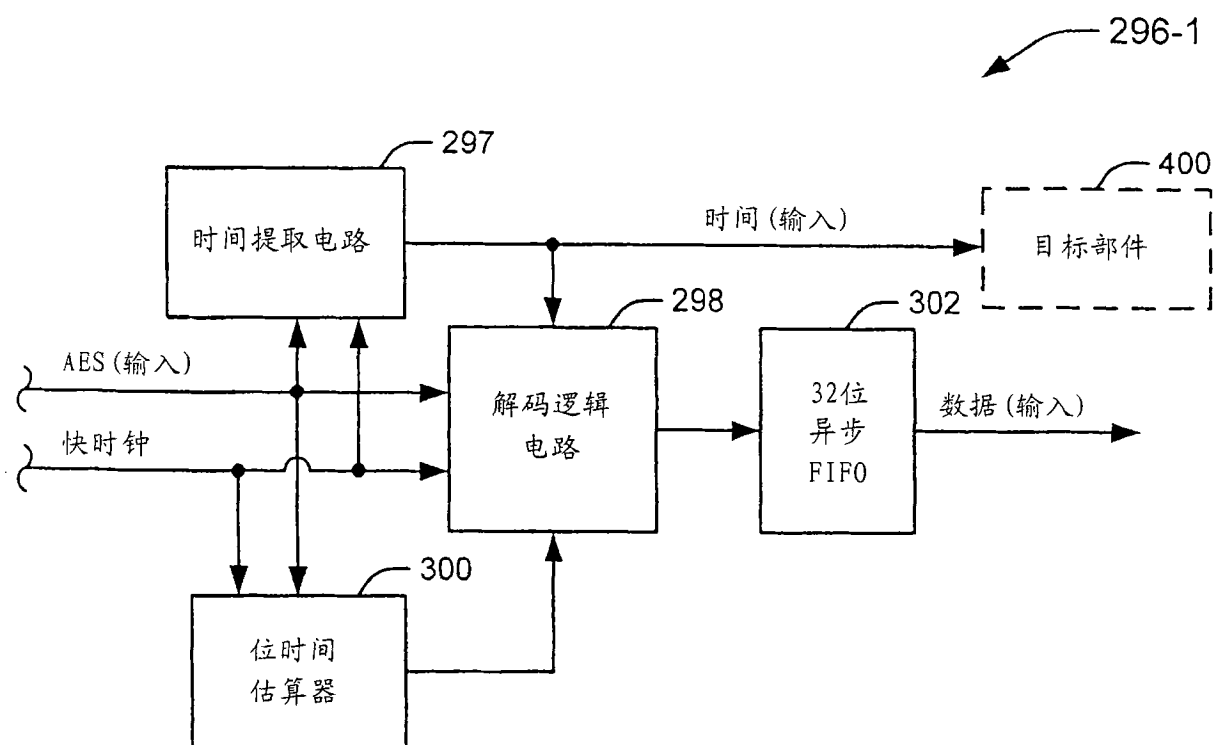


图 4

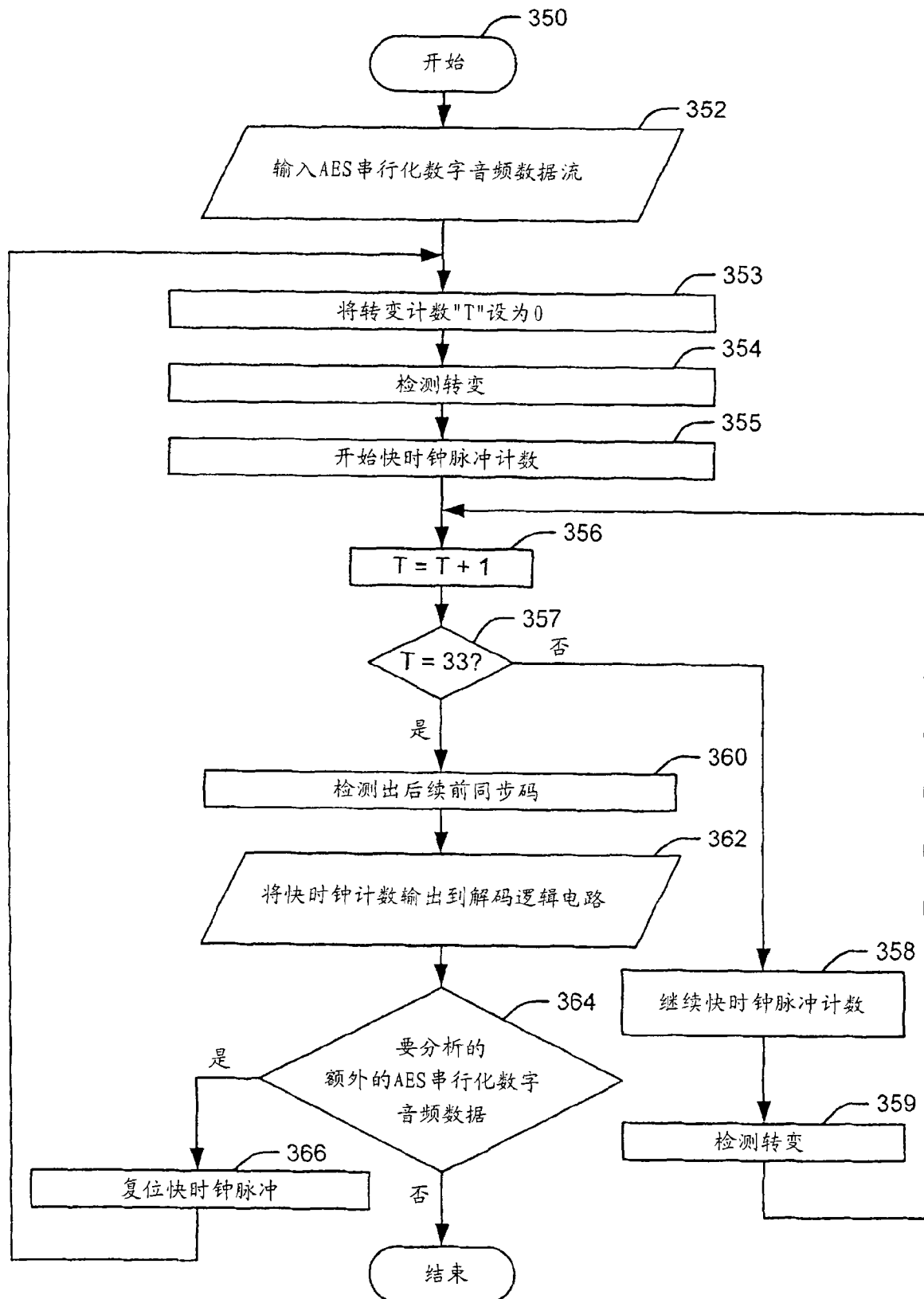


图 5