(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102804364 A
(43)申请公布日 2012.11.28

(21)申请号 201080028740.6
(22)申请日 2010.05.04
(30)优先权数据
12/459,226 2009.06.26 US
(85)PCT申请进入国家阶段日
2011.12.20
(86)PCT申请的申请数据
PCT/US2010/033536 2010.05.04
(87)PCT申请的公布数据
WO2010/151375 EN 2010.12.29
(71)申请人 英特尔公司
地址 美国加利福尼亚州
(72)发明人 S·穆萨库玛 C·A·盖勒
(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 毛力
(51)Int.Cl.
H01L 23/12(2006.01)
H01L 23/48(2006.01)

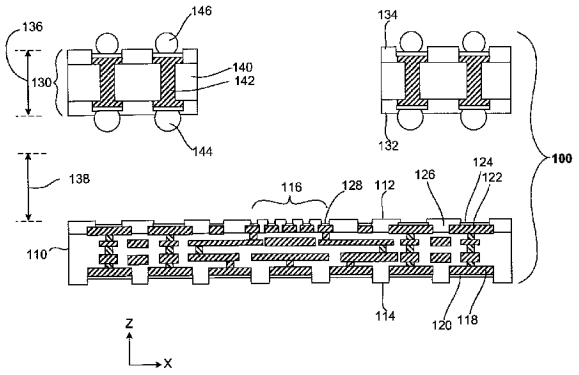
权利要求书 3 页 说明书 9 页 附图 11 页

(54)发明名称

封装体堆叠装置中的层叠芯片封装体及其组装方法、以及包含该层叠芯片封装体的系统

(57)摘要

一种层叠芯片装置包括封装衬底和插入件，其中芯片叠层设置有间隙，该间隙匹配于该插入件。一种封装体堆叠层叠芯片装置包括设置在插入件上的顶部封装体。



CN 102804364 A

1. 一种封装体堆叠装置，包括：

封装衬底，包括管芯面和底面；

设置在所述管芯面上的芯片叠层，其中所述芯片叠层包括设置在所述管芯面上的底部芯片和设置在所述底部芯片上方的顶部芯片，其中所述顶部芯片由所述底部芯片所支承，且其中所述芯片叠层具有偏移高度；以及

插入件，其设置在所述管芯面上且包围所述芯片叠层，其中所述插入件匹配于所述偏移高度。

2. 如权利要求 1 所述的装置，其特征在于，所述插入件具有球栅阵列，所述装置还包括：

顶部封装体，其中所述顶部封装体包括至少一个微电子器件，且其中所述顶部封装体配合所述插入件球栅阵列。

3. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；以及

所述顶部芯片是设置在所述倒装芯片上的引线接合芯片。

4. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的引线接合第二芯片；以及

所述顶部芯片是设置在所述引线接合第二芯片上方的引线接合后续芯片。

5. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的硅通孔 (TSV) 第二芯片；以及

所述顶部芯片是设置在所述 TSV 第二芯片上的引线接合后续芯片。

6. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的硅通孔 (TSV) 第二芯片；

设置在所述 TSV 第二芯片上的 TSV 第三芯片；以及

所述顶部芯片是设置在所述 TSV 第三芯片上的引线接合第四芯片。

7. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的硅通孔 (TSV) 第二芯片；

设置在所述 TSV 第二芯片上的 TSV 第三芯片，其中所述 TSV 第三芯片是范围为 2 至 8 个 TSV 芯片的多个 TSV 芯片；以及

所述顶部芯片是设置在所述 TSV 第三芯片上方的引线接合后续芯片。

8. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的硅通孔 (TSV) 第二芯片；

设置在所述 TSV 第二芯片上方的 TSV 第三芯片；

设置在所述 TSV 第二芯片上方的引线接合第四芯片；以及

所述顶部芯片是设置在所述引线接合第四芯片上方的引线接合后续芯片。

9. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述 TSV 第一芯片上方的引线接合第二芯片；

设置在所述引线接合第二芯片上方的硅通孔 (TSV) 第三芯片；以及

所述顶部芯片是设置在所述 TSV 第三芯片上方的引线接合后续芯片。

11. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；以及

所述顶部芯片是设置在所述倒装芯片上的硅通孔 (TSV) 芯片。

12. 如权利要求 1 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

所述顶部芯片是设置在所述倒装芯片上方的硅通孔 (TSV) 后续芯片；以及

设置在所述底部芯片与所述顶部芯片之间的范围为 2 至 7 个芯片的至少一个 TSV 芯片。

13. 一种封装体堆叠层叠芯片装置，包括：

封装衬底，包括管芯面和底面；

设置在所述管芯面上的芯片叠层，其中所述芯片叠层包括设置在所述管芯面上的底部芯片和设置在所述底部芯片上方的顶部芯片，其中所述顶部芯片由所述底部芯片所支承，且其中所述芯片叠层具有偏移高度；

插入件，设置在所述管芯面上且包围所述芯片叠层，其中所述插入件匹配于所述偏移高度；以及

设置在所述插入件上的顶部封装体，其中所述顶部封装体包括至少一个微电子器件。

14. 如权利要求 13 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；以及

所述顶部芯片是设置在所述倒装芯片上的硅通孔 (TSV) 芯片。

15. 如权利要求 13 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

所述顶部芯片是设置在所述倒装芯片上方的硅通孔 (TSV) 后续芯片；以及

设置在所述底部芯片与所述顶部芯片之间的范围为 2 至 7 个芯片的至少一个 TSV 芯片。

16. 如权利要求 13 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；以及

所述顶部芯片是设置在所述倒装芯片上的引线接合芯片。

17. 如权利要求 13 所述的装置，其特征在于，所述芯片叠层包括：

所述底部芯片是安装在所述衬底管芯面上的倒装芯片；

设置在所述倒装芯片上的引线接合第二芯片；以及

所述顶部芯片是设置在所述引线接合第二芯片上方的引线接合后续芯片。

18. 一种组装封装体堆叠层叠芯片装置的方法，包括：

将具有球栅阵列的顶部封装体组装至三维 (3D) 层叠芯片装置的匹配球栅阵列，所述 3D 层叠芯片装置包括：

封装衬底，包括底面和管芯面；

设置在所述管芯面上的芯片叠层，其中所述芯片叠层具有叠层高度；

以及

包括管芯面和顶面的插入件，其中所述插入件产生偏移高度，所述

偏移高度匹配于所述叠层高度，且其中所述组装包括使所述顶部封装体配

合所述插入件。

19. 如权利要求 18 所述的方法，其特征在于，在将所述插入件组装至所述封装衬底之前，将所述芯片叠层组装在所述封装衬底上。

20. 如权利要求 18 所述的方法，其特征在于，在将所述芯片叠层组装至所述封装衬底之前，将所述插入件组装在所述封装衬底上。

21. 如权利要求 18 所述的方法，其特征在于，还包括在所述芯片叠层上形成叠层密封剂。

22. 如权利要求 18 所述的方法，其特征在于，形成所述芯片叠层包括：

将底部芯片倒装安装在所述衬底管芯面上；以及

将顶部芯片引线接合安装在所述倒装芯片上方。

23. 如权利要求 18 所述的方法，其特征在于，形成所述芯片叠层包括：

将底部芯片倒装安装在所述衬底管芯面上；

将第二芯片引线接合安装在所述底部芯片上方；以及

将顶部芯片引线接合安装在所述第二芯片上方。

24. 如权利要求 18 所述的装置，其特征在于，形成所述芯片叠层包括：

将底部芯片倒装安装在所述衬底管芯面上；

将第二芯片通过硅通孔 (TSV) 安装在所述倒装芯片上；以及

将后续芯片引线接合安装在所述第二芯片上方作为顶部芯片。

25. 一种计算系统，包括：

封装衬底，包括管芯面和底面；

设置在所述管芯面上的芯片叠层，其中所述芯片叠层包括设置在所述管芯面上的底部芯片和设置在所述底部芯片上方的顶部芯片，其中所述顶部芯片由所述底部芯片所支承，且其中所述芯片叠层具有偏移高度；

插入件，设置在所述管芯面上且包围所述芯片叠层，其中所述插入件匹配于所述偏移高度；以及

设置在所述插入件上的顶部封装体，其中所述顶部封装体包括至少一个微电子器件；以及

包含所述顶部封装体的设备外壳。

26. 如权利要求 25 所述的计算系统，其特征在于，所述计算系统是下述之一的一部分：蜂窝电话、寻呼机、便携式计算机、桌面计算机以及双向无线电。

封装体堆叠装置中的层叠芯片封装体及其组装方法、以及包含该层叠芯片封装体的系统

技术领域

[0001] 所公开的实施例涉及半导体微电子器件及其封装工艺。

[0002] 附图简述

[0003] 为了理解获得实施例的方式，将通过参照附图提供对以上简述的多个实施例的更具体描述。这些附图描绘了不一定按比例绘制的实施例，且不应被认为是对范围的限制。将通过使用附图更为具体且详细地描述并说明一些实施例，在附图中：

[0004] 图 1a 是根据示例实施例的用于层叠管芯封装体的安装衬底和插入件装置的横截面图；

[0005] 图 1b 是根据实施例的图 1a 中描述的该装置在进一步处理之后的横截面图；

[0006] 图 1c 是根据实施例的图 1b 中描述的该装置在进一步处理之后的横截面图；

[0007] 图 1d 是根据实施例的图 1c 中描述的该装置在进一步处理之后的横截面图；

[0008] 图 1e 是根据示例实施例的已与进一步处理之后的图 1d 中描述的该装置相组合的封装体堆叠层叠芯片装置的横截面图；

[0009] 图 2a 是根据示例实施例的用于层叠管芯封装体的安装衬底和插入件装置的横截面图；

[0010] 图 2b 是根据示例实施例的从进一步处理之后的图 2a 中描述的该装置组合而来的封装体堆叠层叠芯片装置的横截面图；

[0011] 图 3a 是根据示例实施例的在处理期间的混合管芯装置的横截面图；

[0012] 图 3b 是根据实施例的图 3a 中描述的该装置在进一步处理之后的横截面图；

[0013] 图 4 是根据示例实施例的用于层叠管芯封装体的插入件装置的横截面图；

[0014] 图 5 是根据实施例的将支承封装体堆叠装置的混合管芯装置的横截面图；

[0015] 图 6 是根据实施例的将支承封装体堆叠混合管芯装置的混合管芯装置的横截面图；

[0016] 图 7 是根据实施例的将支承封装体堆叠装置的混合管芯装置的横截面图；

[0017] 图 8 是根据示例实施例的制程和方法流程图；以及

[0018] 图 9 是根据实施例的计算机系统的示意图。

[0019] 具体描述

[0020] 现将参照附图，在附图中可能向相似结构提供了相似的下标附图标记。为了最清楚地示出多个实施例的结构，本文中所包含的附图是集成电路结构的图解表示。因此，所制造结构的实际外观（例如显微照片中的实际外观）可能有所不同，但仍包含声明要求保护的所示实施例的结构。此外，附图可能仅示出理解所示实施例所必需的结构。本领域已知的附加结构未被包括在内，以保持附图的清楚。尽管在同一句子中可能提到处理器芯片和存储器芯片，但应当理解它们是等效结构。

[0021] 本说明书通篇中，对“一个实施例”或“一实施例”的引用意味着结合该实施例描述的特定特征、结构或特性被包括在本发明的至少一个实施例中。因此，在本公开内容通篇中

的多个位置中，短语“在一个实施例中”或“在实施例中”的出现不一定全部指的是同一实施例。而且，特定特征、结构、或特性可按照任何合适的方式在一个或多个实施例中组合。

[0022] 通过参照 X-Z 或 Y-Z 坐标可理解诸如“上方”和“下方”之类的术语，且通过参照所示 X-Y 坐标可理解诸如“毗邻”之类的术语。

[0023] 图 1a 是根据示例实施例的用于层叠管芯封装体的安装衬底和插入件装置 100 的横截面图。以分解图垂直地 (Z 方向) 描绘该装置 100，该装置 100 包括封装衬底 110 和插入件 130。封装衬底 110 包括用于接受处理器的管芯面 112，以及用于耦合至诸如板之类的外部通信的底面 (land side)114。该“板”可以是用于诸如无线通信装置之类的手持设备的外部或近外部结构。该封装衬底 110 包括在该管芯面 112 上的底部芯片覆盖区域 116。在本文所公开的后续附图中，通过将所示处理器投影到所示安装衬底的相应诸个管芯面，可查明该底部芯片覆盖区域 116。

[0024] 封装衬底 110 包括底面球栅阵列，该球栅阵列的一个球形焊盘用附图标记 118 表示。在一实施例中，该球形焊盘 118 包括表面精整层 120。该表面精整层 120 被配置为是比球形焊盘 118 更少负电性的金属。根据一实施例，该表面精整层 120 通过电镀形成。替代地，该表面精整层 120 通过无电镀覆形成。

[0025] 在一示例实施例中，球形焊盘 118 是铜，且表面精整层 120 是镀在铜上的镍 - 钯 - 金合金。在一实施例中，该表面精整层 120 是镀在铜上的镍 - 金合金。在一实施例中，该表面精整层 120 是镀在铜上的铜 - 金。

[0026] 在一示例实施例中，球形焊盘 118 是铜，且表面精整层 120 是诸如芳基 - 苯基咪唑之类的有机保焊剂 (OSP) 组合物。在一示例实施例中，表面精整层 120 具有从1000Å到2000Å的厚度，且为芳基 - 苯基咪唑。

[0027] 类似地，封装衬底 110 包括管芯面球栅阵列，该球栅阵列的一个球形焊盘用附图标记 122 表示，且该球形焊盘 122 包括表面精整层 124。球形焊盘 122 和表面精整层 124 可以是与板面 114 上存在的那些球形焊盘和表面精整层相似的实施例。在一实施例中，管芯面球栅阵列 122 由阻焊剂 126 所限定。类似地，阻焊剂 126 可限定在底部芯片覆盖区域 116 内存在的管芯凸点焊盘，且其中一个管芯凸点焊盘用附图标记 128 表示。封装衬底 110 被描绘为位于管芯面 112 与底面 114 之间，并具有互连和中间层介电结构，这些互连和中间层介电结构是说明性而非限制性的。

[0028] 该装置 100 组装有插入件 130，该插入件 130 与管芯面球栅阵列 122 配合。插入件 130 包括管芯面 132 和顶面 134，且具有偏移高度 136，该偏移高度 136 被配置成匹配于封装衬底 110 上方的偏移高度 138，该偏移高度 138 用于将占据底部芯片覆盖区域 116 的多管芯叠层 (MDS)。插入件 130 可包括芯 140 和互连 142。在一实施例中，管芯面电气凸点 144 和顶面电气凸点 146 耦合至互连 142。

[0029] 图 1b 是根据实施例的图 1a 中描述的该装置在进一步处理之后的横截面图。装置 101 示出了插入件偏移高度 136 匹配于封装衬底偏移高度 138(图 1a)。底部芯片覆盖区域 116 被插入件 130 所包围，且将包围该多管芯叠层，该多管芯叠层将被组装作为装置 101 的一部分。

[0030] 图 1c 是根据实施例的图 1b 中描述的该装置在进一步处理之后的横截面图。装置 102 已经由插入件填充材料 148 所加固，该插入件填充材料 148 使封装衬底 110 与插入件

130 之间的接合变得稳定。

[0031] 底部芯片 150 被放置在底部芯片覆盖区域 116 内（图 1b）。在一实施例中，底部芯片 150 是倒装芯片 150，该倒装芯片 150 已通过芯片球阵列倒装接合，该芯片球阵列的一个电气凸点通过标记 152 表示。在一实施例中，底层填料 154 已经被流入以加固底部芯片 150 与封装衬底 110 之间的接合。在制程实施例中，在底层填料 154 的固化期间同时，进行电气凸点 152 的回流。在制程实施例中，在填料材料 148 的固化期间同时，进行电气凸点 152 的回流。

[0032] 在实施例中，底部芯片 150 经处理以回流电气凸点 152，然后在凸点回流之后放置底层填料 154。

[0033] 图 1d 是根据实施例的图 1c 中描述的该装置在进一步处理之后的横截面图。图 1c 中描绘的该装置 102 已被进一步处理以获得混合管芯装置 103，该混合管芯装置 103 将成为封装体堆叠 (PoP) 层叠芯片装置的一部分。该混合管芯装置 103 包括管芯间粘合剂 156，该管芯间粘合剂 156 已被形成在底部芯片 150 上，且顶部芯片 158 已被安装在该粘合剂 156 上。顶部芯片 158 由底部芯片 150 所支承。在下文中，从设置在封装衬底 110 上的底部芯片（例如芯片 150）开始且以后续芯片（例如芯片 158）结束的芯片叠层也可称为 3 维 (3D) 芯片叠层。

[0034] 在实施例中，顶部芯片 158 通过引线接合被耦合至封装衬底 110，其中一条引线接合通过附图标记 160 表示。因此，混合叠层装置 103 包括安装在封装衬底 110 上的倒装芯片 150，以及设置在倒装芯片 150 上方的引线接合芯片 158。因此，插入件 130 的偏移高度 136 容纳混合叠层的高度，该混合叠层的高度包括引线接合 160 以及顶部芯片 158、粘合剂 156、底部芯片 150 以及电气凸点 152 所产生的偏移（参见图 1c 中）。

[0035] 在制程实施例中，已填充叠层密封剂 162，以隔离混合管芯叠层，并进一步防止引线接合 160 的移动。叠层密封剂 162 也可被用于保护混合管芯叠层免遭环境和处理危害。叠层密封剂 162 也可被用于利于从混合管芯叠层向外的热交换。在一实施例中，未使用叠层密封剂。

[0036] 在一实施例中，底部芯片 150 是处理器，且顶部芯片 158 是射频 (RF) 器件。该混合管芯叠层可在诸如智能电话之类的无线通信装置（例如蜂窝电话）中使用。

[0037] 图 1e 是根据示例实施例的已与进一步处理之后的图 1d 中描述的装置相组合的封装体堆叠 (PoP) 层叠芯片装置 104 的横截面图。底部芯片 150 和顶部芯片 158 被安置在插入件偏移 136 内，且顶部封装体 164 已与插入件 130 的顶面 134 配合。顶部封装体 164 可能具有安装衬底 170，用于与底部芯片 150 和 / 或顶部芯片 158 的通信。顶部封装体 164 被描绘为引线接合启用解决方案，诸如对于原始设备制造商的情形。在顶部封装体 164 中描绘了两个引线接合管芯。位于顶部封装体 164 中的管芯可被称为微电子器件。在一实施例中，设置图 1d 中所描绘的混合叠层装置 103 以容纳诸如用于智能电话之类的顶部封装体 164，其中，智能电话专属的微电子器件在顶部封装 164 中，并且，支承微电子器件在芯片叠层中。

[0038] 在实施例中，顶部封装体填充材料 172 使插入件 130 与顶部封装体 164 之间的接合变得稳定。

[0039] 可以看出，插入件偏移 136 已容纳了底部芯片 150 和顶部芯片 158 的混合叠层，以

使顶部封装体 164 不与该混合叠层相抵触。由此，该 PoP 层叠芯片装置被组装以足够的插入件偏移 136 以容纳芯片叠层的偏移高度，该芯片叠层的偏移高度可能随特定应用而有所变化。

[0040] 图 2a 是根据示例实施例的用于层叠管芯封装体的安装衬底和插入件装置 200 的横截面图。装置 200 类似于图 1d 中描绘的装置 103，且已通过在封装衬底 210 上安置插入件 230 而类似地被处理。

[0041] 描绘了层叠芯片装置 200。层叠芯片装置 200 包括底部芯片 250 和顶部芯片 258。在一实施例中，底部芯片 250 是处理器，且顶部芯片 258 是通过硅通孔 (TSV) 技术耦合的存储器管芯。在虚线圆中详细描绘了单个 TSV274。在一实施例中，顶部芯片 258 是 2 级 (L2) 存储器高速缓存（其中 L0 和 L1 在处理器 250 内），诸如用于处理器 250 的静态随机存取存储器 (SRAM)。底部芯片 250 和顶部芯片 258 是 3D

[0042] 因此，层叠芯片装置 200 包括安装在封装衬底 210 上的倒装芯片 250，以及设置在倒装芯片 250 上方的通过 TSV 耦合的芯片 258。因此，插入件 230 的偏移高度 236 容纳了层叠芯片配置的高度。底部芯片 20 的制程可通过关于图 1c 和其它位置中所描绘的底部芯片 150 而公开的任一实施例来完成。

[0043] 在一实施例中，顶部芯片 258 是诸如随机存取存储器 (RAM) 管芯 258 之类的存储器管芯。在一实施例中，顶部芯片 258 是诸如动态随机存取存储器 (DRAM) 管芯 258 之类的存储器管芯。在一实施例中，顶部芯片 258 是诸如静态随机存取存储器 (SRAM) 管芯 258 之类的存储器管芯。在一实施例中，顶部芯片 258 是诸如可擦除可编程存储器 (EPROM) 管芯 258 之类的存储器管芯。根据特定应用，可使用其它存储器管芯配置。

[0044] 在实施例中，顶部芯片 258 包括射频器件 (RF) 标签。在实施例中，顶部芯片 258 包括用于无线通信的射频器件。

[0045] 在制程实施例中，已填充叠层密封剂 262 以隔离该芯片叠层。叠层密封剂 262 也可用于保护芯片叠层免遭环境和处理危害。叠层密封剂 262 也可用于利于从芯片叠层向外的热交换。在一实施例中，未使用叠层密封剂。

[0046] 图 2b 是根据示例实施例的从进一步处理之后的图 2a 中描述的该装置组合而来的 PoP 层叠芯片装置 201 的横截面图。底部芯片 250 和顶部芯片 258 被安置在插入件偏移 236 内，且顶部封装体 264 已与插入件 230 的顶面 234 配合。顶部封装体 264 可能具有安装衬底 270，用于与底部芯片 250 和 / 或顶部芯片 258 的通信。顶部封装体被描绘为 TSV 启用解决方案，诸如对于原始设备制造商的情形。在一实施例中，设置图 2a 中描绘的芯片叠层装置 200 以容纳诸如用于智能电话的顶部封装体 264。

[0047] 可以看出，插入件偏移 236 已容纳了底部芯片 250 和顶部芯片 258 的芯片叠层，以使顶部封装体 264 不与该芯片叠层相抵触。

[0048] 通过适当地观测图 2b 中所描绘的相似结构和空间，也可推断出关于图 1e 所说明和描述的细节。

[0049] 现可理解，用于获得 PoP 层叠芯片装置 201 的制程可类似于图 1e 中所描绘的用于获得 PoP 层叠芯片装置 104 的制程。

[0050] 在一示例实施例中，底部芯片 150 与顶部芯片 158 之间的 I/O 密度在每管芯 128 位（诸如当顶部芯片 258 是 DRAM 管芯时）与 252 位 / 管芯之间的范围中。在一示例实施

例中，处理器 250 与后续的芯片 258 之间的 I/O 速度在 10Gb/s 与 1Tb/s（每秒万亿位）之间。沿后续的芯片 250（如 DRAM 器件）的 10mm 边缘部分，总带宽为 160GB/s 至 320GB/s。根据一个实施例，作为封装体，PoP 装置 201 具有 640GB/s 至 6400GB/s 之间的总封装体带宽，其中处理器 250 和后续的芯片 258 均在 256 位或在高于 256 位上操作。该 I/O 速度可低于 10Gb/s（诸如低于 7Gb/s），其中给定的应用可能在此范围有用。

[0051] 图 3a 是根据示例实施例的在处理期间的混合管芯装置 300 的横截面图。底部芯片 350 放置在封装衬底 310 上，该封装衬底 310 可类似于图 1c 中描绘的封装衬底 110。在一实施例中，底部芯片 350 是倒装芯片 350，该倒装芯片 350 已通过芯片球阵列倒装接合，该芯片球阵列的一个电气凸点通过标记 352 表示。在一实施例中，底层填料 354 已经被流入以加固底部芯片 350 与封装衬底 310 之间的接合。在一制程实施例中，在底层填料 354 的固化期间同时，进行电气凸点 352 的回流。

[0052] 底部芯片 350 的制程可通过关于底部芯片 150、250 和本公开内容中其它位置中公开的任一实施例来完成。

[0053] 图 3b 是根据实施例的图 3a 中描述的该装置在进一步处理之后的横截面图。图 3b 中描绘的该装置 301 已被进一步处理以获得混合叠层装置 301，该混合叠层装置 301 将成为 PoP 层叠芯片装置的一部分。该混合叠层装置 301 包括管芯间粘合剂 356，该管芯间粘合剂 356 已被形成在底部芯片 350 上，且顶部芯片 358 已被安装在该粘合剂 156 上。顶部芯片 358 由底部芯片 350 所支承。

[0054] 在一实施例中，顶部芯片 358 通过引线接合而耦合至封装衬底 310，其中一条引线接合通过附图标记 360 表示。因此，混合叠层装置 301 包括安装在封装衬底 310 上的倒装芯片 350，以及设置在倒装芯片 350 上方的引线接合芯片 358。在进一步处理中，通过插入件的偏移高度来匹配偏移高度 336。现在将清楚，该混合叠层的组装先于插入件至封装衬底 310 的组装。

[0055] 与图 1d 中描绘的混合管芯叠层装置实施例相似，要组装的插入件将容纳该混合管芯叠层的高度，该混合管芯叠层的高度包括引线接合 360 以及顶部芯片 358、粘合剂 356、底部芯片 350 和电气凸点 352 所产生的偏移。在一实施例中，未使用叠层密封剂。

[0056] 在一实施例中，底部芯片 350 是处理器，且顶部芯片 358 是 RF 器件。该混合管芯叠层可在诸如智能电话之类的无线通信装置中使用。通过适当地观测图 3b 中所描绘的相似结构和空间，也可推断出之前相对于所公开的实施例所说明和描述的细节。此外，相对于图 3b 中所描绘和描述的 PoP 层叠芯片实施例，可推断出之前公开的 I/O 和带宽能力。

[0057] 图 4 是根据示例实施例的用于层叠管芯封装体的插入件装置 400 的横截面图。该装置 400 类似于图 2a 中描绘的装置 200，除了在层叠管芯 450 和 458 的组装之后进行插入件的组装。

[0058] 描绘了层叠芯片装置 400。层叠芯片装置 400 包括底部芯片 450 和顶部芯片 458。在一实施例中，底部芯片 450 是处理器，且顶部芯片 458 是通过硅通孔 (TSV) 技术耦合的存储器管芯。在虚线圆中详细描绘了单个 TSV474。在实施例中，顶部芯片 558 是 2 级 (L2) 存储器高速缓存（其中 L0 和 L1 在处理器 450 内），诸如用于处理器 450 的诸如静态随机存取存储器 (SRAM)。底部芯片 450 的制程可通过关于底部芯片 150、250、350 和本公开内容中其它位置中公开的任一实施例来完成。

[0059] 因此，层叠芯片装置 400 包括安装在封装衬底 410 上的倒装芯片 450，以及设置在倒装芯片 450 上方的通过 TSV 耦合的芯片 458。通过将被组装的插入件来匹配层叠芯片 450 和 458 的偏移高度 436。因此，该插入件将容纳该层叠芯片配置的高度。

[0060] 在一实施例中，顶部芯片 458 是诸如随机存取存储器 (RAM) 管芯 458 之类的存储器管芯。在一实施例中，顶部芯片 458 是诸如动态随机存取存储器 (DRAM) 管芯 458 之类的存储器管芯。在一实施例中，顶部芯片 458 是诸如静态随机存取存储器 (SRAM) 管芯 458 之类的存储器管芯。在一实施例中，顶部芯片 458 是诸如可擦除可编程存储器 (EPROM) 管芯 458 之类的存储器管芯。根据特定应用，可使用其它存储器管芯配置。

[0061] 在一实施例中，顶部芯片 458 包括射频器件 (RF) 标签。在一实施例中，顶部芯片 458 包括用于无线通信的射频器件。在一制程实施例中，叠层密封剂将被填充到凹部中，该凹部将由插入件形成在芯片叠层周围。

[0062] 通过适当地观测图 4 中所描绘的相似结构和空间，也可推断出之前关于所公开的实施例所说明和描述的细节。此外，相对于图 4 中所描绘和描述的 PoP 层叠芯片实施例，可推断出之前公开的 I/O 和带宽能力。

[0063] 图 5 是根据实施例的将支承封装体堆叠装置的混合管芯装置 500 的横截面图。该混合管芯装置 500 包括底部芯片 550、顶部芯片 558 以及中间芯片 551。顶部芯片 558 和中间芯片 551 由底部芯片 550 所支承。底部芯片 550 是可称为第一芯片的倒装芯片，中间芯片 551 是可称为第二芯片 551 的通过 TSV 耦合的芯片，顶部芯片 558 是可称为后续芯片 558 的引线接合芯片。在一实施例中，紧邻设置在底部芯片 550 上方的通过 TSV 耦合的芯片的数量在 2 到 8 的范围内，然后是顶部芯片 556。底部芯片 550 的制程可通过相对于本公开内容中描绘的底部芯片所公开的任一实施例来完成。

[0064] 在一实施例中，顶部芯片 558 通过引线接合而被耦合至封装衬底 510，其中一条引线接合通过附图标记 560 表示。因此，插入件 530 的偏移高度 536 容纳混合管芯叠层的高度，该混合管芯叠层的高度包括引线接合 560 以及顶部芯片 558、中间芯片 551、底部芯片 550 以及电气凸点和芯片间粘合剂和间隔件所产生的偏移，如图所示。

[0065] 在制程实施例中，已填充叠层密封 562，以隔离混合管芯叠层，并进一步防止引线接合 560 的移动。叠层密封剂 562 也可用于保护混合管芯叠层免遭环境和处理危害。叠层密封剂 562 也可用于利于从混合管芯叠层向外的热交换。在一实施例中，未使用叠层密封剂。

[0066] 在一实施例中，第一芯片 550 是处理器，中间芯片 551 是 TSV RAM 芯片，顶部芯片 558 是 RF 器件。该混合管芯叠层可在诸如智能电话之类的无线通信装置中使用。

[0067] 通过适当地观测图 5 中所描绘的相似结构和空间，也可推断出之前相对于所公开的实施例所说明和描述的细节。此外，相对于图 5 中所描绘和描述的 PoP 层叠芯片实施例，可推断出之前所公开的 I/O 和带宽能力。

[0068] 图 6 是根据实施例的将支承 PoP 混合管芯装置的混合管芯装置 600 的横截面图。该混合管芯装置 600 包括底部芯片 650、顶部芯片 659 以及若干中间芯片 651、653 和 658。顶部芯片 659 和中间芯片 651、653 和 658 由底部芯片 650 所支承。底部芯片 650 的制程可通过相对于本公开内容中所描绘的底部芯片所公开的任一实施例来完成。

[0069] 混合管芯装置 600 是具有多个 TSV 芯片和多个引线接合芯片的实施例。底部芯片

650 是可被称为第一芯片的倒装芯片。中间芯片 651 是可被称为第二芯片 651 的通过 TSV 耦合的芯片。中间芯片 653 是可被称为第三芯片 653 的通过 TSV 耦合的芯片。中间芯片 658 是可被称为第四芯片 658 的引线接合芯片。并且，顶部芯片 659 是可被称为后续芯片 659 的引线接合芯片。在一实施例中，紧邻设置在底部芯片 550 上方和引线接合芯片 658 下方的通过 TSV 耦合的芯片的数量在从 2 到 8 的范围内。

[0070] 在一实施例中，引线接合芯片 658 和引线接合芯片 559 分别通过引线接合 660 和 661 而耦合至封装衬底 610。因此，插入件 630 的偏移高度 636 容纳混合管芯叠层的高度，该混合管芯叠层的高度包括引线接合 660 和 661 以及整个芯片叠层、电气凸点、芯片间粘合剂和间隔件，如图所示。

[0071] 在制程实施例中，已填充叠层密封剂 662，以隔离混合管芯叠层，并进一步防止接合线 660 和 661 的移动。叠层密封剂 662 也可用于保护混合管芯叠层免遭环境和处理危害。叠层密封剂 662 也可用于利于从混合管芯叠层向外的热交换。在一实施例中，未使用叠层密封剂。

[0072] 通过适当地观测图 6 中所描绘的相似结构和空间，也可推断出之前相对于所公开的实施例所说明和描述的细节。此外，相对于图 6 中所描绘和描述的 PoP 层叠芯片实施例，可推断出之前公开的 I/O 和带宽能力。

[0073] 图 7 是根据实施例的将支承封装体堆叠装置的混合管芯装置 700 的横截面图。该混合管芯装置 700 包括底部芯片 750、顶部芯片 759 以及若干中间芯片 751、753 和 758。顶部芯片 759 和中间芯片 751、753 和 758 由底部芯片 750 所支承。混合管芯装置 700 是具有多个 TSV 芯片和多个引线接合芯片的实施例，其中引线接合芯片在 TSV 芯片下方。

[0074] 底部芯片 750 是可被称为第一芯片的倒装芯片。中间芯片 751 是可被称为第二芯片 751 的通过 TSV 耦合的芯片。中间芯片 758 是可被称为第三芯片 758 的引线接合芯片。中间芯片 753 是可被称为第四芯片 753 的通过 TSV 耦合的芯片。并且，顶部芯片 759 是可被称为后续芯片 759 的引线接合芯片。在一实施例中，第二芯片 751 是支承底部芯片 750 的存储器高速缓存芯片。底部芯片 750 的制程可通过相对于本公开内容中描绘的底部芯片所公开的任一实施例来完成。

[0075] 在一实施例中，第四芯片 753 是支承后续芯片 759 的 TSV 存储器高速缓存芯片。在示例实施例中，混合管芯装置 700 是诸如超级智能电话之类的 PoP 层叠芯片装置的一部分。在此实施例中，底部芯片 750 是处理器，且第二芯片 751 是存储器高速缓存。中间芯片 758 是用于处理在线通信的引线接合器件。顶部芯片 759 是由第四芯片 753 所支承的全球定位系统 (GPS) 芯片，该第四芯片 753 充当该 GPS 芯片 759 的高速缓存。此外，在示例实施例中，顶部封装体

[0076] 在一实施例中，第四芯片 753 被用作支承件，且被用作中间芯片 758 与顶部芯片 759 之间的接口。例如，第四芯片 753 具有 TSV，该 TSV 允许顶部芯片 759 与中间芯片 758 之间的直接通信。

[0077] 在一实施例中，引线接合芯片 758 和引线接合芯片 759 分别通过引线接合 760 和 761 耦合至封装衬底 710。因此，插入件 730 的偏移高度 736 容纳混合管芯叠层的高度，该混合管芯叠层的高度包括引线接合 760 和 761 以及整个芯片叠层、电气凸点、芯片间粘合剂和间隔件，如图所示。

[0078] 在制程实施例中，已填充叠层密封剂 762，以隔离混合管芯叠层，并进一步防止接合线 760 和 761 的移动。叠层密封剂 662 也可用于保护混合管芯叠层免遭环境和处理危害。叠层密封剂 762 也可用于利于从混合管芯叠层向外的热交换。在一实施例中，未使用叠层密封剂。

[0079] 通过适当地观测图 6 中所描绘的相似结构和空间，也可推断出之前相对于所公开的实施例所说明和描述的细节。此外，相对于图 6 中所描绘和描述的 PoP 层叠芯片实施例，可推断出之前公开的 I/O 和带宽能力。

[0080] 图 8 是根据示例实施例的制程和方法流程图 800。

[0081] 在 810，制程包括在封装衬底上形成插入件。该插入件被配置成具有偏移，该偏移将匹配于要被放置在该封装衬底上的芯片叠层。

[0082] 在 820，该制程包括在封装衬底上形成芯片叠层。在制程 820 先于制程 810 的情况下，在形成芯片叠层之后，该插入件被放置在封装衬底上。在制程 820 在制程 810 之后的情况下，该芯片叠层在插入件留下的凹部内形成。在一实施例中，该制程开始于 810，结束于 820。

[0083] 在 830，该制程包括填充叠层密封剂以隔离该芯片叠层。在一实施例中，该制程开始于 810，结束于 830。

[0084] 在 840，该制程包括在插入件上形成顶部封装体。在一实施例中，该制程开始并结束于 840。

[0085] 图 9 是根据实施例的计算机系统 900 的示意图。如所描绘，计算机系统 900（也称为电子系统 900）可具体实现如本公开内容中所陈述的若干公开实施例中的任一个实施例及其等价方案的 PoP 层叠芯片装置。在一实施例中，电子系统 900 是计算机系统，该计算机系统包括系统总线 920，用于将电子系统 900 的多个部件电耦合。根据多个实施例，系统总线 920 是单个总线或总线的任意组合。电子系统 900 包括提供功率至集成电路 910 的电压源 930。在一些实施例中，电压源 930 通过系统总线 920 向集成电路 910 提供电流。

[0086] 根据一实施例，集成电路 910 电耦合至系统总线 920，且包括任何电路或电路的组合。在一实施例中，集成电路 910 包括任何类型的处理器 912。如本文中所使用，处理器 912 可表示任何类型的电路，诸如但不限于微处理器、微控制器、图形处理器、数字信号处理器或另一种处理器。在一实施例中，在处理器的存储器高速缓存中存在 SRAM 实施例。可包含在集成电路 910 中的其他类型的电路为定制电路或专用集成电路 (ASIC)，诸如：用于诸如蜂窝电话、寻呼机、便携式计算机、双向无线电之类的无线设备以及类似电子系统中的通信电路 914。在一实施例中，处理器 910 包括诸如静态随机存取存储器 (SRAM) 之类的管芯上存储器 916，且该 SRAM 可包括具有存取和拉低区的独立 S/D 区的 6T SRAM 单元。在一实施例中，处理器 910 包括诸如嵌入动态随机存取存储器 (eDRAM) 之类的嵌入管芯上存储器 916。

[0087] 在一实施例中，电子系统 900 还包括外部存储器 940，该外部存储器 940 又可包括适合于特定应用的一个或多个存储器元件，诸如 RAM 形式的主存储器 942、一个或多个硬驱动器 944、和 / 或处理可移除介质的一个或多个驱动器 946（诸如软磁盘、光盘 (CD)、数字多功能盘 (DVD)、快闪存储器驱动器以及本领域已知的其他可移除介质）。根据一实施例，外部存储器 940 也可以是嵌入存储器 948，诸如嵌入在处理器安装衬底中的微电子管芯。

[0088] 在一实施例中，电子系统 900 还包括显示设备 950、音频输出 960。在一实施例中，电子系统 900 包括诸如控制器 970 之类的输入设备，其可以是键盘、鼠标、轨迹球、游戏控制器、麦克风、语音识别设备、或向电子系统 900 中输入信息的任何其他输入设备。

[0089] 如本文中所示，集成电路 910 可按照多种不同实施例来实现，包括根据若干公开的实施例中的任一实施例及其等价方案的 PoP 层叠芯片装置、电子系统、计算机系统、一种或多种制造集成电路的方法、以及一种或多种制造包括根据如本文多个实施例中陈述的若干公开实施例中的任一实施例及其业内认可等价方案的 PoP 层叠芯片装置的电子组件的方法。根据所公开的若干 PoP 层叠芯片装置实施例及其等价方案，元件、材料、几何形状、尺寸以及操作顺序均可改变以适合特定 I/O 耦合要求，这些要求包括处理器安装衬底中所嵌入的微电子管芯的阵列触点数、阵列触点配置。

[0090] 提供摘要以符合 37C.F.R. §1.72(b)，该法条要求存在摘要，以允许读者快速地查明技术公开内容的本质和要点。该摘要是以它不用于解释或限制权利要求的范围或含义的理解而提交的。

[0091] 在上述详细描述中，为了组织本公开的内容，在单个实施例中将多种特征组合在一起。这种公开方法不应被解释为反映声明要求保护的本发明实施例相比于各个权利要求中所明确陈述的特征而言需要更多特征的意图。相反，如所附权利要求所反映出来的那样，发明的主题少于以上公开的单个实施例的所有特征。因此，所附权利要求在此被包括到具体描述中，其中每个权利要求独立作为单独的优选实施例。

[0092] 本领域普通技术人员将容易理解，可对为了说明本发明本质而描述和说明的部件和方法阶段的细节、材料和安排作出各种其他改变，而不背离如所附权利要求中表达的本发明的原理和范围。

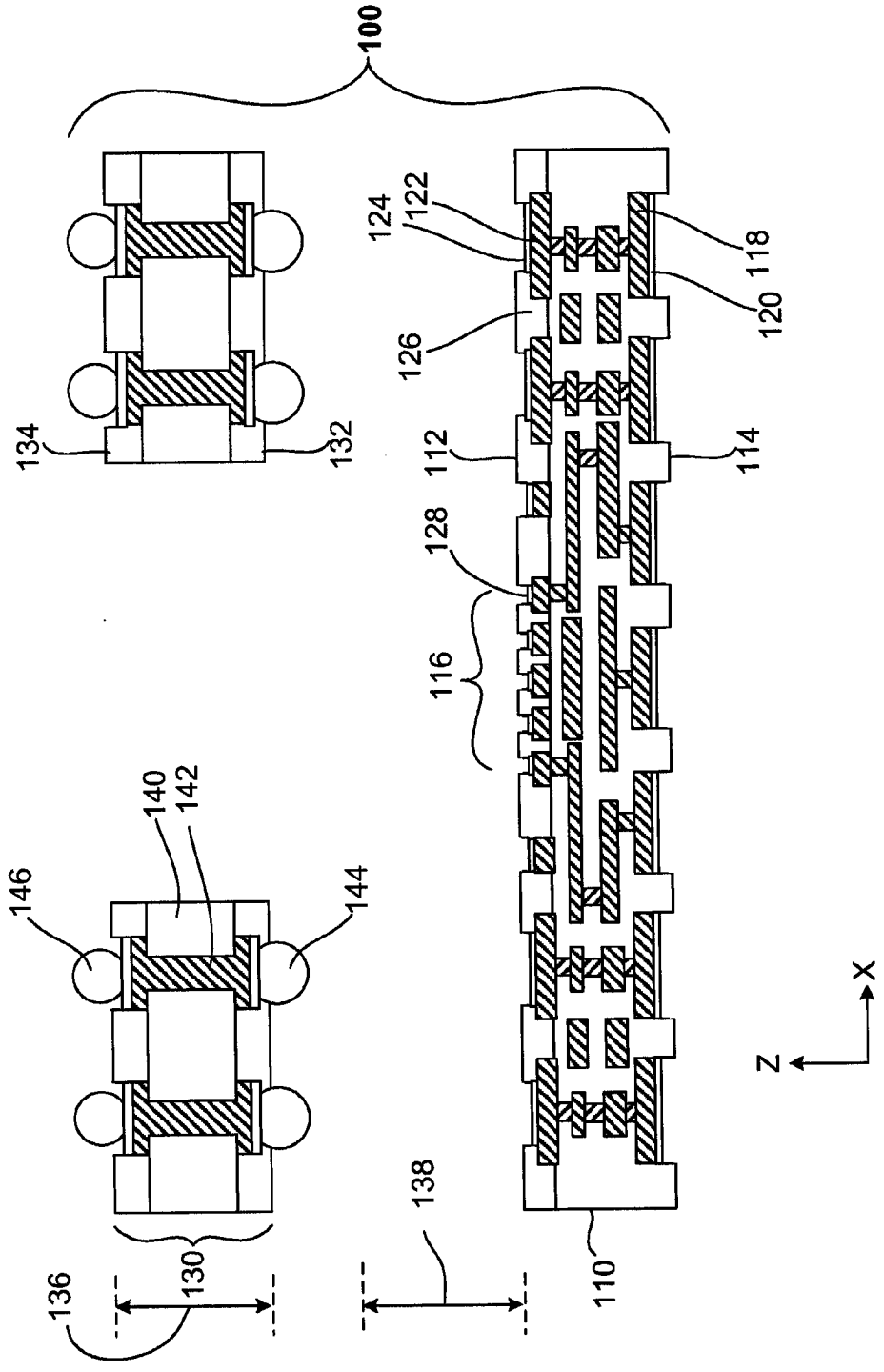

100
124
122
118
120
126
134
132
112
114
128
116
140
142
146
144
138
136
130
110
X
Z

图 1a

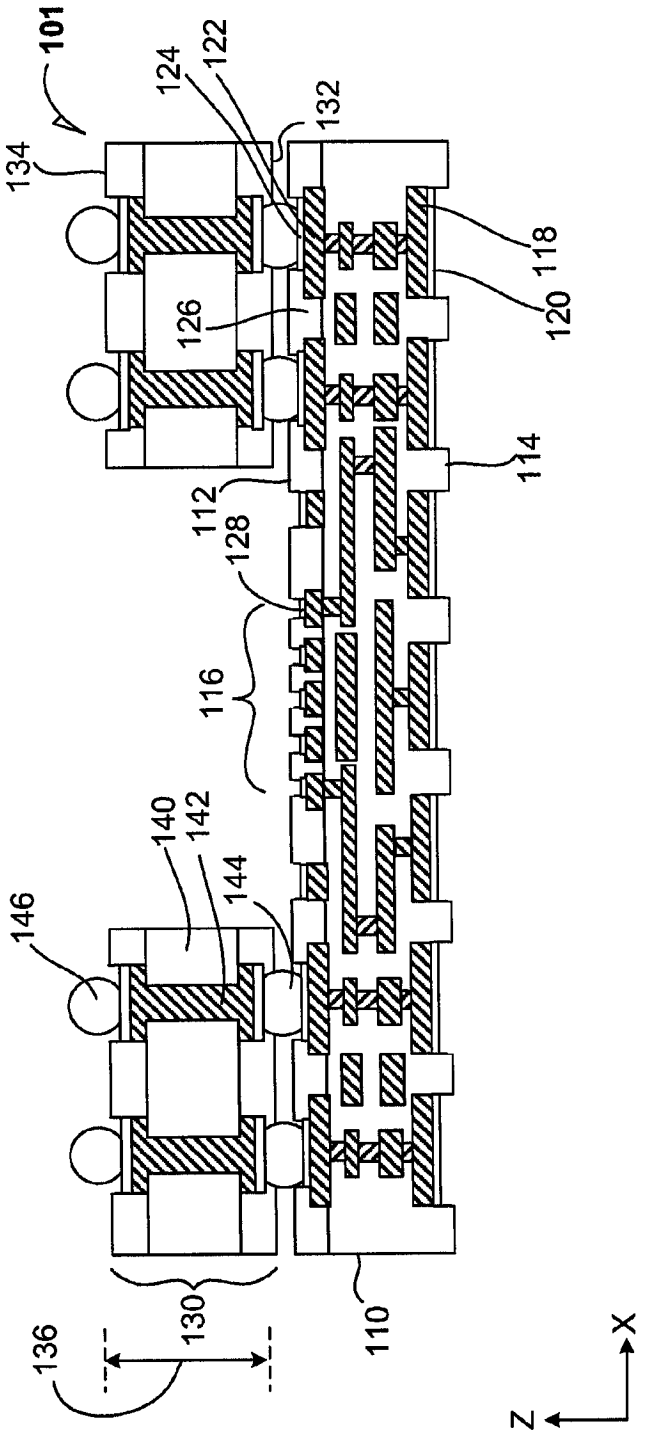

101
124
122
132
134
118
120
126
114
112
128
116
140
142
144
146
130
136
110
Z
X

图 1b

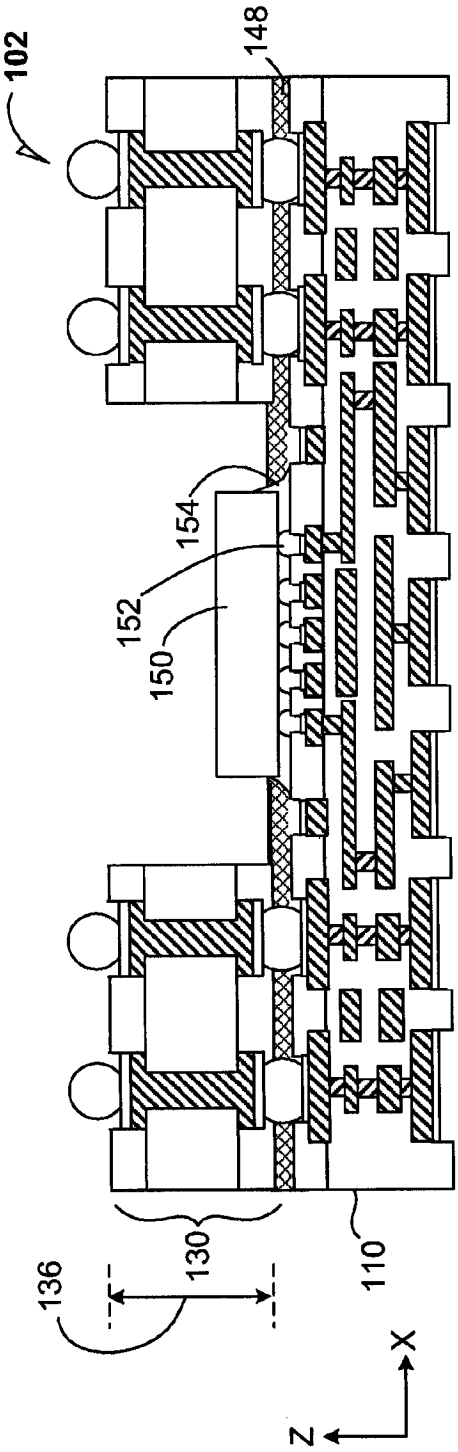

102
148
154
152
150
130
136
110
X
Z

图 1c

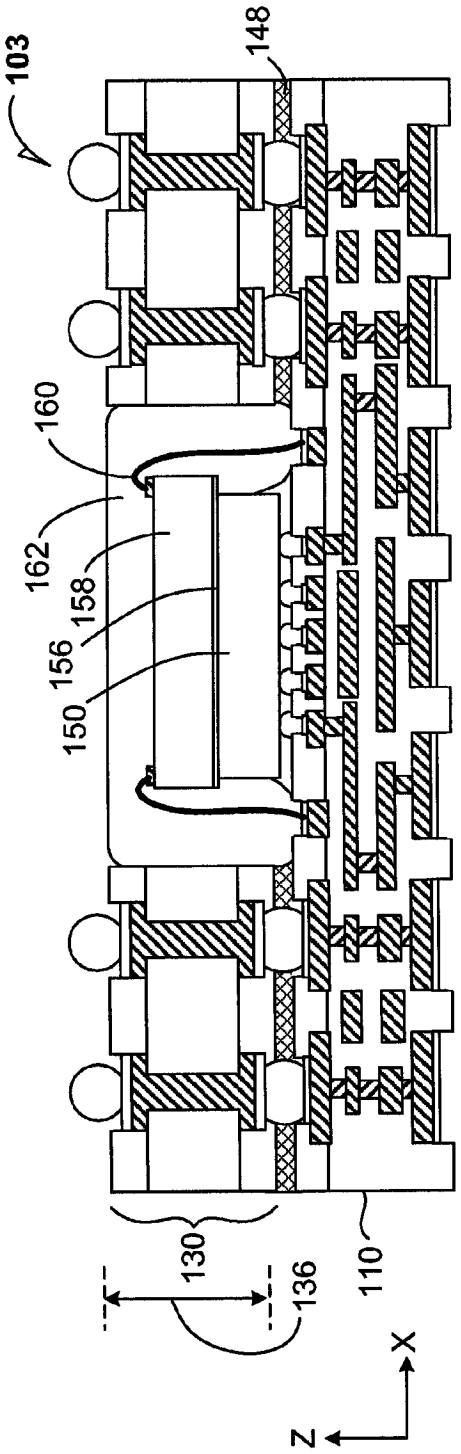


图 1d

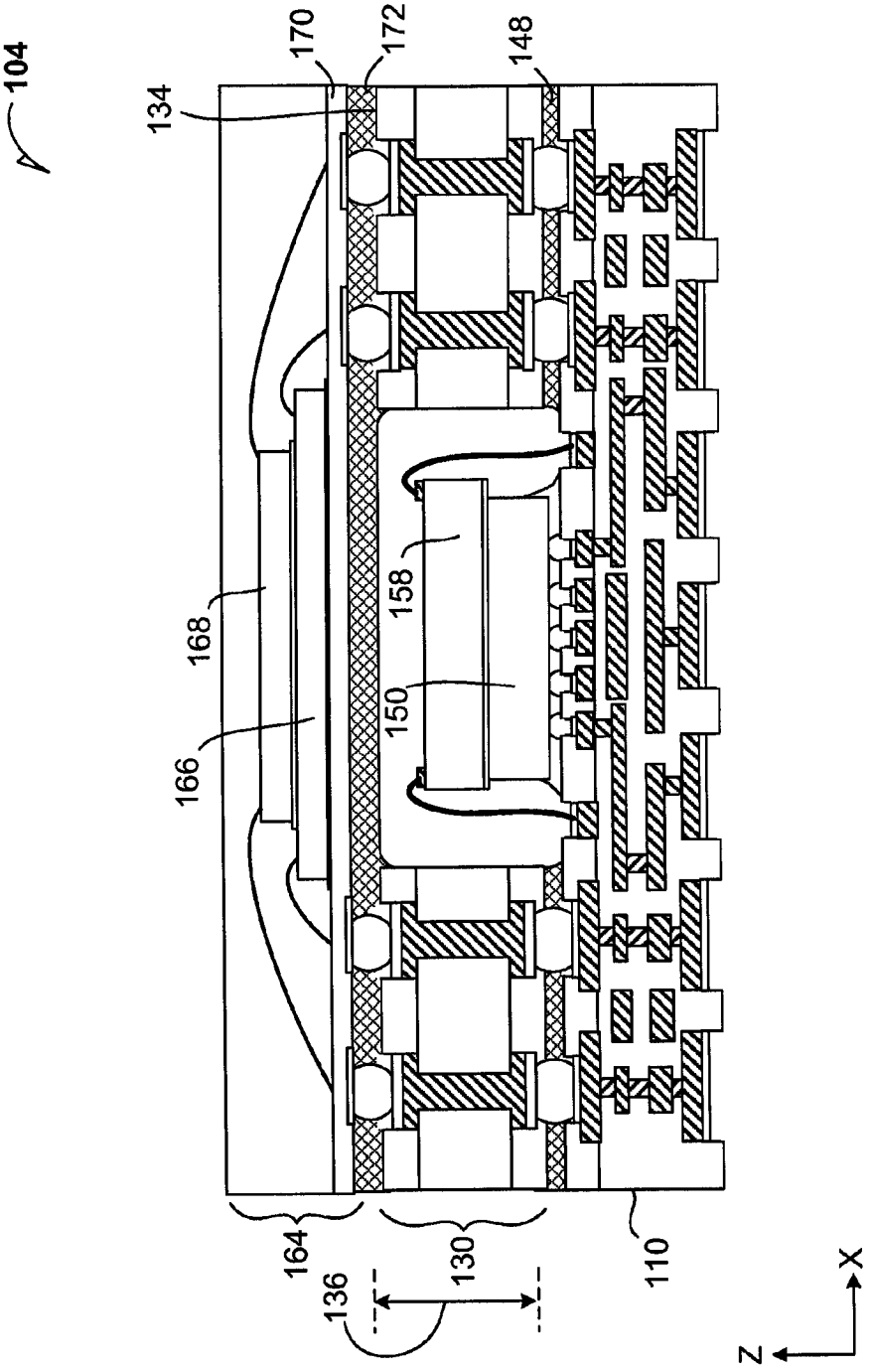


图 1e

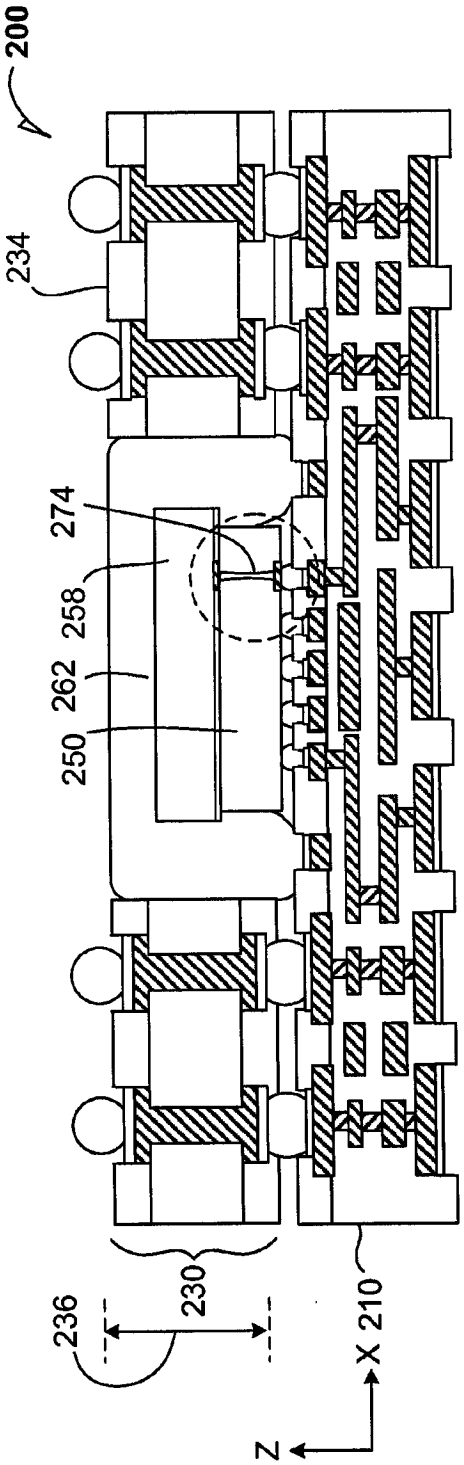

200
234
274
258
262
250
236
230
210
X
Z

图 2a

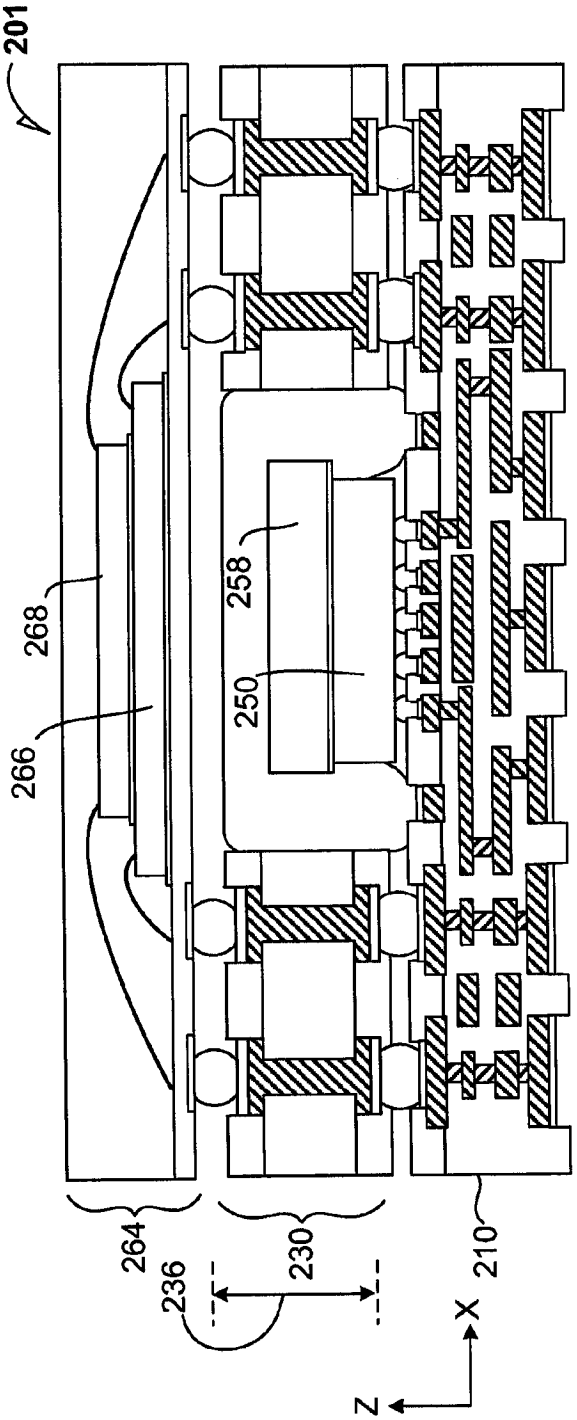

201
268
266
258
250
264
236
230
210
X
Z

图 2b

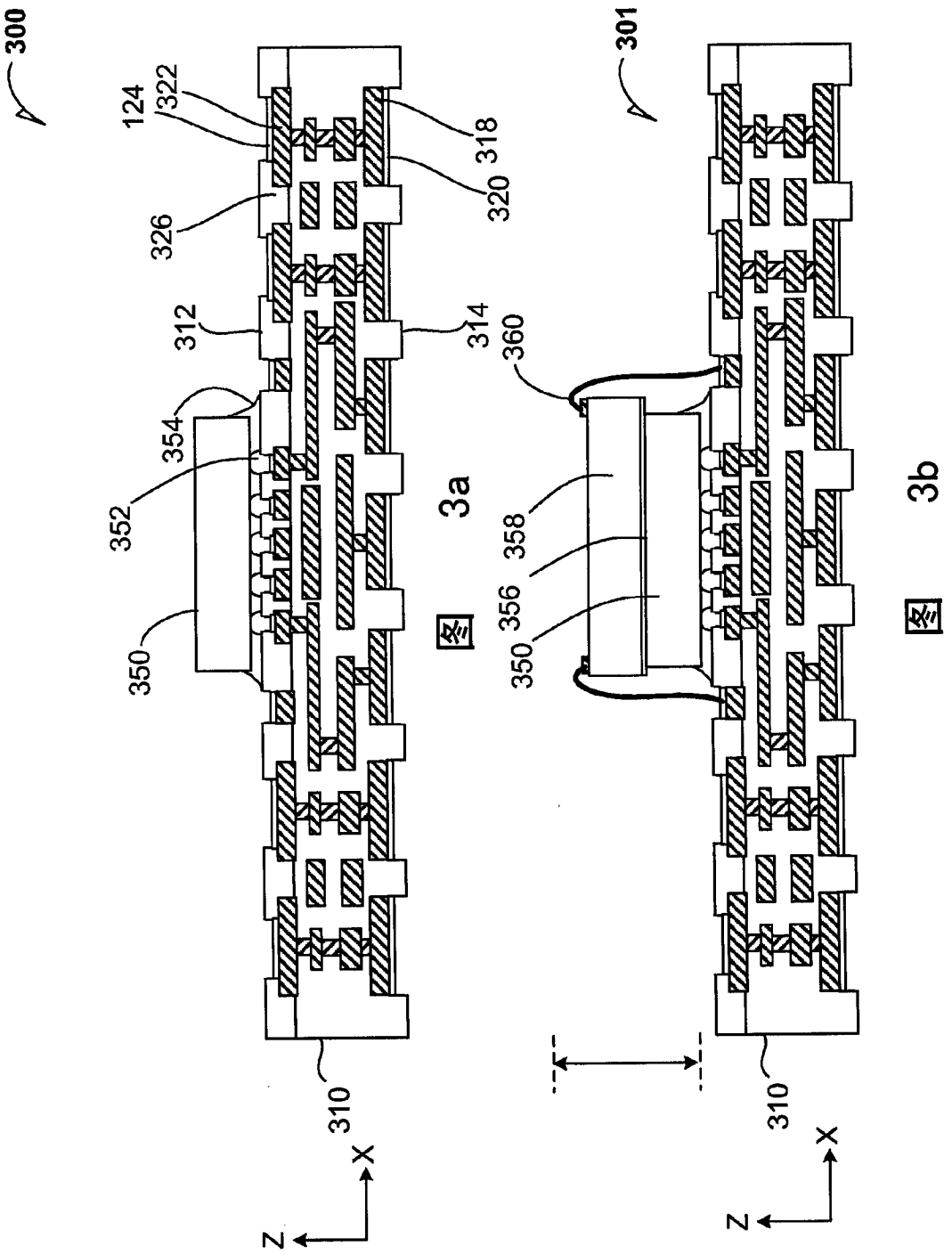

300
124
322
318
320
326
312
314
354
352
350
310
X
Z
301
360
358
356
350
310
X
Z

图 3a

图 3b

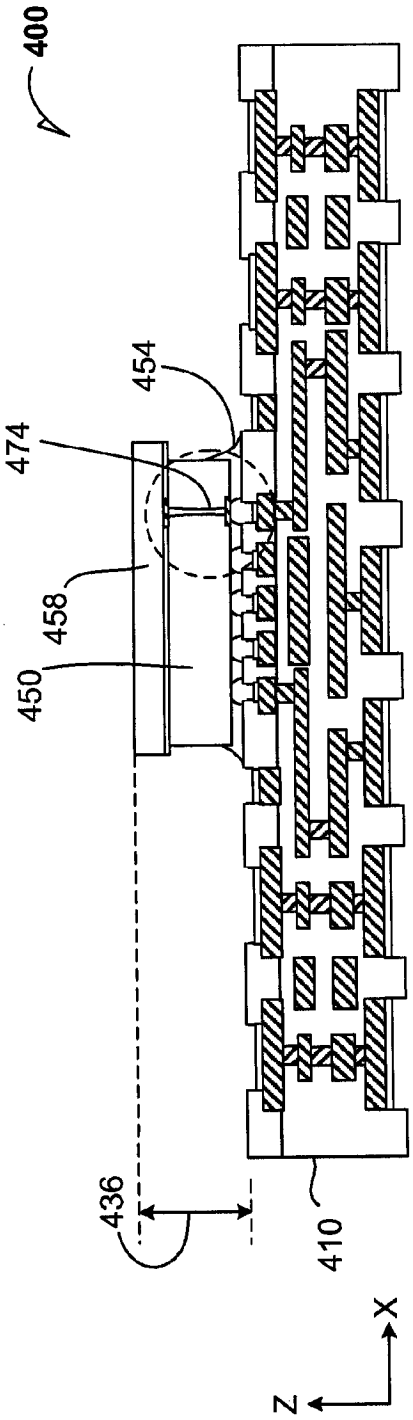

400
454
474
458
450
436
410
X
Z

图 4

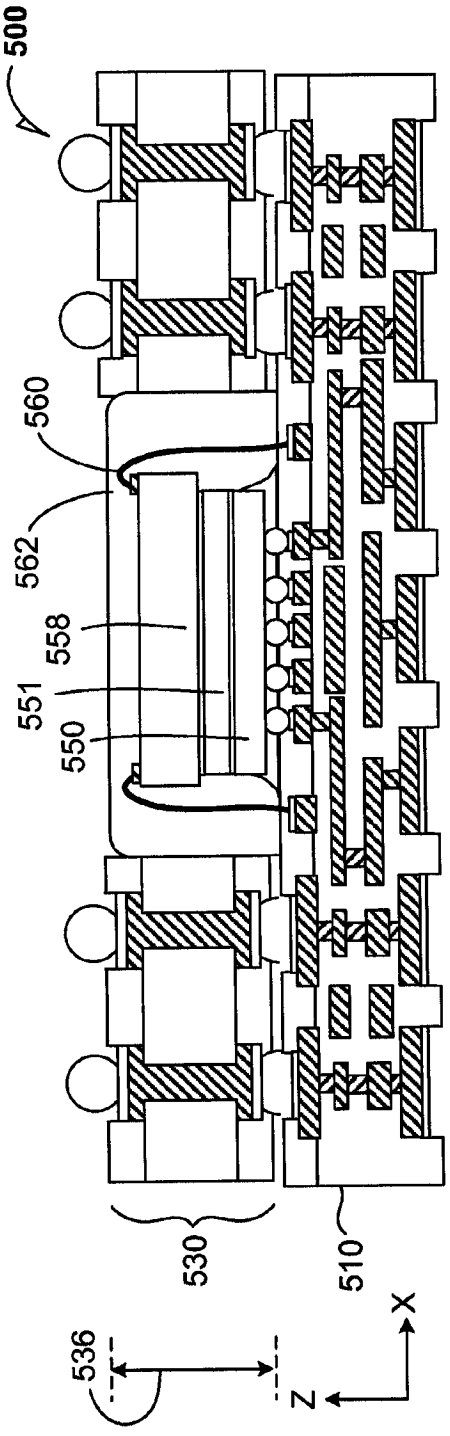

500
560
562
558
551
550
530
510
536
X
Z

图 5

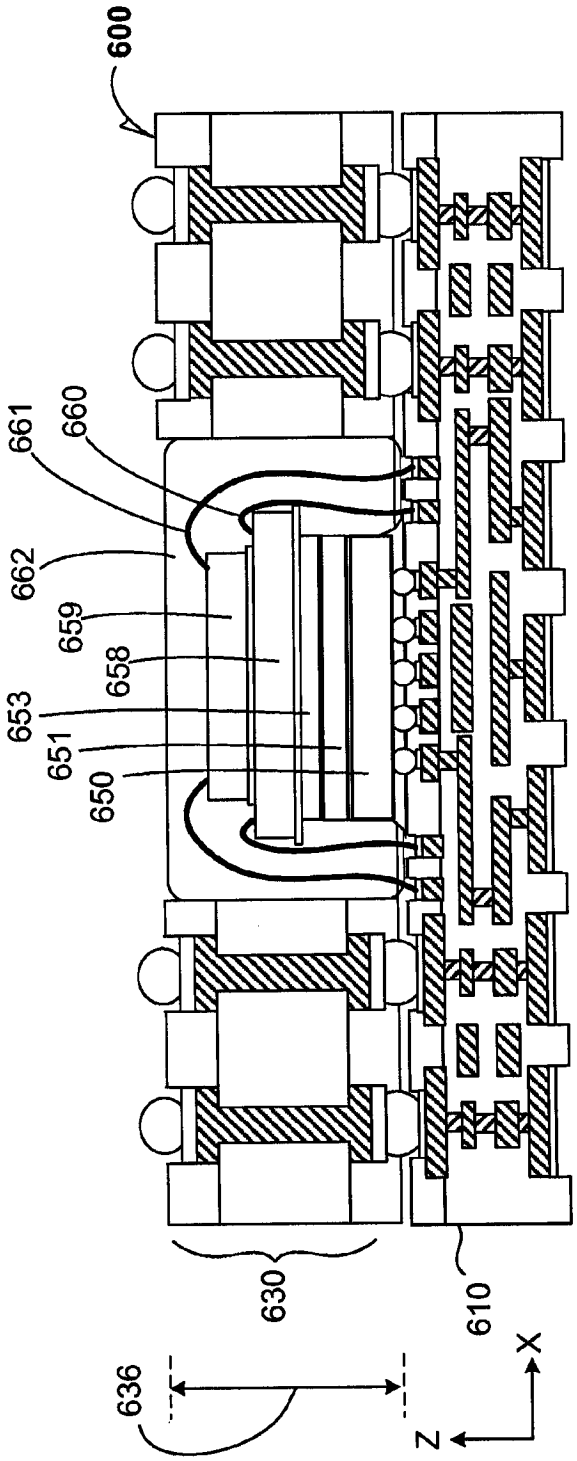


图 6

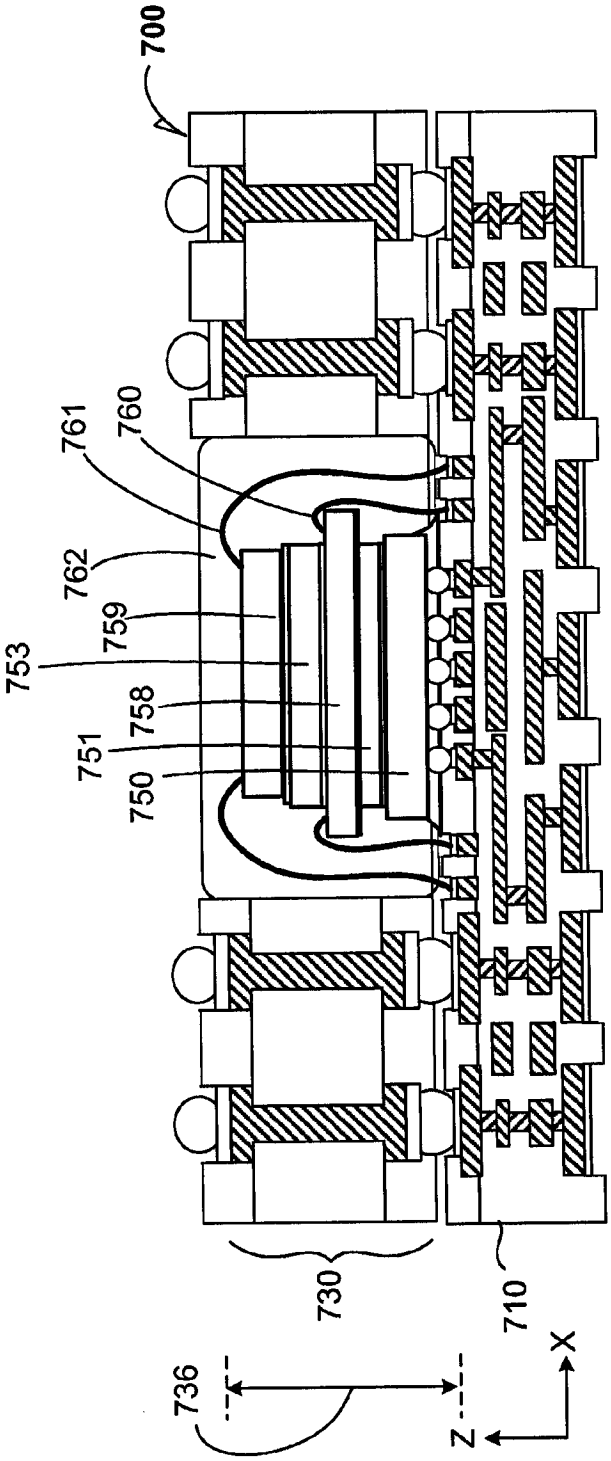


图 7

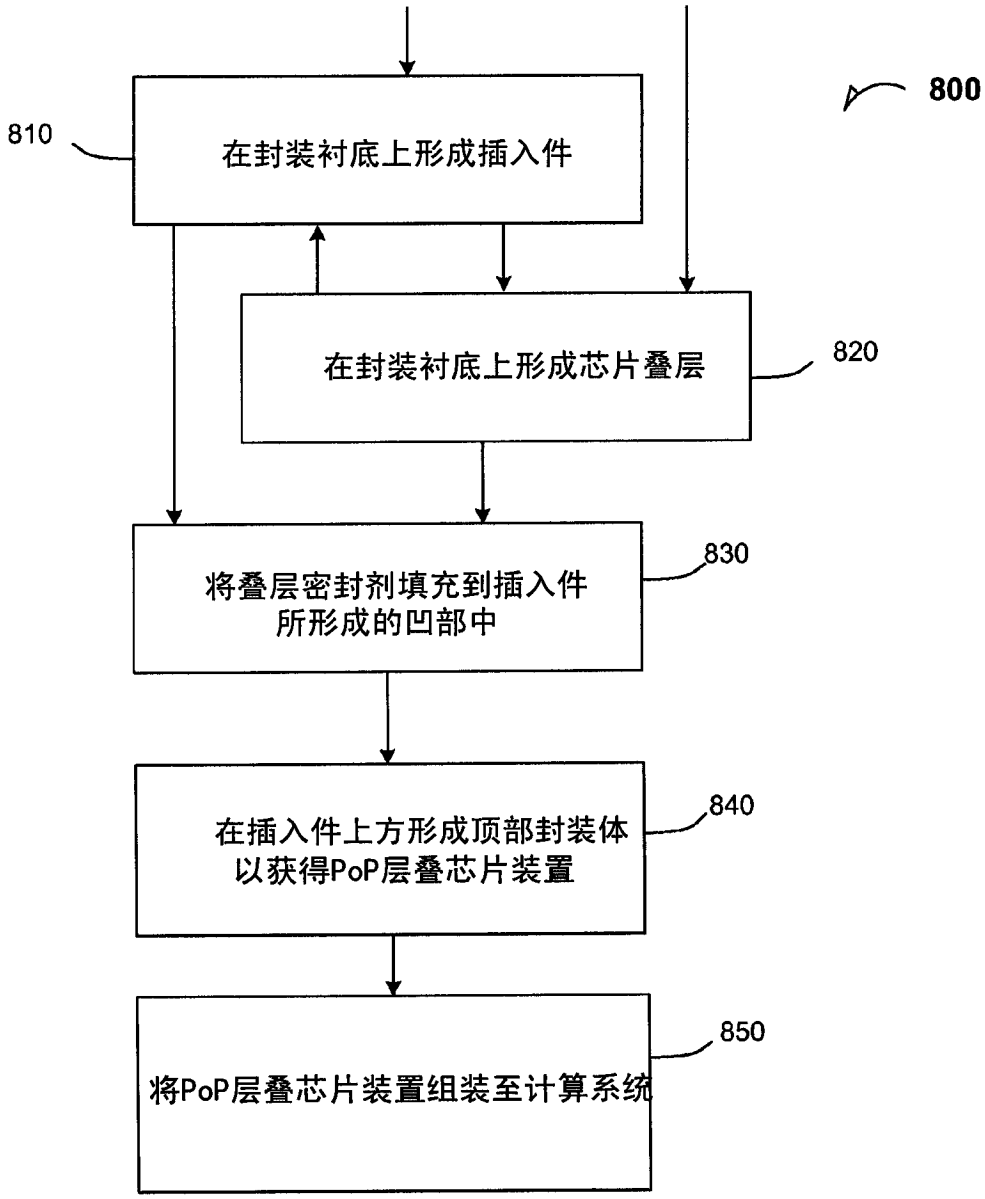

800
810
在封装衬底上形成插入件
820
在封装衬底上形成芯片叠层
830
将叠层密封剂填充到插入件
所形成的凹部中
840
在插入件上方形成顶部封装体
以获得PoP层叠芯片装置
850
将PoP层叠芯片装置组装至计算系统

图 8

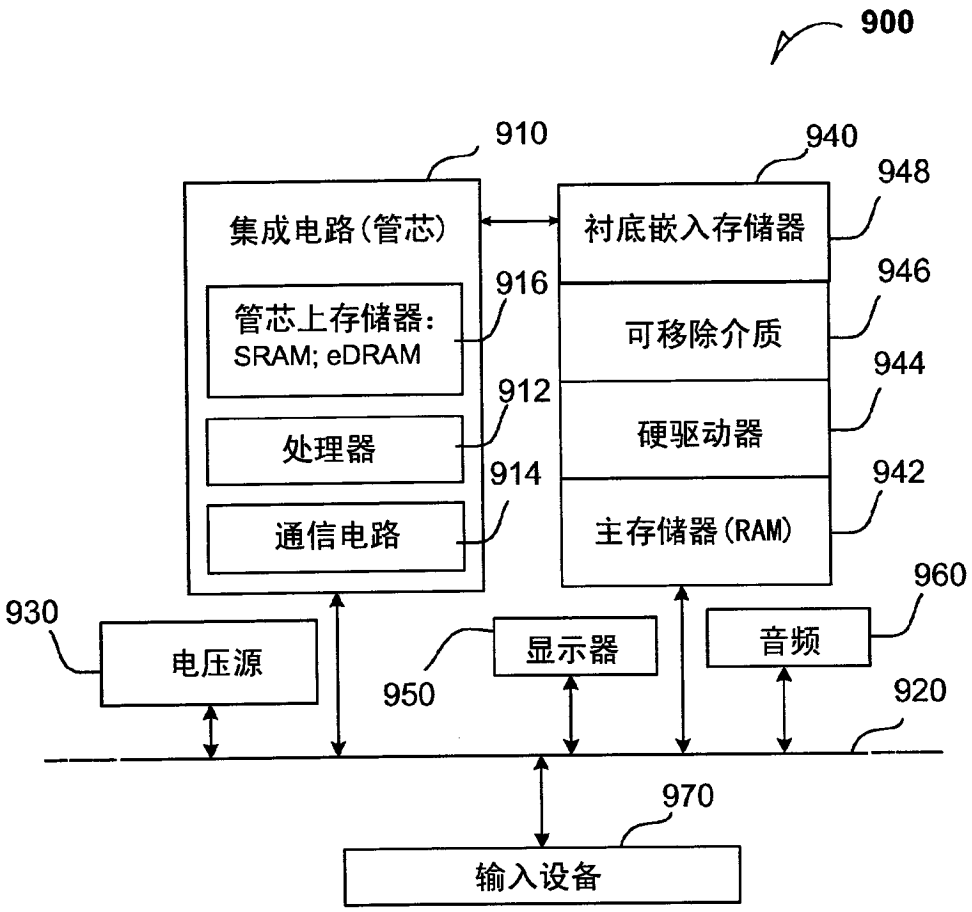

900
910
集成电路(管芯)
管芯上存储器:
SRAM; eDRAM
916
处理器
912
通信电路
914
940
948
衬底嵌入存储器
946
可移除介质
944
硬驱动器
942
主存储器(RAM)
930
电压源
950
显示器
960
音频
920
970
输入设备

图 9