



(12)发明专利申请

(10)申请公布号 CN 108281365 A

(43)申请公布日 2018.07.13

(21)申请号 201810065931.8

(22)申请日 2018.01.24

(71)申请人 德淮半导体有限公司

地址 223300 江苏省淮安市淮阴区长江东路599号

(72)发明人 汤茂亮 柯天麒 姜鹏

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 马景辉

(51) Int. Cl.

H01L 21/66(2006.01)

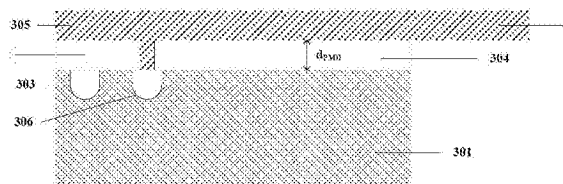
权利要求书1页 说明书9页 附图6页

(54)发明名称

用于晶圆可接受性测试的焊盘及其制造方法

(57)摘要

本公开涉及用于晶圆可接受性测试的焊盘及其制造方法。一种用于晶圆可接受性测试的焊盘,包括:半导体基底,具有至少一个二极管;以及位于所述半导体基底上方的至少一个金属层,用于连接到所述半导体基底中的器件。其中,所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。



1. 一种用于晶圆可接受性测试的焊盘,其特征在于,包括:
半导体基底,具有至少一个二极管;以及
位于所述半导体基底上方的至少一个金属层,用于连接到所述半导体基底中的器件;
其中,所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。
2. 根据权利要求1所述的焊盘,其特征在于,所述至少一个二极管包括至少两个二极管,所述至少两个二极管被串联连接。
3. 根据权利要求2所述的焊盘,其特征在于,所述至少两个二极管通过所述至少一个金属层串联连接。
4. 根据权利要求2所述的焊盘,其特征在于,所述至少两个二极管通过导电材料串联连接。
5. 根据权利要求4所述的焊盘,其特征在于,所述导电材料为多晶硅或金属。
6. 根据权利要求1或2所述的焊盘,其特征在于,所述二极管的导通方向相同。
7. 根据权利要求6所述的焊盘,其特征在于,所述半导体基底接地,所述二极管的导通方向为从所述地朝向所述器件。
8. 根据权利要求1所述的焊盘,其特征在于,所述半导体基底是第一掺杂类型的半导体基底,所述半导体基底中还包括:
第二掺杂类型的深阱;以及
在所述深阱的边缘向上延伸至所述半导体基底的表面的第二掺杂类型的阱。
9. 一种制造用于晶圆可接受性测试的焊盘的方法,其特征在于,包括:
提供半导体基底,所述半导体基底的掺杂类型为第一掺杂类型;
对所述半导体基底的第一区域进行掺杂处理,使得所述第一区域的掺杂类型为第二掺杂类型,从而形成至少一个二极管;
在所述半导体基底上形成至少一个金属层,使得所述至少一个金属层连接到所述半导体基底中的器件;以及
使所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。
10. 根据权利要求9所述的方法,其特征在于,还包括:
在所述半导体基底中形成第二掺杂类型的深阱;以及
在所述深阱的边缘形成向上延伸至所述半导体基底的表面的第二掺杂类型的阱。

用于晶圆可接受性测试的焊盘及其制造方法

技术领域

[0001] 本公开涉及一种用于晶圆可接受性测试的焊盘及其制造方法。

背景技术

[0002] 集成电路芯片是一种精密的半导体器件。在集成电路芯片的制造过程中,需要精确地控制各个处理步骤。但是,目前仍然无法确保晶圆上制备得到的所有芯片都是合格产品。因此,人们通常采用晶圆可接受性测试(Wafer Acceptance Test,WAT)来对晶圆上的芯片进行检测,从而确定晶圆上的芯片的电学性能是否符合设计要求。

发明内容

[0003] 根据本公开的第一方面,提供了一种用于晶圆可接受性测试的焊盘,包括:半导体基底,具有至少一个二极管;以及位于所述半导体基底上方的至少一个金属层,用于连接到所述半导体基底中的器件;其中,所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。

[0004] 根据本公开的第二方面,提供了一种用于制造用于晶圆可接受性测试的焊盘的方法,包括:提供半导体基底,所述半导体基底的掺杂类型为第一掺杂类型;对所述半导体基底的第一区域进行掺杂处理,使得所述第一区域的掺杂类型为第二掺杂类型,从而形成至少一个二极管;在所述半导体基底上形成至少一个金属层,使得所述至少一个金属层连接到所述半导体基底中的器件;以及使所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。

[0005] 通过以下参照附图对本公开的示例性实施例的详细描述,本公开的其它特征及其优点将会变得清楚。

附图说明

[0006] 构成说明书的一部分的附图描述了本公开的实施例,并且连同说明书一起用于解释本公开的原理。

[0007] 参照附图,根据下面的详细描述,可以更加清楚地理解本公开,其中:

[0008] 图1示出了用于晶圆可接受性测试的焊盘的俯视图。

[0009] 图2A示出了现有技术中沿图1的焊盘101的虚线AA'的剖面图。

[0010] 图2B示出了图2A所示的焊盘101中第一金属层与地之间的寄生电容的等效电路的示意图。

[0011] 图3A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。

[0012] 图3B示出了图3A所示的焊盘的寄生电容的等效电路的示意图。

[0013] 图3C和图3D示出了制造图3A所示的用于晶圆可接受性测试的焊盘的过程。

[0014] 图4A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的示意图。

- [0015] 图4B示出了图4A的焊盘中第一金属层与地之间的寄生电容的等效电路的示意图。
- [0016] 图5示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的示意图。
- [0017] 图6A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。
- [0018] 图6B示出了图6A所示的焊盘中第一金属层与地之间的寄生电容的等效电路的示意图。
- [0019] 图7示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。
- [0020] 图8示出了根据本公开的一个实施例的制造用于晶圆可接受性测试的焊盘的方法的流程图。
- [0021] 注意,在以下说明的实施方式中,有时在不同的附图之间共同使用同一附图标记来表示相同部分或具有相同功能的部分,而省略其重复说明。在本说明书中,使用相似的标号和字母表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步讨论。
- [0022] 为了便于理解,在附图等中所示的各结构的位置、尺寸及范围等有时不表示实际的位置、尺寸及范围等。因此,所公开的发明并不限于附图等所公开的位置、尺寸及范围等。

具体实施方式

- [0023] 现在将参照附图来详细描述本公开的各种示例性实施例。应注意到:除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限制本公开的范围。
- [0024] 以下对至少一个示例性实施例的描述实际上仅仅是说明性的,决不作为对本公开及其应用或使用的任何限制。
- [0025] 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论,但在适当情况下,所述技术、方法和设备应当被视为授权说明书的一部分。
- [0026] 在这里示出和讨论的所有示例中,任何具体值应被解释为仅仅是示例性的,而不是作为限制。因此,示例性实施例的其它示例可以具有不同的值。
- [0027] 图1示出了用于晶圆可接受性测试的焊盘的俯视图。如图1所示,焊盘101具有导电的金属结构(阴影部分)。通常,该金属结构是由多个金属层构成的,在金属结构中形成有通孔102,从而使得对应的金属层电连接。
- [0028] 图2A示出了现有技术中沿图1的焊盘101的虚线AA'的剖面图。如图2A所示,在半导体基底201中具有用于隔离器件的浅沟槽隔离(Shallow Trench Isolation, STI) 202。在STI上方形成多个金属层,例如图2A所示的第一金属层(M1) 205(即最接近半导体基底的金属层)以及上面的金属层206、207、208等。如图2A右侧的箭头所示,每个金属层可以被电连接到半导体基底上的待测器件(Device Under Test, DUT)。各个金属层(205-208)之间可以通过层间电介质层212、213、214隔离。在第一金属层205与半导体基底201之间还设置有电介质层204,也称为金属前介电层(PreMetal Dielectric, PMD)。此外,如图2A所示,各个金属层205-208之间还可以通过例如通孔209、210和211电连接。半导体基底201还可以被接地。例如,当半导体基底为P型掺杂时,可以通过在半导体基底中形成P+型掺杂(即P型重掺

杂)区域203,并通过该P+型掺杂区域203电连接到地。

[0029] 图2B示出了图2A所示的焊盘101中第一金属层205与地之间的寄生电容的等效电路。如图2B所示,第一金属层205与地之间具有两个寄生电容,即STI的电容 C_{STI} 和电介质层204的电容 C_{PMD} 。这两个电容是串联连接的关系。通常,可以通过以下平行板电容器的公式(1)计算电容C:

$$[0030] \quad C = \frac{\epsilon_0 \epsilon_{0x}}{d_{0x}} A \quad (1)$$

[0031] 其中,A为焊盘的面积, d_{0x} 为厚度, ϵ_0 为真空介电常数, ϵ_{0x} 为介质的相对介电常数。

[0032] 对于现有技术中的焊盘而言,假设焊盘的尺寸为 $80\mu\text{m} \times 80\mu\text{m}$,STI的厚度 d_{STI} 为大约300nm,电介质层204的厚度 d_{PMD} 大约为150nm。根据上面公式(1),可以计算STI的电容 $C_{STI} \approx 0.74\text{fF}$,电介质层204的电容 $C_{PMD} \approx 1.47\text{fF}$ 。这样,第一金属层205与地之间的寄生电容大约为 $\frac{C_{PMD} \cdot C_{STI}}{C_{PMD} + C_{STI}} \approx 0.49\text{fF}$ 。

[0033] 通过上面的估算,可以看出,第一金属层205与地之间的寄生电容比较大,这往往对待测器件的性能产生较大影响,从而影响晶圆可接受性测试的准确性。

[0034] 图3A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。

[0035] 在图3A中,为了便于描述,省略了第一金属层304以上的各个电介质层和其它金属层,它们可以与图2A所示的结构相同。下面重点描述与图2A中的焊盘不同的部分。

[0036] 如图3A所示,用于晶圆可接受性测试的焊盘包括P型掺杂的半导体基底301、第一金属层305以及位于半导体基底301和第一金属层305之间的电介质层304。其中,如图3A右侧的箭头所示,第一金属层305可以电连接到半导体基底301中的待测器件(未示出)。此外,在半导体基底301中还可以包括N+型掺杂(即N型重掺杂)区域306,并且该N+型掺杂区域306通过通孔电连接到第一金属层305。由于半导体基底301是P型掺杂,所以在N+型掺杂区域306与半导体基底301之间形成了PN结。

[0037] 图3A所示的焊盘的寄生电容的等效电路如图3B所示。其中,二极管(即PN结)的电容 C_{diode} 与电介质层304的电容 C_{PMD} 串联连接。假设二极管的尺寸为 $0.5\mu\text{m} \times 0.5\mu\text{m}$,PN结区域的单位面积的电容为 $1\text{fF}/\mu\text{m}^2$,则二极管的电容 $C_{diode} = 0.25\text{fF}$ 。假设电介质层304的电容 C_{PMD} 与图2A所示的示例相同,即 $C_{PMD} \approx 1.47\text{fF}$ 。则第一金属层304与地之间的寄生电容为

$$\frac{C_{PMD} \cdot C_{diode}}{C_{PMD} + C_{diode}} \approx 0.21\text{fF}。$$

[0038] 根据上面的估算可见,采用图3A所示的根据本公开的实施例的焊盘结构,能够减少第一金属层304与地之间的寄生电容。这样,可以改善性能,提高晶圆可接受性测试的准确性。

[0039] 图8示出了根据本公开的一个实施例的制造用于晶圆可接受性测试的焊盘的方法的流程图。

[0040] 如图8所示,在制造用于晶圆可接受性测试的焊盘时,首先提供半导体基底。通常,这里的半导体基底可以是已经制作了待测器件的晶圆。半导体基底的掺杂类型可以是P型掺杂或者N型掺杂。

[0041] 然后,对半导体基底的选定区域(第一区域)进行掺杂处理,使得该选定区域的掺杂类型与半导体基底的掺杂类型相反,从而形成至少一个二极管。例如,当半导体基底为P型掺杂时,该选定区域可以为N型掺杂,从而形成的二极管的导通方向为从地向第一金属层305;当半导体基底为N型掺杂时,该选定区域可以为P型掺杂,从而形成的二极管的导通方向为从第一金属层305向地。在可选实施例中,该选定区域的掺杂可以是重掺杂。此外,选定区域可以是单个区域,也可以是分离的多个区域,相应地,可以形成单个或多个二极管。

[0042] 接下来,在半导体基底上形成一个或多个金属层。这些金属层可以电连接到半导体基底中的待测器件。在一些可选的实施例中,这些金属层之间可以通过通孔选择性地电连接。

[0043] 最后,把二极管串联连接到金属层中最接近半导体基底的金属层(即第一金属层M1)。

[0044] 下面将接合本公开的各个实施例具体解释和描述焊盘的结构和制造方法。

[0045] 仍以图3A所示的用于晶圆可接受性测试的焊盘为例,其制造过程如图3C-图3D所示。

[0046] 首先,对半导体基底301的选定区域(第一区域)306进行掺杂处理。这里的半导体基底301可以是已经形成有待测器件(未示出)的晶圆,并且如图3C所示,该半导体基底301已经通过区域303接地。例如,区域303的掺杂类型可以与半导体基底301的掺杂相同,但是区域303为重掺杂。在可选的实施例中,为了对区域306进行掺杂处理,可以使用光刻技术制造光刻胶掩膜320,使得区域306被暴露出来,而半导体基底301的其它区域被光刻胶掩膜320覆盖。然后对区域306进行掺杂处理。在可选的实施例中,可以对区域306进行重掺杂。区域306的掺杂类型与半导体基底301的掺杂类型相反。例如,在半导体基底301为P型掺杂的情况下,使用例如磷、砷等N型杂质对区域306进行离子注入。在半导体基底301为N型掺杂的情况下,使用例如硼、镉等P型杂质对区域306进行离子注入。经过掺杂处理的区域306形成了二极管。

[0047] 然后,去除光刻胶掩膜320,并且在半导体基底301上沉积电介质层304。如图3D所示,电介质层304的厚度可以被控制为 d_{PMD} 。此外,还可以在电介质层304中与区域306对应的位置形成通孔(接触孔)321。

[0048] 接下来,在电介质层304上形成金属层(即第一金属层M1)305。如图3A所示,在形成金属层305的过程中,通孔321也被填充,从而使得二极管串联连接到金属层305。

[0049] 最后,还可以根据需要在金属层305上形成其它的层间电介质层和金属层。

[0050] 图4A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的示意图。

[0051] 如图4A所示,该焊盘包括半导体基底401、电介质层404、第一导电层405、形成二极管的区域406。这些部分与图3A所示的焊盘类似,本文就不再重复。

[0052] 此外,图4A中的焊盘还包括另一个晶体管。如图4A所示,区域407和408也是掺杂区域,从而形成了另一个晶体管。例如,在半导体基底401为P型掺杂的情况下,区域407(第一区域)可以为N+型掺杂,区域408(第二区域)可以为P+型掺杂。这样,在区域407形成了另一个二极管,并且该二极管的导通方向与区域406中的二极管相同。区域407和区域408上还形成有导电的通孔,从而通过第一金属层405把区域407与区域408电连接。区域408进行P+型掺杂的目的是为了使区域407中的二极管更好地电连接到半导体基底401中,因此区域408

的掺杂类型与半导体基底401的掺杂类型相同。

[0053] 图4B示出了图4A的焊盘中金属层405与地之间的寄生电容的等效电路的示意图。

[0054] 如图4B所示,区域406的二极管的电容 C_{406} 、区域407的二极管的电容 C_{407} 以及电介质层404的电容 C_{PMD} 为串联关系。如果按照上面针对图3A中对各个电容值的估算,可以计算图4B中的总电容为大约0.12fF。可见,同图3A的实施例相比,随着串联电容 C_{407} 的加入,金属层405与地之间的寄生电容进一步减小。

[0055] 图4A所示的用于晶圆可接受性测试的焊盘的制造方法与图3A所示的焊盘的制造方法类似。在一个可选的实施例中,首先,在半导体基底401上的区域406和407进行掺杂处理;然后,对区域408进行掺杂处理。其中,区域406和407的掺杂类型与半导体基底401的掺杂类型相反,区域408的掺杂类型与半导体基底401的掺杂类型相同。

[0056] 然后,沉积电介质层404,并在电介质层404中与区域406、407、408对应的位置分别形成通孔。

[0057] 接下来,形成金属层405,并且填充各个通孔,从而形成二极管之间的串联结构。

[0058] 最后,形成其它的层间电介质层和金属层(未示出)。

[0059] 图5示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的示意图。

[0060] 如图5所示,该焊盘的结构与图4A所示的焊盘类似。具体地说,图5中的焊盘也包括半导体基底501、形成两个串联的二极管的区域506、507(掺杂类型与半导体基底501的掺杂类型相反)、区域508(掺杂类型与半导体基底501的掺杂类型相同)、电介质层504以及金属层505。与图4A的焊盘的区别在于,图5中的焊盘中,二极管区域507通过导电材料509直接电连接到区域508。这里的导电材料509可以是例如多晶硅的半导体,也可以是金属,例如Cu、Al、Ag、Au等。

[0061] 图5所示的焊盘的制造方法与图4A类似,区别在于,在沉积电介质层504之前,先沉积导电材料509,使得区域507和508电连接。其余步骤本公开就不再赘述。

[0062] 现有技术中,为了节省宝贵的晶圆,通常在STI上方制作用于晶圆可接受性测试的焊盘。在本公开的上述各个实施例中,虽然能够有效减小第一金属层与地之间的寄生电容,但是需要额外占用晶圆面积。

[0063] 图6A示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。

[0064] 如图6A所示,在P型掺杂的半导体基底601中形成有垂直的N阱613以及水平的深N阱612。N阱613的下端与深N阱612相接。通过N阱613和深N阱612的这种结构,可以替代STI。在N阱613与深N阱612围成的半导体基底601的区域614中,形成根据本公开的二极管。例如,区域606、607、610为N+掺杂,从而形成三个二极管。区域608和611为P+掺杂。形成二极管的区域607通过第一金属层605电连接到P+掺杂的区域608。类似地,区域610通过第一金属层电连接到区域611。在区域606形成的二极管直接电连接到第一金属层605。

[0065] 图6B示出了图6A所示的焊盘中第一金属层605与地之间的寄生电容的等效电路的示意图。

[0066] 如图6B所示,在第一金属层605与地之间串联有多个电容,包括N阱613的电容 C_{nw} 、三个二极管的电容 C_{607} 、 C_{610} 、 C_{606} 、以及电介质层604的电容 C_{PMD} 。仍然采用上面图3A中对于各个电容值的估计数据,即 $C_{PMD} \approx 1.47 \text{ fF}$, $C_{607} = C_{610} = C_{606} \approx 0.25 \text{ fF}$ 。此外,假设 $C_{nw} \approx 5 \text{ fF}$ 。则可

以计算第一金属层605与地之间的总的寄生电容大约为0.08fF。

[0067] 由此可见,采用图6A所示的焊盘,同样能够有效减小第一金属层605与地之间的寄生电容。此外,由于使用N阱613和深N阱612替代了STI,可以在使用N阱613和深N阱612所包围的区域614中形成一个或多个二极管。这样,能够减小焊盘占用的晶圆面积,提高晶圆利用率,降低生产成本。

[0068] 例如,图6A所示的用于晶圆可接受性测试的焊盘中,半导体基底601为P型掺杂。可替换地,在根据本公开的一些实施例中,半导体基底601可以是N型掺杂。深阱612和阱613的掺杂类型应当与半导体基底601的掺杂类型相反,即应当为P型掺杂。相应地,形成二极管的区域606、607、610为P或P+型掺杂,而与半导体基底电连接的区域608、611为N+型掺杂。本领域技术人员在本公开的教导和启示下,可以根据实际需要选择半导体基底和其它各个区域的掺杂类型。

[0069] 图6A所示的用于晶圆可接受性测试的焊盘的制造方法与图4A所示的焊盘的制造方法类似。其区别在于,在形成焊盘的其它结构之前,首先在半导体基底601中通过例如离子注入形成深N阱612和两侧的N阱613,然后再进行后续结构的制造。本公开就不再重复详细的制造过程。

[0070] 在图6A所示的用于晶圆可接受性测试的焊盘中,四个二极管串联,即由N阱613构成的二极管以及由区域606、607、610构成的二极管。在一些替代的实施例中,可以进一步增加二极管的数量,例如在N阱613和深N阱612包围的区域614中形成100个串联连接的二极管。在每个二极管的电容为0.25fF的情况下,第一金属层605和地之间的寄生电容可以降低到大约0.0025fF。从而大幅减小寄生电容。这样,能够进一步提高器件性能。使得测试结果更加准确。

[0071] 图7示出了根据本公开的一个实施例的用于晶圆可接受性测试的焊盘的结构示意图。如图7所示,该焊盘包括P型掺杂的半导体基底701、N阱713、深N阱712、N+掺杂区域706、707和710、P+掺杂区域708和711、电介质层704以及第一金属层705。

[0072] 图7所示的焊盘结构是图6A所示焊盘结构的变型例。其中,区域707与区域708之间通过导电材料709电连接,区域710与区域711之间通过导电材料715电连接。其它结构与图6A中的焊盘结构类似。导电材料可以是例如半导体(诸如多晶硅等)或者金属(诸如Al、Au、Ag、Cu等)。在一些可选的实施例中,在形成各个区域707、708、710、711后,借助掩膜在对应的区域上沉积形成导电材料709和715。

[0073] 图7所述的焊盘结构中,第一金属层705与地之间的寄生电容的等效电路与图6B所示的等效电路类似。本公开就不再赘述。

[0074] 上面接合图3-图7描述了根据本公开的用于晶圆可接受性测试的焊盘的结构和制造方法。其中,为了更清楚地表示本公开,在图3-7中省略了焊盘的层间电介质层和其它(除第一金属层外的)金属层。应当理解,在制造焊盘的过程中,可以根据实际需要选择层间电介质层和金属层的数目。本公开对此不做限制。

[0075] 在说明书及权利要求中的词语“前”、“后”、“顶”、“底”、“之上”、“之下”等,如果存在的话,用于描述性的目的而并不一定用于描述不变的相对位置。应当理解,这样使用的词语在适当的情况下是可互换的,使得在此所描述的本公开的实施例,例如,能够在与在此所示出的或另外描述的那些取向不同的其他取向上操作。

[0076] 如在此所使用的,词语“示例性的”意指“用作示例、实例或说明”,而不是作为将被精确复制的“模型”。在此示例性描述的任意实现方式并不一定要被解释为比其它实现方式优选的或有利的。而且,本公开不受在上述技术领域、背景技术、发明内容或具体实施方式中所给出的任何所表述的或所暗示的理论所限定。

[0077] 如在此所使用的,词语“基本上”意指包含由设计或制造的缺陷、器件或元件的容差、环境影响和/或其它因素所致的任意微小的变化。词语“基本上”还允许由寄生效应、噪音以及可能存在于实际的实现方式中的其它实际考虑因素所致的与完美的或理想的情形之间的差异。

[0078] 上述描述可以指示被“连接”或“耦合”在一起的元件或节点或特征。如在此所使用的,除非另外明确说明,“连接”意指一个元件/节点/特征与另一种元件/节点/特征在电学上、机械上、逻辑上或以其它方式直接地连接(或者直接通信)。类似地,除非另外明确说明,“耦合”意指一个元件/节点/特征可以与另一元件/节点/特征以直接的或间接的方式在机械上、电学上、逻辑上或以其它方式连结以允许相互作用,即使这两个特征可能并没有直接连接也是如此。也就是说,“耦合”意图包含元件或其它特征的直接连结和间接连结,包括利用一个或多个中间元件的连接。

[0079] 另外,仅仅为了参考的目的,还可以在下面描述中使用某种术语,并且因而并非意图限定。例如,除非上下文明确指出,否则涉及结构或元件的词语“第一”、“第二”和其它此类数字词语并没有暗示顺序或次序。

[0080] 还应理解,“包括/包含”一词在本文中使用时,说明存在所指出的特征、整体、步骤、操作、单元和/或组件,但是并不排除存在或增加一个或多个其它特征、整体、步骤、操作、单元和/或组件以及/或者它们的组合。

[0081] 在本公开中,术语“提供”从广义上用于涵盖获得对象的所有方式,因此“提供某对象”包括但不限于“购买”、“制备/制造”、“布置/设置”、“安装/装配”、和/或“订购”对象等。

[0082] 本领域技术人员应当意识到,在上述操作之间的边界仅仅是说明性的。多个操作可以结合成单个操作,单个操作可以分布于附加的操作中,并且操作可以在时间上至少部分重叠地执行。而且,另选的实施例可以包括特定操作的多个实例,并且在其他各种实施例中可以改变操作顺序。但是,其它的修改、变化和替换同样是可能的。因此,本说明书和附图应当被看作是说明性的,而非限制性的。

[0083] 本公开的实施方式还可以包括以下示例:

[0084] 1. 一种用于晶圆可接受性测试的焊盘,其特征在于,包括:

[0085] 半导体基底,具有至少一个二极管;以及

[0086] 位于所述半导体基底上方的至少一个金属层,用于连接到所述半导体基底中的器件;

[0087] 其中,所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。

[0088] 2. 根据1所述的焊盘,其特征在于,所述至少一个二极管包括至少两个二极管,所述至少两个二极管被串联连接。

[0089] 3. 根据2所述的焊盘,其特征在于,所述至少两个二极管通过所述至少一个金属层串联连接。

- [0090] 4. 根据2所述的焊盘,其特征在于,所述至少两个二极管通过导电材料串联连接。
- [0091] 5. 根据4所述的焊盘,其特征在于,所述导电材料为多晶硅或金属。
- [0092] 6. 根据1或2所述的焊盘,其特征在于,所述二极管的导通方向相同。
- [0093] 7. 根据6所述的焊盘,其特征在于,所述半导体基底接地,所述二极管的导通方向为从所述地朝向所述器件。
- [0094] 8. 根据1所述的焊盘,其特征在于,所述半导体基底是第一掺杂类型的半导体基底,所述半导体基底中还包括:
- [0095] 第二掺杂类型的深阱;以及
- [0096] 在所述深阱的边缘向上延伸至所述半导体基底的表面的第二掺杂类型的阱。
- [0097] 9. 一种制造用于晶圆可接受性测试的焊盘的方法,其特征在于,包括:
- [0098] 提供半导体基底,所述半导体基底的掺杂类型为第一掺杂类型;
- [0099] 对所述半导体基底的第一区域进行掺杂处理,使得所述第一区域的掺杂类型为第二掺杂类型,从而形成至少一个二极管;
- [0100] 在所述半导体基底上形成至少一个金属层,使得所述至少一个金属层连接到所述半导体基底中的器件;以及
- [0101] 使所述至少一个二极管串联连接到所述至少一个金属层中最接近所述半导体基底的金属层。
- [0102] 10. 根据9所述的方法,其特征在于,还包括:
- [0103] 在所述半导体基底中形成第二掺杂类型的深阱;以及
- [0104] 在所述深阱的边缘形成向上延伸至所述半导体基底的表面的第二掺杂类型的阱。
- [0105] 11. 根据9所述的方法,其特征在于,
- [0106] 所述至少一个二极管包括至少两个二极管,所述至少两个二极管被串联连接。
- [0107] 12. 根据11所述的方法,其特征在于,还包括:
- [0108] 对所述半导体基底的第二区域进行重掺杂处理,使得所述第二区域的掺杂类型为第一掺杂类型;
- [0109] 使所述第一区域通过所述第二区域电连接到所述半导体基底。
- [0110] 13. 根据12所述的方法,其特征在于,还包括:
- [0111] 在所述半导体基底上沉积电介质层;
- [0112] 在所述电介质层中形成接触孔;以及
- [0113] 填充所述接触孔,使得所述第一区域和所述第二区域通过所述接触孔电连接到所述至少一个金属层。
- [0114] 14. 根据12所述的方法,其特征在于,还包括:
- [0115] 在所述半导体基底上沉积导电材料,使得所述第一区域和第二区域通过所述导电材料电连接。
- [0116] 15. 根据14所述的方法,其特征在于,所述导电材料为金属或多晶硅。
- [0117] 16. 根据9所述的方法,其特征在于,所述二极管的导通方向相同。
- [0118] 17. 根据16所述的方法,其特征在于,所述半导体基底接地,所述二极管的导通方向为从所述地朝向所述器件。
- [0119] 虽然已经通过示例对本公开的一些特定实施例进行了详细说明,但是本领域的技

术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本公开的范围。在此公开的各实施例可以任意组合,而不脱离本公开的精神和范围。本领域的技术人员还应理解,可以对实施例进行多种修改而不脱离本公开的范围和精神。本公开的范围由所附权利要求来限定。

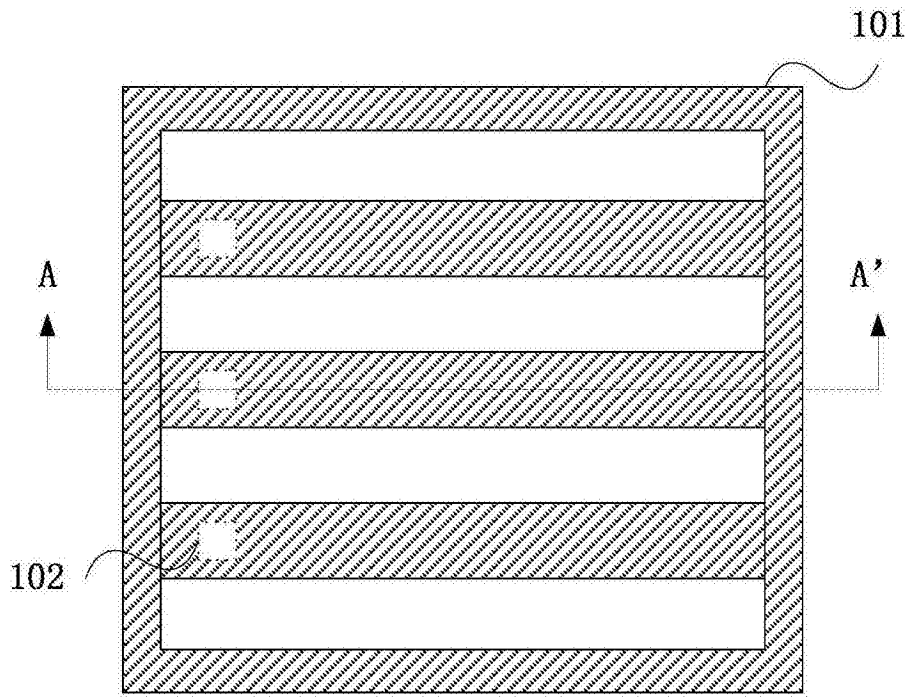


图1

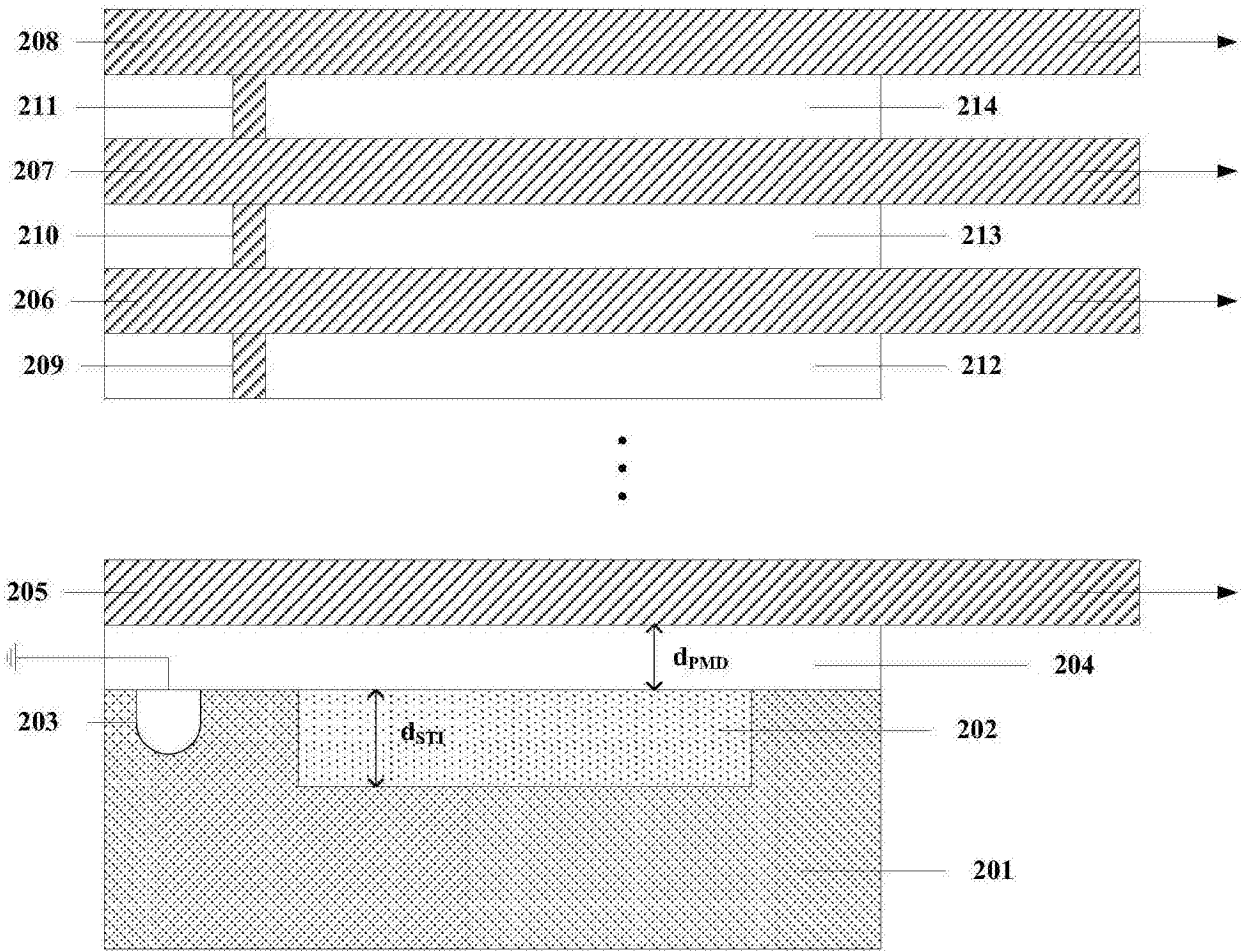


图2A

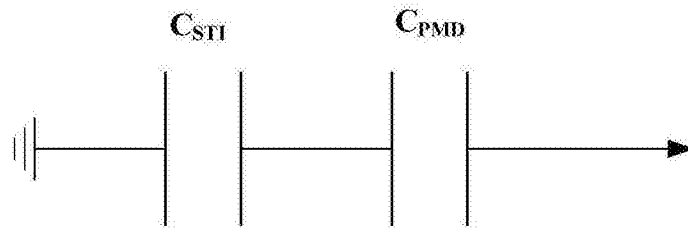


图2B

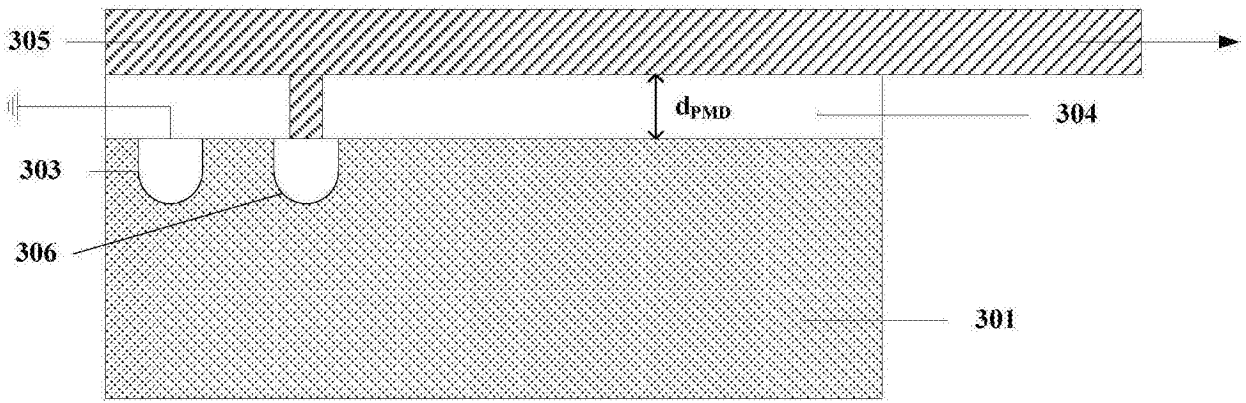


图3A

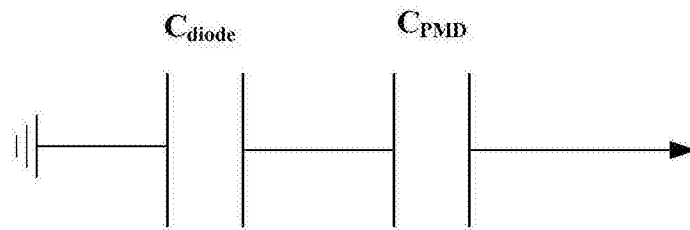


图3B

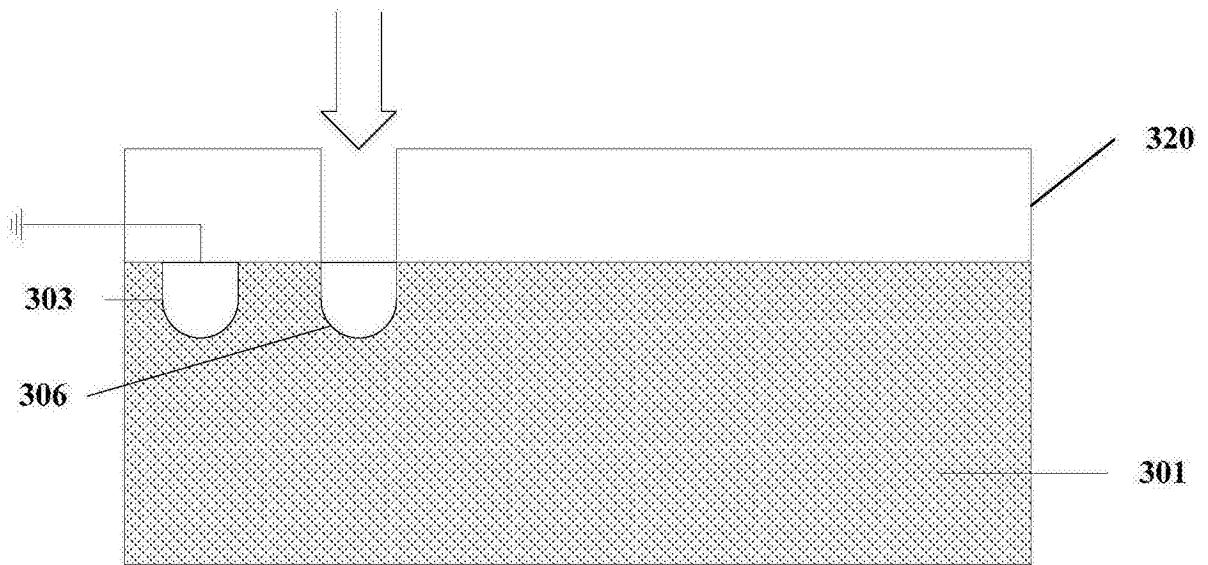


图3C

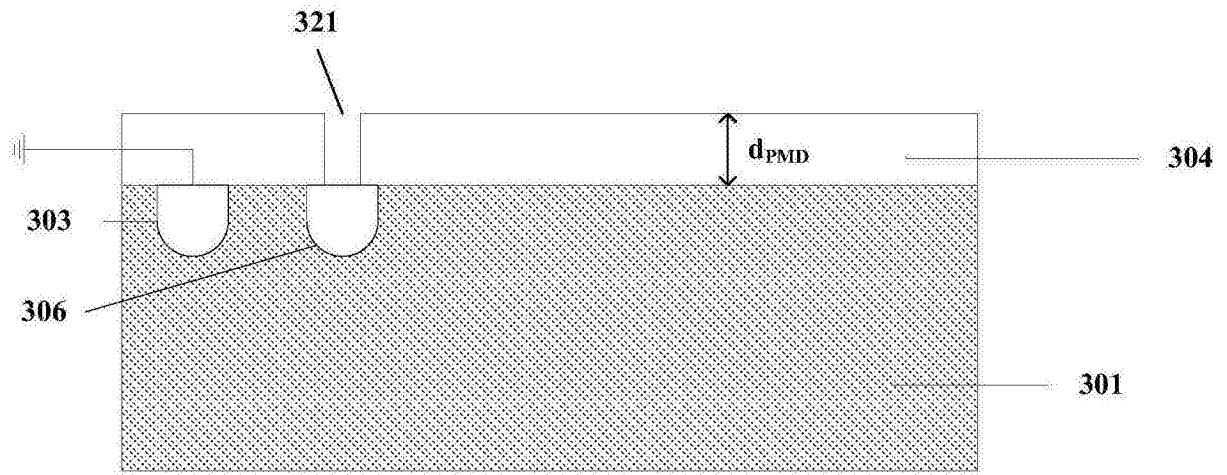


图3D

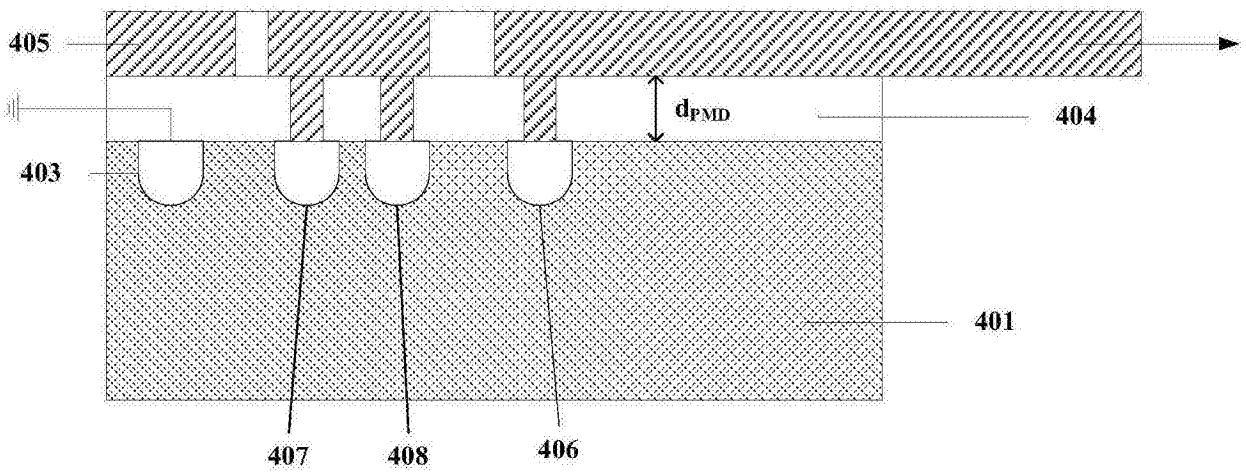


图4A

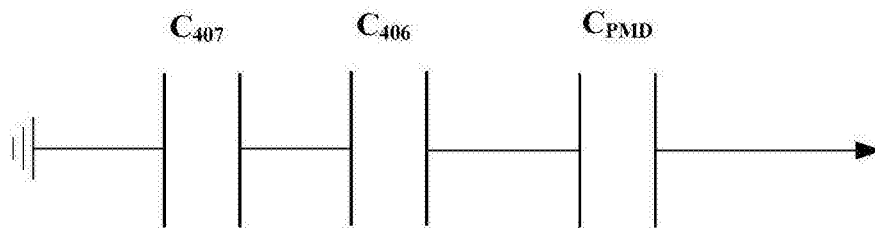


图4B

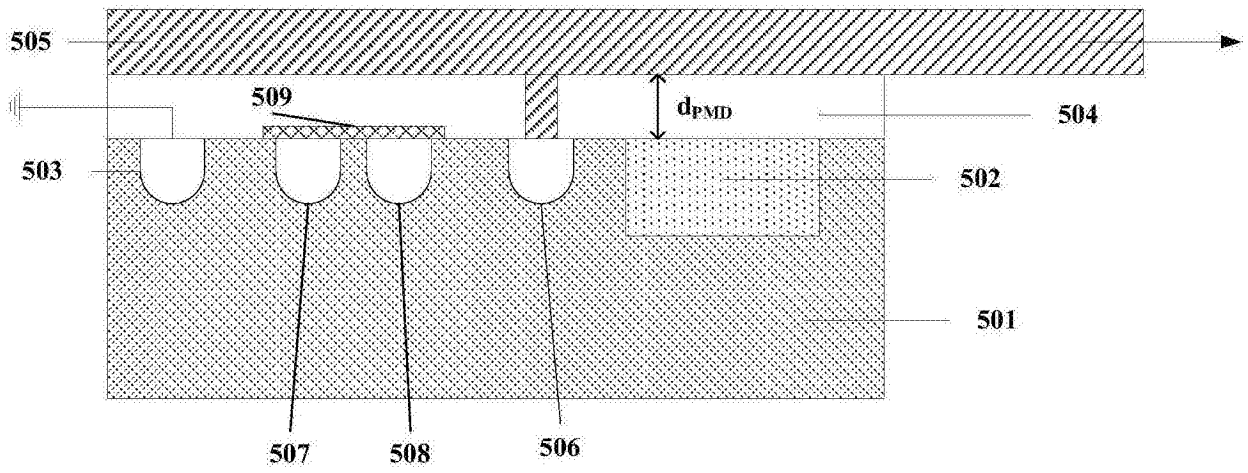


图5

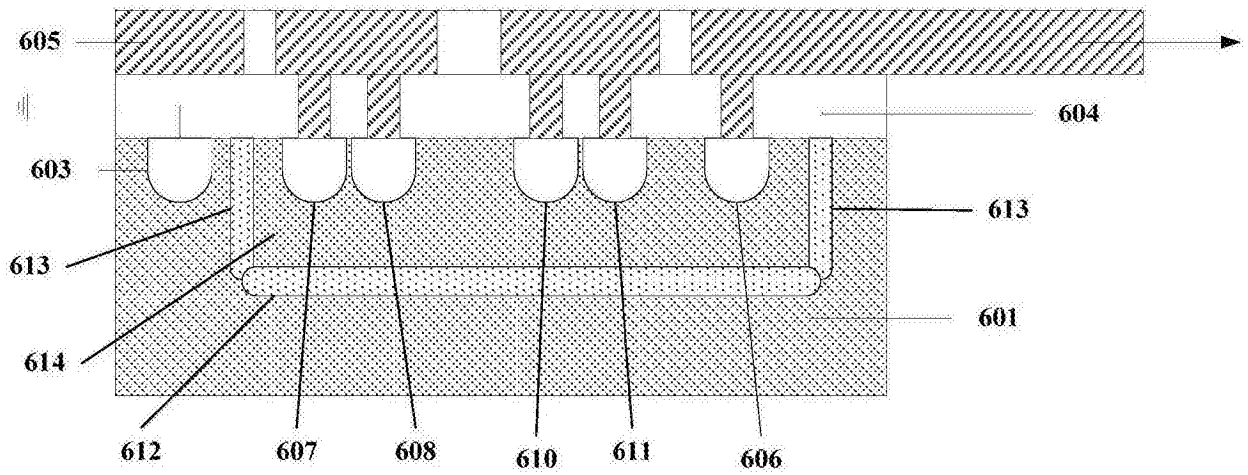


图6A

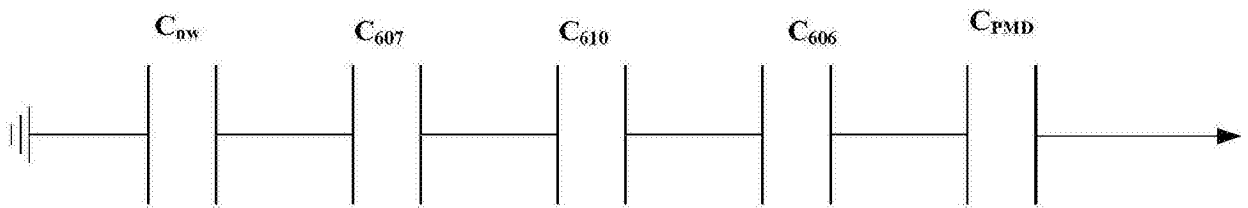


图6B

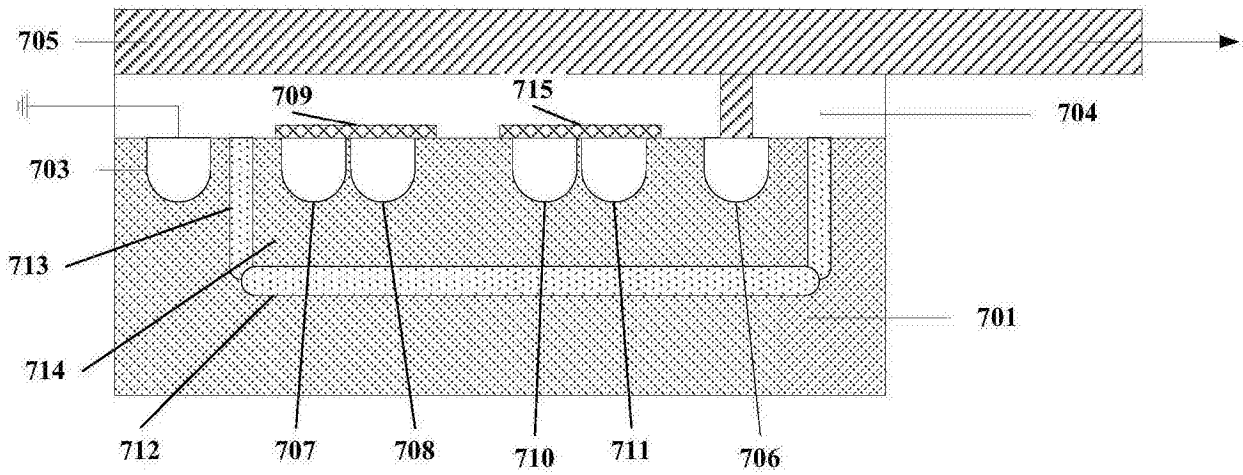


图7

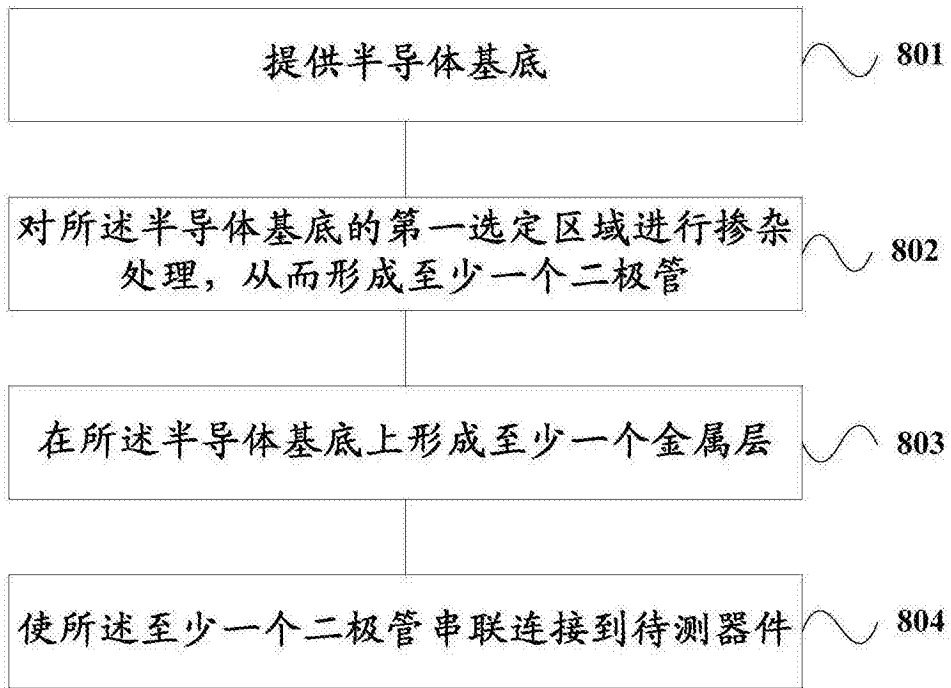


图8