



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월19일
H01L 33/00 (2006.01)	(11) 등록번호	10-0740444
	(24) 등록일자	2007년07월11일

(21) 출원번호	10-2001-7012311	(65) 공개번호	10-2002-0004984
(22) 출원일자	2001년09월27일	(43) 공개일자	2002년01월16일
심사청구일자	2006년01월26일		
번역문 제출일자	2001년09월27일		
(86) 국제출원번호	PCT/JP2001/000623	(87) 국제공개번호	WO 2001/57935
국제출원일자	2001년01월31일	국제공개일자	2001년08월09일

(81) 지정국 국내특허 : 캐나다, 중국, 대한민국, 미국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 JP-P-2000-00021458 2000년01월31일 일본(JP)

(73) 특허권자 후지제록스 가부시끼가이샤
일본국 도쿄도 미나토구 아가사카 9-7-3

(72) 발명자 오노세이지
일본오사카후오사카시쥬오쿠키타하마4초메7반28고닛폰이타가라스가
부시키가이샤내

쿠스다유키히사
일본오사카후오사카시쥬오쿠키타하마4초메7반28고닛폰이타가라스가
부시키가이샤내

(74) 대리인 장훈

(56) 선행기술조사문헌	
JP03194978	JP09150543
JP09216416	JP09283792

심사관 : 배진용

전체 청구항 수 : 총 13 항

(54) 발광 사이리스터 매트릭스 어레이 및 그 구동 회로

(57) 요약

칩 면적을 작게 할 수 있는 발광 사이리스터 매트릭스 어레이를 제공한다. 복수개의 3단자 발광 사이리스터를 칩의 장변과 평행하게 일렬로 배열하고, 복수개의 본딩 패드를 칩의 장변과 평행하게 일렬로 배열한다. 이로써, 칩 면적을 최소화 할 수 있다.

대표도

도 8

특허청구의 범위

청구항 1.

칩 상에 형성된 발광 사이리스터 매트릭스 어레이에 있어서:

상기 칩의 장변과 평행하게 일렬로 배열된 N개(N은 2 이상의 정수)의 3단자발광 사이리스터와;

상기 칩의 장변과 평행하게 일렬로 배열된 복수개의 본딩 패드와;

상기 N개의 발광 사이리스터의 캐소드 또는 애노드가 접속되는 공통 단자와;

M개(M은 2 이상의 정수)의 게이트 선택선을 구비하고,

k번째의 발광 사이리스터의 게이트를 i번째 $[i = \{(k-1) \text{ MOD } M\} + 1]$ 의 게이트 선택선(G_i)에 접속하고,

k번째의 발광 사이리스터의, 상기 공통 단자에 접속되어 있지 않은 애노드 또는 캐소드를, j번째 $[j = \{(k-i)/M\} + 1]$ 의 애노드 단자(A_j) 또는 캐소드 단자(K_j)에 접속한 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 게이트 선택선의 수(M)가,

$L/\{(N/M)+M\} > p$ (L은 칩 장변의 길이, p는 본딩 패드의 배열 피치 한계치)를 만족하는 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 4.

제 3 항에 있어서,

상기 본딩 패드의 배열 피치 한계치는 $75\mu\text{m}$ 인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 5.

제 3 항에 있어서,

N의 소인수가 2만으로 이루어질 때, 상기 게이트 선택선의 수(M)는, 가장 작은 정수 또는 2번째, 또는 3번째로 작은 정수인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 6.

제 3 항에 있어서,

N의 소인수가 2와 3만으로 이루어질 때, 상기 게이트 선택선의 수(M)는 가장 작은 정수, 또는 2번째, 또는 3번째, 또는 4번째, 또는 5번째로 작은 정수인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 7.

칩 상에 형성된 발광 사이리스터 매트릭스 어레이에 있어서:

상기 칩의 장변과 평행하게 일렬로 배열된 N개(N은 2 이상의 정수)의 3단자발광 사이리스터와;

상기 칩의 장변과 평행하게 일렬로 배열된 복수개의 본딩 패드와;

상기 N개의 3단자 발광 사이리스터의 캐소드 또는 애노드가 접속되는 공통 단자와;

M개(M은 2 이상의 정수)의 애노드 선택선 또는 캐소드 선택선을 구비하고,

k번째의 발광 사이리스터의 애노드 또는 캐소드를 i번째 $[i = \{(k-1) \text{ MOD } M\} + 1]$ 의 애노드 선택선(A_i) 또는 캐소드 선택선(K_i)에 접속하며,

k번째의 발광 사이리스터의 게이트를 j번째 $[j = \{(k-i)/M\} + 1]$ 의 게이트 단자(G_j)에 접속한 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 8.

제 7 항에 있어서,

상기 애노드 배선 또는 캐소드 배선수(M)가,

$L/((N/M) + M) > p$ (L은 칩 장변 길이, p는 본딩 패드의 배열 피치 한계치)를 만족하는 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 9.

제 8 항에 있어서,

상기 본딩 패드의 배열 피치 한계치는 $75\mu\text{m}$ 인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 10.

제 8 항에 있어서,

N의 소인수가 2만으로 이루어질 때, 상기 애노드 배선 또는 캐소드 배선수(M)는 가장 작은 정수 또는 2번째, 또는 3번째로 작은 정수인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 11.

제 8 항에 있어서,

N의 소인수가 2와 3만으로 이루어질 때, 상기 애노드 배선 또는 캐소드 배선수(M)는 가장 작은 정수, 또는 2번째, 또는 3번째, 또는 4번째, 또는 5번째로 작은 정수인 것을 특징으로 하는, 발광 사이리스터 매트릭스 어레이.

청구항 12.

제 1 항, 제 3 항, 제 4 항, 제 5 항 또는 제 6 항 중 어느 한 항에 기재된 발광 사이리스터 매트릭스 어레이를 구동하는 회로에 있어서:

상기 게이트 선택선을 구동하는 회로와;

상기 애노드 단자 또는 캐소드 단자를 구동하는 회로를 구비하고,

상기 게이트 선택선을 구동하는 회로는, 짝수개의 게이트 선택 신호 출력 단자와 상기 게이트 선택 신호 출력 단자 중 1개의 단자에 「선택」 신호를, 다른 단자에 「비선택」 신호를 출력하고, 상기 「선택」 신호를 출력하는 단자를 순차 바꿔가는 회로를 갖는 것을 특징으로 하는, 구동 회로.

청구항 13.

제 12 항에 있어서,

상기 게이트 선택선을 구동하는 회로에 시리얼 입력/패러렐 출력의 시프트 레지스터를 사용하는 것을 특징으로 하는, 구동 회로.

청구항 14.

제 13 항에 있어서,

상기 게이트 선택 신호 출력 단자의 수가 4, 6, 8, 12, 16개 중 어느 하나인 것을 특징으로 하는, 구동 회로.

명세서

기술분야

본 발명은 칩 상에 형성된 발광 사이리스터 매트릭스 어레이, 특히, 칩의 면적을 작게 할 수 있는 발광 사이리스터 매트릭스 어레이 및 그 구동 회로에 관한 것이다.

배경기술

광 프린터의 기록 헤드에 사용되는 발광 소자 어레이는, 기본적으로 발광 소자의 수와 동일한 만큼의 배선을 발광 소자로부터 추출할 필요가 있다. 이 배선의 추출에는, 통상, 와이어 본딩법이 사용된다. 이 때문에, 발광 소자의 밀도가 커짐에 따라서, 다음과 같은 문제를 발생시킨다.

- (1) 발광 소자 어레이 칩 상의 와이어 본딩 패드 면적의 증대, 즉, 칩 면적의 증대에 따라 제품 비용이 증대한다.
- (2) 와이어 본딩 개수가 증가하기 때문에, 제조 비용이 증대한다.
- (3) 와이어 본딩의 피치가 좁아지기 때문에, 실장이 곤란하게 된다.
- (4) 통상, 구동 회로도 발광 소자의 수만큼 필요하기 때문에, 제품 비용이 증대한다.

특히, 통상, 본딩 패드 1개의 면적은 발광 소자 1개의 면적과 비교하여 수배이상이므로, 발광 소자 밀도의 증가는 그대로 칩 면적의 증가로 이어진다.

이러한 문제점을 회피하기 위해서, 시프트 레지스터를 내장한 발광 소자, 발광 다이오드(LED) 매트릭스 어레이, 발광 사이리스터 매트릭스 어레이 등이 제안되어 있다.

도 1에, 발광 사이리스터 매트릭스 어레이의 일예를 도시한다. 이 매트릭스 어레이에 의하면, 복수의 3단자 발광 사이리스터(T_1, T_2, T_3, \dots)가 직선형으로 배열되어 있다. 이들 발광 사이리스터는 4개씩의 그룹으로 나누어지고, 각 그룹의 발광 사이리스터의 애노드는 애노드 단자(A_1, A_2, A_3, \dots)에 각각 공통으로 접속되고, 각 그룹의 발광 사이리스터의 각 게이트는 게이트 선택선(G_1 내지 G_4)에 각각 대응하여 접속되며, 각 발광 사이리스터의 캐소드는 캐소드선(K)에 공통으로 접속되어 있다.

게이트 선택선(G_1 내지 G_4)의 전압 레벨, 애노드 단자(A_1, A_2, A_3, \dots)의 전압 레벨의 조합에 의해, 발광 사이리스터(T_1, T_2, T_3, \dots)의 점등 상태가 결정된다. 이 매트릭스 어레이는, 캐소드 공통형(common)이기 때문에, 캐소드선(K)을 L 레벨로 하고, 게이트 선택선 중 1개(G_j)를 L 레벨로, 다른 것을 H 레벨로 한 상태에서, 애노드 단자(A_i)를 H 레벨로 하면, 발광 사이리스터($T_{j+4(i-1)}$)가 점등한다.

총래의 N개(N은 2 이상의 정수)의 발광 소자가 배열된 발광 소자 어레이에서는, N개의 발광 소자를 제어하기 위해서는, N개의 제어 단자를 추출할 필요가 있었지만, M개의 게이트 선택선을 갖는 발광 사이리스터 매트릭스 어레이에서는, (N/M+M)개의 제어 단자수가 된다. 발광 사이리스터 매트릭스 어레이에서는, 동시에 발광할 수 있는 발광 사이리스터의 수는 애노드 단자의 수와 같다. 또한, 발광 듀티비는 1/M이다. 도 1의 구성에서, N=128로 하면, 게이트 선택선수는 4개이므로 애노드 단자수는 32개가 된다.

이 발광 사이리스터 매트릭스 어레이를 사용함으로써, 매트릭스 어레이·칩 상의 와이어 본딩 패드의 수를 줄일 수 있다. 본딩 패드의 수를 줄일 수 있는 이 구성에서는, 게이트 선택선의 수(M)는 다음과 같이 선택된다. 즉, M은, 발광 사이리스터의 수가 N인 경우, $N^{1/2}$ 에 가까운 정수이고, 또한 N/M이 정수가 되도록 선택된다. 예를 들면, N=128일 때, M=8 또는 M=16을 선택하였을 때 본딩 패드의 수는 모두 24개로 최소가 된다. 따라서, 칩 면적을 작게 하는 것이 가능해져, 칩의 비용을 감소시킬 수 있다.

또, 발광 사이리스터를 사용한 도 1의 회로 구성은 본 출원인의 제안에 따른 것이고, 이미 특허되어 있다(특허 제 2807910 호). 또한, 이 특허의 내용은 이 출원의 내용에 포함되는 것으로 한다.

상술한 바와 같이, 본딩 패드의 수를 최소로 할 수 있었지만, 이 경우에 칩 면적이 최소로 된다고는 한정하지 않는다. 일반적으로, 매트릭스 어레이 칩은 웨이퍼로부터 평행사변형(통상, 직사각형)으로 잘린다. 칩의 장변의 길이는 발광 사이리스터의 배열 피치와 수의 곱으로 결정되고, 단변의 길이는 주로 발광 사이리스터와 배선과 본딩 패드의 폭의 합으로 결정된다. 1개의 본딩 패드에 필요하게 되는 면적은 와이어 본딩 머신의 성능 등으로 결정되기 때문에, 본딩 패드의 열의 수가 줄지 않는 한, 칩의 단변의 길이는 짧아지지 않기 때문에, 본딩 패드의 수를 줄이더라도 칩 면적은 줄어들지 않는다.

발명의 상세한 설명

본 발명의 목적은 칩 면적을 작게 할 수 있는 발광 사이리스터 매트릭스 어레이를 제공하는 것이다.

칩 면적을 작게 하기 위해서는, 본딩 패드를 칩 장변과 평행하게 일렬로 배치하여, 칩 단변의 길이를 작게 할 필요가 있다. 게이트 선택선의 수(M)를 늘리고, 본딩 패드의 수를 줄임으로써, 본딩 패드를 일렬로 배치할 수 있게 된다. 그러나, 게이트 선택선은 칩 장변과 평행하게 칩의 끝으로부터 끝까지 배치되기 때문에, 게이트 선택선이 증가하면 칩의 단변 길이가 증가하여 버린다. 그래서, 본딩 패드를 일렬로 배치할 수 있고, 또한 게이트 선택선의 수(M)가 가능한 한 적어지도록 게이트 선택선 수를 정하는 것이 필요하게 된다.

N개(N은 2 이상의 정수)의 3단자 발광 사이리스터가 일렬로 배열된 발광 사이리스터 어레이에 있어서, N개의 발광 사이리스터의 캐소드 또는 애노드를 공통 단자에 접속하고, M개(M은 2 이상의 정수)의 게이트 선택선을 갖고, k번째의 발광 사이리스터의 게이트를 i번째 $i = \{(k-1) \text{ MOD } M\} + 1$ 의 게이트 선택선에 접속하며(여기서, $(k-1) \text{ MOD } M$ 은 $(k-1)$ 을 M으로 나누었을 때의 나머지를 나타낸다), k번째의 발광 사이리스터의, 공통 단자에 접속되지 않은 애노드 또는 캐소드를, j번째 $j = \{(k-i)/M\} + 1$ 의 애노드 단자(A_j) 또는 캐소드 단자(K_j)에 접속한다.

이 경우에, L을 칩 장변 길이, p를 본딩 패드의 배열 피치 한계치로 하였을 때,

$$L/((N/M) + M) > p$$

를 만족하도록 M의 값을 선택한다. 이 때, p의 값은 고정밀도의 본딩 머신을 사용하면 작게 할 수 있지만, 너무 작은 값이면 작업 시간이 커지기 때문에, 실용적으로는 $75\mu\text{m}$ 정도라고 생각된다.

본 발명에 따르면, 애노드 또는 캐소드를 선택선에 접속한 구성이어도 좋다. 이 경우에는, N개의 3단자 발광 사이리스터의 캐소드 또는 애노드를 공통 단자에 접속하고, M개의 애노드 선택선 또는 캐소드 선택선을 갖고, k번째의 발광 사이리스터의, 공통 단자에 접속되지 않은 애노드 또는 캐소드를, i번째 $i = \{(k-1) \text{ MOD } M\} + 1$ 의 애노드 선택선(A_i) 또는 캐소드 선택선(K_i)에 접속하고, 게이트를 j번째 $j = \{(k-i)/M\} + 1$ 의 게이트 단자(G_j)에 접속한 구성으로 된다.

칩의 장변과 평행하게 일렬로 배열된 본딩 패드를 갖는 발광 사이리스터 매트릭스 어레이 칩에는, 구동 IC가 인접하여 배치되고, 발광 사이리스터 매트릭스 어레이 칩과 구동 IC 각각의 단자 사이가 직접 와이어 본딩으로 접속된다.

이와 같이 발광 사이리스터 매트릭스 어레이 칩과 구동 IC가 직접 와이어 본딩에 의해 접속되는 구조에서는, 칩측의 본딩 패드의 배열 피치와, 구동 IC측의 본딩 패드의 배열 피치를 거의 같게 해야 한다. 이 때문에, 발광 사이리스터 매트릭스 어레이의 해상도가 변할 때마다, 다른 구동 IC를 준비할 필요가 있다. 이 때문에, 많은 종류의 구동 IC가 필요하게 되어, 비용 상승을 초래하게 된다.

따라서, 본 발명의 다른 목적은 해상도가 다른 복수의 발광 사이리스터 매트릭스 어레이에 대하여 공용할 수 있는 구동 IC를 제공하는 것이다.

3단자 발광 사이리스터 매트릭스 어레이의 경우, 상술한 바와 같이, 게이트선택선의 수를 선택함으로써, 발광 소자 상의 본딩 패드의 수를 줄이고, 본딩 패드를 일렬로 배치할 수 있다. 이 때문에, 어떤 해상도에 대하여 게이트 선택선의 수를 정하였을 때, 애노드 단자의 수가 결정된다. 만약, 해상도를 2배로 하고자 할 때는, 게이트 선택선의 수만 배로 한 발광 사이리스터 매트릭스 어레이 칩을 준비하면 좋다. 따라서, 큰 전류를 공급해야만 하는 애노드 단자 구동 회로의 수를 바꾸지 않고서, 전압 신호를 주기만 하면 되는 게이트 선택선 구동 회로를 여분으로 둬으로써, 다른 해상도의 발광 사이리스터 매트릭스 어레이 칩을 동일한 구동 IC로 구동할 수 있다. 이로써, 준비하는 구동 IC의 품종을 줄일 수 있고, 비용을 절감할 수 있다.

실시예

이하, 본 발명의 발광 사이리스터 매트릭스 어레이의 실시예를 도면을 참조하여 설명한다.

(실시예 1)

도 2에, 발광 사이리스터 매트릭스 어레이의 일 실시예의 칩을 도시한다. 도 3a 및 도 3b는 이 매트릭스 어레이에 사용되는 발광 사이리스터의 구조를 도시한다.

우선, 발광 사이리스터의 구조를 도 3a 및 도 3b를 참조하여 설명한다. 도 3a는 평면도, 도 3b는 도 3a의 X-X'선 단면도이다. 발광 사이리스터(20)는, n형 반도체 기판(21) 상에, n형 반도체층(22), p형 반도체층(23), n형 반도체층(24), p형 반도체층(25)이 차례로 적층되고, p형 반도체층(25) 상에는 애노드 전극(26), n형 반도체층(24) 상에는 게이트 전극(27)이 형성되어 있다. 도시되어 있지 않지만, n형 반도체 기판(21)의 이면에는 캐소드 전극이 설치되어 있다.

도 2에 도시하는 발광 사이리스터 매트릭스 어레이 칩(8)은 상기와 같은 발광 사이리스터(20)를 128개, 600dpi(dots per inch)로 일렬로 배열하고, 이것과 평행하게 본딩 패드(10)를 일렬로 배열하며, 및 복수개의 게이트 선택선을 발광 사이리스터의 어레이에 평행하게 배치하여 구성되어 있다.

본딩 패드(10)의 배열 피치는 와이어 본딩의 정밀도로부터 75 μ m 이상의 피치가 필요하다. 본딩 패드(10)의 칩 단변 방향의 폭은 150 μ m이다. 또한, 1개의 게이트 선택선(30)의 폭은 15 μ m이다.

이러한 구성의 칩에 있어서, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단변 길이를 계산하였다. 계산 결과를 도 4의 그래프로 도시한다. M은, 128이 나누어 떨어지는 정수이므로, 1, 2, 4, 8, 16, 32, 64, 128 중에서 선택한다. 도 4의 그래프로부터, 게이트 선택선수 M=2로 칩 단변 길이가 최소가 됨을 알 수 있다. 그러나, M=2에서는, 본딩 패드의 배열 피치가 약 80 μ m로, 본딩 패드 배열 피치의 한계치(p)에 빠듯하고, 정밀도가 높은 본딩을 필요로 한다. M=4, 8을 선택하면, M=2의 경우와 비교하여 본딩 패드의 수가 줄기 때문에, 본딩 패드의 배열 피치를 크게 할 수 있다. 따라서, 게이트 선택선의 수(M)는 4 또는 8에서 선택하는 것이 바람직하다.

(실시예 2)

600dpi, 192 발광점을 갖는 발광 사이리스터 매트릭스 어레이에 대하여 생각한다. 실시예 1과 마찬가지로, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단변 길이를 계산한 결과를 도 5의 그래프에 도시한다. 이 매트릭스 어레이에서는 $192=2^6 \times 3$ 이므로, 3의 소인수를 갖기 때문에 192를 나누어 떨어지는 값(M)의 수가 증가하여, M은 1, 2, 3, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 192 중에서 선택된다. M=2에서 칩 단변 길이가 최소가 되지만, 실시예 1과 동일한 이유로, M의 값이 커지면 본딩 패드의 배열 피치를 크게 할 수 있다는 이점이 있기 때문에, M의 선택의 대상을 실시예 1과 동일한 $M \leq 8$ 까지 확대한다. 즉, 게이트 선택선수(M)는 3, 4, 6, 8 중에서 선택하면 좋을 수 있다.

(실시예 3)

256 발광점, 1200dpi를 갖는 발광 사이리스터 어레이에 대하여 생각한다. 실시예 1과 마찬가지로, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단변 길이를 계산한 결과를 도 6의 그래프에 도시한다. 도 6의 그래프로부터, M은 4, 8, 16 중 어느 하나로부터 선택하면 좋을 수 있다.

(실시예 4)

512 발광점, 2400dpi를 갖는 발광 사이리스터 어레이에 대하여 생각한다. 실시예 1과 마찬가지로, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단변 길이를 계산한 결과를 도 7의 그래프에 도시한다. 도 7의 그래프로부터, M은 8, 16, 32 중 어느 하나로부터 선택하면 좋을 수 있다.

(실시예 5)

$32 \times n$ ($n=4, 6, 8$) 발광점을 갖는 매트릭스 어레이용의 구동 회로(IC)를 생각한다. 도 8은, 128 발광점/600dpi/4 게이트 선택선, 192 발광점/900dpi/6 게이트 선택선, 256 발광점/1200dpi/8 게이트 선택선의 3종류의 발광 사이리스터 매트릭스 어레이 칩에 공용할 수 있는 구동 IC를 나타낸다.

구동 IC는 게이트 선택선 구동 회로(40)와 애노드 단자 구동 회로(50)로 이루어진다. 게이트 선택선 구동 회로(40)는 8비트의 시리얼 입력/패러렐 출력 시프트 레지스터(100)로 이루어져 있다. 131 내지 138은 게이트 선택 신호 출력 단자이고, 발광 사이리스터 매트릭스 어레이 칩의 게이트 선택선(G_1 내지 G_n)용의 본딩 패드에 접속된다.

리셋 단자(102)에 의해, 시프트 레지스터(100)를 리셋(전체 비트 H 레벨)으로 한 후, 입력 단자(101)를 L 레벨로 하고, 클록을 단자(103)에 부여하고, 이 L 레벨의 상태를 순차 시프트시켜, 출력 단자(131 내지 138)를 순차 L 레벨로 한다. 발광 사이리스터 매트릭스 어레이의 i 번째의 게이트 선택선(G_i)이 L로 되어 있을 때, 게이트 선택선(G_i)에 접속되어 있는 사이리스터가 점등 가능해진다. 이렇게 하여, 출력 단자(131 내지 138)는 1개의 게이트 선택선을 선택하기 위해서, 1개의 출력 단자에 「선택」 신호를 출력하고, 다른 출력 단자에 「비선택」 신호를 출력한다.

그런데, 발광점 수가 $32 \times n$ 개($n=4, 6, 8$)의 발광점을 갖는 발광 사이리스터 매트릭스 어레이에서는 게이트 선택선은 n 개이므로, 게이트 선택선(G_n)을 L 레벨로 한 후, 다음은 다시 게이트 선택선(G_1)을 L 레벨로 하고자 한다. 이 때문에, 게이트 선택선(G_n)을 L 레벨로 한 다음의 타이밍에서 다시 입력 단자(101)를 L 레벨로 하고, 단자(103)에 클록을 부여하여 게이트 선택선(G_1)을 L 레벨로 한다.

애노드 단자 구동 회로(50)는 32개의 발광점을 동시에 구동할 수 있다. 발광 사이리스터의 광 출력은 전류 구동 회로(400)의 전류원(420)에서 조정된다. 전류치 데이터 입력 단자(422)로의 전류치 데이터(6 비트) 입력에 따라서, 전류원(420)의 전류치를 조정할 수 있고, 전류 출력 허가 단자(421)의 상태에 따라서 전류가 출력 단자(501 내지 532)로부터 출력된다.

리셋 단자(202) 및 클록 단자(203)를 갖는 시프트 레지스터(200)에 의해, 데이터 입력 단자(201)에 입력된 시리얼 신호로부터 32세트의 6 비트 데이터로 나누어져 전류치 데이터가 생성되고, 래치 단자(231)를 갖는 래치(230)에 의해 보유되며, 전류치 데이터 입력 단자(422)에 입력된다. 시프트 레지스터(200)에는 데이터 출력 단자(210)가 있고, 이 출력 단자를 인접하는 구동 IC의 데이터 입력 단자(201)에 접속할 수 있다. 이로써, 광 기록 헤드 내의 전류 데이터선의 수를 줄일 수 있다.

리셋 단자(302) 및 클록 단자(303)를 갖는 시프트 레지스터(300)에 의해, 데이터 입력 단자(301)에 입력된 시리얼 신호로부터 32세트의 1 비트 데이터로 나누어져 화상 데이터가 생성되고, 래치 단자(331)를 갖는 래치(330)에 의해 보유되며, AND 게이트(410)의 입력 단자에 입력된다. AND 게이트(410)의 다른 한쪽의 입력 단자는 발광 허가 단자(430)에 접속된다. AND 게이트(410)의 출력 단자는 상술한 전류 출력 허가 단자(421)를 구성한다. 시프트 레지스터(300)에는 데이터 출력 단자(310)가 있고, 이 출력을 인접하는 구동 IC의 데이터 입력 단자(301)에 접속할 수 있다. 이로써, 광 기록 헤드 내의 화상 데이터선의 수를 줄일 수 있다.

도 9에는, 이상과 같은 구성의 구동 IC(600)를 128 발광점/600dpi/4 게이트선택선의 발광 사이리스터 매트릭스 어레이 칩(700)에 본딩 와이어에 의해 접속한 예를 도시한다. 구동 IC(600)의 애노드 단자 구동 회로(50)의 출력 단자(501, 502, ..., 532)는 매트릭스 어레이 칩(700)의 애노드 단자(A_1, A_2, \dots, A_{32})에 본딩 와이어(45)에 의해 각각 접속되고, 구동 IC(600)의 게이트 선택선 구동 회로(40)의 출력 단자(131, 132, 133, 134)는 매트릭스 어레이(700)의 게이트 선택 단자(G_1, G_2, G_3, G_4)에 본딩 와이어(55)에 의해 각각 접속되어 있다.

도 10에는, 구동 IC(600)를 192 발광점/900dpi/6 게이트 선택선의 발광 사이리스터 매트릭스 어레이 칩(710)에 본딩 와이어에 의해 접속한 예를 도시한다. 구동 IC(600)의 출력 단자(501, 502, ..., 532)는 매트릭스 어레이 칩(710)의 애노드 단자(A_1, A_2, \dots, A_{32})에 본딩 와이어(45)에 의해 각각 접속되고, 구동 IC(600)의 출력 단자(131, 132, 133, 134, 135, 136)는 매트릭스 어레이(710)의 게이트 선택 단자($G_1, G_2, G_3, G_4, G_5, G_6$)에 본딩 와이어(55)에 의해 각각 접속되어 있다.

도 11에는, 구동 IC(600)를 256 발광점/1200dpi/8 게이트 선택선의 발광 사이리스터 어레이 칩(720)에 본딩 와이어에 의해 접속한 예를 도시한다. 구동 IC(600)의 출력 단자(501, 502, ..., 532)는 매트릭스 어레이 칩(720)의 애노드 단자(A_1, A_2, \dots, A_{32})에 본딩 와이어(45)에 의해 각각 접속되고, 구동 IC(600)의 출력 단자(131, 132, 133, 134, 135, 136, 137, 138)는 매트릭스 어레이(720)의 게이트 선택 단자($G_1, G_2, G_3, G_4, G_5, G_6, G_7, G_8$)에 본딩 와이어(55)에 의해 각각 접속되어 있다.

(실시예 6)

$32 \times n$ ($n=4, 6, 8$) 발광점을 갖는 매트릭스 어레이용의 구동 IC의 다른 예를 생각한다. 도 12는 128 발광점/600dpi/4 게이트 선택선, 192 발광점/900dpi/6 게이트 선택선, 256 발광점/1200dpi/8 게이트 선택선의 3종류의 발광 사이리스터 매트릭스 어레이 칩에 공용할 수 있는 구동 IC를 도시한다. 구동 IC는 애노드 단자 구동 회로(60)로 이루어지고, 게이트 선택선 구동 회로는 구동 IC의 외부에 설치된다.

애노드 단자 구동 회로(60)는 32개의 발광점을 동시에 구동할 수 있다. 발광 사이리스터의 광 출력은 전류 구동 회로(400)의 전류원(420)에서 조정된다. 전류치 데이터 입력 단자(422)로의 전류치 데이터(6 비트) 입력에 따라서, 전류원(420)의 전류치를 조정할 수 있고, 전류 출력 허가 단자(421)의 상태에 따라서 전류가 출력 단자(501 내지 532)로부터 출력된다.

리셋 단자(202) 및 클록 단자(203)를 갖는 시프트 레지스터(200)에 의해, 데이터 입력 단자(201)에 입력된 시리얼 신호로부터 32세트의 6비트 데이터로 나누어져 전류치 데이터가 생성되고, 래치 단자(231)를 갖는 래치(230)에 의해 보유되며, 전류치 데이터 입력 단자(422)에 입력된다. 시프트 레지스터(200)에는 데이터 출력 단자(210)가 있고, 이 출력 단자를 인접하는 구동 IC의 데이터 입력 단자(201)에 접속할 수 있다. 이로써, 광 기록 헤드 내의 전류 데이터선의 수를 줄일 수 있다.

리셋 단자(302) 및 클록 단자(303)를 갖는 시프트 레지스터(300)에 의해서, 데이터 입력 단자(301)에 입력된 시리얼 신호로부터 32세트의 1 비트 데이터로 나누어져 화상 데이터가 생성되고, 래치 단자(331)를 갖는 래치(330)에 의해 보유되며, AND 게이트(410)의 입력 단자에 입력된다. AND 게이트(410)의 다른 한 쪽의 입력 단자는 발광 허가 단자(430)에 접속된다. AND 게이트(410)의 출력 단자는 상술한 전류 출력 허가 단자(421)를 구성한다. 시프트 레지스터(300)에는 데이터 출력 단자(310)가 있고, 이 출력을 인접하는 구동 IC의 데이터 입력 단자(301)에 접속할 수 있다. 이로써, 광 기록 헤드 내의 화상 데이터선의 수를 줄일 수 있다.

도 13에는 이상과 같은 구성의 구동 IC(601)를 128 발광점/600dpi/4 게이트 선택선의 발광 사이리스터 매트릭스 어레이 칩(730)에 본딩 와이어에 의해 접속한 예를 도시한다. 매트릭스 어레이 칩(730)의 애노드 단자(A_1, A_2, \dots, A_{32})는 구동 IC(600)의 출력 단자(501, 502, \dots , 532)에 본딩 와이어(65)에 의해 각각 접속된다. 게이트 선택 단자(G_1, G_2, G_3, G_4)는 프린트 배선판(도시하지 않음) 상의 본딩 패드에 본딩 와이어에 의해 직접 접속된다. 또, 도면 중 620은 도 12에 도시하는 회로 부분을 도시하고 있다.

(실시예 7)

실시예 6에서는, 발광 사이리스터 매트릭스 어레이 칩(730)의 게이트 선택 단자(G_1, G_2, G_3, G_4)는 프린트 배선 상의 본딩 패드에, 애노드 단자($A_1, A_2, A_3, \dots, A_{32}$)는 구동 IC(601) 상의 본딩 패드에 접속되어 있다. 이러한 경우, 프린트 배선판의 높이와 구동 IC의 높이가 다르기 때문에, 본딩 실장이 어렵다.

그래서, 본 실시예에서는, 도 14에 도시하는 바와 같이, 구동 IC(601) 상에 게이트 선택선을 통과시키는 라인(740)을 설치하였다. 게이트 선택 단자(G_1, G_2, G_3, G_4)와 라인(740)은 본딩 와이어(75)로 접속된다.

(실시예 8)

이상의 실시예 1 내지 실시예 7에서는 발광 사이리스터 매트릭스 어레이로서 도 1에 도시한 것을 사용하였다. 도 1의 발광 사이리스터 매트릭스 어레이에서는 발광 사이리스터의 게이트를 선택선에 접속하고 있지만, 애노드를 선택선에 접속한 구조로 할 수도 있다. 도 15는 애노드를 선택선에 접속한 발광 사이리스터 매트릭스 어레이를 도시한다.

각 그룹의 발광 사이리스터의 게이트는 게이트 단자(G_1, G_2, G_3, \dots)에 각각 공통으로 접속되고, 각 그룹의 발광 사이리스터의 각 애노드는 애노드 선택선(A_1 내지 A_4)에 각각 대응하여 접속되며, 각 발광 사이리스터의 캐소드는 캐소드선(K)에 공통으로 접속되어 있다.

이 발광 사이리스터 매트릭스 어레이에서는 캐소드 단자(K)를 L 레벨로 하고, 1개의 게이트 단자(G_i)를 L 레벨로, 다른 것을 H 레벨로 한 상태에서, 애노드 선택선(A_j)을 H 레벨로 하면, 발광 사이리스터($T_{j+4(i-1)}$)가 점등한다.

도 1의 구성과 비교하면, 애노드 단자수가 줄기 때문에, 전류 용량이 큰 버퍼 회로의 수가 줄어 구동 회로가 간단하게 된다.

이상의 모든 실시예에서는 발광 사이리스터의 캐소드를 공통으로 접속하였지만, 애노드를 공통으로 접속하는 구성으로 하는 것도 가능하다.

산업상 이용 가능성

본 발명에 따르면, 면적이 작은 발광 사이리스터 매트릭스 어레이 칩을 실현할 수 있고, 해상도가 다른 복수의 발광 사이리스터 매트릭스 어레이에도 공통으로 적용할 수 있는 구동 회로를 실현할 수 있다.

도면의 간단한 설명

도 1은 발광 사이리스터 매트릭스 어레이의 일예를 도시하는 도면.

도 2는 본 발명의 발광 사이리스터 매트릭스 어레이의 일 실시예의 칩을 도시하는 도면.

도 3a 및 도 3b는 도 2의 발광 사이리스터의 구조를 도시하는 도면.

도 4는 600dpi, 128 발광점을 갖는 발광 사이리스터 매트릭스 어레이에 있어서, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단면 길이를 계산한 결과를 도시하는 도면.

도 5는 600dpi, 192 발광점을 갖는 발광 사이리스터 매트릭스 어레이에 있어서, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단면 길이를 계산한 결과를 도시하는 도면.

도 6은 1200dpi, 256 발광점을 갖는 발광 사이리스터 매트릭스 어레이에 있어서, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단면 길이를 계산한 결과를 도시하는 도면.

도 7은 2400dpi, 512 발광점을 갖는 발광 사이리스터 매트릭스 어레이에 있어서, 게이트 선택선의 수(M)를 변화시킨 경우의 칩의 단면 길이를 계산한 결과를 도시하는 도면.

도 8은 구동 IC의 회로의 일예를 도시하는 도면.

도 9는 128 발광점/600dpi/4 게이트 배선의 발광 사이리스터 매트릭스 어레이와 구동 IC의 본딩 와이어에 의한 접속예를 도시하는 도면.

도 10은 192 발광점/900dpi/6 게이트 배선의 발광 사이리스터 매트릭스 어레이와 구동 IC의 본딩 와이어에 의한 접속예를 도시하는 도면.

도 11은 256 발광점/1200dpi/8 게이트 배선의 발광 사이리스터 매트릭스 어레이와 구동 IC의 본딩 와이어에 의한 접속예를 도시하는 도면.

도 12는 구동 IC의 회로의 다른 예를 도시하는 도면.

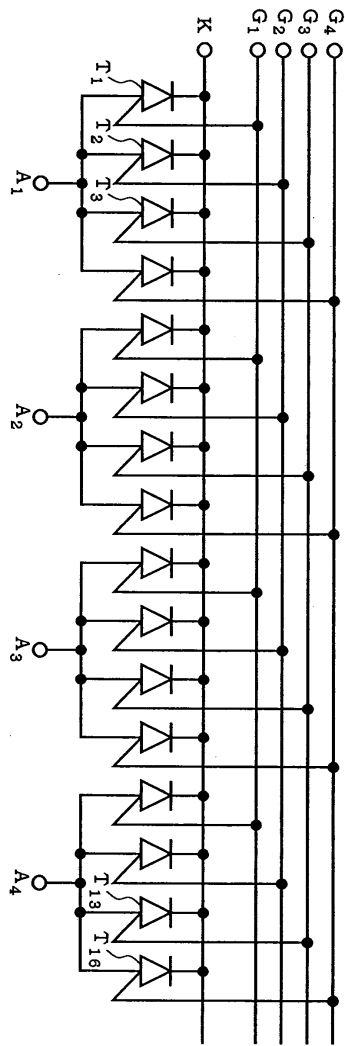
도 13은 128 발광점/600 dpi/4 게이트 배선의 발광 사이리스터 매트릭스 어레이와 구동 IC의 본딩 와이어에 의한 접속예를 도시하는 도면.

도 14는 128 발광점/600 dpi/4 게이트 배선의 발광 사이리스터 매트릭스 어레이와 구동 IC의 본딩 와이어에 의한 다른 접속예를 도시하는 도면.

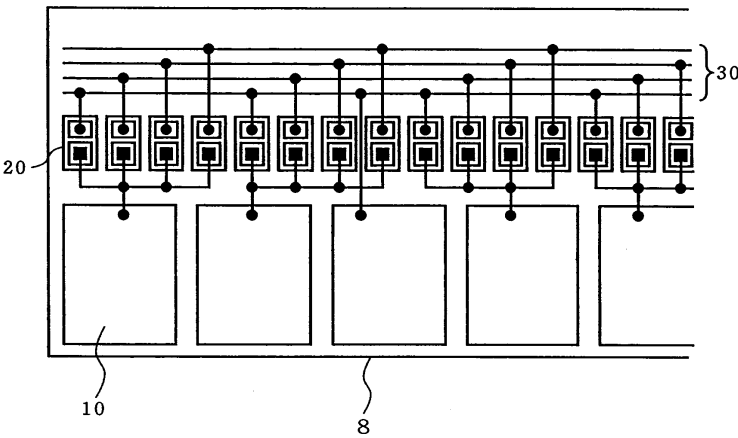
도 15는 종래의 발광 사이리스터 매트릭스 어레이의 다른 예를 도시하는 도면.

도면

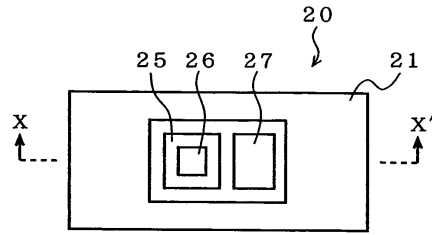
도면1



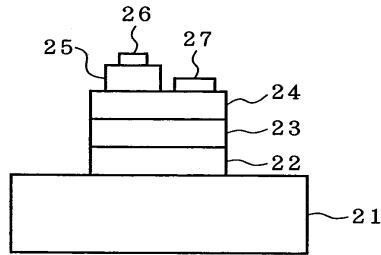
도면2



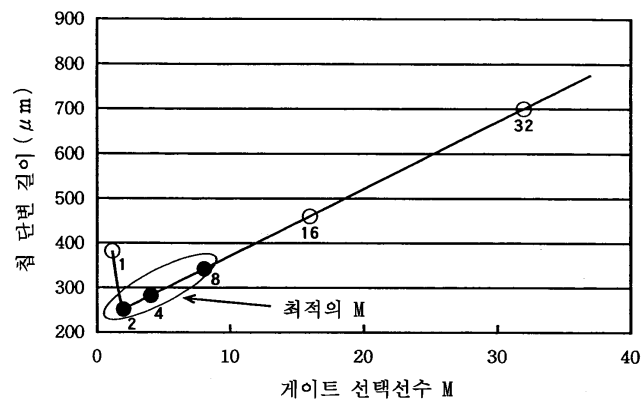
도면3a



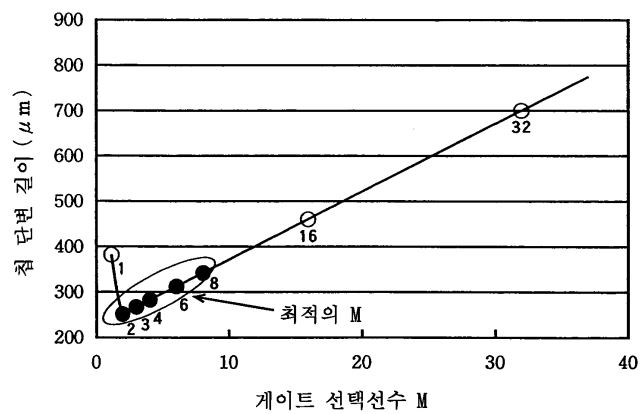
도면3b



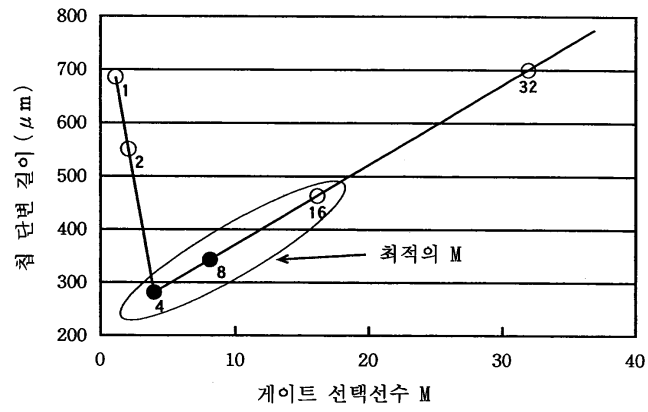
도면4



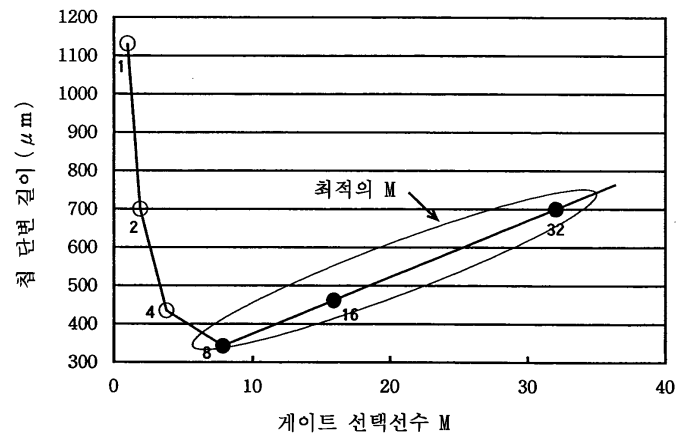
도면5



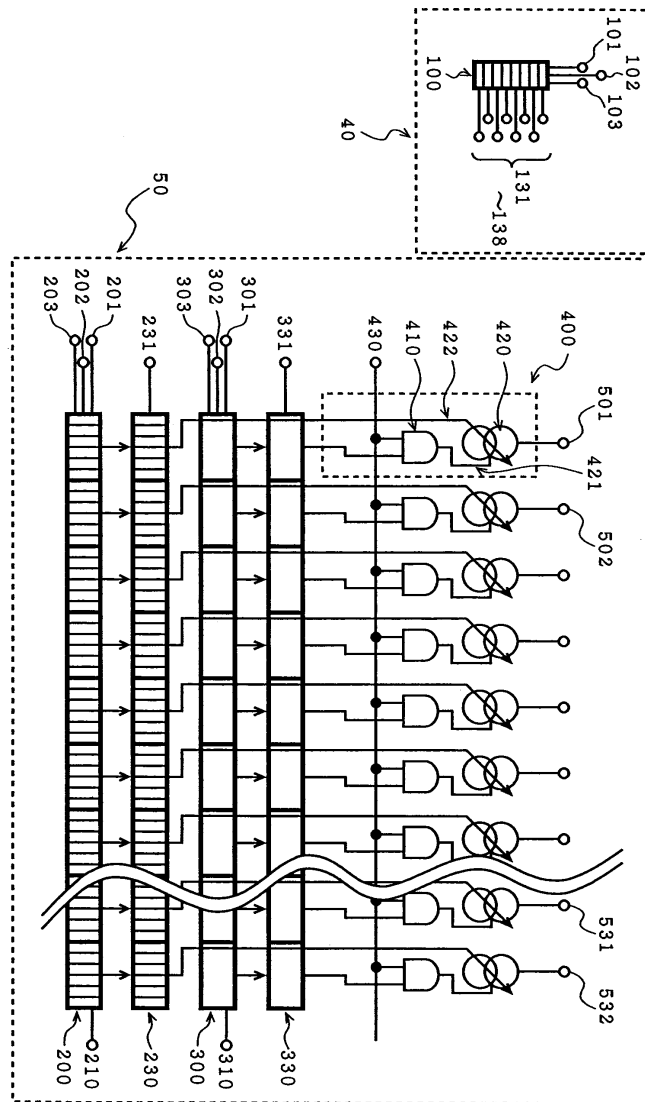
도면6



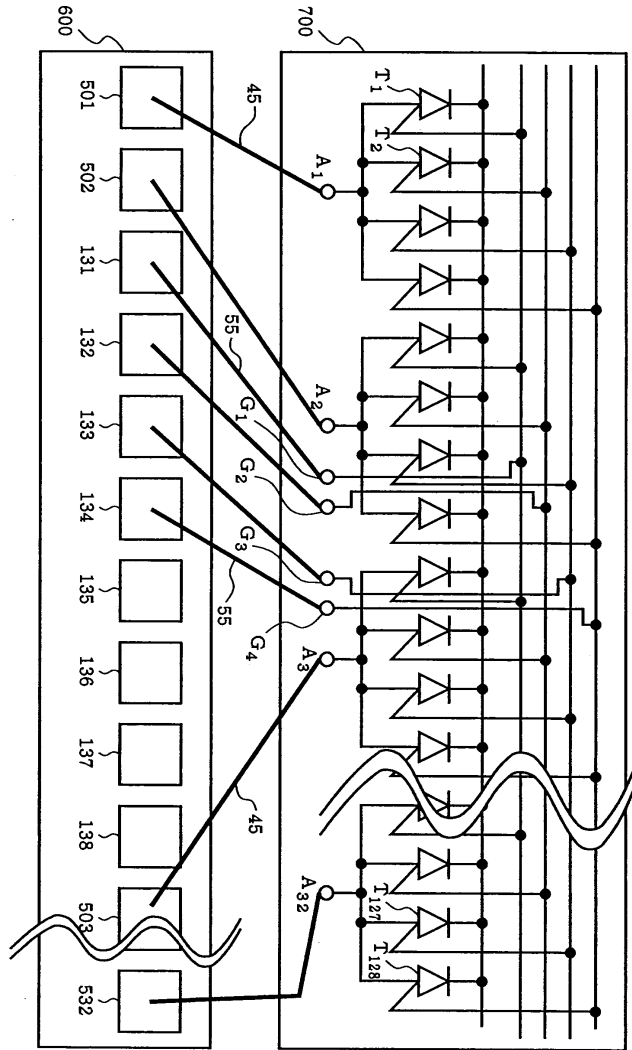
도면7



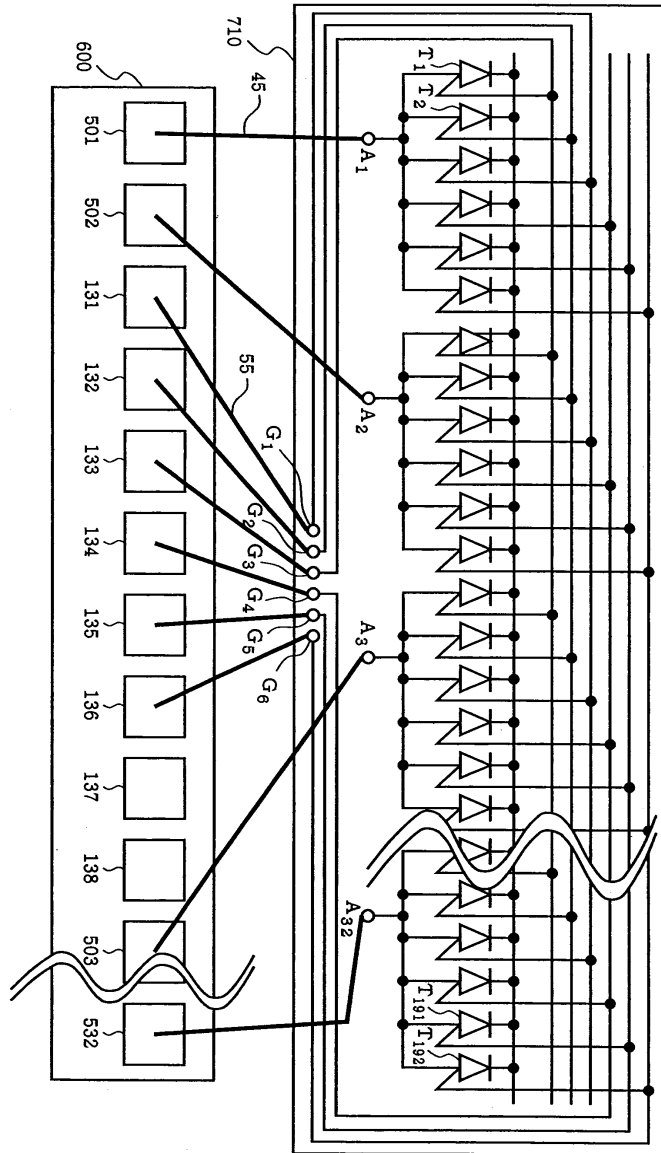
도면8



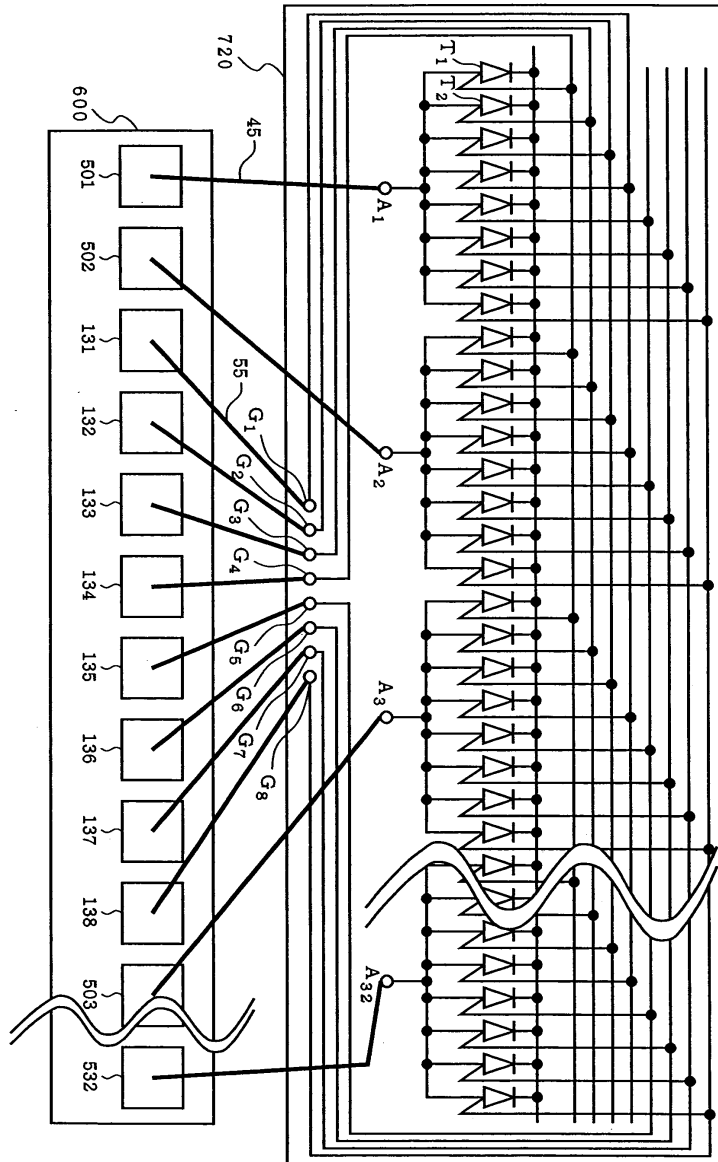
도면9



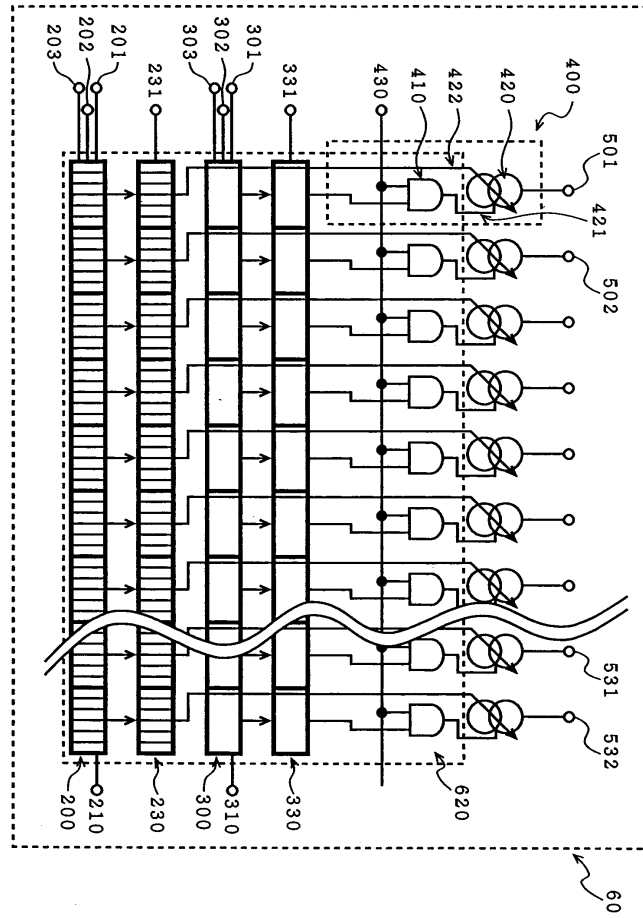
도면10



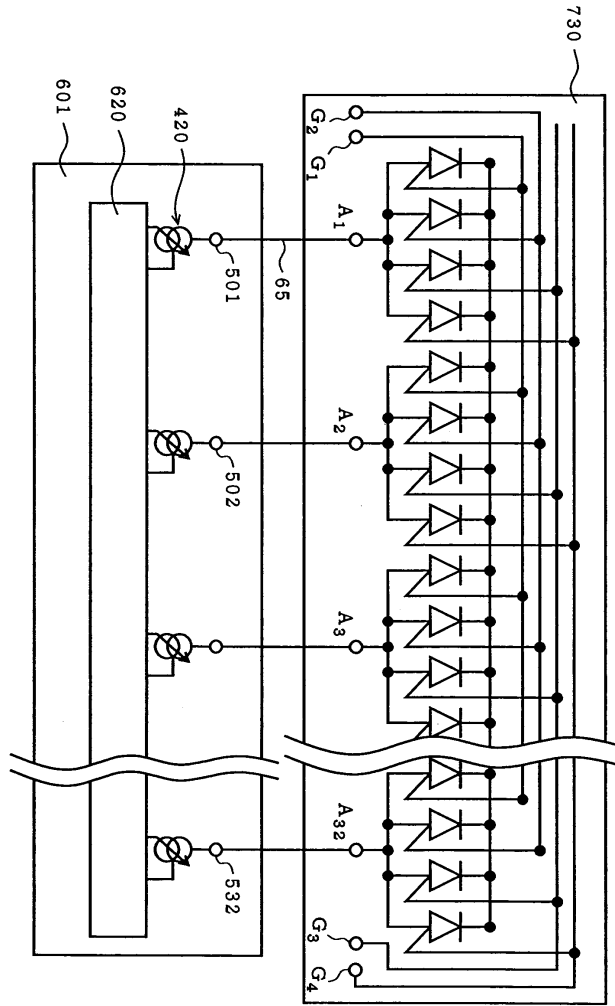
도면11



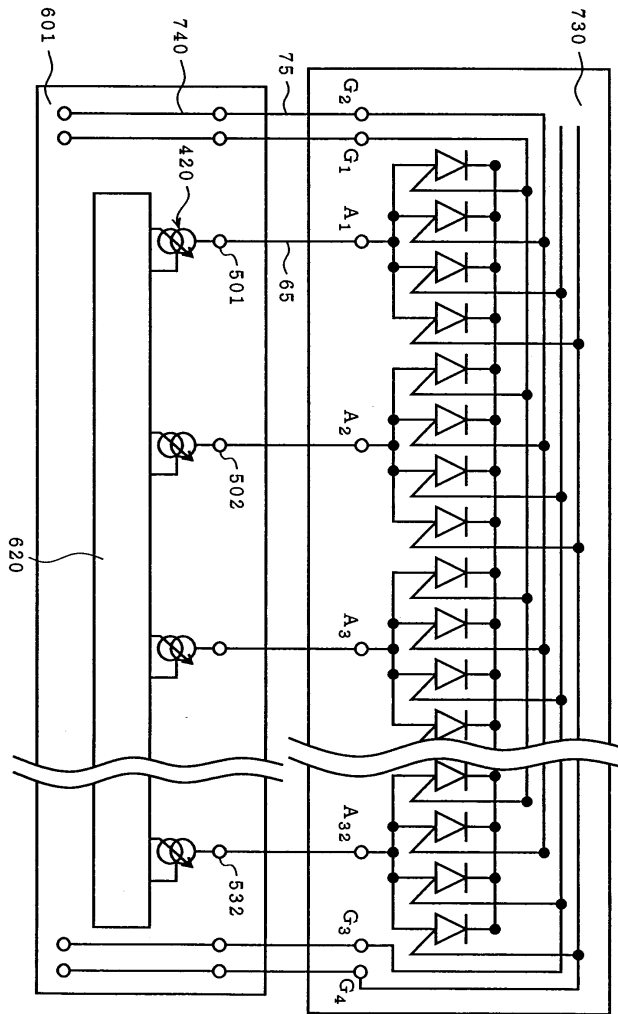
도면12



도면13



도면14



도면15

