



(12) 发明专利

(10) 授权公告号 CN 114709258 B

(45) 授权公告日 2022. 08. 30

(21) 申请号 202210631851.0

H01L 29/10 (2006.01)

(22) 申请日 2022.06.07

H01L 29/78 (2006.01)

(65) 同一申请的已公布的文献号

H01L 21/336 (2006.01)

申请公布号 CN 114709258 A

H01L 21/28 (2006.01)

(43) 申请公布日 2022.07.05

(56) 对比文件

(73) 专利权人 深圳市威兆半导体股份有限公司

CN 114093934 A, 2022.02.25

地址 518000 广东省深圳市南山区桃源街

CN 111009470 A, 2020.04.14

道福光社区留仙大道3370号南山智园

CN 114023804 A, 2022.02.08

崇文园区3号楼1301

US 2005173758 A1, 2005.08.11

(72) 发明人 赵浩宇 李伟聪 姜春亮 雷秀芳

CN 112164722 A, 2021.01.01

(74) 专利代理机构 深圳鼎恒诚知识产权代理有

CN 108321196 A, 2018.07.24

限公司 44820

CN 111697077 A, 2020.09.22

专利代理师 陈俊斌 彭愿洁

CN 106024894 A, 2016.10.12

审查员 张雄娥

(51) Int. Cl.

H01L 29/423 (2006.01)

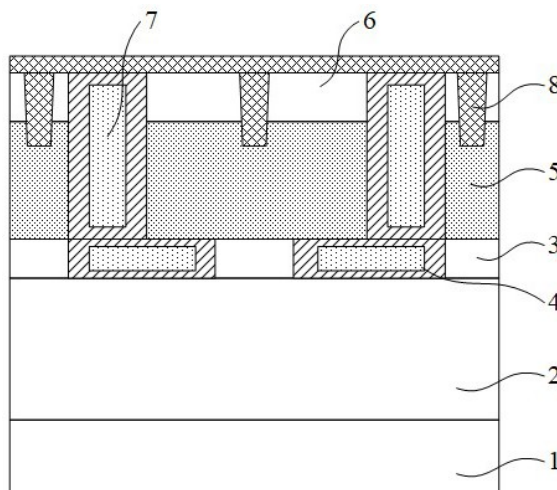
权利要求书2页 说明书6页 附图6页

(54) 发明名称

一种双沟道MOSFET器件及其制造方法

(57) 摘要

一种双沟道MOSFET器件及其制造方法,器件包括至少一个元胞,元胞包括:漏区、第一漂移区、第二漂移区、横向沟槽栅、体区、源区、竖向沟槽栅以及源极电极。第二漂移区位于第一漂移区的上方,横向沟槽栅位于第二漂移区中,横向沟槽栅包括横向栅极以及第一栅介质层;竖向沟槽栅包括竖向栅极以及第二栅介质层;第二栅介质层的底部与第二漂移区接触,或第二栅介质层的底部与第一栅介质层接触;其中,竖向栅极连接第二栅电极,横向栅极连接第一栅电极。通过分别设立竖向栅极和横向栅极,且将其分别引出不同的栅极电极,这样就可以形成横竖两种不同的导电沟道。通过给不同的栅极电极分别加电压,就可以有两种不同电压的阈值电压。



1. 一种双沟道MOSFET器件,包括至少一个元胞,其特征在于,所述元胞包括:
 - 漏区(1),其具有第二导电类型;
 - 第一漂移区(2),其位于所述漏区(1)的上方,具有第二导电类型;
 - 第二漂移区(3),其位于所述第一漂移区(2)的上方,具有第二导电类型;
 - 横向沟槽栅(4),其位于所述第二漂移区(3)中;所述横向沟槽栅(4)包括横向栅极(41)以及第一栅介质层(42);所述横向沟槽栅(4)的厚度小于自身的宽度;
 - 体区(5),其位于所述第二漂移区(3)上方,具有第一导电类型,所述第一导电类型和第二导电类型属于不同的半导体导电类型;
 - 源区(6),其位于所述体区(5)上,具有第二导电类型;
 - 竖向沟槽栅(7),其位于所述横向沟槽栅(4)的上方,所述竖向沟槽栅(7)贯通所述源区(6)以及体区(5),所述竖向沟槽栅(7)包括竖向栅极(71)以及第二栅介质层(72);所述第二栅介质层(72)的底部与所述第二漂移区(3)接触,和/或,所述第二栅介质层(72)的底部与所述第一栅介质层(42)接触;其中,所述竖向栅极(71)连接第二栅电极,所述横向栅极(41)连接第一栅电极;所述第二栅电极以及所述第一栅电极用于分别连接不同的电压;
 - 源极电极(8),贯通所述源区(6)与部分所述体区(5),所述体区(5)和源区(6)分别与所述源极电极(8)电连接。
2. 如权利要求1所述的双沟道MOSFET器件,其特征在于,所述横向沟槽栅(4)的厚度小于或等于所述第二漂移区(3)的厚度;和/或,所述第二漂移区(3)的掺杂浓度大于所述第一漂移区(2)的掺杂浓度。
3. 如权利要求1所述的双沟道MOSFET器件,其特征在于,所述横向栅极(41)的宽度大于所述竖向栅极(71)的宽度,所述横向栅极(41)的一个侧面与所述竖向栅极(71)的同侧的侧面位于同一面上。
4. 如权利要求3所述的双沟道MOSFET器件,其特征在于,所述第一栅介质层(42)的一个侧面与所述第二栅介质层(72)的同侧的侧面位于同一面上。
5. 如权利要求1所述的双沟道MOSFET器件,其特征在于,所述第一栅介质层(42)与所述体区(5)接触,所述第二栅介质层(72)的底部与所述第一栅介质层(42)接触。
6. 如权利要求5所述的双沟道MOSFET器件,其特征在于,所述第一栅介质层(42)与所述第一漂移区(2)接触,所述横向沟槽栅(4)的厚度等于所述第二漂移区(3)的厚度。
7. 一种双沟道MOSFET器件的制造方法,其特征在于,包括:
 - 提供一衬底,所述衬底具有第二导电类型,用于在双沟道MOSFET器件中作为漏区(1);
 - 在所述衬底上形成第一漂移区(2),所述第一漂移区(2)具有第二导电类型;
 - 在所述第一漂移区(2)上形成横向沟槽栅(4)以及第二漂移区(3),其中,所述横向沟槽栅(4)位于所述第二漂移区(3)中;所述横向沟槽栅(4)包括横向栅极(41)以及第一栅介质层(42);所述横向沟槽栅(4)的厚度小于自身的宽度;
 - 在所述第二漂移区(3)上形成体区(5),在所述体区(5)上形成源区(6),所述源区(6)具有第二导电类型,所述体区(5)具有第一导电类型,所述第一导电类型和第二导电类型属于不同的半导体导电类型;
 - 形成贯通所述源区(6)以及体区(5)的竖向沟槽栅(7),所述竖向沟槽栅(7)包括竖向栅极(71)以及第二栅介质层(72);所述第二栅介质层(72)的底部与所述第二漂移区(3)接触,

或所述第二栅介质层(72)的底部与所述第一栅介质层(42)接触;其中,所述竖向栅极(71)连接第二栅电极,所述横向栅极(41)连接第一栅电极;所述第二栅电极以及所述第一栅电极用于分别连接不同的电压;

形成贯通所述源区(6)与部分所述体区(5)的源极电极(8),所述体区(5)和源区(6)分别与所述源极电极(8)电连接。

8.如权利要求7所述的制造方法,其特征在于,在所述第一漂移区(2)上形成横向沟槽栅(4)以及第二漂移区(3),包括:

在所述第一漂移区(2)上形成横向沟槽栅(4);

采用外延形成覆盖所述横向沟槽栅(4)以及所述第一漂移区(2)的第二导电类型的第二外延层;

减薄所述第二外延层,以使得所述第二外延层的上表面与所述横向沟槽栅(4)的上面平齐,剩余的所述第二外延层构成所述第二漂移区(3)。

9.如权利要求7所述的制造方法,其特征在于,形成贯通所述源区(6)以及体区(5)的竖向沟槽栅(7),包括:

对应所述横向沟槽栅(4)的侧面形成贯通所述源区(6)以及体区(5)的第一沟槽;

在所述第一沟槽上形成第二栅介质层(72),所述第二栅介质层(72)与所述第一栅介质层(42)接触;

在第二栅介质层(72)上沉积多晶硅形成竖向栅极(71),所述横向栅极(41)的一个侧面与所述竖向栅极(71)的同侧的侧面位于同一面上。

10.如权利要求7所述的制造方法,其特征在于,所述第一漂移区(2)、第二漂移区(3)、体区(5)以及源区(6),均通过外延的方式形成。

一种双沟道MOSFET器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件技术领域,具体涉及一种双沟道MOSFET器件及其制造方法。

背景技术

[0002] 在常规功率MOSFET结构中,给定栅极一个电压,让栅极区域的p型半导体形成强反型层(即导电沟道),这个给定的栅极电压的最小值即为阈值电压(开启电压) V_{TH} 。常规条件下,MOSFET(以N type MOSFET为例)是依靠此栅极电压形成导电沟道来控制和传导电流的。其电压大小与沟道掺杂浓度(多为P型掺杂),栅极氧化层厚度相关。

[0003] 传统的MOSFET只有一种方向的导电沟道,且单一元胞的沟道开启位置固定,那么其阈值电压 V_{TH} 的值为固定,其只能接收一种栅极驱动信号,但是在特殊电路应用中,存在需要接受两种栅极信号的电路需求。

发明内容

[0004] 本发明主要解决的技术问题是现有的MOSFET器件只能接收一种栅极驱动信号的技术问题。

[0005] 根据第一方面,一种实施例中提供一种双沟道MOSFET器件,包括至少一个元胞,元胞包括:

[0006] 漏区,其具有第二导电类型;

[0007] 第一漂移区,其位于漏区的上方,具有第二导电类型;

[0008] 第二漂移区,其位于第一漂移区的上方,具有第二导电类型;

[0009] 横向沟槽栅,其位于第二漂移区中;横向沟槽栅包括横向栅极以及第一栅介质层;

[0010] 体区,其位于第二漂移区上方,具有第一导电类型,第一导电类型和第二导电类型属于不同的半导体导电类型;

[0011] 源区,其位于体区上,具有第二导电类型;

[0012] 竖向沟槽栅,其位于横向沟槽栅的上方,竖向沟槽栅穿透源区以及体区,竖向沟槽栅包括竖向栅极以及第二栅介质层;第二栅介质层的底部与第二漂移区接触,和/或,第二栅介质层的底部与第一栅介质层接触;其中,竖向栅极连接第二栅电极,横向栅极连接第一栅电极;

[0013] 源极电极,穿透源区与部分体区,体区和源区分别与源极电极电连接。

[0014] 根据第二方面,一种实施例中提供一种双沟道MOSFET器件的制造方法,包括:

[0015] 提供一衬底,衬底具有第二导电类型,用于在双沟道MOSFET器件中作为漏区;

[0016] 在衬底上形成第一漂移区,第一漂移区具有第二导电类型;

[0017] 在第一漂移区上形成横向沟槽栅以及第二漂移区,其中,横向沟槽栅位于第二漂移区中;横向沟槽栅包括横向栅极以及第一栅介质层;

[0018] 在第二漂移区上形成体区,在体区上形成源区,源区具有第二导电类型,体区具有

第一导电类型,第一导电类型和第二导电类型属于不同的半导体导电类型;

[0019] 形成穿通源区以及体区的竖向沟槽栅,竖向沟槽栅包括竖向栅极以及第二栅介质层;第二栅介质层的底部与第二漂移区接触,或第二栅介质层的底部与第一栅介质层接触;其中,竖向栅极连接第二栅电极,横向栅极连接第一栅电极;

[0020] 形成穿通源区与部分体区的源极电极,体区和源区分别与源极电极电连接。

[0021] 依据上述的双沟道MOSFET器件及其制造方法,通过分别设立竖向栅极和横向栅极,且将其分别引出不同的栅极电极,这样就可以形成横竖两种不同的导电沟道。通过给不同的栅极电极分别加电压,就可以有两种不同电压的阈值电压。

附图说明

[0022] 图1为一种实施例提供的双沟道MOSFET器件的结构示意图(一);

[0023] 图2为一种实施例提供的双沟道MOSFET器件的结构示意图(二);

[0024] 图3为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(一);

[0025] 图4为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(二);

[0026] 图5为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(三);

[0027] 图6为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(四);

[0028] 图7为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(五);

[0029] 图8为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(六);

[0030] 图9为一种实施例提供的双沟道MOSFET器件的制造方法的过程示意图(七);

[0031] 图10为一种实施例提供的双沟道MOSFET器件的制造方法的流程图。

[0032] 附图标记:1-漏区;2-第一漂移区;3-第二漂移区;4-横向沟槽栅;41-横向栅极;42-第一栅介质层;5-体区;6-源区;7-竖向沟槽栅;71-竖向栅极;72-第二栅介质层;8-源极电极。

具体实施方式

[0033] 下面通过具体实施方式结合附图对本发明作进一步详细说明。其中不同实施方式中类似元件采用了相关联的类似的元件标号。在以下的实施方式中,很多细节描述是为了使得本申请能被更好的理解。然而,本领域技术人员可以毫不费力的认识到,其中部分特征在不同情况下是可以省略的,或者可以由其他元件、材料、方法所替代。在某些情况下,本申请相关的一些操作并没有在说明书中显示或者描述,这是为了避免本申请的核心部分被过多的描述所淹没,而对于本领域技术人员而言,详细描述这些相关操作并不是必要的,他们根据说明书中的描述以及本领域的一般技术知识即可完整了解相关操作。

[0034] 另外,说明书中所描述的特点、操作或者特征可以以任意适当的方式结合形成各种实施方式。同时,方法描述中的各步骤或者动作也可以按照本领域技术人员所能显而易见的方式进行顺序调换或调整。因此,说明书和附图中的各种顺序只是为了清楚描述某一个实施例,并不意味着是必须的顺序,除非另有说明其中某个顺序是必须遵循的。

[0035] 本文中为部件所编序号本身,例如“第一”、“第二”等,仅用于区分所描述的对象,不具有任何顺序或技术含义。而本申请所说“连接”、“联接”,如无特别说明,均包括直接和间接连接(联接)。

[0036] 在本申请中,第一导电类型和第二导电类型属于不同的半导体导电类型,第一导电类型与第二导电类型为P型与N型,当第一导电类型为N型时,第二导电类型则为P型,反之亦然。

[0037] 在本申请中,通过分别设置竖向栅极71以及横向栅极41,分别连接不同的第二栅电极以及第一栅电极,第二栅电极以及第一栅电极用于分别连接不同的电压。竖向沟槽栅7以及横向沟槽栅4对应形成两种不同的导电沟槽,

[0038] 实施例一:

[0039] 请参考图1和图2,一种双沟道MOSFET器件,包括至少一个元胞,元胞可以包括:漏区1、第一漂移区2、第二漂移区3、横向沟槽栅4、体区5、源区6、竖向沟槽栅7以及源极电极8。在本实施例中,以第一导电类型为P型,第二导电类型为N型为例进行说明。

[0040] 漏区1具有第二导电类型;例如,可以采用N型的单晶硅衬底作为漏区1。

[0041] 第一漂移区2位于漏区1的上方,具有第二导电类型。第一漂移区2可以通过外延形成在衬底上的半导体层(或称外延层);或者是,采用衬底作为第一漂移区2,在衬底(此时为第一漂移区2)的背面上采用外延或掺杂形成掺杂浓度更大的漏区1。

[0042] 第二漂移区3位于第一漂移区2的上方,具有第二导电类型。可以通过外延的方式形成在第一漂移区2上;当第二漂移区3的掺杂浓度大于第一漂移区2上时,第二漂移区3也可以是通过掺杂的方式形成在第一漂移区2的上表面。

[0043] 横向沟槽栅4位于第二漂移区3中;横向沟槽栅4包括横向栅极41以及第一栅介质层42。横向沟槽栅4的厚度(图示中的上下方向)小于自身的宽度(图示中的左右方向);且横向沟槽栅4的厚度小于或等于第二漂移区3的厚度。

[0044] 体区5位于第二漂移区3上方,具有第一导电类型,体区5可以采用外延的方式形成,覆盖在第二漂移区3以及横向沟槽栅4上方。

[0045] 源区6位于体区5上,具有第二导电类型;源区6可以通过外延的方式形成在体区5上,或者是对体区5的上表面进行掺杂形成。

[0046] 竖向沟槽栅7位于横向沟槽栅4的上方,两者的栅介质层可以是接触或隔离;竖向沟槽栅7穿透源区6以及体区5,竖向沟槽栅7包括竖向栅极71以及第二栅介质层72。第二栅介质层72的底部与第二漂移区3接触,和/或,第二栅介质层72的底部与第一栅介质层42接触;其中,竖向栅极71连接第二栅电极,横向栅极41连接第一栅电极;在器件使用的时候,第二栅电极连接第二电压使得器件正向导通,或者是,第一栅电极连接第一电压使得器件导通,第二电压与第一电压的电压值不同。

[0047] 源极电极8穿透源区6与部分体区5,体区5和源区6分别与源极电极8电连接。必要时,体区5还可以通过欧姆接触技术与源极电极8实现电连接。

[0048] 元胞还可以包括漏极电极(图未示出),漏极电极与漏区1电连接。

[0049] 在现有应用中,阈值电压也叫开启电压,一般分高开启(3-5V)和低开启(1-3V),在电路中MOSFET可以作为开关进行使用,如PFC和反激电路的初级电路与次级电路由不同的栅极驱动,对MOSFEET需要的阈值电压有不同的需求,例如同时需要高开启和低开启两种不同的阈值电压,那么现在的VDMOS就需要两颗产品才能完成应用需求;假如可以同时拥有不同的阈值电压就可以用一颗MOSFET,从而减少成本以及占用空间。

[0050] 本实施例通过分别设立竖向栅极71和横向栅极41,且将其分别引出不同的栅极电

极,这样就可以形成横竖两种不同的导电沟道。通过给不同的栅极电极分别加电压,就可以有两种不同电压的阈值电压。

[0051] 在本申请提供的MOSFET器件中,可以通过调节栅氧(对应第一栅介质层42、第二栅介质层72)厚度或栅极的宽度来影响阈值电压,如增加栅氧厚度增大阈值电压,减少栅氧厚度会减少阈值电压,让使两个沟槽栅中的栅氧厚度产生差异,即可产生不同的阈值电压。由于本申请的主旨在沟槽栅MOSFET的基础上引入横向沟槽栅,因此,通过调整横向沟槽栅4的横向栅极41能减少在传统MOSFET工艺需要额外的工艺及成本,因此,通过调整横向栅极41的宽度或第一栅介质层42的厚度来实验两个沟槽栅的阈值电压之间的差异,较于调整竖向沟槽栅7需要额外的工艺成本更低。

[0052] 具体地,半导体器件制造过程中,调整结构的宽度等参数时,需要调整光刻版,以及调整刻蚀或沉积等工艺参数,若竖向沟槽栅7需要调整栅氧厚度或竖向栅极71的宽度,那么就需要调整至少两个光刻版,还需要调整栅氧的成型工艺以及栅极多晶硅的沉积工艺。因此,在原有的MOSFET器件上实现本申请的双沟槽MOSFET器件,对横向沟槽栅4进行阈值电压的调整,需要增加的工艺成本最低。

[0053] 进一步的,横向沟槽栅4的阈值电压设置的比竖向沟槽栅7低更好,这是由于第一漂移区2的厚度比第二漂移区3的厚度更厚,耐压能力更好,例如,竖向沟槽栅7的阈值电压为5V,横向沟槽栅4的阈值电压为3V。

[0054] 在实际应用中,如图1和图2所示,横向沟槽栅4的厚度可以小于或等于第二漂移区3的厚度;第二漂移区3的厚度根据横向沟槽栅4的厚度设定,至少如图1所示,两者的厚度相等。第二漂移区3在厚度方向仅需完全覆盖横向栅极41即可,及其厚度要高于横向栅极41的高度。但是第一栅介质层42至少需要部分与体区5接触,以实现横向栅极41接入第一电压时,将器件导通。

[0055] 例如,如图1与图2所示,横向沟槽栅4的上表面可以与第二漂移区3的上表面平齐,第一栅介质层42与体区5接触,第二栅介质层72的底部与第一栅介质层42接触。

[0056] 又例如,如图1所示,横向沟槽栅4的下表面可以与第二漂移区3的下表面平齐,第一栅介质层42与所述第一漂移区2接触,横向沟槽栅4的厚度等于第二漂移区3的厚度。

[0057] 其中,第二漂移区3的掺杂浓度可以大于或等于第一漂移区2的掺杂浓度。第二漂移区3的浓度大于第一漂移区2的浓度时,可以提高第二漂移区3的电场,增加器件整体的耐压能力。

[0058] 如图1和图2所示,横向栅极41的宽度大于竖向栅极71的宽度,横向栅极41的一个侧面与竖向栅极71的同侧的侧面位于同一面上。例如,如图1所示,左侧的横向栅极41的左侧面,与左侧的竖向栅极71的左侧面位于同一直线上,右侧的横向栅极41的右侧面,与右侧的竖向栅极71的右侧面位于同一直线上。或者,横向栅极41的一个侧面至少位于竖向栅极71的两个侧面之间例如,左侧的横向栅极41的左侧面至少位于左侧的竖向栅极71的两个侧面之间。

[0059] 具体地,横向沟槽栅4和竖向沟槽栅7两者呈L型结构,且在一个元胞里存在两个竖向沟槽栅,呈图示左右对称结构。以左侧的横向沟槽栅4和竖向沟槽栅7为例说明,横向栅极41的左侧面不能超过竖向栅极71的左侧面,横向栅极41的右侧面不能超过竖向栅极71的右侧面。

[0060] 在实际应用中,第一栅介质层42的一个侧面与第二栅介质层72的同侧的侧面位于同一面上。此时,第一栅介质层42在左右方向的厚度与第二栅介质层72在左右方向的厚度相同,也就是说,左侧的横向栅极41的左侧的第一栅介质层42的厚度与左侧的竖向栅极71的左侧的第二栅介质层72的宽度相同。例如是,采用相同的热氧化工艺形成第一栅介质层42与第二栅介质层72,可以简化工艺,减少额外工艺设计投入的成本与时间。

[0061] 实施例二:

[0062] 本实施例提供一种双沟道MOSFET器件的制造方法,可以用于制造实施例一所描述的双沟道MOSFET器件,其中,如图10所示,该制造方法包括:

[0063] 步骤1:如图3所示,提供一衬底,衬底具有第二导电类型,用于在双沟道MOSFET器件中作为漏区1。例如,采用N型单晶硅作为衬底。

[0064] 步骤2:如图3所示,在衬底上形成第一漂移区2,第一漂移区2具有第二导电类型。例如,在N型衬底上生长一层外延层作为第一漂移区2,可以是采用气相外延VPE或分子束外延MBE,外延层的厚度可以在10um-200um之间,具体厚度依据器件需要的耐压大小进行设定,器件的耐压与第一漂移区2的厚度以及掺杂浓度层正相关性。

[0065] 步骤3:在第一漂移区2上形成横向沟槽栅4以及第二漂移区3,其中,横向沟槽栅4位于第二漂移区3中;横向沟槽栅4包括横向栅极41以及第一栅介质层42。

[0066] 在实际应用中,依据横向沟槽栅4以及第二漂移区3之间的厚度关系,横向沟槽栅4在第二漂移区3设定的相对位置,可以是先形成横向沟槽栅4,也可以是先形成第二漂移区3。

[0067] 在实际应用中,步骤3可以包括:

[0068] 步骤301:如图4所示,在第一漂移区2上形成横向沟槽栅4,例如是,当栅介质层采用二氧化硅层时,采用热氧化在第一漂移区2上形成第一栅介质层42,对第一栅介质层42进行光刻刻蚀后沉积多晶硅作为横向栅极41。最后通过热氧化或沉积形成二氧化硅层,以实现第一栅介质层42包裹横向栅极41。

[0069] 步骤302:如图5所示,形成覆盖横向沟槽栅4以及第一漂移区2的第二导电类型的第二外延层,例如是,采用外延的方式形成N型外延层,作为第二漂移区3,外延层覆盖第一漂移区2以及横向沟槽栅4。

[0070] 步骤303:如图6所示,减薄第二外延层,以使得第二外延层的上表面与横向沟槽栅4的上面平齐,剩余的第二外延层构成第二漂移区3。例如,采用CMP对正面结构进行研磨减薄,以使得横向沟槽栅4的顶面与第二漂移区3的顶面保持同一面上。

[0071] 对应图1与图2所示,当横向沟槽栅4以及第二漂移区3改变时,步骤3依据实际的情况进行修改,不仅限于步骤301与步骤302的实现方式。例如可以是先形成第二漂移区3,通过对第二漂移区3进行刻蚀形成沟槽,在对应沟槽上形成横向沟槽栅4。

[0072] 步骤4:如图7所示,在第二漂移区3上形成体区5,在体区5上形成源区6,源区6具有第二导电类型,体区5具有第一导电类型。例如,采用外延的方式在第二漂移区3上形成P型的外延层,作为器件的体区5。在体区5上采用外延形成N型的外延层,作为器件的源区6。源区6亦可以通过对体区5进行掺杂N型元素形成。

[0073] 步骤5:如图8所示,形成穿通源区6以及体区5的竖向沟槽栅7,竖向沟槽栅7包括竖向栅极71以及第二栅介质层72;第二栅介质层72的底部与第二漂移区3接触,或第二栅介质

层72的底部与第一栅介质层42接触;其中,竖向栅极71连接第二栅电极,横向栅极41连接第一栅电极。

[0074] 在实际应用中,步骤5可以包括:

[0075] 步骤501:对应横向沟槽栅4的侧面形成贯通源区6以及体区5的第一沟槽。例如,采用离子刻蚀的方式形成对应竖向沟槽栅7的沟槽。

[0076] 步骤502:在第一沟槽上形成第二栅介质层72,第二栅介质层72与第一栅介质层42接触。当栅介质层采用二氧化硅层时,通过对沟槽进行热氧化方式形成第二栅介质层72。

[0077] 步骤503:在第二栅介质层72上沉积多晶硅形成竖向栅极71,横向栅极41的一个侧面与竖向栅极71的同侧的侧面位于同一面上。

[0078] 步骤6:如图9所示,形成贯通源区6与部分体区5的源极电极8,体区5和源区6分别与源极电极8电连接。可以通过刻蚀出源极接触孔,采用沉积金属的方式形成源极电极8,源极电极8用于在器件导通的时候提供自由电子。

[0079] 步骤7:形成与漏区1电连接的漏极电极。

[0080] 步骤8:对器件的正面进行开窗处理,形成与竖向栅极71电连接的第二栅电极,与横向栅极41电连接的第一栅电极。

[0081] 在实际应用中,第一漂移区2、第二漂移区3、体区5以及源区6,具体形成手段并不局限,在实施例1中,上述结构层均通过外延的方式形成。由此,可以不采用掺杂的方式形成上述结构层,减少其他种类设备的投入,外延设备即可完成本申请中大部分结构的制造,且外延形成的结构层,掺杂浓度均匀,电学性能更加切合理论模型,器件性能更加稳定。

[0082] 通过本实施例提供的制造方法,可以得到实施例一所描述的双沟道MOSFET器件,具有实施例一记载的技术方案对应的技术效果。

[0083] 以上应用了具体个例对本发明进行阐述,只是用于帮助理解本发明,并不用以限制本发明。对于本发明所属技术领域的技术人员,依据本发明的思想,还可以做出若干简单推演、变形或替换。

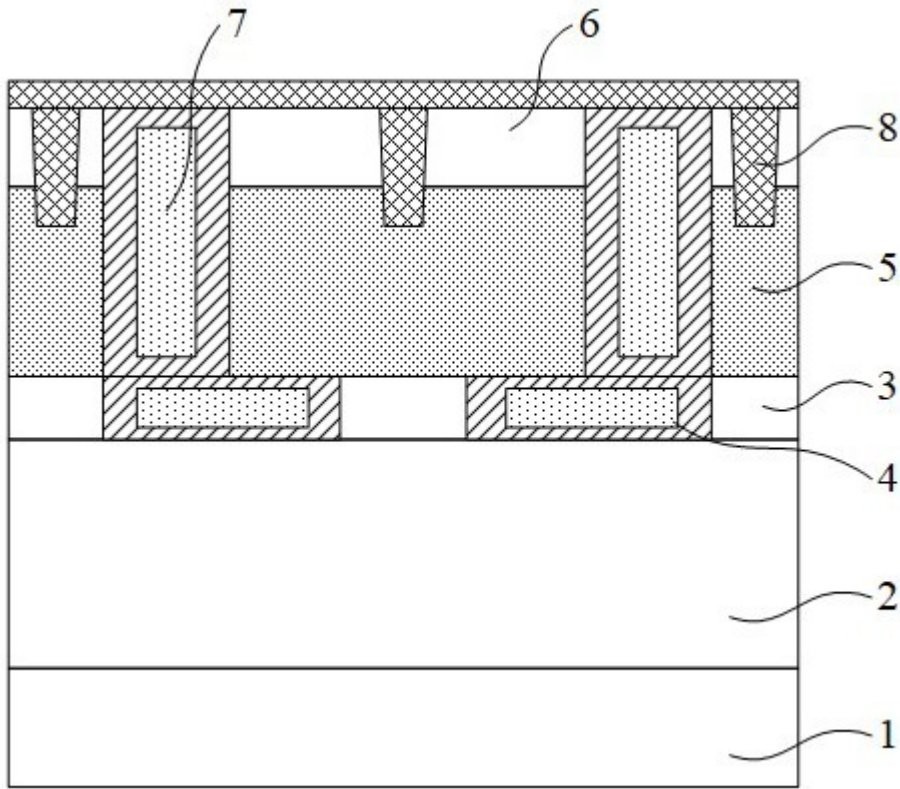


图 1

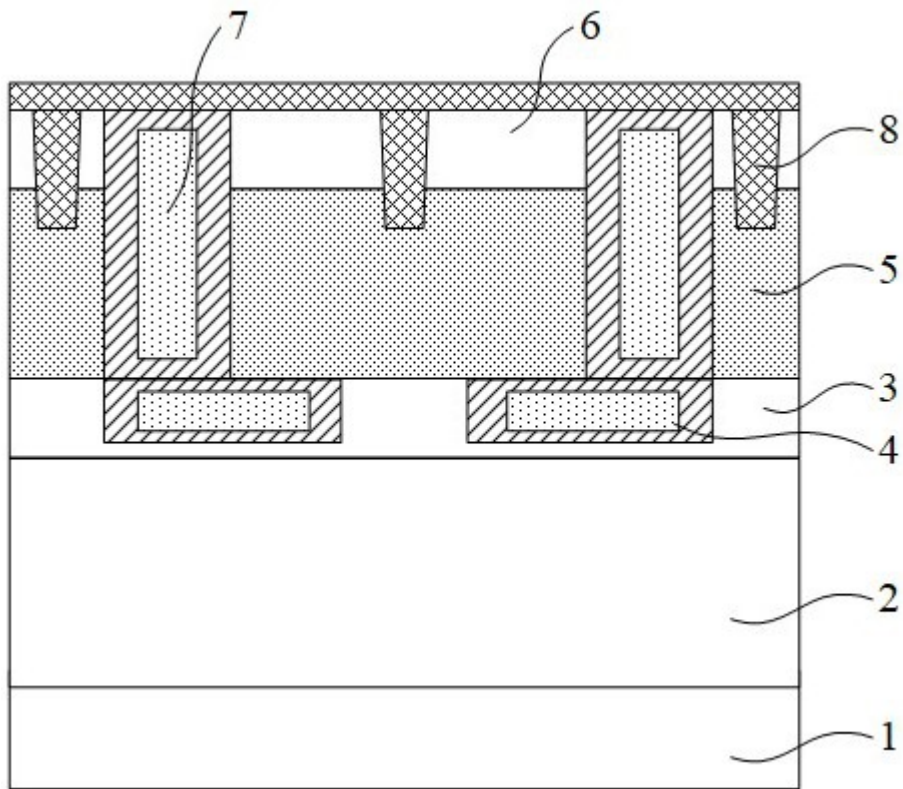


图 2

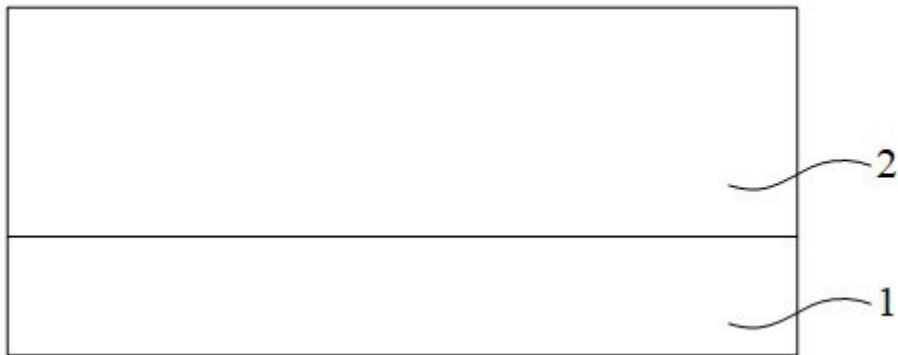


图 3

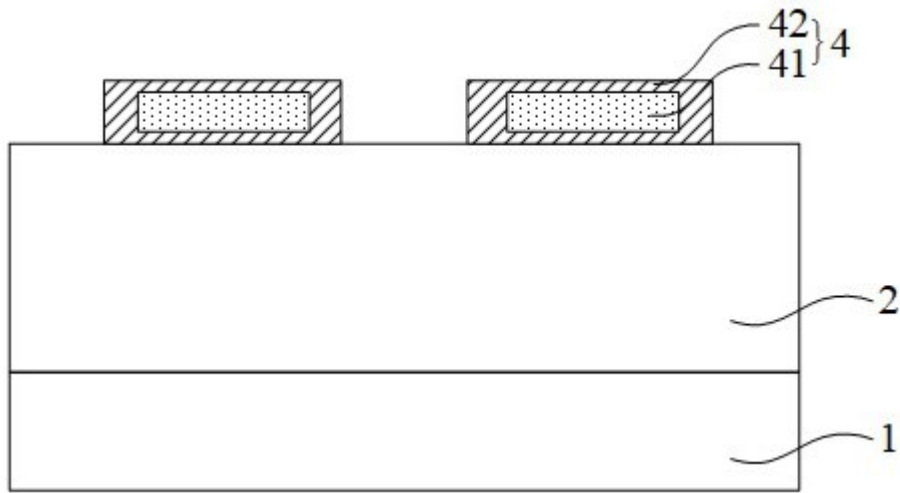


图 4

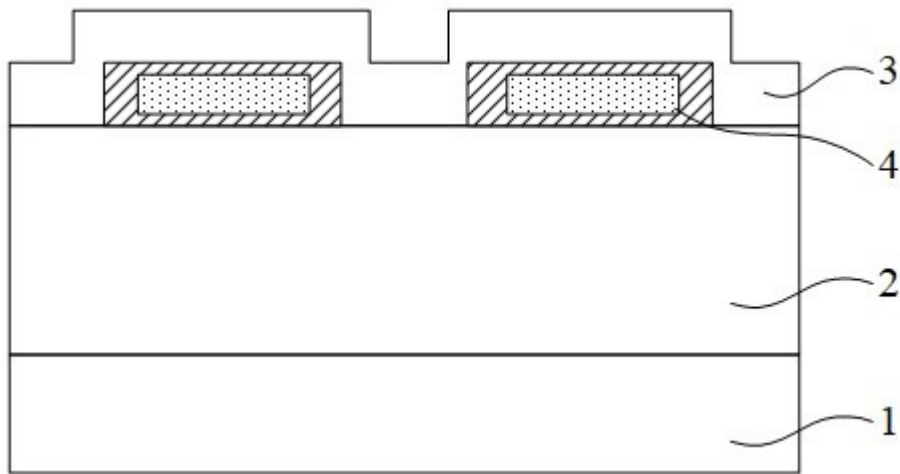


图 5

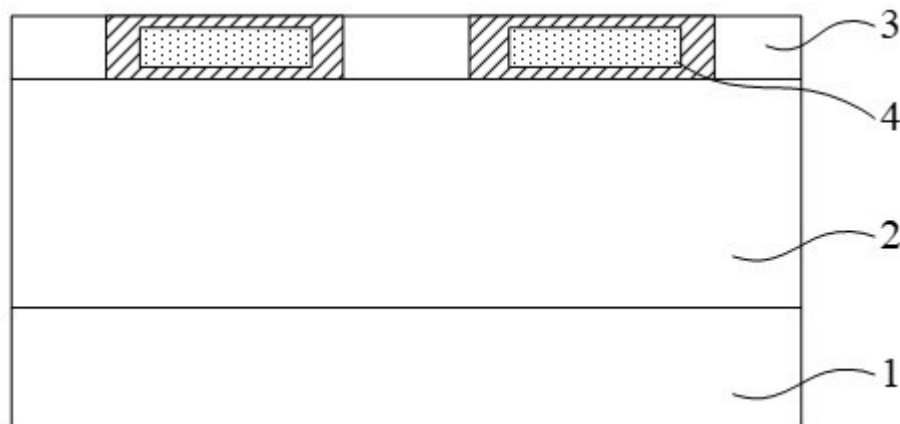


图 6

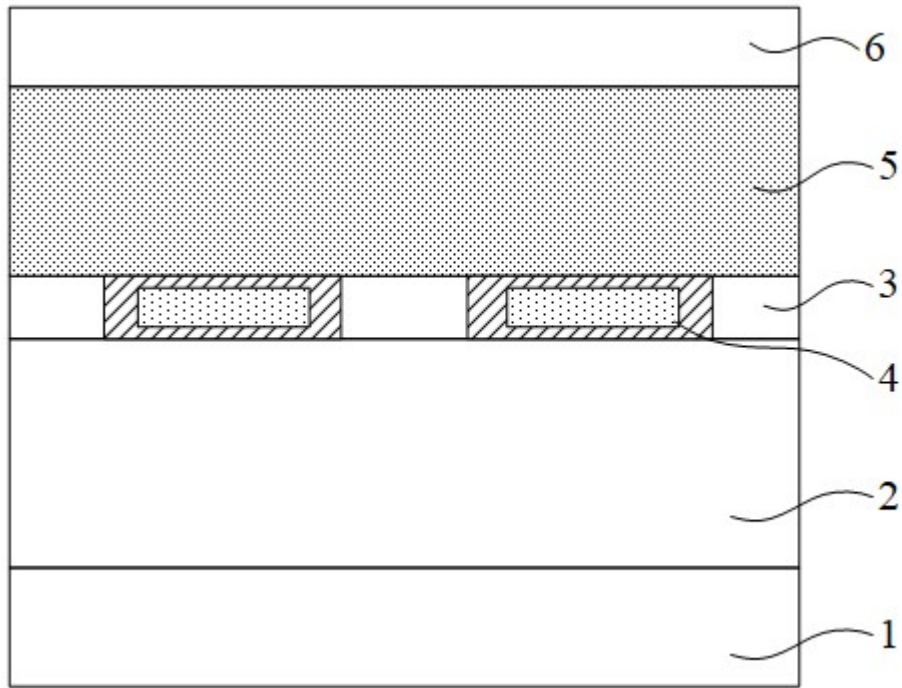


图 7

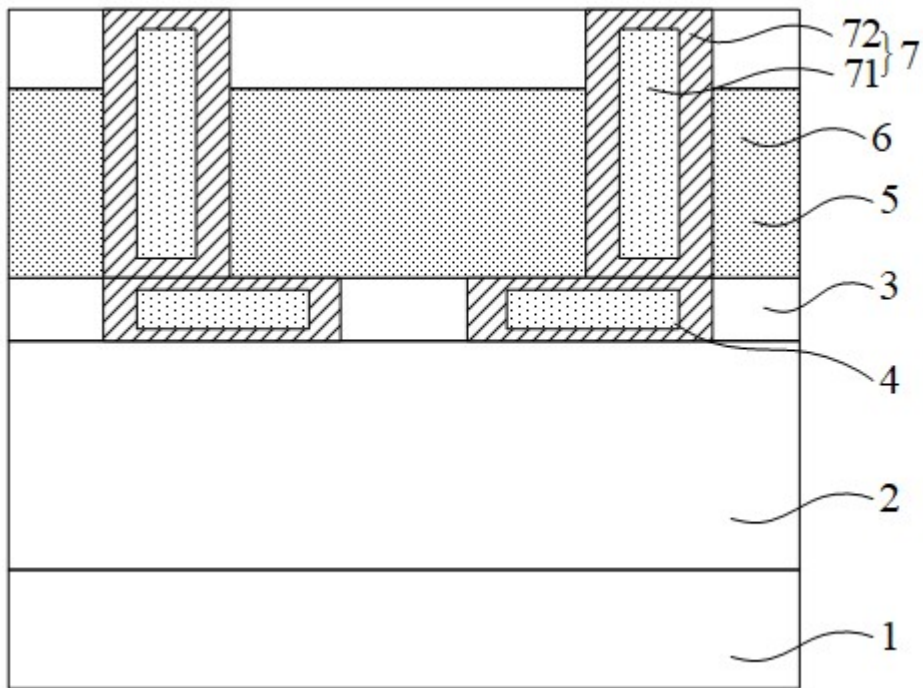


图 8

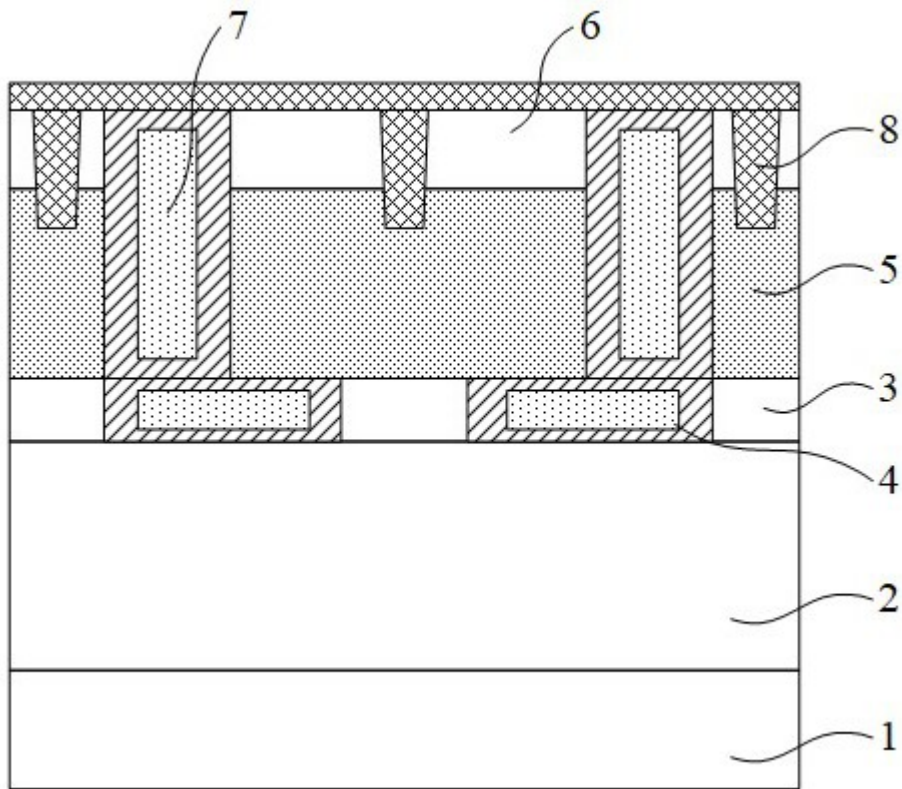


图 9

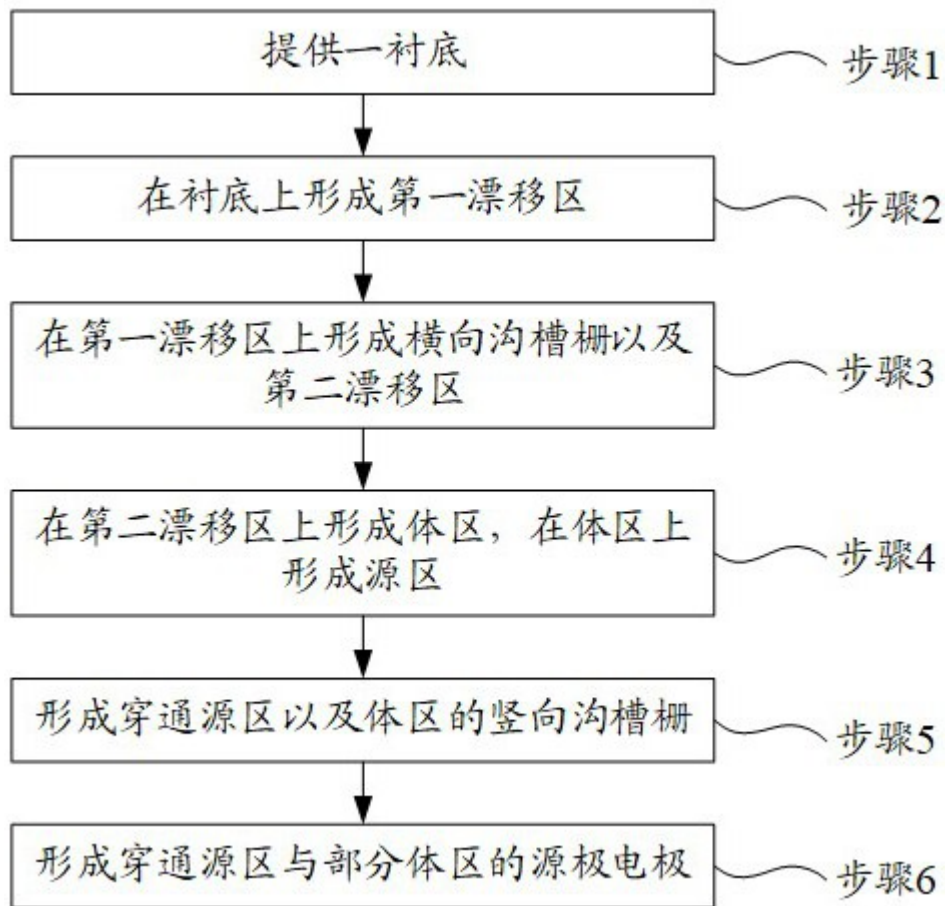


图 10