

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-143643

(P2015-143643A)

(43) 公開日 平成27年8月6日(2015.8.6)

(51) Int.Cl.

F I

テーマコード (参考)

G O 1 R 23/16 (2006.01)

G O 1 R 23/16

D

G O 1 R 23/173 (2006.01)

G O 1 R 23/173

Z

審査請求 有 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2014-16899 (P2014-16899)
 (22) 出願日 平成26年1月31日 (2014.1.31)

(71) 出願人 000000572
 アンリツ株式会社
 神奈川県厚木市恩名五丁目1番1号
 (74) 代理人 100104215
 弁理士 大森 純一
 (74) 代理人 100117330
 弁理士 折居 章
 (74) 代理人 100123733
 弁理士 山田 大樹
 (74) 代理人 100160989
 弁理士 関根 正好
 (74) 代理人 100168181
 弁理士 中村 哲平
 (74) 代理人 100168745
 弁理士 金子 彩子

最終頁に続く

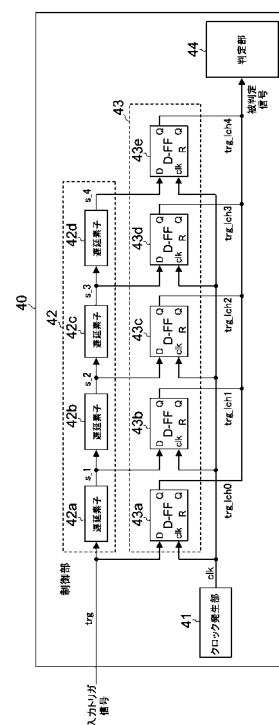
(54) 【発明の名称】 信号解析装置および信号解析方法

(57) 【要約】

【課題】 トリガ信号の入力タイミングとそのトリガ信号のラッチタイミングとのずれを小さくすることにより、被測定信号の測定開始時刻のずれを小さくすることができる信号解析装置および信号解析方法を提供すること。

【解決手段】 信号解析装置は、クロック発生部41、遅延部42、ラッチ部43、判定部44を具備する。遅延部42は、入力される入力トリガ信号を、クロック発生部41で発生されるクロックの周期より短い時間内で遅延させることで遅延トリガ信号を発生する。ラッチ部43は、入力トリガ信号および遅延トリガ信号を、クロックでラッチして得られるそれぞれのラッチトリガ信号を出力する。判定部44は、前記出力されたラッチトリガ信号に基づき、前記入力トリガ信号の入力タイミングを判定する。これにより、入力トリガ信号の入力タイミングを、その遅延量分の高い分解能で判定でき、被測定信号の測定開始時刻のずれを小さくすることができる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

被測定信号を受信する R F 部（１０）と、
クロックを発生するクロック発生部（４１）と、
入力される入力トリガ信号を、前記クロックの周期より短い時間で遅延させることで遅延トリガ信号を発生する遅延部（４２）と、
前記入力トリガ信号および前記遅延トリガ信号を、前記クロックでラッチして得られるそれぞれのラッチトリガ信号を出力するラッチ部（４３）と、
前記出力されたラッチトリガ信号に基づき、前記入力トリガ信号の入力タイミングを判定する判定部（４４）と、
前記判定部により判定された前記入力トリガ信号の入力タイミングで、前記 R F 部で受信された被測定信号の測定を開始する解析処理部（２０）と
を備えることを特徴とする信号解析装置。

10

【請求項 2】

請求項 1 に記載の信号解析装置において、
前記遅延部は、直列に接続された複数の遅延素子を有し、
前記ラッチ部は、前記入力トリガ信号をラッチして得られるラッチトリガ信号を出力する第 1 のラッチ素子と、前記複数の遅延素子からそれぞれ出力される前記遅延トリガ信号をラッチして得られるラッチトリガ信号を出力する複数の第 2 のラッチ素子とを有することを特徴とする信号解析装置。

20

【請求項 3】

請求項 2 に記載の信号解析装置において、
前記判定部は、前記ラッチ部により前記クロックで得られる前記ラッチトリガ信号の個数に応じて、前記トリガ信号の入力タイミングを判定することを特徴とする信号解析装置。

【請求項 4】

請求項 3 に記載の信号解析装置において、
前記ラッチ部で得られるそれぞれのラッチトリガ信号のデジタルデータの値が、最小桁の値から最大桁の値までの間に 2 回以上変動する値である場合、前記判定部は、その値を最小桁の値から最大桁の値までの間に 1 回以下で変動する所定の値に置き換える補正を行う補正部を有することを特徴とする信号解析装置。

30

【請求項 5】

被測定信号を受信し、
クロックを発生し、
入力される入力トリガ信号を、前記クロックの周期より短い時間で遅延させることで遅延トリガ信号を発生し、
前記入力トリガ信号および前記遅延トリガ信号を、前記クロックでラッチして得られるそれぞれのラッチトリガ信号を出力し、
前記出力されたラッチトリガ信号に基づき、前記入力トリガ信号の入力タイミングを判定し、
前記判定された前記入力トリガ信号の入力タイミングで、前記 R F 部で受信された被測定信号の測定を開始することを特徴とする信号解析方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、信号の周波数やパワー等を解析する信号解析装置および信号解析方法に関する。

【背景技術】

50

【0002】

一般に、無線機器等から出射される電波等の信号を受けて、その周波数成分やパワーを解析し、その時間経過の変化を測定する装置がある。例えば特許文献1に記載の信号分析装置（信号解析装置）は、利用者が希望する範囲内にある周波数成分を示すスペクトラムを表示部に表示させ、または、利用者が希望する範囲内にあるパワーについて、そのパワーの大きさの変化を示すスペクトログラムを表示部に表示させる表示制御部を備える（例えば、特許文献1の明細書段落〔0008〕、〔0026〕参照）。

【0003】

ところで、上述のような信号解析装置は、例えば、この信号解析装置に入力される被測定信号（解析の対象となる信号）をデジタルデータに変換して表示部に表示する場合に、トリガ信号に基づいてデジタルデータに変換して表示部に信号を表示する。トリガ信号は、ファンクションジェネレータ等、信号解析装置に接続された信号発生装置により発生される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-250719号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、信号解析装置内のCPU（Central Processing Unit）やFPGA（Field Programmable Gate Array）等の制御部へのトリガ信号の入力タイミングと、そのトリガ信号をラッチするタイミングとにずれが生じる場合がある。このタイミングのずれの大きさは、制御部の動作クロックにより決まる。すなわち、制御部がトリガ信号をラッチするための時間分解能が低いほど、上記ずれは大きくなる。このようなずれが大きくなると、例えばユーザが想定した信号の測定開始時刻から実際の測定開始時刻が遅れる結果となる。

【0006】

本発明の目的は、トリガ信号の入力タイミングとそのトリガ信号のラッチタイミングとのずれを小さくすることにより、被測定信号の測定開始時刻のずれを小さくすることができる信号解析装置および信号解析方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するため、請求項1に記載の信号解析装置は、被測定信号を受信するRF部10と、クロックを発生するクロック発生部41と、入力される入力トリガ信号を、前記クロックの周期より短い時間で遅延させることで遅延トリガ信号を発生する遅延部42と、前記入力トリガ信号および前記遅延トリガ信号を、前記クロックでラッチして得られるそれぞれのラッチトリガ信号を出力するラッチ部43と、前記出力されたラッチトリガ信号に基づき、前記入力トリガ信号の入力タイミングを判定する判定部44と、前記判定部により判定された前記入力トリガ信号の入力タイミングで、前記RF部で受信された被測定信号の測定を開始する解析処理部20とを備えることを特徴とする。

【0008】

このような信号解析装置では、遅延部が、入力されたトリガ信号をクロックの周期より短い時間で遅延させた遅延トリガ信号を発生するので、クロックより高い、遅延量分の分解能を持つラッチトリガ信号を生成することができる。これにより判定部は、その分解能で入力トリガ信号の入力タイミングを判定することができる。その結果、入力トリガ信号の入力タイミングとその入力トリガ信号のラッチタイミングとのずれを小さくすることができる。

【0009】

請求項2に記載の信号解析装置は、請求項1に記載の信号解析装置において、前記遅延

10

20

30

40

50

部は、直列に接続された複数の遅延素子を有し、前記ラッチ部は、前記入力トリガ信号をラッチして得られるラッチトリガ信号を出力する第1のラッチ素子と、前記複数の遅延素子からそれぞれ出力される前記遅延トリガ信号をラッチして得られるラッチトリガ信号を出力する複数の第2のラッチ素子とを有することを特徴とする。

これにより、遅延素子の個数分、分解能を高めることができる。

【0010】

請求項3に記載の信号解析装置は、請求項2に記載の信号解析装置において、前記判定部は、前記ラッチ部により前記クロックで得られる前記ラッチトリガ信号の個数に応じて、前記トリガ信号の入力タイミングを判定することを特徴とする。

【0011】

請求項4に記載の信号解析装置は、請求項3に記載の信号解析装置において、前記ラッチ部で得られるそれぞれのラッチトリガ信号のデジタルデータの値が、最小桁の値から最大桁の値までの間に2回以上変動する値である場合、前記判定部は、その値を最小桁の値から最大桁の値までの間に1回以下で変動する所定の値に置き換える補正を行う補正部を有することを特徴とする。

これにより、本来検出されるべきでない、最小桁側から最大桁までの間に2回以上変動する値を、本来検出すべき値に置き換えて、その検出された値を所定の許容誤差範囲内の値とすることができる。

【0012】

上記目的を達成するため、請求項5に記載の信号解析方法は、被測定信号を受信し、クロックを発生し、入力される入力トリガ信号を、前記クロックの周期より短い時間で遅延させることで遅延トリガ信号を発生し、前記入力トリガ信号および前記遅延トリガ信号を、前記クロックでラッチして得られるそれぞれのラッチトリガ信号を出力し、前記出力されたラッチトリガ信号に基づき、前記入力トリガ信号の入力タイミングを判定し、前記判定された前記入力トリガ信号の入力タイミングで、前記RF部で受信された被測定信号の測定を開始することを特徴とする。

【発明の効果】

【0013】

以上、本発明に係る信号解析装置および信号解析方法によれば、トリガ信号の入力タイミングとそのトリガ信号のラッチタイミングとのずれを小さくすることにより、被測定信号の測定開始時刻のずれを小さくすることができる。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の第1の実施形態に係る信号解析装置の機能的な構成を示すブロック図である。

【図2】図2は、本実施形態に係る信号解析装置のハードウェアの構成を示すブロック図である。

【図3】図3は、制御部が、トリガ信号に基づいてRF信号のデジタルデータを生成する時のサンプリングのタイミングを示す。

【図4】図4は、制御部の機能的な構成を示すブロック図である。

【図5】図5は、遅延素子の入力データおよび出力データの例を示す。

【図6】図6は、制御部の処理を示すフローチャートである。

【図7】図7は、入力トリガ信号の入力タイミングが、 t_1 からの遅延時間 90° より小さい場合に、ラッチ部により生成される信号を示す。

【図8】図8は、入力トリガ信号の入力タイミングが、 t_1 からの遅延時間 180° より小さい場合に、ラッチ部により生成される信号を示す。

【図9】図9は、入力トリガ信号の入力タイミングが、 t_1 からの遅延時間 270° より小さい場合に、ラッチ部により生成される信号を示す。

【図10】図10は、入力トリガ信号の入力タイミングが、 t_1 からの遅延時間 360° より小さい場合に、ラッチ部により生成される信号を示す。

10

20

30

40

50

【図 1 1】図 1 1 は、本実施形態による効果を概念的に示すグラフである。

【図 1 2】図 1 2 A および B は、トリガ実入力時間とトリガずれ検出量との関係を示す。

【図 1 3】図 1 3 は、2 つの遷移域による重なり領域が発生する図 1 2 B の状態を表す別の図である。

【図 1 4】図 1 4 は、3 つの遷移域による重なり領域が発生する状態を示す。

【図 1 5】図 1 5 は、ラッチ部からの出力が取り得る値を示す表である。

【発明を実施するための形態】

【0015】

以下、図面を参照しながら、本発明の実施形態を説明する。

【0016】

10

1. 第 1 の実施形態

【0017】

1) 信号解析装置の構成

図 1 は、本発明の第 1 の実施形態に係る信号解析装置 (SA: Signal(Spectrum) Analyzer) の機能的な構成を示すブロック図である。信号解析装置 SA は、RF 部 10、A/D 変換部 21、解析処理部 20、表示部 30、および制御部 40 を筐体 50 内に備え、筐体 50 には、操作部 45 およびトリガ信号入力端子 48 が設けられている。

【0018】

RF 部 10 は、掃引部 11、ローカル信号発生部 12、およびミキサ部 13 を有し、入力 RF 信号を受信する。

20

【0019】

ローカル信号発生部 12 は、制御部 40 から掃引部 11 を介して測定周波数の中心周波数 f_c の指示を受けて、ローカル周波数 ($f_c + f_{IF}$) のローカル信号を発振してミキサ部 13 へ送るようになっている。

【0020】

ミキサ部 13 は、入力された入力 RF 信号とローカル周波数 ($f_c + f_{IF}$) のローカル信号 (あるいは基準周波数信号) とをミキシングして中間周波数 ($f_{IF} \pm \Delta F_{Max}/2$) の信号に変換して、当該中間周波数信号を A/D 変換部 21 へ送るようになっている。

【0021】

A/D 変換部 21 は、RF 部 10 から出力される中間周波数信号 (周波数: $f_{IF} \pm \Delta F_{Max}/2$) を制御部 40 からの所定のクロックでデジタルデータに変換するようになっている。

30

【0022】

制御部 40 は、信号解析装置 SA 全体を制御するようになっている。特に、制御部 40 は、後述するように、トリガ信号入力端子 48 から入力されたトリガ信号を受けて、RF 部 10 および解析処理部 20 による、被測定信号の測定処理 (解析処理) の開始のタイミングを制御するようになっている。制御部 40 は、信号解析結果の表示部 30 における表示タイミングを制御するようになっている。

【0023】

解析処理部 20 は、例えば、元データ記憶部 22、処理部 23、検波部 24、ログ変換部 25、および記憶部 26 を有し、入力 RF 信号に対して信号解析処理を行うものである。

40

【0024】

元データ記憶部 22 は、A/D 変換部 21 から出力されるデジタルデータ (振幅値) を、測定周波数、クロックの経過時間をアドレスとしたメモリ領域に、ほぼクロックと同じタイミングの書き込み信号により記憶するようになっている。記憶されたデジタルデータは、いわば時間領域のデータである。

【0025】

処理部 23 は、操作部 45 から受けた、測定周波数 f_v 、測定時間 t_v を受けて、元データ記憶部 22 から該当する測定周波数、およびクロックの経過時間の時間領域データ (

50

デジタルデータ)を読み出すようになっている。

【0026】

そして、処理部23は、例えば、受けた時間領域データを所定時間間隔でFFT (Fast Fourier Transform) 処理して周波数領域データに変換して、操作部45から指定された測定帯域幅 ΔF の範囲で所望の分解能帯域幅 (RBW) で各周波数成分とその大きさを算出するようになっている。

【0027】

このとき、処理部23は、FFT処理する処理のタイミングの時間間隔を Δt とすると、測定周波数の時間領域データから各処理タイミングで時間窓 ΔT ($\Delta T \geq \Delta t$) だけの時間領域データを元データ記憶部22から読み出してFFT処理するようになっている。

10

【0028】

そして、処理部23は、処理タイミングを1間隔 Δt だけ時間窓 T ごとずらしながら、測定時間の t_v になるまで繰り返しFFT処理を行うようになっている。つまり、FFT処理部23は、 $m \times \Delta t$ (例えば、 m は、 $1 \sim t_v / \Delta t$) のタイミングで時間位置 (アドレス) $m \times \Delta t$ を中心とした $\pm \Delta T / 2$ 間の時間領域データを読み出してFFT演算し、これを $m = t_v / \Delta t$ になるまで繰り返すようになっている。

【0029】

時間窓 ΔT は、時間領域データを周波数領域データに変換するのに十分な時間である。極端な例では、1周期にも満たない時間領域データを周波数領域データに変換してもその周波数が分解能良く特定できないおそれがある。なお、タイミングの時間間隔 Δt は、A/D変換部21のクロックと同じ周期であってもよい。

20

【0030】

図1に示した構成では、解析処理部20がFFT処理を行うとしているが、これはあくまで一例であり、解析処理部20の処理方法がFFT処理に限定されるものではない。例えば、解析処理部20は、変調解析を行うものでもよく、Power vs Time、Frequency vs Time、Phase vs Time等の処理を行うものであってもよい。つまり、これらの解析処理方法も本発明に適用可能である。なお、これらの解析処理方法は、信号解析装置の当業者であれば理解できる方法なので、それらの詳細は割愛する。

【0031】

検波部24は、各周波数成分の大きさを、実効値、平均値、もしくはピーク値に変換して出力するようになっている。以下、これを「パワー」と言う。ログ変換部25は、検波部24からの出力を対数に圧縮して記憶部26へ送るようになっている。

30

【0032】

記憶部26は、例えば、一方のアドレスを測定周波数 f_v 、他方のアドレスを測定時間 t_v の経過とするメモリ領域に、該当する周波数成分のパワーを記憶するようになっている。

【0033】

表示部30は、記憶部26に記憶された測定周波数各成分のパワーを、例えば測定周波数を縦軸、測定時間を横軸とする座標に色パラメータとして表示するようになっている。

【0034】

図2は、本実施形態に係る信号解析装置SAのハードウェアの構成を示すブロック図である。

40

【0035】

信号解析装置SAは、RF/I F回路10'、ADC (A/D変換器) 21'、FPGA (Field Programmable Gate Array) 65を主に備える。

【0036】

RF/I F回路10'は、主に上記RF部10を実現する回路である。また、RF/I F回路10'は、被測定信号としてのRF信号を受信する他、例えば有線接続により被測定信号を受信することも可能に構成されている。

【0037】

50

A D C 2 1 'は、上記したA D 変換部 2 1 を実現する回路である。F P G A 6 5 は、A D 変換部 2 1 以外の解析処理部 2 0 の各要素および制御部 4 0 を実現する回路である。

【0038】

2) 信号解析装置 S A の内部経路による遅延時間

信号解析装置 S A の内部経路に起因して、信号解析装置 S A に入力されてから、F P G A 6 5 や A D C 2 1 ' が処理するまでに遅延時間が発生する。例えば R F 信号が R F / I F 回路 1 0 ' に入力されて受信処理が行われ、A D C 2 1 ' に入力されるまでに遅延時間 t_a が発生する。一方、トリガ信号入力端子 4 8 を介して信号解析装置 S A に入力されたトリガ信号が F P G A 6 5 に入力されるまでに遅延時間 t_b が発生する。

【0039】

ここで、図 3 に示すような R F 信号およびトリガ信号が、R F / I F 回路 1 0 ' およびトリガ信号入力端子 4 8 にそれぞれ入力されたとする。このとき、F P G A 6 5 のクロックにより A D C 2 1 ' がデジタルデータを生成する時のサンプリングのタイミングを考える。

【0040】

このサンプリングのタイミングを、R F 信号およびトリガ信号上に黒丸（サンプリング点）で示す。この図からわかるように、サンプリング点が各トリガ信号を捉える（ラッチする）タイミングが、トリガ信号の実際の立上がりのタイミングから遅れる場合がある。

【0041】

t_d は、トリガ信号の実際の立上がりのタイミングと、ラッチタイミングとの時間差を示す。この t_d は、サンプリング周波数、つまりトリガをラッチする F P G A 6 5 のクロック周波数により決定される。例えばクロック周波数が 1 0 0 MHz である場合、最大 $\text{Max}(t_d)$ は、以下の式で表せる。

【0042】

$$\text{Max}(t_d) = (1/100\text{M}) + t_s = 10[\text{ns}] + t_s$$

【0043】

t_s は、セットアップタイムであり、トリガ信号の立上がり開始から立上がり終了までにかかる時間である。

【0044】

上記の式より、上記 t_d は、以下の範囲をとる。

【0045】

$$t_s \leq t_d < 10[\text{ns}] + t_s$$

【0046】

t_d がこの範囲のうちどの値をとるかはトリガ信号が入力されるまでわからない。この値 t_d は、トリガ信号の時間的な精度によって決まり、ラッチ周波数（クロック周波数）が 1 0 0 MHz である場合、 $\pm 5[\text{ns}]$ の誤差が発生する。この誤差の分布は平均値を $5[\text{ns}]$ とした一様分布をとると考えられる。

【0047】

ラッチの周波数、つまり F P G A 6 5 のクロック周波数を変えることなく、トリガ信号の時間的な精度を向上させることができれば、 t_d を小さくすることができ、高精度に信号を測定できることが期待できる。

【0048】

なお、R F 信号の信号解析装置 S A の入力端から A D C 2 1 ' の入力端までの遅延時間 t_a と、トリガ信号のトリガ信号入力端子 4 8 から F P G A 6 5 の入力端までの遅延時間 t_b との差である $t_a - t_b$ は、別途の手段で補正されるので、本明細書ではこれについては言及しない。

【0049】

3) トリガ信号の高分解能を実現する手段および方法

図 4 は、上記制御部 4 0 の機能的な構成を示すブロック図である。図 6 は、制御部 4 0 の処理を示すフローチャートである。以下では、図 6 に示すフローチャートの各処理のス

10

20

30

40

50

トップの順に、制御部 40 の構成を説明する。

【0050】

制御部 40 は、クロック発生部 41、遅延部 42、ラッチ部 43、および判定部 44 を備える。

【0051】

クロック発生部 41 は、FPGA 65 の動作クロック（以下、クロック clk という。）を発生する（ステップ 101）。クロック clk は、上記のように例えば 100MHz など、MHz オーダの周波数を有する。

【0052】

遅延部 42 は、直列に接続された複数の遅延素子を含む。本実施形態では例えば 4 つの遅延素子 42a、42b、42c、42d が設けられる。遅延素子 42a～42d は、公知の種々の回路で実現され、例えば、PLL（Phase Locked Loop）回路、DFF（Delay Flip-Flop）等のラッチ回路、あるいは、インバータ回路により構成される。

【0053】

図 5 は、遅延素子の入力データおよび出力データの例を示す。遅延素子は、入力タイミングから m [s] 遅れたタイミングで、データを出力する。

【0054】

遅延素子 42a～42d は、入力トリガ信号 trg を、クロック clk の周期より短い時間でそれぞれ遅延させることで、遅延トリガ信号 s_1 , s_2 , s_3 , s_4 （図 4 参照）を発生する（ステップ 102）。各遅延トリガ信号 s_1 , s_2 , s_3 , s_4 は、入力トリガ信号 trg から m 、 $2m$ 、 $3m$ 、 $4m$ [s] それぞれ遅延することになる。ここで、 n を遅延素子の個数とした場合、クロック周期より高い分解能を得るためには、以下の式（a）または（b）を満たす必要がある。

【0055】

$$m \times n \leq 1/\text{clk} \cdots (a)$$

$$m \leq 1/\text{clk}、かつ、m \times n \leq 1/\text{clk} \cdots (b)$$

（ n ：自然数）

【0056】

ラッチ部 43 は、入力トリガ信号 trg 、および遅延部 42 から出力された各遅延トリガ信号 s_1 , s_2 , s_3 , s_4 を、クロック clk でラッチして得られるそれぞれのラッチトリガ信号 trg_ltc0 , trg_ltc1 , trg_ltc2 , trg_ltc3 , trg_ltc4 を出力する（ステップ 103）

【0057】

具体的には、ラッチ部 43 は、複数のラッチ素子を含む。ラッチ素子 43a、43b、43c、43d、43e は、遅延素子 42a～42d の数より 1 つ多く、5 つ設けられている。ラッチ素子として、例えば DFF 素子が用いられる。

【0058】

ラッチ素子 43a の D 端子には、入力トリガ信号 trg が入力される。

ラッチ素子 43b の D 端子には、遅延素子 42a からの遅延トリガ信号 s_1 が入力される。

ラッチ素子 43c の D 端子には、遅延素子 42b からの遅延トリガ信号 s_2 が入力される。

ラッチ素子 43d の D 端子には、遅延素子 42c からの遅延トリガ信号 s_3 が入力される。

ラッチ素子 43e の D 端子には、遅延素子 42d からの遅延トリガ信号 s_4 が入力される。

各ラッチ素子 43a～43e のクロック入力端子には、クロック clk が入力される。

【0059】

ラッチ素子 43a～43e でラッチされて得られるそれぞれのラッチトリガ信号 trg_ltc0 , trg_ltc1 , trg_ltc2 , trg_ltc3 , trg_ltc4 は、被判定信号として判定部 44 に入力される。

【0060】

判定部44は、取得した被判定信号に基づき、トリガ信号trgの入力タイミングを判定する（ステップ104）。制御部40は、この判定部44により得られた高分解能の入力トリガ信号trgの入力タイミングで、解析処理部20による処理、つまり被測定信号の測定を開始する。

【0061】

判定部44は、特にラッチ素子43aが最初の入力トリガ信号trgをラッチしたことを契機とし、残りの4つのラッチ素子43b～43eから出力されるラッチトリガ信号trg_ltc1～trg_ltc4を、被判定信号として取得する。

【0062】

4) ラッチ部43により生成される信号

a) 入力トリガ信号trgの入力タイミングtgが、クロックclkの立上がりタイミングt1以降であって、t1からの遅延時間90°より小さい場合

【0063】

図7は、入力トリガ信号trgの入力タイミングtgが、クロックclkの立上がりタイミングt1以降であって、t1からの遅延時間90°より小さい場合に、ラッチ部43により生成される信号を示す。

【0064】

図に示すように、遅延トリガ信号s_1, s_2, s_3, s_4は、入力トリガ信号trgから順に所定時間遅延した信号となる。ラッチ素子43a～43eは、これら入力トリガ信号trg、および遅延トリガ信号s_1, s_2, s_3, s_4を、クロックclkのタイミングt1の次の立上がりt2でラッチする。そうすると、図7の下に示すようなラッチトリガ信号trg_ltc0, trg_ltc1, trg_ltc2, trg_ltc3, trg_ltc4が生成される。遅延トリガ信号s_4は、タイミングt1より遅れるため、タイミングt1ではラッチされない。これにより、「01111」という値が出力が被判定信号として出力される。

【0065】

ここで、ラッチトリガ信号trg_ltc0は、常にt2でラッチされるので、この最小桁は常に「1」となる。判定部44は、上4桁のみに着目し、「01111」を「0111」として、この被判定信号を例えばそれらの加算分「3」とする。

【0066】

判定部44は、例えば図示しない論理回路により、「3」に対応する判定結果を生成する。「3」に対応する判定結果とは、つまり、入力トリガ信号trgの入力タイミングtgが、 $t1 \leq tg < t1 + 90^\circ$ であるというものである。

【0067】

b) 入力トリガ信号trgの入力タイミングtgが、クロックclkの立上がりタイミングt1からの遅延時間90°以上であって、180°より小さい場合

【0068】

図8は、入力トリガ信号trgの入力タイミングtgが、クロックclkの立上がりタイミングt1からの遅延時間90°以上であって、180°より小さい場合に、ラッチ部43により生成される信号を示す。

【0069】

この場合、遅延トリガ信号s_3, s_4が、タイミングt1より遅れるため、タイミングt1ではラッチされない。したがって、「00111」という出力が得られる。上記同様、上4桁のみに着目して「0011」=「2」という被判定信号が出力される。

【0070】

判定部44は、「2」に対応する判定結果を生成する。「2」に対応する判定結果とは、つまり、入力トリガ信号trgの入力タイミングtgが、 $t1 + 90^\circ \leq tg < t1 + 180^\circ$ であるというものである。

【0071】

c) 入力トリガ信号trgの入力タイミングtgが、クロックclkの立上がりタイミングt1か

10

20

30

40

50

らの遅延時間 180° 以上であって、 270° より小さい場合

【0072】

この場合、図9に示すように、遅延トリガ信号 s_2 , s_3 , s_4 が、タイミング $t1$ より遅れるため、タイミング $t1$ ではラッチされない。したがって、「0001」という出力が得られる。上記同様、上4桁のみに着目して「0001」=「1」という被判定信号が出力される。

【0073】

判定部44は、「1」に対応する判定結果を生成する。「1」に対応する判定結果とは、つまり、入力トリガ信号 trg の入力タイミング tg が、 $t1+180^\circ \leq tg < t1+270^\circ$ であるというものである。

10

【0074】

d) 入力トリガ信号 trg の入力タイミング tg が、クロック clk の立上がりタイミング $t1$ からの遅延時間 270° 以上であって、 360° より小さい場合

【0075】

この場合、図10に示すように、遅延トリガ信号 s_1 , s_2 , s_3 , s_4 が、タイミング $t1$ より遅れるため、タイミング $t1$ ではラッチされない。したがって、「0000」という出力が得られる。上記同様、上4桁のみに着目して「0000」=「0」という被判定信号が出力される。

【0076】

判定部44は、「0」に対応する判定結果を生成する。「0」に対応する判定結果とは、つまり、入力トリガ信号 trg の入力タイミング tg が、 $t1+270^\circ \leq tg < t1+360^\circ$ であるというものである。

20

【0077】

以上のように、本実施形態では、遅延部42が、入力されたトリガ信号をクロック clk の周期より短い時間で遅延させた遅延トリガ信号 s_1 , s_2 , s_3 , s_4 を発生するので、クロック clk より高い、遅延量分の分解能を持つラッチトリガ信号を生成することができる。これにより判定部44は、その分解能で入力トリガ信号 trg の入力タイミングを判定することができる。その結果、入力トリガ信号 trg の入力タイミングとその入力トリガ信号 trg のラッチタイミングとのずれを小さくすることができ、制御部40は、高分解能のトリガ信号 trg の入力タイミングで、被測定信号の測定を開始することができる。すなわち、測定開始時刻の誤差を小さくすることができる。

30

【0078】

本実施形態では、GHzレベルの高速な動作クロックを持つ、高価なADCやFPGA等のデバイスを使用することなく、高い分解能を得ることができる。

【0079】

図11は、本実施形態による効果を概念的に示すグラフである。横軸がトリガの実入力時間（実際の入力タイミング）を示し、縦軸がトリガの検出時間を示す。このグラフは、破線で示す1クロックが入力されてトリガが検出される間に、4つのトリガが検出されることを示している。つまり、本実施形態では $n=4$ であるので、クロック clk による分解能の4倍の分解能を得ることができる。遅延素子の数 n を増やすことにより、さらに高い分解能を得ることができる。実製品が取り得る n としては、例えば $n=8 \sim 16$ である。

40

【0080】

特に、MIMO (Multiple-Input Multiple-Output) 技術を利用する通信システムでは、2つの送信アンテナから送信されるそれぞれの送信タイミングの誤差が、65ns以下と規格で定められている。また、その信号を受信する測定装置（例えば本実施形態のような信号解析装置SA）が持つ誤差（測定誤差）は25nsと規格で定められている。上記のように、時間差 t_d を十分に小さくすることができれば、25nsという測定誤差範囲を十分にクリアすることができる。

【0081】

2. 第2の実施形態

50

【0082】

次に、本発明の第2の実施形態について説明する。これ以降の説明では、上記第1の実施形態に係る信号解析装置SAが含むハードウェアや機能ブロック等について同様のものは説明を簡略化または省略し、異なる点を中心に説明する。

【0083】

図12Aは、上記第1の実施形態において、トリガ実入力時間とトリガずれ検出量との関係を示す。横軸は、入力トリガ信号の立上がりの形状に相当する。縦軸は、上記のように遅延素子の数 $n=4$ である場合に、ラッチ素子43b~43eからの出力の加算値（被判定信号）に相当する。

【0084】

10

ハッチングで示す遷移域Sは、トリガ信号の立上がりの急峻さを示す領域であり、急峻なほどその遷移域Sの横幅は短く表される。図12Bに示すように、トリガ信号の立上がりが遅いほど、遷移域Sは広がる。遷移域Sが広すぎると、遷移域S同士が重なる領域S'が発生する。この重なり領域S'では、得られるビットが不安定になる。例えば遷移域S1とS2の重なり領域S'では、縦の矢印の範囲内の値、つまり「0000」、「0001」、「0010」、「0011」の4つの値を取り得る。

【0085】

図13は、図12Bの状態を表す別の図である。例えば本来検出されるべき値が「0001」であったとしても、遷移域S1~S4では、0と1が確定しておらず、0と1のどちらにも判定され得る状態にある。したがって、縦破線で示したタイミングでは「0000」、「0001」

20

、「0010」、「0011」の4つの値が検出される可能性がある。

【0086】

ここで、これら4つの値のうち、「0010」の「010」は、最小桁の値から最大桁の値までの間に2回変動する値となっている。これは、本実施形態のアルゴリズム上は検出されるべきではない値である。本来検出されるべき値は、「0011」、「0000」や、あるいは、遅延素子の数 $n=8$ の場合、「00111111」、「00000011」等のように、最小桁の値から最大桁の値までの間に1回以下で変動する値である。

【0087】

図15は、各ラッチ素子43b~43eからの出力が取り得る値を示す表である。ハッチングで示す部分が、本来検出されるべきでない値である。「0010」の場合、本来検出されるべきラッチ素子43dの出力値0が1に遷移し、本来検出されるべきラッチ素子43eの出力値1が0に遷移した結果である。この状況は、ラッチ素子43dおよび43eの出力値の両方が不安定になり、ビットが互いに反転している状況である。

30

【0088】

また、もちろんこれらのうち一方の出力値のビットが反転する場合もある。例えば、本来検出されるべき値が「0001」の場合において、ラッチ素子43dのみの出力値0が1に反転すると、検出される値は「0011」となる。ラッチ素子43eのみの出力値1が0に反転すると、検出される値は「0000」となる。

【0089】

以上より、本来検出されるべき値が例えば「0001」の場合、回路上では、「0010」を含め上記4つの値を取り得る。しかし、「0010」は本来検出されるべき値ではないので、判定部44は、これを3つの「0000」=「0」、「0001」=「1」、「0011」=「2」の範囲内にあると推定することができる。具体的には、図15に示す表では、「0010」=「1'」は、「0001」=「1」に置き換えられる。すなわち、「0010」が検出された場合、それは「1」±1の許容誤差範囲内にあるとする。

40

【0090】

なお、判定部44は「0010」を「0011」や「0000」に置き換えるようにしてもよい。

【0091】

以上のように、判定部44は、本来検出されるべきでない値を、本来検出されるべき値のうちいずれか所定の1つに置き換える補正を行う。この場合、判定部44は「補正部」

50

として機能する。この補正は、論理回路またはソフトウェアのどちらでも実現可能である。

【0092】

従来の技術の分解能を m [s] ($=1/\text{clk}$) とする。また、あるタイミングで重なる遷移域 S の数を x (：正の整数)、 n を遅延素子の数とすると、分解能を以下の式で表すことができる。以下の式において、 $n > x$ のとき、分解能を向上させることができる。

【0093】

$$m/n \pm x \times m/2n \text{ [s]}$$

【0094】

上記の例では、 $m/4 \pm 2 \times m/(2 \times 4)$ [s] ($=1/(\text{clk} \times 4) \pm 1/(\text{clk} \times 4)$) の分解能を得ることができる。すなわち、従来に比べ分解能が向上する。

10

【0095】

図15に示したように、判定部44は、「0010」が検出される場合に限らず、「0101」または「1010」が検出された場合、「0101」=「2'」を「0011」=「2」に置き換え、「1010」=「3'」を「0111」=「3」に置き換える。

【0096】

以上の例は、あるタイミングで重なる遷移域 S の数が2であった。しかし、例えば図14に示すように、あるタイミングで重なる遷移域 S の数が3の場合も想定される。破線で示したタイミングでは、「0001」、「0000」、「0011」、「0010」、「0111」、「0101」、「0110」、「0100」の8つのうち、ラッチ部43の出力値はどれでも取り得る状態にある。このような場合であっても、分解能は、 $m/4 \pm 3 \times m/(2 \times 4)$ [s] ($=1/(\text{clk} \times 4) \pm 3/(\text{clk} \times 8)$) となり、向上する。

20

【0097】

3. その他の実施形態

【0098】

本発明は、以上説明した実施形態に限定されず、他の種々の実施形態を実現することができる。

【0099】

上記実施形態に係る信号解析装置SAでは、FPGAが用いられたが、これに代えて、他のPLD(Programmable Logic Device)が用いられてもよいし、CPU (Central Processing Unit) が用いられてもよい。

30

【0100】

遅延素子として、上記実施形態で示した素子の他、例えば同軸遅延線路が用いられてもよい。また、トロンボーン方式の同軸遅延線路のように、遅延量が可変な方式のものも用いることもできる。

【0101】

上記実施形態では、遅延部42の各遅延素子による遅延量が等間隔であったが、遅延部は、少なくとも2つの遅延量が異なるような遅延素子を備えていてもよい。

【0102】

以上説明した各形態の特徴部分のうち、少なくとも2つの特徴部分を組み合わせることも可能である。

40

【符号の説明】

【0103】

10…RF部

10'…RF/I F回路

20…解析処理部

40…制御部

41…クロック発生部

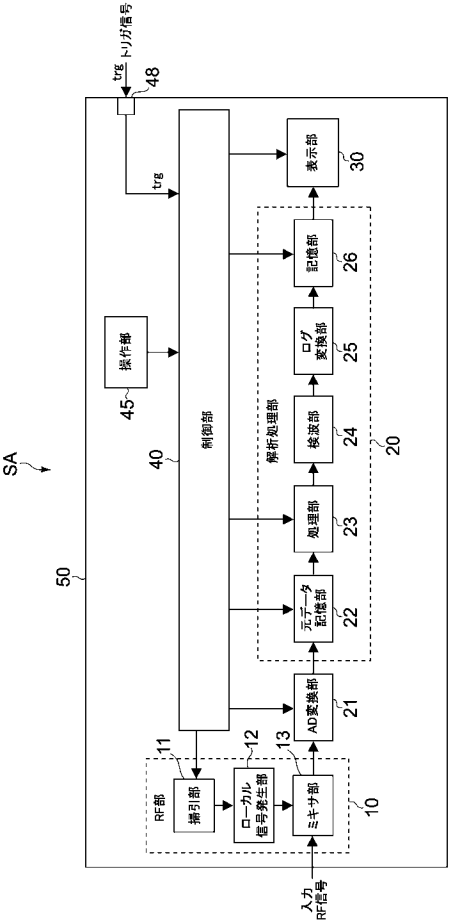
42…遅延部

42a～42d…遅延素子

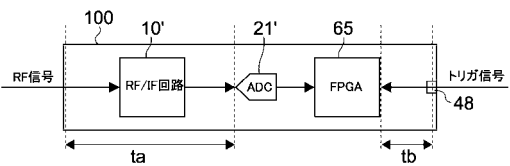
50

- 4 3 … ラッチ部
- 4 3 a ~ 4 3 e … ラッチ素子
- 4 4 … 判定部
- 4 8 … トリガ信号入力端子
- S A … 信号解析装置

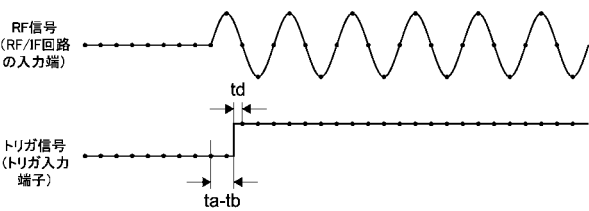
【 図 1 】



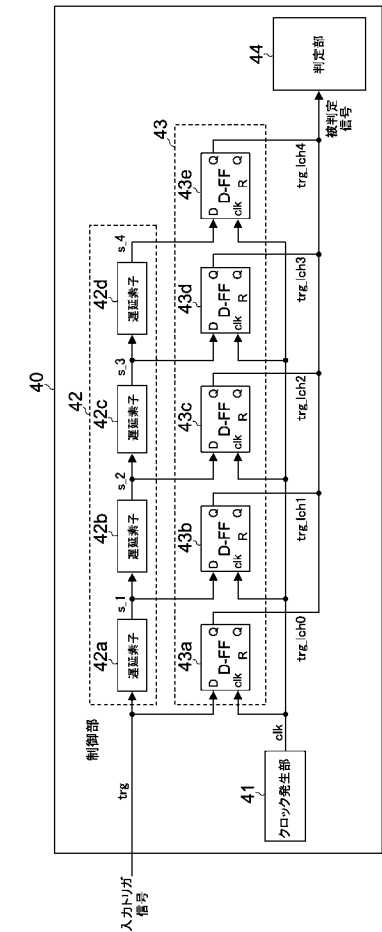
【 図 2 】



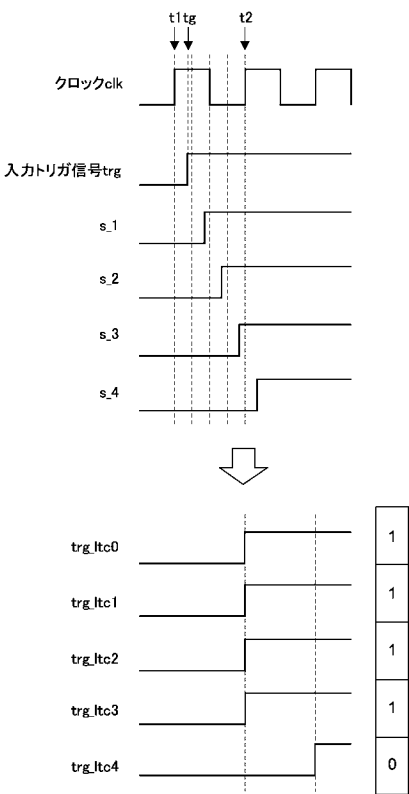
【 図 3 】



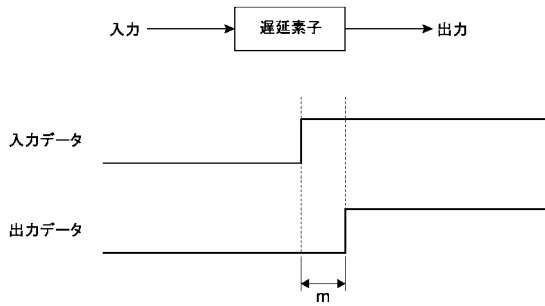
【図 4】



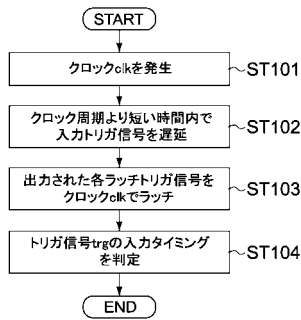
【図 7】



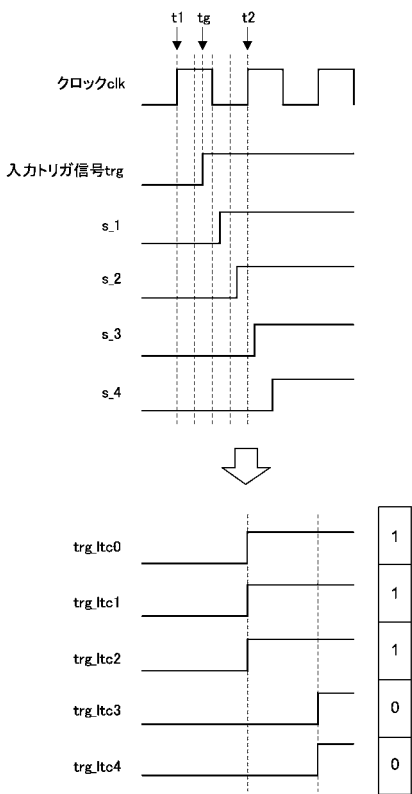
【図 5】



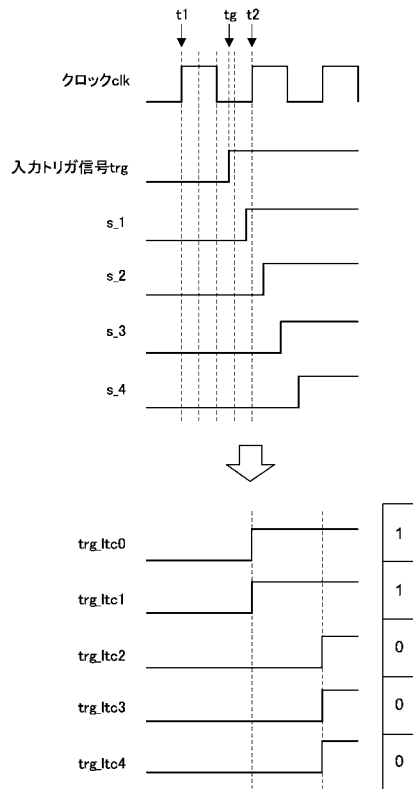
【図 6】



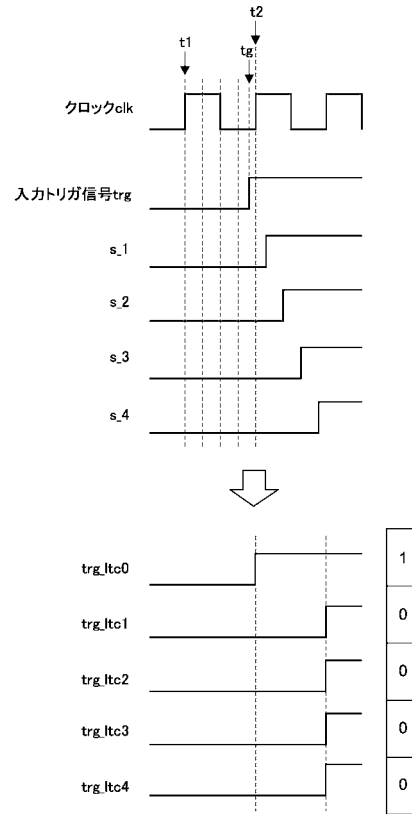
【図 8】



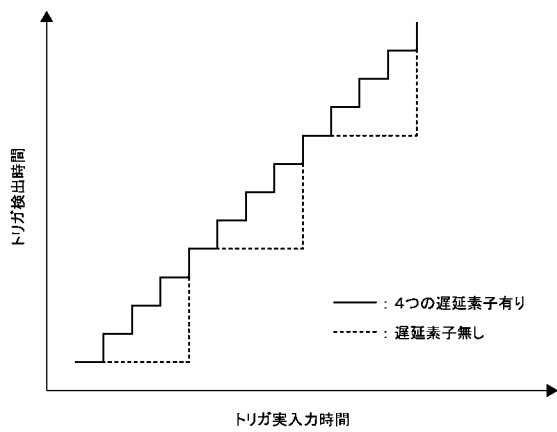
【図 9】



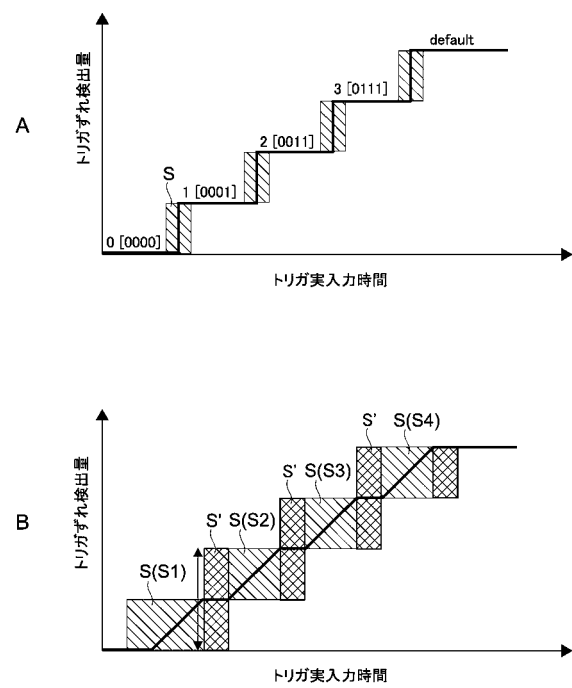
【図 10】



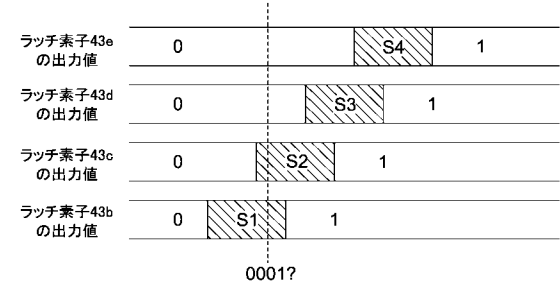
【図 11】



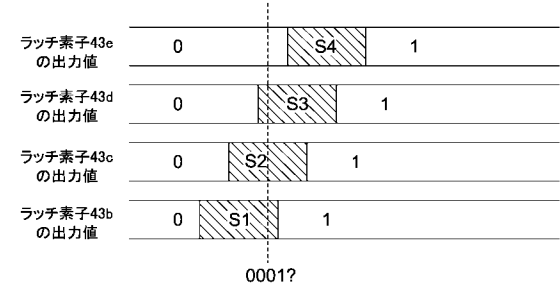
【図 12】



【図 1 3】



【図 1 4】



【図 1 5】

ラッチ素子43e の出力値	ラッチ素子43d の出力値	ラッチ素子43c の出力値	ラッチ素子43b の出力値	被判定値
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1'
0	0	1	1	2
0	1	0	1	2'
0	1	1	1	3
1	0	1	1	3'
default				

フロントページの続き

- (74)代理人 100170346
弁理士 吉田 望
- (74)代理人 100176131
弁理士 金山 慎太郎
- (72)発明者 伊藤 伸一
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 井上 剛
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 小野 純
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 西尾 圭介
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 近藤 佑樹
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内