

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45234

(P2010-45234A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.

H01L 21/60 (2006.01)

F I

H01L 21/92 6O2H
H01L 21/92 6O2D
H01L 21/92 6O4D
H01L 21/92 6O3A
H01L 21/92 6O3D

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2008-208825 (P2008-208825)
(22) 出願日 平成20年8月14日 (2008.8.14)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100086298
弁理士 船橋 國則
(72) 発明者 川上 勝
東京都港区港南1丁目7番1号 ソニー株
式会社内
(72) 発明者 青柳 哲理
東京都港区港南1丁目7番1号 ソニー株
式会社内

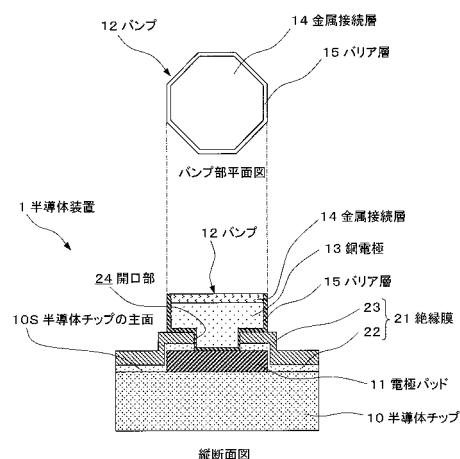
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】本発明は、高さをそろえて多数のパンプを形成することを可能とし、フリップチップ接続での接続不良を解消することを可能にする。

【解決手段】半導体チップ10と、この半導体チップの主面10Sに形成された複数の電極パッド11と、半導体チップの主面10Sに形成されていて各電極パッド11を被覆する絶縁膜21と、各電極パッド11上の絶縁膜21に形成された開口部24と、絶縁膜21に各開口部24を通じて各電極パッド11に接続されたパンプ12を有し、パンプ12は、開口部24を通じて電極パッド11に接続する銅電極13と、銅電極13表面に形成された金属接続層14と、銅電極13および金属接続層14の側部および開口部24の内面に形成されたバリア層15を有し、各銅電極13は同等の高さに形成され、各金属接続層14は同等の厚さに形成されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

半導体チップと、
前記半導体チップの主面に形成された複数の電極パッドと、
前記半導体チップの主面に形成されていて前記各電極パッドを被覆する絶縁膜と、
前記各電極パッド上の前記絶縁膜に形成された開口部と、
前記絶縁膜上に前記各開口部を通じて前記各電極パッドに接続されたバンプを有し、
前記バンプは、
前記開口部を通じて前記電極パッドに接続する銅電極と、
前記銅電極上面に形成された金属接続層と、
前記銅電極および前記金属接続層の側部および前記開口部の内面に形成されたバリア層を有し、
前記各銅電極は同等の高さに形成され、
前記各金属接続層は同等の厚さに形成されている
半導体装置。

【請求項 2】

前記バリア層は、チタン膜、窒化チタン膜、タンタル膜、窒化タンタル膜の少なくとも 1 種で形成されている
請求項 1 記載の半導体装置。

【請求項 3】

前記金属接続層は、スズ、金、ニッケルのいずれかで形成されている
請求項 1 記載の半導体装置。

【請求項 4】

半導体チップの主面に複数の電極パッドを形成する工程と、
前記半導体チップの主面に前記各電極パッドを被覆する第 1 絶縁膜を形成する工程と、
前記電極パッド上の前記第 1 絶縁膜に第 1 開口部を形成する工程と、
前記第 1 絶縁膜の表面に前記各第 1 開口部が埋め込まれる第 2 絶縁膜を形成する工程と、
、
前記電極パッド上の前記第 2 絶縁膜に第 2 開口部を形成し、該第 2 開口部の下部に連続する前記第 1 開口部を再び開口する工程と、
前記第 1、第 2 開口部の内面および前記第 2 絶縁膜の表面にバリア層を形成する工程と、
、
前記バリア層を介して前記第 1、第 2 開口部の内部が埋め込まれる銅膜を形成する工程と、
化学的機械研磨によって前記第 2 絶縁膜上の前記銅膜および前記バリア層を除去して、
前記第 1、第 2 開口部内に前記バリア層を介して前記銅膜からなる銅電極を形成する工程と、
前記第 2 絶縁膜を除去する工程と、
無電解めっきによって前記銅電極上に金属接続層を形成する工程を有する
半導体装置の製造方法。

【請求項 5】

前記バリア層は、チタン膜、窒化チタン膜、タンタル膜、窒化タンタル膜の少なくとも 1 種で形成する
請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記金属接続層は、スズ、金、ニッケルのいずれかで形成する
請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特にチップオンチップ接続のバンプを備えた半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

携帯機器の小型化、低消費電力化、低コスト化のために、複数チップを一つのパッケージに搭載したSiP (System in package) が広く用いられている。チップの接続方式には、従来より、ワイヤ接続、フリップチップ接続が用いられているが、チップ間の伝送速度の点でSoC (System on chip) より劣ることがデメリットとして挙げられる。

【0003】

フリップチップ接続方式では、チップに接続用バンプを形成し、基板もしくは他のチップとバンプを介して物理的かつ電氣的に接続させる。

10

特に、図7に示すように、上側チップ101と下側チップ102同士を接続させるCoC (Chip on Chip) 接続では、基板配線を介さずに上側チップ101と下側チップ102間を電氣的に接続するため、配線長、容量の低減が可能である。

加えて、上側チップ101、下側チップ102のそれぞれに、数千個の径が数十 μ mのバンプ111、112を配置し、対向するバンプ111、112同士を接続している。このため、基板接続型のフリップチップ接続と比較して、バンド幅を飛躍的に増加させることが可能となる。この結果、CoC接続は伝送速度向上が可能となり、従来のSiPのデメリットを克服できる。

また、上側チップ101、下側チップ102間には封止樹脂121が充填されている。

20

【0004】

上記フリップチップ接続のバンプ材料には、スズ(Sn)、金(Au)、銅(Cu)などが用いられており、バンプ形成プロセスは主にセミアディティブ法が主流である。

このセミアディティブ法は、シード層を形成した後、このシード層上にレジスト膜を形成する。そして、バンプ形成位置のレジスト膜に開口部を形成するパターニングを行う。次いで、開口部内のシード層上に、電気めっき(電解めっき)法で金属層とはんだ層を形成した後、レジスト膜を除去する。さらに、余剰なシード層を除去するという工程を順に行い、金属層とはんだ層からなるバンプを形成する方法である(例えば、特許文献1、非特許文献1参照。)。

【0005】

30

しかし、電解めっきで、数千個ものバンプとなるめっき層を形成しているため、めっき形成領域の全域の電流密度を均一にすることは困難である。そのため、めっき形成領域の電流密度が不均一になって、バンプの高さにばらつきを生じていた。このバンプの高さばらつきは、例えば2.5 μ m程度になっていた。

また、上記プロセスでは、余剰なシード層を除去した後、各金属層とはんだ層をフラックス層で被覆してはんだ層のリフロー処理を行い、はんだ層表面を曲面に形成している。このリフロー処理を行っても、初めに形成された金属層とはんだ層の高さが部分的に異なっているため、リフロー後の金属層とはんだ層を合わせたバンプの高さにばらつきを生じていた。

【0006】

40

【特許文献1】特開2005-51128号公報

【非特許文献1】Takayuki Ezaki, Kazuhiro Kondo, Hiroshi Ozaki, Naoto Sasaki, Hito shi Yonenura, Masaki Kitano, Shuji Tanaka, Teruo Hirayama著 「A 160Gb/s Interface Design Configuration for Multichips LSI」 2004 IEEE International Solid-State Circuits Conference 2004年

【発明の開示】

【発明が解決しようとする課題】

【0007】

解決しようとする問題点は、電解めっきで多数のバンプを形成したとき、バンプの高さがばらついていたため、フリップチップ接続させた場合、接続が不完全なバンプが生じて

50

、接続不良が発生していた点である。

【 0 0 0 8 】

本発明は、高さをそろえて多数のバンプを形成することを可能とし、フリップチップ接続での接続不良を解消することを可能にする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の半導体装置は、半導体チップと、前記半導体チップの主面に形成された複数の電極パッドと、前記半導体チップの主面に形成されていて前記各電極パッドを被覆する絶縁膜と、前記各電極パッド上の前記絶縁膜に形成された開口部と、前記絶縁膜上に前記各開口部を通じて前記各電極パッドに接続されたバンプを有し、前記バンプは、前記開口部を通じて前記電極パッドに接続する銅電極と、前記銅電極上面に形成された金属接続層と、前記銅電極および前記金属接続層の側部および前記開口部の内面に形成されたバリア層を有し、前記各銅電極は同等の高さに形成され、前記各金属接続層は同等の厚さに形成されている。

10

【 0 0 1 0 】

本発明の半導体装置では、バンプを形成する銅電極は同等の高さに形成され、またバンプを形成する金属接続層は同等の厚さに形成されていることから、各バンプは同等の高さに形成されている。また銅電極および金属接続層の側部にバリア層が形成されていることから、たとえ金属接続層を形成した後に金属接続層をリフロー処理することがあっても、バリア層によって金属接続層の流れ出しが抑えられる。このため、金属接続層を含む各バンプの高さは、同等な高さとなっている。

20

【 0 0 1 1 】

本発明の半導体装置の製造方法は、半導体チップの主面に複数の電極パッドを形成する工程と、前記半導体チップの主面に前記各電極パッドを被覆する第1絶縁膜を形成する工程と、前記電極パッド上の前記第1絶縁膜に第1開口部を形成する工程と、前記第1絶縁膜の表面に前記各第1開口部が埋め込まれる第2絶縁膜を形成する工程と、前記電極パッド上の前記第2絶縁膜に第2開口部を形成し、該第2開口部の下部に連続する前記第1開口部を再び開口する工程と、前記第1、第2開口部の内面および前記第2絶縁膜の表面にバリア層を形成する工程と、前記バリア層を介して前記第1、第2開口部の内部が埋め込まれる銅膜を形成する工程と、化学的機械研磨によって前記第2絶縁膜上の前記銅膜および前記バリア層を除去して、前記第1、第2開口部内に前記バリア層を介して前記銅膜からなる銅電極を形成する工程と、前記第2絶縁膜を除去する工程と、無電解めっきによって前記銅電極上に金属接続層を形成する工程を有する。

30

【 0 0 1 2 】

本発明の半導体装置の製造方法では、第1、第2開口部内を埋め込むように銅膜を形成した後、化学的機械研磨によって第2絶縁膜上の銅膜およびバリア層を除去して、第1、第2開口部内にバリア層を介して銅膜からなる銅電極が形成される。したがって、各銅電極は、第1、第2開口部内を満たすように、表面が平坦な、均一な高さに形成される。

また、無電解めっきによって、各銅電極上に金属接続層を形成しているため、金属接続層は均一な厚さに形成される。通常、無電解めっきは、電解めっきのように電流密度の差が生じることがないので、めっき成長が、半導体チップの全域において均一になる。

40

たとえ金属接続層を形成した後に金属接続層をリフロー処理することがあっても、バリア層によって金属接続層の流れ出しが抑えられるので、金属接続層を含む各バンプの高さは、同等な高さが維持される。

よって、銅電極および金属接続層で形成される複数のバンプは、高さが同等なものに形成される。

【発明の効果】

【 0 0 1 3 】

本発明の半導体装置は、複数のバンプの全ては高さが同等なものに形成されているため、別の半導体装置に形成されたバンプとフリップチップ接続させた場合に全てのバンプで

50

確実に接続ができるので、接続不良が発生しなくなるという利点がある。

よって、フリップチップ接続における歩留まりの向上、信頼性の向上が図れる。

【 0 0 1 4 】

本発明の半導体装置の製造方法は、全パンプの高さが同等なものに形成されるため、別の半導体装置に形成されたパンプとフリップチップ接続させた場合に全てのパンプで確実に接続ができるので、接続不良が発生しなくなるという利点がある。

よって、フリップチップ接続における歩留まりの向上、信頼性の向上が図れる半導体装置を製造できる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

本発明の半導体装置に係る一実施の形態を、図 1 に示したパンプ部平面図およびパンプおよびその周辺部の縦断面図によって説明する。

【 0 0 1 6 】

図 1 に示すように、半導体チップ 10 を有する。この半導体チップ 10 は、詳細は図示していないが、通常の半導体チップであり、例えば、半導体基板に集積回路素子およびこの集積回路素子に接続する配線が形成され、絶縁膜からなる保護膜により被覆されたものである。

この半導体チップ 10 の主面 10 S には、上記集積回路素子（図示せず）、上記配線（図示せず）等に接続された、複数の電極パッド 11 が形成されている。

図面では、代表して一つの電極パッド 11 を示したが、本発明の半導体装置 1 では、半導体チップ 10 の主面 10 S に例えば数千個の上記電極パッド 11 が形成されている。

上記電極パッド 11 は、例えばアルミニウム電極で形成されている。もちろん、アルミニウム以外の金属電極、例えば、銅電極、銅合金電極、アルミニウム合金電極等であってもよい。

【 0 0 1 7 】

上記半導体チップ 10 の主面 10 S には、上記各電極パッド 11 を被覆する絶縁膜 21 が形成されている。この絶縁膜 21 は、例えば、下層に形成された酸化シリコン膜 22 と、その酸化シリコン膜 22 上に形成された窒化シリコン膜 23 とからなる。

上記各電極パッド 11 上の上記絶縁膜 21 には、開口部 24 が形成されている。

【 0 0 1 8 】

上記絶縁膜 21 には、上記各開口部 24 を通じて上記各電極パッド 11 に接続されたパンプ 12 が形成されている。

上記パンプ 12 は、上記開口部 24 を通じて上記電極パッド 11 に接続する銅電極 13 と、この銅電極 13 表面に形成された金属接続層 14 と、上記銅電極 13 および上記金属接続層 14 の側部および上記開口部 24 の内面に形成されたバリア層 15 を有する。

上記金属接続層 14 は、スズ、金、ニッケルのいずれかで形成されている。

上記バリア層 15 は、例えば、チタン膜、窒化チタン膜、タンタル膜、窒化タンタル膜の少なくとも 1 種で形成されている。例えば、絶縁膜 21 との密着性をよくするためのチタン膜と、このチタン膜表面に形成されたタンタル膜もしくは窒化タンタル膜との積層膜で形成することもできる。この場合、タンタル膜、窒化タンタル膜が主としてバリア層の機能を有する。このバリア層の機能としては、絶縁膜 21 中の酸素が銅電極 13 中に拡散して銅電極 13 が酸化されるのを防止するとともに、銅電極 13 の銅が絶縁膜 21 中に拡散するのを防止する。

そして、上記各銅電極 13 は同等の高さに形成されていて、上記各金属接続層 14 は同等の厚さに形成されている。

上記のように半導体装置 1 が構成されている。

【 0 0 1 9 】

本発明の半導体装置 1 では、各パンプ 12 を形成する銅電極 13 は同等の高さに形成され、また各パンプ 12 を形成する金属接続層 14 は同等の厚さに形成されていることから、各パンプ 12 は同等の高さに形成されている。また銅電極 13 および金属接続層 14 の

10

20

30

40

50

側部にバリア層 15 が形成されていることから、たとえ金属接続層 14 を形成した後に金属接続層 14 をリフロー処理しても、バリア層 15 によって金属接続層 14 の流れ出しが抑えられる。このため、金属接続層 14 を含む各バンプ 12 の高さは、同等な高さとなっている。

【0020】

次に、上記半導体装置 1 を用いたフリップチップ接続の一例を以下に説明する。

図 2 に示すように、上記半導体装置 1 に形成されたバンプ 12 (12-1) と、本発明の構成を有する上記半導体装置 1 とは別の半導体装置 2 に形成されたバンプ 12 (12-2) とを対向させる。そして、一方の半導体装置、例えば半導体装置 2 を矢印方向にフェースダウンしてバンプ 12-1、12-2 同士を接続させる。なお、図面では、フェース

10

ダウンする状態を示した。この場合、バンプ 12 (12-1) は全て高さが同等であり、バンプ 12 (12-2) も全て高さが同等であるから、全ての対向するバンプ 12-1、12-2 同士の接続が確実にできる。

したがって、接続不良が発生しなくなるという利点がある。

よって、フリップチップ接続における歩留まりの向上、信頼性の向上が図れる。

また図示はしていないが、半導体装置 1、2 間には封止樹脂が充填される。

【0021】

上記接続例では、半導体装置 1、2 間の接続を示したが、上記半導体装置 1 と回路基板のバンプ (図示せず) との接続であっても同様な効果が期待できる。

20

【0022】

次に、本発明の半導体装置の製造方法に係る一実施の形態を、図 3 に示したフローチャートおよび図 4 ~ 図 6 に示したバンプおよびその周辺部の製造工程断面図によって説明する。この製造方法は、前記図 1 を参照して説明した半導体装置 1 を製造する工程の一例である。

【0023】

図 3 に示すように、「始め：前工程完成ウエハの用意」S1 で、前工程を終了した完成ウエハを用意する。図 4 ~ 図 6 では、一例として、一つのバンプの形成領域に着目して、その断面を示す。

また図示はしていないが、ウエハに形成された半導体チップは、通常の半導体チップであり、例えば、半導体基板に集積回路素子およびこの集積回路素子に接続する配線が形成され、保護膜により被覆されたものである。

30

【0024】

図 4 (1) に示すように、上記半導体チップ 10 の主面 10S には、上記集積回路素子 (図示せず)、上記配線 (図示せず) 等に接続された、複数の電極パッド 11 が形成されている。

図面では、代表して一つの電極パッド 11 を示したが、上記半導体チップ 10 の主面 10S に、例えば数百個ないし数千個の上記電極パッド 11 が形成されている。

上記電極パッド 11 は、例えばアルミニウム電極で形成されている。もちろん、アルミニウム以外の金属電極、例えば、銅電極、銅合金電極、アルミニウム合金電極等であってもよい。

40

【0025】

次に、上記半導体チップ 10 の表面に上記各電極パッド 11 を被覆する第 1 絶縁膜 21 (前記図 1 を参照して説明した絶縁膜 21 に相当するため、同一符号付与した。) を形成する。この第 1 絶縁膜 21 は、以下のように形成する。例えば、酸化シリコン膜 22 を形成した後、その酸化シリコン膜 22 上に窒化シリコン膜 23 を形成する。この窒化シリコン膜 23 は、後の工程での酸化シリコン膜のエッチング時のエッチングストップとしても機能する。また上記酸化シリコン膜 22 は、上記窒化シリコン膜 23 の応力を緩和する。

【0026】

次いで、通常のレジスト塗布技術およびリソグラフィ技術等によって、上記電極パッド

50

1 1 上に開口部を有するレジストマスク（図示せず）を上記第 1 絶縁膜 2 1 上に形成した後、それをエッチングマスクに用いて、上記第 1 絶縁膜 2 1 をエッチングする。その結果、上記電極パッド 1 1 上の上記第 1 絶縁膜 2 1 に第 1 開口部 2 4（前記図 1 を参照して説明した開口部 2 4 に相当するため、同一符号付与した。）が形成される。

上記エッチング後に上記レジストマスクを除去する。

【0027】

次に、図 3 に示すように、「絶縁膜の形成」工程 S 2 を行う。

この工程では、図 4（2）に示すように、上記第 1 絶縁膜 2 1 上に、上記各第 1 開口部 2 4 が埋め込まれる第 2 絶縁膜 2 5 を形成する。

上記第 2 絶縁膜 2 5 は、その後に形成されるパンプの高さと同じの膜厚、もしくは、それより厚い膜厚とする。上記第 2 絶縁膜 2 5 は次工程以降のめっき、化学的機械研磨（CMP）後に除去できる材料で形成する。そのような材料は、例えば酸化シリコン膜がある。

10

【0028】

次に、図 3 に示すように、「レジストマスクの形成」工程 S 3 を行う。

この工程では、図 4（3）に示すように、上記第 2 絶縁膜 2 5 上にレジスト塗布技術によりレジスト膜 4 1 を形成する。次いで、リソグラフィ技術（例えば露出、現像、ベーク等）によって、上記第 1 開口部 2 4 上方に、例えば第 1 開口部 2 4 より大きい口径のレジスト開口部 4 2 を形成する。

【0029】

20

次に、図 3 に示すように、「第 2 開口部の形成」工程 S 4 を行う。

この工程では、図 5（4）に示すように、上記レジスト膜 4 1 をエッチングマスクに用いて、上記第 2 絶縁膜 2 5 に第 2 開口部 2 6 を形成する。このとき、第 2 絶縁膜 2 5 に埋め込まれた上記第 1 開口部 2 4 も再び開口される。したがって、上記第 2 開口部 2 6 の下部に連続して上記第 1 開口部 2 4 が形成される。

なお、図面は、第 2 開口部 2 6 を形成し、第 1 開口部 2 4 を再び開口している途中の状態を示している。

【0030】

次に、図 3 に示すように、「バリア層・シード層の形成」工程 S 5 を行う。

この工程では、図 5（5）に示すように、上記第 1、第 2 開口部 2 4、2 6 の内面および上記第 2 絶縁膜 2 5 の表面にバリア層 1 5 を形成する。

30

上記バリア層 1 5 は、例えば、チタン膜、窒化チタン膜、タンタル膜、窒化タンタル膜の少なくとも 1 種で形成される。例えば、絶縁膜 2 1 との密着性をよくするためのチタン膜と、このチタン膜表面に形成されたタンタル膜もしくは窒化タンタル膜との積層膜で形成することもできる。この場合、タンタル膜、窒化タンタル膜が主としてバリア層の機能を有する。このバリア層の機能としては、絶縁膜 2 1 中の酸素が後に形成される銅電極中に拡散して銅電極が酸化されるのを防止するとともに、後に形成される銅電極の銅が絶縁膜 2 1、半導体チップ 1 0 等に拡散するのを防止する。

さらに、上記バリア層 1 5 の表面にめっきのシード層（図示せず）を形成する。このシード層には、例えば銅を用いる。

40

上記密着層、バリア層 1 5、シード層等の成膜は、例えば化学気相成長（CVD）法、スパッタ法等のステップカバレッジに優れた成膜方法で行うことが好ましい。

【0031】

次に、図 3 に示すように、「銅膜の形成」工程 S 6 を行う。

この工程では、図 5（6）に示すように、上記バリア層 1 5 を介して上記第 1、第 2 開口部 2 4、2 6 の内部が埋め込まれる銅膜 1 6 を形成する。この銅膜 1 6 は、例えば上記銅のシード層をめっき種として電解めっきにより形成する。ここでは、電解めっきを用いることができる。それは、各第 2 開口部 2 6 において、めっき膜の膜厚にばらつきが生じてもかまわないからである。要するに、上記第 1、第 2 開口部 2 4、2 6 の内部を完全に埋め込むことができればよい。もちろん、他の成膜方法によって、銅膜 1 6 を形成するこ

50

とも可能である。

【0032】

次に、図3に示すように、「平坦化」工程S7を行う。

この工程では、図6(7)に示すように、化学的機械研磨(CMP)によって上記第2絶縁膜25上の上記銅膜16(シード層も含む)および上記バリア層15を除去して、上記第1、第2開口部24、26内に上記バリア層15を介して上記銅膜16(上記銅のシード層も含む)からなる銅電極13を形成する。

なお、図面は、銅膜16を研磨していく途中の状態を示した。

【0033】

例えば上記銅膜16のCMP条件は、一例として、研磨パッドに発泡ポリウレタン樹脂パッドを用い、スラリーに過酸化水素(H_2O_2)が添加されたシリカ含有スラリーを用いる。また、研磨圧力を 210 g/cm^2 、研磨定盤の回転数を 30 rpm 、研磨ヘッドの回転数を 30 rpm 、スラリーの供給流量を 200 cc/min 、研磨液の温度を $25\sim30$ に設定した。

【0034】

また、例えばタンタル膜、窒化チタン膜、窒化タンタル膜等からなるバリア層15のCMP条件は、一例として、研磨パッドに発泡ポリウレタン樹脂パッドを用い、スラリーに過酸化水素(H_2O_2)が添加されたシリカ含有スラリーを用い、研磨圧力を 140 g/cm^2 、研磨定盤の回転数を 30 rpm 、研磨ヘッドの回転数を 30 rpm 、スラリーの供給流量を 200 cc/min 、研磨液の温度を $25\sim30$ に設定した。

【0035】

このようにして、図6(8)に示すように、上記第1、第2開口部24、26内に銅電極13が形成されるので、銅電極13表面を含む上記第2絶縁膜25表面は平坦化されるため、各銅電極13の高さを均一にすることができる。すなわち、各銅電極13の高さは銅膜16(前記図5(6)、図6(7)等を参照)を形成するめっき膜厚のばらつきの影響を受けない。また銅電極13は、CMP時のディッシング等の影響を受けたとしても、高さ数十nmの範囲でのばらつきに抑えることが可能であり、従来のような μm 単位のばらつきにはならない。したがって、銅電極13の高さばらつきの大幅な改善が得られる。

【0036】

次に、図3に示すように、「第2絶縁膜の除去」工程S8を行う。

この工程では、上記図6(8)に示すように、第2絶縁膜25を除去する。第2絶縁膜25が酸化シリコン膜の場合、フッ酸系薬液を使用し、ウェットエッチングにより除去する。その場合、第1絶縁膜21の窒化シリコン膜23がエッチングストッパ膜となる。

なお、図面は、第2絶縁膜25をエッチングする直前の状態を示した。

【0037】

次に、図3に示すように、「無電解めっきによって金属接続層の形成」工程S9を行う。

この工程では、図6(9)に示すように、上記銅電極13の銅を無電解めっき(例えば置換めっき、もしくは化学めっき)によって、上記銅電極13の上層部に金属接続層14を形成する。

上記金属接続層14は、スズ、金、ニッケルのいずれかで形成する。

なお、金(Au)、ニッケル(Ni)を形成する場合、さらに、上記銅電極13の表面の酸化防止のために、めっき液中に防食剤もしくは酸化防止剤を添加しても良い。

また、上記金属接続層14は、無電解めっきによって、スズ鉛合金、スズ銀合金等のはんだで形成することもできる。

以上のようにして、各電極パッド11上に接続するパンプ12が形成される。

【0038】

以上のプロセスを行うことによって、図3に示す「パンプの完成により終了」工程S10によって、上記パンプ形成プロセスが終了する。

【0039】

さらに、上記の製造工程により形成したバンプを有する半導体装置同士を、例えば前記図 2 によって説明したように、フリップチップ接続することで、チップオンチップ (C o C) 構造が完成となる。

【0040】

本発明の半導体装置の製造方法では、第 1、第 2 開口部 2 4、2 6 内を埋め込むように銅膜 1 6 を形成した後、化学的機械研磨によって第 2 絶縁膜 2 6 上の銅膜 1 6 およびバリア層 1 5 を除去する。これによって、第 1、第 2 開口部 2 4、2 6 内にバリア層 1 5 を介して銅膜 1 6 からなる銅電極 1 3 が形成される。したがって、各銅電極 1 3 は、第 1、第 2 開口部 2 4、2 6 部内を満たすように、表面が平坦な、均一な高さに形成される。

また、無電解めっきによって、各銅電極 1 3 の上層部に金属接続層 1 4 を形成しているため、金属接続層は均一な厚さに形成される。通常、無電解めっきは、電解めっきのように電流密度の差が生じることがないので、めっき成長が、半導体チップ 1 0 の全域において均一になる。

【0041】

また、上記金属接続層 1 4 を上記はんだやスズで形成した場合に、金属接続層 1 4 を形成した後にリフロー処理しても、バリア層 1 5 によって金属接続層 1 4 の流れ出しが抑えられるので、金属接続層 1 4 を含む各バンプ 1 2 の高さは、同等な高さに維持される。これは、上記バリア層 1 5 に対して、はんだやスズの濡れ性がよくないため、リフロー時に外側に流れ出そうとするはんだやスズがバリア層 1 5 によって流れ出すのを阻止されるためである。

したがって、銅電極 1 3 および金属接続層 1 4 で形成される複数のバンプ 1 2 は、高さが同等なものに形成される。

【0042】

上記のように全バンプ 1 2 の高さが同等に形成されるため、本発明の製造方法により形成された別の半導体装置のバンプとフリップチップ接続させた場合に、全てのバンプで確実に接続できるので、接続不良が発生しなくなるという利点がある。

よって、フリップチップ接続における歩留まりの向上、信頼性の向上が図れる半導体装置を製造できる。

【0043】

また、従来技術ではウエットエッチングによりシード層を除去していたため、バンプの下部に形成されているシード層がサイドエッチングされることになる。一方、上記半導体装置 1 の製造方法では、CMP 技術により、第 2 絶縁膜 2 6 上のシード層を銅膜 1 6 とともに除去するため、バンプ 1 2 の下部のシード層はエッチングされない。

特に、上記従来技術のサイドエッチングの問題から、従来技術では数十 μm 以下の微細バンプの形成が困難であった。しかしながら、本発明では、現状技術の流用でサブミクロンオーダー、またはそれ以下の径のバンプ 1 2 の形成が可能となる。

【図面の簡単な説明】

【0044】

【図 1】本発明の半導体装置に係る一実施の形態を示したバンプの要部平面図およびバンプおよびその周辺部の縦断面図である。

【図 2】本発明の半導体装置のフリップチップ接続の一例を示した概略構成断面図である。

【図 3】本発明の半導体装置の製造方法に係る一実施の形態を示したフローチャートである。

【図 4】本発明の半導体装置の製造方法に係る一実施の形態を示したバンプおよびその周辺部の製造工程断面図である。

【図 5】本発明の半導体装置の製造方法に係る一実施の形態を示したバンプおよびその周辺部の製造工程断面図である。

【図 6】本発明の半導体装置の製造方法に係る一実施の形態を示したバンプおよびその周辺部の製造工程断面図である。

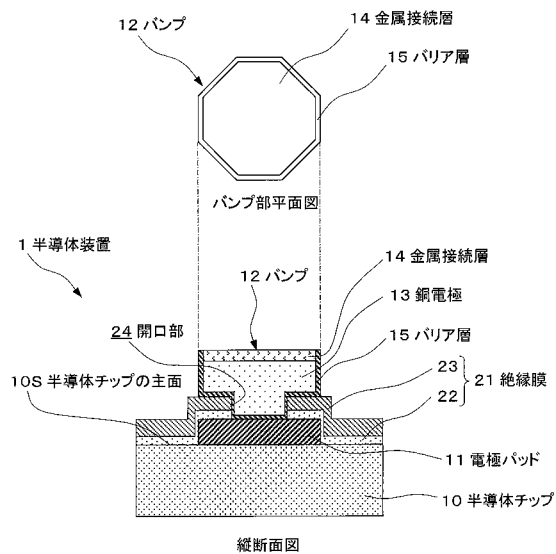
【図 7】従来のチップオンチップ接続の一例を示した概略構成断面図である。

【符号の説明】

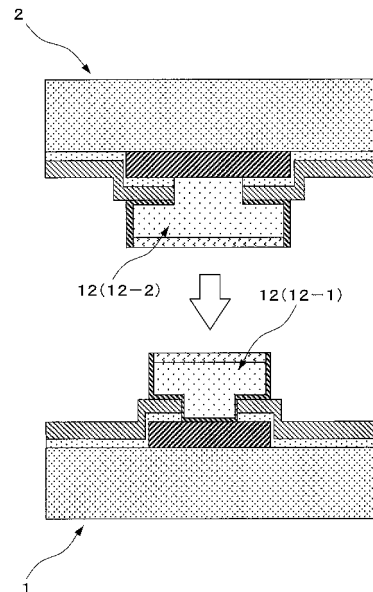
【 0 0 4 5 】

1 ... 半導体装置、10 ... 半導体チップ、10S ... 半導体チップの主面、11 ... 電極パッド、12 ... パンプ、13 ... 銅電極、14 ... 金属接続層、15 ... バリア層、21 ... 絶縁膜、24 ... 開口部

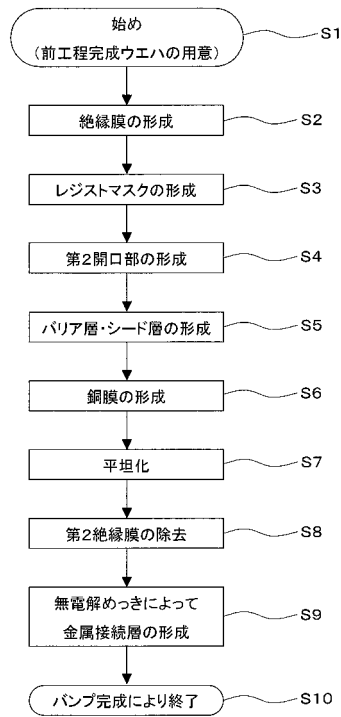
【 図 1 】



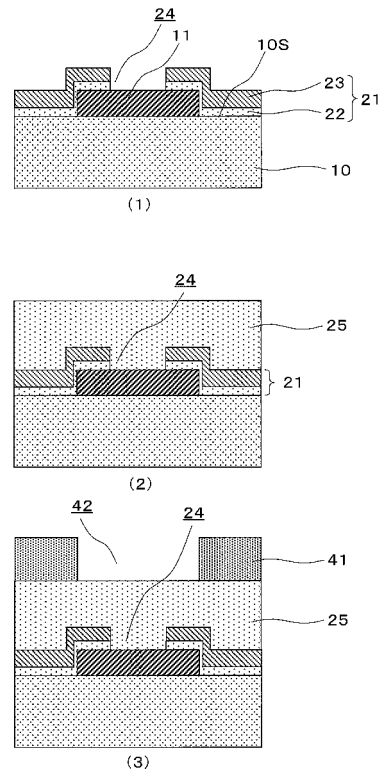
【 図 2 】



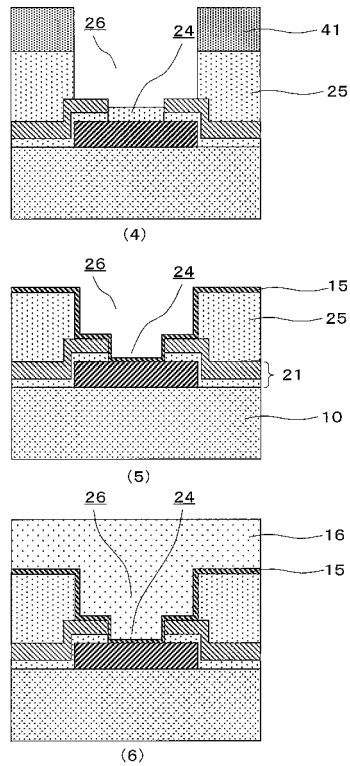
【図 3】



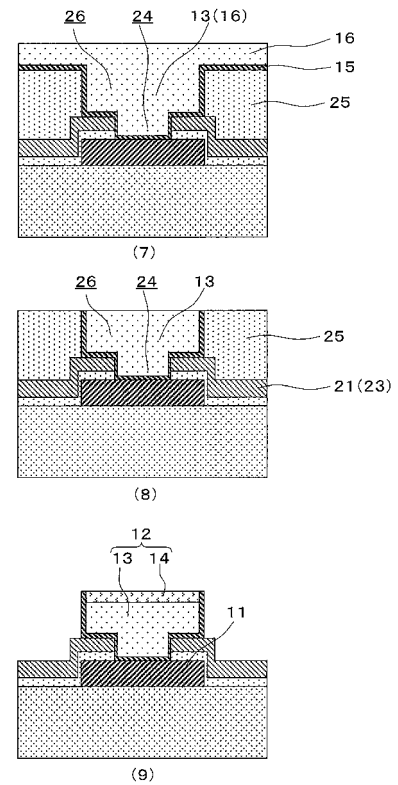
【図 4】



【図 5】



【図 6】



【図 7】

