

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年12月9日(2004.12.9)

【公開番号】特開2001-77215(P2001-77215A)

【公開日】平成13年3月23日(2001.3.23)

【出願番号】特願平11-250780

【国際特許分類第7版】

H 01 L 21/8247

H 01 L 29/788

H 01 L 29/792

H 01 L 27/115

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成15年12月19日(2003.12.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の表面領域に形成された1対の不純物拡散層と、

前記1対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、

前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するようになされた半導体記憶装置であって、

前記1対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されており、

前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されていることを特徴とする半導体記憶装置。

【請求項2】

前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置の電気容量換算膜厚が他の領域に比して小さくなるように形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記ゲート絶縁膜上に別の電荷捕獲膜が形成され、前記ゲート絶縁膜上に当該別の電荷捕獲膜を介して前記ゲート電極が形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】

半導体基板上に第1及び第2の絶縁膜を順次形成する第1の工程と、

前記第1及び第2の絶縁膜を選択的に除去して共にパターニングする第2の工程と、

露出した前記半導体基板上から前記第2の絶縁膜の下層の所定範囲にかけての前記半導体基板上に第3の絶縁膜を形成する第3の工程と、

前記第2の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第2の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した1対の不純物拡散層を形成する第4の工程と、

前記第2の絶縁膜の下層の所定範囲に形成された前記第3の絶縁膜を残し、他の領域の前記第3の絶縁膜を除去して前記半導体基板を露出させる第5の工程と、  
露出した前記半導体基板を熱酸化して素子分離膜を形成する第6の工程と、  
前記第1及び第2の絶縁膜を除去して、下層の前記半導体基板及び前記第3の絶縁膜を露出させ、当該第3の絶縁膜を電荷捕獲膜とする第7の工程と、  
露出した前記半導体基板の表面を熱酸化して第4の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第4の絶縁膜で覆う第8の工程と、  
前記第4の絶縁膜の上層に導電膜を形成する第9の工程と、  
前記導電膜をゲート電極形状にパターニングする第10の工程とを有することを特徴とする半導体記憶装置の製造方法。

#### 【請求項5】

前記第2の工程と前記第3の工程の間に、前記第1の絶縁膜をパターン幅方向に所定量除去して、前記第2の絶縁膜のパターン幅よりも幅狭にする第11の工程を更に有し、  
前記第3の工程において、露出した前記半導体基板上及び前記所定量の範囲における前記半導体基板上に前記第3の絶縁膜を形成することを特徴とする請求項4に記載の半導体記憶装置の製造方法。

#### 【請求項6】

前記第8の工程と前記第9の工程の間に、前記第4の絶縁膜上に第5の絶縁膜を形成する第12の工程を更に有し、  
前記第9の工程において前記第4の絶縁膜上に前記第5の絶縁膜を介して前記導電膜を形成することを特徴とする請求項4に記載の半導体記憶装置の製造方法。

#### 【請求項7】

半導体基板上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、  
前記第1の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、  
前記第1の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一対の不純物拡散層を形成する工程と、  
前記不純物拡散層上及び前記第1の絶縁膜を覆うように第2の絶縁膜を形成する工程と、  
前記第1の絶縁膜上の前記第2の絶縁膜を除去し、前記第1の絶縁膜を露出させる工程と、  
前記第1の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素子活性領域とする工程と、  
前記素子活性領域における前記半導体基板上に第3の絶縁膜を形成する工程と、  
前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、  
前記第4及び第2の絶縁膜を覆うように第5の絶縁膜を形成する工程と、  
前記素子活性領域の両側にのみ残存するように前記第5の絶縁膜を除去して、  
前記第2の絶縁膜の側壁に前記第5の絶縁膜から成るサイドウォールを形成するとともに、  
前記素子活性領域における前記半導体基板を露出させる工程と、  
露出した前記半導体基板上に第6の絶縁膜を形成する工程と、  
前記サイドウォールを除去して前記サイドウォールの下層の前記第4の絶縁膜を露出させ、当該第4の絶縁膜を電荷捕獲膜とする工程と、  
前記電荷捕獲膜上に第7の絶縁膜を形成する工程と、  
前記第6及び第7の絶縁膜上を覆う導電膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

**【課題を解決するための手段】**

本発明の半導体記憶装置は、半導体基板の表面領域に形成された1対の不純物拡散層と、前記1対の不純物拡散層間ににおける前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するようになされた半導体記憶装置であつて、前記1対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されており、前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されている。

**【手続補正3】**

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】

**【手続補正4】**

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】