

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 16 年 12 月 9 日 (2004.12.9)

【公開番号】特開 2001-77215 (P2001-77215A)

【公開日】平成 13 年 3 月 23 日 (2001.3.23)

【出願番号】特願 平 11-250780

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 29/788

H 0 1 L 29/792

H 0 1 L 27/115

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 15 年 12 月 19 日 (2003.12.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の表面領域に形成された 1 対の不純物拡散層と、
前記 1 対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、
前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装置であって、
前記 1 対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されており、
前記ゲート絶縁膜は、前記 1 対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されていることを特徴とする半導体記憶装置。

【請求項 2】

前記ゲート絶縁膜は、前記 1 対の不純物拡散層のそれぞれに近接する位置の電気容量換算膜厚が他の領域に比して小さくなるように形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記ゲート絶縁膜上に別の電荷捕獲膜が形成され、前記ゲート絶縁膜上に当該別の電荷捕獲膜を介して前記ゲート電極が形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

半導体基板上に第 1 及び第 2 の絶縁膜を順次形成する第 1 の工程と、
前記第 1 及び第 2 の絶縁膜を選択的に除去して共にパターニングする第 2 の工程と、
露出した前記半導体基板上から前記第 2 の絶縁膜の下層の所定範囲にかけての前記半導体基板上に第 3 の絶縁膜を形成する第 3 の工程と、
前記第 2 の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第 2 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した 1 対の不純物拡散層を形成する第 4 の工程と、

前記第 2 の絶縁膜の下層の所定範囲に形成された前記第 3 の絶縁膜を残し、他の領域の前記第 3 の絶縁膜を除去して前記半導体基板を露出させる第 5 の工程と、
露出した前記半導体基板を熱酸化して素子分離膜を形成する第 6 の工程と、
前記第 1 及び第 2 の絶縁膜を除去して、下層の前記半導体基板及び前記第 3 の絶縁膜を露出させ、当該第 3 の絶縁膜を電荷捕獲膜とする第 7 の工程と、
露出した前記半導体基板の表面を熱酸化して第 4 の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第 4 の絶縁膜で覆う第 8 の工程と、
前記第 4 の絶縁膜の上層に導電膜を形成する第 9 の工程と、
前記導電膜をゲート電極形状にパターンニングする第 10 の工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項 5】

前記第 2 の工程と前記第 3 の工程の間に、前記第 1 の絶縁膜をパターン幅方向に所定量除去して、前記第 2 の絶縁膜のパターン幅よりも幅狭にする第 11 の工程を更に有し、
前記第 3 の工程において、露出した前記半導体基板上及び前記所定量の範囲における前記半導体基板上に前記第 3 の絶縁膜を形成することを特徴とする請求項 4 に記載の半導体記憶装置の製造方法。

【請求項 6】

前記第 8 の工程と前記第 9 の工程の間に、前記第 4 の絶縁膜上に第 5 の絶縁膜を形成する第 12 の工程を更に有し、
前記第 9 の工程において前記第 4 の絶縁膜上に前記第 5 の絶縁膜を介して前記導電膜を形成することを特徴とする請求項 4 に記載の半導体記憶装置の製造方法。

【請求項 7】

半導体基板上に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、
前記第 1 の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、
前記第 1 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一対の不純物拡散層を形成する工程と、
前記不純物拡散層上及び前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜上の前記第 2 の絶縁膜を除去し、前記第 1 の絶縁膜を露出させる工程と、
前記第 1 の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素子活性領域とする工程と、
前記素子活性領域における前記半導体基板上に第 3 の絶縁膜を形成する工程と、
前記第 3 の絶縁膜上に第 4 の絶縁膜を形成する工程と、
前記第 4 及び第 2 の絶縁膜を覆うように第 5 の絶縁膜を形成する工程と、
前記素子活性領域の両側にのみ残存するように前記第 5 の絶縁膜を除去して、
前記第 2 の絶縁膜の側壁に前記第 5 の絶縁膜から成るサイドウォールを形成するとともに、
前記素子活性領域における前記半導体基板を露出させる工程と、
露出した前記半導体基板上に第 6 の絶縁膜を形成する工程と、
前記サイドウォールを除去して前記サイドウォールの下層の前記第 4 の絶縁膜を露出させ、
当該第 4 の絶縁膜を電荷捕獲膜とする工程と、
前記電荷捕獲膜上に第 7 の絶縁膜を形成する工程と、
前記第 6 及び第 7 の絶縁膜上を覆う導電膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段】

本発明の半導体記憶装置は、半導体基板の表面領域に形成された１対の不純物拡散層と、前記１対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装置であって、前記１対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されており、前記ゲート絶縁膜は、前記１対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されている。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００１６

【補正方法】削除

【補正の内容】

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】００１７

【補正方法】削除

【補正の内容】