

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 12 月 7 日 (07.12.2023)



(10) 国际公布号
WO 2023/231330 A1

(51) 国际专利分类号:
G06F 15/173 (2006.01)

(21) 国际申请号: PCT/CN2022/134802

(22) 国际申请日: 2022 年 11 月 28 日 (28.11.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210609570.5 2022年5月31日 (31.05.2022) CN

(71) 申请人: 广东浪潮智慧计算技术有限公司(GUANGDONG INSPUR SMART COMPUTING TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省广州市天河区黄埔大道西平云路 163 号 A 塔 9 层自编 01 单元, Guangdong 510620 (CN)。

(72) 发明人: 王江为(WANG, Jiangwei); 中国广东省广州市天河区黄埔大道西平云路 163 号 A 塔 9 层自编 01 单元, Guangdong 510620 (CN)。 阚宏伟(KAN, Hongwei); 中国广东省广州市天河区黄埔大道西平云路 163 号 A 塔 9 层自编 01 单元, Guangdong 510620 (CN)。 郝锐(HAO, Rui); 中国广东省广州市天河区黄埔大道西平云路 163 号 A 塔 9 层自编 01 单元, Guangdong 510620 (CN)。 王彦伟(WANG, Yanwei); 中国广东省广州市天河区黄埔大道西平云路 163 号 A 塔 9 层自编 01 单元, Guangdong 510620 (CN)。

(74) 代理人: 北京润泽恒知识产权代理有限公司(BEIJING RUN ZEHENG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区

(54) Title: DATA PROCESSING METHOD AND APPARATUS FOR POOLING PLATFORM, DEVICE, AND MEDIUM

(54) 发明名称: 一种池化平台的数据处理方法、装置、设备和介质

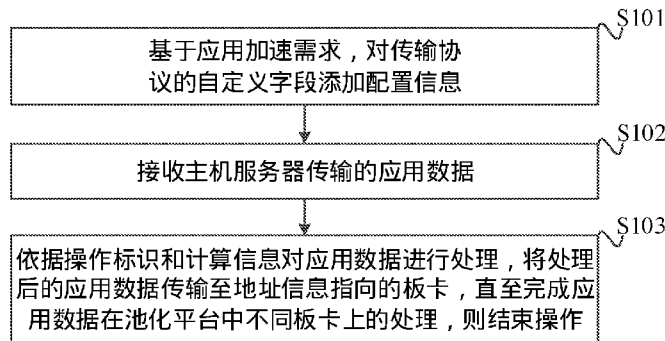


图 1

- S101 Add configuration information to a custom field of a transmission protocol on the basis of an application acceleration requirement
- S102 Receive application data transmitted by a host server
- S103 According to an operation identifier and calculation information, process the application data, and transmit the processed application data to a board card to which the address information directs, until the processing of the application data on different board cards in a pooling platform is complete; and then end the operation

(57) Abstract: Embodiments of the present application disclose a data processing method and apparatus for a pooling platform, a device, and a medium. The method comprises: adding configuration information to a custom field of a transmission protocol on the basis of an application acceleration requirement, the configuration information comprising an operation identifier, address information, and calculation information which matches the application acceleration requirement; according to the operation identifier and the calculation information, processing application data transmitted by a host server, and transmitting the processed application data to a board card to which the address information directs, until the processing of the application data on different board cards in a pooling platform is

中关村南大街甲18号北京国际C座6层606, Beijing 100081 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

complete; and then ending the operation. By means of adding the configuration information used for processing the application data in the transmission protocol, the application data can be processed directly according to the configuration information, the number of configuration interactions between the board cards is reduced, the delay is reduced, and heterogeneous acceleration performance of the pooling platform is improved. Moreover, the configuration information is set in the custom field of the transmission protocol, so that an original protocol field is simplified, and processing performance is further improved.

(57) 摘要: 本申请实施例公开了一种池化平台的数据处理方法、装置、设备和介质, 基于应用加速需求, 对传输协议的自定义字段添加配置信息; 配置信息包括与应用加速需求相匹配的操作标识、地址信息和计算信息。依据操作标识和计算信息对主机服务器传输的应用数据进行处理, 将处理后的应用数据传输至地址信息指向的板卡, 直至完成应用数据在池化平台中不同板卡上的处理, 则结束操作。通过在传输协议中添加用于对应用数据进行处理的信息, 直接依据配置信息即可实现对应用数据的处理, 减少了板卡间配置交互次数, 降低了延时, 提高了池化平台异构加速性能。并且通过在传输协议的自定义字段中设置配置信息, 简化了原本的协议字段, 进一步提高了处理性能。

一种池化平台的数据处理方法、装置、设备和介质

相关申请的交叉引用

本申请要求于 2022 年 05 月 31 日提交中国专利局、申请号 202210609570.5、申请名称为“一种池化平台的数据处理方法、装置、设备和介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及分布式应用技术领域，特别是涉及一种池化平台的数据处理方法、装置、设备和非易失性可读存储介质。

背景技术

在 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 池化平台中, 大量的 FPGA 加速卡组成加速资源池, 用于分布式应用的加速处理, FPGA 加速卡的部署形式可以是主机服务器的协处理器。也可以是 FPGA BOX (现场可编程门阵列盒子) 形态即机卡解耦, 没有服务器, 只有加速卡作为独立的加速单元存在。传统方式中 FPGA 加速卡部署的一种形式是作为主机服务器的协处理器, 另一种形式是 FPGA BOX 形态。FPGA 加速卡之间通过传输协议进行数据交互。

FPGA 池化平台的加速涉及两方面, 包括 FPGA 加速卡内的加速和 FPGA 加速卡之间的数据传输加速。FPGA 加速卡逻辑由三部分组成, 根据应用可动态重配置的 Kernel (操作系统内核) 加速计算单元, 用于存储数据的 Memory 单元, 用于与外设进行连接的 PCIe 接口 (Physical Interface for PCI Express, 物理层接口) 或 MAC (Media Access Layer, 媒介层) 接口。

FPGA 池化平台的数据加速流程包括待加速应用通过 PCIe 接口从主机服务器传输到 FPGA 加速卡的 Memory (内存) 单元; 主机配置 Kernel 加速计算单元从 Memory 单元取数进行加速计算; 主机或 Kernel 加速计算单元配置 DMA IP (Direct Memory Access Intellectual Property, 直接存储器访问软核), 将计算结果通过 PCIe 接口传回主机或通过 MAC 接口传给池化平台其他 FPGA 加速卡。

目前 FPGA 加速卡间通常通过 RDMA (Remote Direct Memory Access, 远程直接数据存取) 技术实现数据的传输。但是 FPGA 池化平台的加速方法中计算和传输分离, 主机或远端 Kernel 加速计算单元配置本地 Kernel 加速计算单元完成计算的加速, 再由本地 Kernel 或

主机配置 RDMA IP 发起 RDMA 数据搬移。一个应用在 FPGA 池化平台完成加速需要多次的配置过程，增加了总体处理延时，减弱了 FPGA 池化平台加速的优势。

可见，如何降低池化平台的处理延时，是本领域技术人员需要解决的问题。

发明内容

本申请实施例的目的是提供一种池化平台的数据处理方法、装置、设备和非易失性可读存储介质，可以降低池化平台的处理延时。

为解决上述技术问题，本申请实施例提供一种池化平台的数据处理方法，包括：

基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息包括与应用加速需求相匹配的操作标识、地址信息和计算信息；

接收主机服务器传输的应用数据；

依据操作标识和计算信息对应用数据进行处理，将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且至少一个 Kernel 模块对应多指令计算的情况下，计算信息包括操作顺序指令和指令地址；其中，指令地址指向应用加速需求所需的指令；

依据操作标识和计算信息对应用数据进行处理包括：

多个 Kernel 模块按照操作顺序指令，依次调用指令地址指向的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且每个 Kernel 模块对应单指令计算的情况下，计算信息包括应用加速需求所需的指令；

依据操作标识和计算信息对应用数据进行处理包括：

多个 Kernel 模块按照各自对应的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的一个用于内部计算的 Kernel 模块的情况下，计算信息包括指令地址；其中，指令地址指向应用加速需求所需的内部计算指令；

依据操作标识和计算信息对应用数据进行处理包括：

Kernel 模块依据指令地址调用内部计算指令对应用数据进行处理。

在一些实施例中，在操作标识为远程直接数据存取操作标识的情况下，地址信息包括目标板卡 ID、依据计算信息和远程直接数据存取操作标识确定的读写标识以及远程直接数据

存取操作的传输长度。

在一些实施例中，在操作标识为流操作标识的情况下，地址信息包括目标板卡 ID。

在一些实施例中，配置信息还包括包序列号；

在将处理后的应用数据传输至地址信息指向的板卡之后还包括：

判断处理后的应用数据是否与包序列号匹配；

在处理后的应用数据与包序列号不匹配的情况下，向主机服务器反馈携带有缺失序列号的丢包提示信息。

本申请实施例还提供了一种池化平台的数据处理装置，包括添加单元、接收单元、处理单元和传输单元；

添加单元，用于基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息包括与应用加速需求相匹配的操作标识、地址信息和计算信息；

接收单元，用于接收主机服务器传输的应用数据；

处理单元，用于依据操作标识和计算信息对应用数据进行处理；

传输单元，用于将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且至少一个 Kernel 模块对应多指令计算的情况下，计算信息包括操作顺序指令和指令地址；其中，指令地址指向应用加速需求所需的指令；

处理单元，用于将多个 Kernel 模块按照操作顺序指令，依次调用指令地址指向的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且每个 Kernel 模块对应单指令计算的情况下，计算信息包括应用加速需求所需的指令；

处理单元，用于将多个 Kernel 模块按照各自对应的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应 FPGA 板卡上的一个用于内部计算的 Kernel 模块的情况下，计算信息包括指令地址；其中，指令地址指向应用加速需求所需的内部计算指令；

处理单元，用于将 Kernel 模块依据指令地址调用内部计算指令对应用数据进行处理。

在一些实施例中，在操作标识为远程直接数据存取操作标识的情况下，地址信息包括目标板卡 ID、依据计算信息和远程直接数据存取操作标识确定的读写标识以及远程直接数据

存取操作的传输长度。

在一些实施例中，在操作标识为流操作标识的情况下，地址信息包括目标板卡 ID。

在一些实施例中，配置信息还包括包序列号；装置还包括判断单元和反馈单元；

判断单元，用于判断处理后的应用数据是否与包序列号匹配；

反馈单元，用于在处理后的应用数据与包序列号不匹配的情况下，向主机服务器反馈携带有缺失序列号的丢包提示信息。

本申请实施例还提供了一种电子设备，包括：

存储器，用于存储计算机程序；

处理器，用于执行计算机程序以实现如上述池化平台的数据处理方法的步骤。

本申请实施例还提供了一种非易失性可读存储介质，非易失性可读存储介质上存储有计算机程序，计算机程序被处理器执行时实现如上述池化平台的数据处理方法的步骤。

由上述技术方案可以看出，基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息可以包括与应用加速需求相匹配的操作标识、地址信息和计算信息。操作标识用于指示所需执行的操作类型，地址信息用于指示对应用数据进行处理板卡的板卡，计算信息用于指示对应用数据所需执行的具体操作。接收主机服务器传输的应用数据；依据操作标识和计算信息对应用数据进行处理，将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。在该技术方案中，通过在传输协议中添加用于对应用数据进行处理配置信息，在接收到应用数据后，直接依据传输协议中的配置信息即可实现对应用数据的处理，减少了板卡间配置交互次数，从而降低了延时，提高了池化平台异构加速性能。并且通过在传输协议的自定义字段中根据实际的应用加速需求设置配置信息，简化了原本的协议字段，从而简化了内部处理逻辑，进一步提高了处理性能。

附图说明

为了更清楚地说明本申请实施例，下面将对实施例中所需要使用的附图做简单的介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请实施例提供的一种池化平台的数据处理方法的流程图；

图 2 为本申请实施例提供的一种池化平台的结构示意图；

图 3 为本申请实施例提供的一种基于两块 FPGA 加速卡进行应用数据处理的池化平台的

结构示意图；

图 4 为本申请实施例提供的一种池化平台的数据处理装置的结构示意图；

图 5 为本申请实施例提供的一种电子设备的结构图；

图 6 为本申请公开的一种非易失性可读存储介质的结构示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下，所获得的所有其他实施例，都属于本申请保护范围。

本申请的说明书和权利要求书及上述附图中的术语“包括”和“具有”以及他们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可包括没有列出的步骤或单元。

为了使本技术领域的人员更好地理解本申请方案，下面结合附图和具体实施方式对本申请作进一步的详细说明。

接下来，详细介绍本申请实施例所提供的一种池化平台的数据处理方法。图1为本申请实施例提供的一种池化平台的数据处理方法的流程图，该方法包括：

S101：基于应用加速需求，对传输协议的自定义字段添加配置信息。

其中，配置信息可以包括与应用加速需求相匹配的操作标识、地址信息和计算信息。

操作标识用于指示所需执行的操作类型，地址信息用于指示对应用数据进行处理的操作卡，计算信息用于指示对应用数据所需执行的具体操作。

在本申请实施例中，传输协议可以采用RDMA_Enhance传输协议（远程直接数据存取传输协议）。RDMA_Enhance传输协议的格式如表1所示，

表1

Eth L2	IP	UDP	RDMA	Payload	ICRC	FCS
Header	Header	Header	Enhance			

其中，Eth L2 Header 、IP Header和UDP Header为标准的以太头字段，RDMA Enhance为自定义字段，Payload表示消息负载，ICRC和FCS分别对应冗余检测和帧校验。

自定义字段的格式可以基于实际的应用加速需求设置，一种常用的自定义字段的格式可

以参见表2，

表2

byte/bit	31-24	23-0
0-3	opcode	dqp
4-7	cal_code	psn
8-11	addr (high 32bit)	
12-15	addr (low 32bit)	
16-19	len	

其中，opcode为操作标识，可以包括RDMA操作标识（远程直接数据存取操作标识）和Stream操作标识（流操作标识）。dqp表示目标板卡ID。cal_code表示自定义的计算信息。psn表示包序列号，用于校验数据的完整性。addr表示根据操作标识和计算信息所定义的读写标识。len表示RDMA操作时的传输长度。

不同的应用加速需求所调用的板卡以及每个板卡所需执行的操作会有所不同。因此针对当前的应用加速需求，可以对自定义字段进行字节的划分，对划分后的字节设定好配置信息，从而保证池化平台中各板卡依赖于配置信息可以完成对应用数据的处理。

S102：接收主机服务器传输的应用数据。

池化平台可以包括多个FPGA板卡，FPGA板卡中的PCIe DMA模块可以实现与主机服务器的交互，在实际应用中，主机服务器可以将应用数据传输至FPGA板卡的PCIe DMA模块。

S103：依据操作标识和计算信息对应用数据进行处理，将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。

FPGA板卡中包含有对应用数据进行处理Kernel模块。基于应用加速需求的不同，所需调用的FPGA板卡个数以及每个FPGA板卡所涉及的Kernel模块均有所不同。

在实际应用中，应用加速需求不同，对应的计算信息有所不同。对于通过简单的算法可以完成应用加速需求的场景，计算信息可以包括应用加速需求所需的指令。

对于需要通过复杂的算法才能够完成应用加速需求的场景，往往需要调用可以实现内部计算的Kernel模块或者调用多个Kernel模块才能完成对应用数据的处理，因此计算信息可以包括指令地址，指令地址可以用于指向应用加速需求所需的指令。对于调用多个Kernel模块的场景，计算信息中还可以包括用于指示多个Kernel模块操作顺序的操作顺序指令。

以应用加速需求对应FPGA板卡上的多个Kernel模块，并且至少一个Kernel模块对应多指

令计算的情况为例，计算信息可以包括操作顺序指令和指令地址；其中，指令地址指向应用加速需求所需的指令。

FPGA板卡依据操作标识和计算信息对应用数据进行处理的过程可以包括多个Kernel模块按照操作顺序指令，依次调用指令地址指向的指令对应用数据进行处理。

以应用加速需求对应FPGA板卡上的多个Kernel模块，并且每个Kernel模块对应单指令计算的情况为例，计算信息可以包括应用加速需求所需的指令。

FPGA板卡依据操作标识和计算信息对应用数据进行处理的过程可以包括多个Kernel模块按照各自对应的指令对应用数据进行处理。

以应用加速需求对应FPGA板卡上的一个用于内部计算的Kernel模块的情况为例，计算信息可以包括指令地址；其中，指令地址指向应用加速需求所需的内部计算指令。

FPGA板卡依据操作标识和计算信息对应用数据进行处理的过程可以包括Kernel模块依据指令地址调用内部计算指令对应用数据进行处理。

在实际应用中，FPGA板卡执行的操作类型可以包括RDMA操作和Stream操作。因此操作标识可以包括RDMA操作标识和Stream操作标识。

在操作标识为RDMA操作标识的情况下，地址信息可以包括目标板卡ID（Identity Document，身份标识）、依据计算信息和RDMA操作标识确定的读写标识以及RDMA操作的传输长度。

Stream操作用于实现应用数据在不同FPGA板卡之间的传输，因此在操作标识为Stream操作标识的情况下，地址信息可以只包括目标板卡ID。

在池化平台中FPGA板卡用于实现应用数据的加速处理，因此可以将FPGA板卡称作FPGA加速卡。

如图2所示为本申请实施例提供的一种池化平台的结构示意图，图2中是以三个FPGA加速卡为例，最左侧的FPGA加速卡可以作为主机服务器的协处理器，右侧的两个FPGA加速卡以FPGA BOX形态作为独立的加速单元存在。每个FPGA加速卡中可以包括PCIe DMA模块、Memory模块、DMA模块、Stream模块、MAC模块以及至少一个Kernel模块。图2中箭头用于表示应用数据的流向。不同FPGA加速卡之间可以通过交换单元实现数据的交互。图2中在各FPGA加速卡与交换单元之间标记RDMA_Enhance，用于表示不同FPGA加速卡间按照RDMA_Enhance传输协议实现数据的交互。

以利用两块FPGA加速卡进行应用数据处理的应用加速需求为例，可以将这两块FPGA加

速卡分别称作 FPGA 加速卡 1 和 FPGA 加速卡 2，烧写两块 FPGA 加速卡的 Kernel 加速计算单元，FPGA

加速卡1使用了3个Kernel模块，分别用于实现解压缩、内部计算和加密功能。FPGA加速卡2使用了2个Kernel模块，分别实现解密和内部计算功能。

对传输协议的自定义字段添加配置信息的过程可以包括主机服务器通过寄存器配置，基于RDMA_Enhance协议配置本地FPGA加速卡1的配置信息如下：

opcode_1: PCIe DMA模块输入数据，Stream模块输出数据；

cal_code_1: 3个kernel模块顺序计算模式；

dqp_1: FPGA板卡2；

addr_1: Memory读地址；

len_1: Kernel模块从Memory模块读取数据长度。

同时在本本地FPGA加速卡1中配置远端FPGA加速卡2的RDMA_Enhance协议的配置信息如下：

opcode_2: Stream模块输入数据，DMA模块输出数据；其中，目的Memory为远端主机内存；

cal_code_2: 2个Kernel模块从存储单元获取指令集进行处理；

dqp_2: FPGA板卡1；

addr_2: Memory写地址；

len_2: Kernel模块写入Memory模块的数据长度。

如图3所示为本申请实施例提供的一种基于两块FPGA加速卡进行应用数据处理的池化平台的结构示意图，可以将这两块FPGA加速卡分别称作FPGA加速卡1和FPGA加速卡2。FPGA加速卡1中Kernel单元包含有三个Kernel模块，分别为Kernel1、kernel2和Kernel3。FPGA加速卡2中Kernel单元包含有两个Kernel模块，分别为Kernel1和Kernel2。需要说明的是，FPGA加速卡1的Kernel1和FPGA加速卡2的Kernel1所执行的操作不同，FPGA加速卡1的Kernel2和FPGA加速卡2的Kernel2所执行的操作不同。

图3中不同模块之间的标号用于表示应用数据的处理顺序，应用数据的处理流程包括如下步骤：①经压缩的应用数据从主机服务器经FPGA加速卡1上的PCIe DMA模块存储到Memory；②Kernel1检测到内部DMA控制器把完成信号置1，开始从Memory读取数据；③Kernel1开始解压缩计算，并把计算结果传输给Kernel2；④Kernel2开始自定义算法模型第一阶段计算，完成后把结果传输给Kernel3；⑤Kernel3开始加密计算，并将计算结果通过

Stream方式并基于RDMA_Enhance协议发送给目标板卡即FPGA加速卡2；⑥目标板卡接收RDMA_Enhance协议报文，解析并提取相关字段发送给logic（逻辑）模块和Kernel模块；同时把报文中的数据部分发送给Kernel1；⑦Kernel1执行解密计算并把结果发送给Kernel2；⑧Kernel2从存储单元读取计算指令执行自定义算法模型第二阶段计算，并把计算结果存入Memory；⑨Kernel2把数据存入Memory后写入DMA内部寄存器Memory_wr_done置1，DMA开始从Memory取数并组织成基于RDMA_Enhance协议的数据传输给目标板卡即FPGA加速卡1的主机服务器，完成此次加速计算任务。

现有技术在执行应用数据的加速计算任务时需要执行5次配置操作，分别包括：（1）完成流程1的数据存储后，需要发起一次触发Kernel计算的配置；（2）在流程5开始前，需要一次配置触发数据搬移；（3）完成流程6的操作后，需要一次配置触发Kernel计算，可以通过配置以太包的方式；（4）流程8之前，Kernel2完成计算后，需要一次配置触发数据存储；（5）流程9之前需要一次配置触发数据搬移。

现有技术完成一次本申请实例中的应用数据处理需要5次配置操作，而本申请实施例使用自定义RDMA_Enhance协议简化了RDMA协议内容，只需要在处理应用数据之前基于应用加速需求，对传输协议的自定义字段添加配置信息即可，即通过一次配置便可以完成应用数据的处理，简化了内部处理逻辑，有效的提高了应用数据的处理效率。

由上述技术方案可以看出，基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息可以包括与应用加速需求相匹配的操作标识、地址信息和计算信息。操作标识用于指示所需执行的操作类型，地址信息用于指示对应用数据进行处理板卡，计算信息用于指示对应用数据所需执行的具体操作。接收主机服务器传输的应用数据；依据操作标识和计算信息对应用数据进行处理，将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。在该技术方案中，通过在传输协议中添加用于对应用数据进行处理配置信息，在接收到应用数据后，直接依据传输协议中的配置信息即可实现对应用数据的处理，减少了板卡间配置交互次数，从而降低了延时，提高了池化平台异构加速性能。并且通过在传输协议的自定义字段中根据实际的应用加速需求设置配置信息，简化了原本的协议字段，从而简化了内部处理逻辑，进一步提高了处理性能。

在本申请实施例中，为了实现对应用数据的丢包检测，可以在配置信息中设置包序列号。FPGA板卡在将处理后的应用数据传输至地址信息指向的板卡之后，可以判断处理后的应

用数据是否与包序列号匹配；在处理后的应用数据与包序列号不匹配的情况下，可以向主机服务器反馈携带有缺失序列号的丢包提示信息。

图4为本申请实施例提供的一种池化平台的数据处理装置的结构示意图，包括添加单元41、接收单元42、处理单元43和传输单元44；

添加单元41，用于基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息包括与应用加速需求相匹配的操作标识、地址信息和计算信息；

接收单元42，用于接收主机服务器传输的应用数据；

处理单元43，用于依据操作标识和计算信息对应用数据进行处理；

传输单元44，用于将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。

操作标识用于指示所需执行的操作类型，地址信息用于指示对应用数据进行处理的一块板卡，计算信息用于指示对应用数据所需执行的具体操作。

不同的应用加速需求所调用的板卡以及每个板卡所需执行的操作会有所不同。因此针对当前的应用加速需求，可以对自定义字段进行字节的划分，对划分后的字节设定好配置信息，从而保证池化平台中各板卡依赖于配置信息可以完成对应用数据的处理。

在一些实施例中，在应用加速需求对应FPGA板卡上的多个Kernel模块，并且至少一个Kernel模块对应多指令计算的情况下，计算信息包括操作顺序指令和指令地址；其中，指令地址指向应用加速需求所需的指令；

处理单元，用于将多个Kernel模块按照操作顺序指令，依次调用指令地址指向的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应FPGA板卡上的多个Kernel模块，并且每个Kernel模块对应单指令计算的情况下，计算信息包括应用加速需求所需的指令；

处理单元，用于将多个Kernel模块按照各自对应的指令对应用数据进行处理。

在一些实施例中，在应用加速需求对应FPGA板卡上的一个用于内部计算的Kernel模块的情况下，计算信息包括指令地址；其中，指令地址指向应用加速需求所需的内部计算指令；

处理单元，用于将Kernel模块依据指令地址调用内部计算指令对应用数据进行处理。

在一些实施例中，在操作标识为远程直接数据存取操作标识的情况下，地址信息包括目标板卡ID、依据计算信息和远程直接数据存取操作标识确定的读写标识以及远程直接数据存

取操作标识的传输长度。

在一些实施例中，在操作标识为流操作标识的情况下，地址信息包括目标板卡ID。

在一些实施例中，配置信息还包括包序列号；装置还包括判断单元和反馈单元；

判断单元，用于判断处理后的应用数据是否与包序列号匹配；

反馈单元，用于在处理后的应用数据与包序列号不匹配的情况下，向主机服务器反馈携带有缺失序列号的丢包提示信息。

图4所对应实施例中特征的说明可以参见图1所对应实施例的相关说明，这里不再一一赘述。

由上述技术方案可以看出，基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，配置信息可以包括与应用加速需求相匹配的操作标识、地址信息和计算信息。操作标识用于指示所需执行的操作类型，地址信息用于指示对应用数据进行处理板卡的板卡，计算信息用于指示对应用数据所需执行的具体操作。接收主机服务器传输的应用数据；依据操作标识和计算信息对应用数据进行处理，将处理后的应用数据传输至地址信息指向的板卡，直至完成应用数据在池化平台中不同板卡上的处理，则结束操作。在该技术方案中，通过在传输协议中添加用于对应用数据进行处理配置信息，在接收到应用数据后，直接依据传输协议中的配置信息即可实现对应用数据的处理，减少了板卡间配置交互次数，从而降低了延时，提高了池化平台异构加速性能。并且通过在传输协议的自定义字段中根据实际的应用加速需求设置配置信息，简化了原本的协议字段，从而简化了内部处理逻辑，进一步提高了处理性能。

图5为本申请实施例提供的一种电子设备的结构图，如图5所示，电子设备包括：存储器20，用于存储计算机程序；

处理器21，用于执行计算机程序时实现如上述实施例池化平台的数据处理方法的步骤。

本实施例提供的电子设备可以包括但不限于智能手机、平板电脑、笔记本电脑或台式电脑等。

其中，处理器21可以包括一个或多个处理核心，比如4核心处理器、8核心处理器等。处理器21可以采用DSP(Digital Signal Processing，数字信号处理)、FPGA(Field Programmable Gate Array，现场可编程门阵列)、PLA(Programmable Logic Array，可编程逻辑阵列)中的至少一种硬件形式来实现。处理器21也可以包括主处理器和协处理器，主处理器是用于对在唤醒状态下的数据进行处理的处理器，也称CPU(Central Processing

Unit, 中央处理器); 协处理器是用于对在待机状态下的数据进行处理的低功耗处理器。

在一些实施例中, 处理器21可以在集成有GPU(Graphics Processing Unit, 图像处理器), GPU用于负责显示屏所需要显示的内容的渲染和绘制。一些实施例中, 处理器21还可以包括AI(Artificial Intelligence, 人工智能)处理器, 该AI处理器用于处理有关机器学习的计算操作。

存储器20可以包括一个或多个非易失性可读存储介质, 该非易失性可读存储介质可以是非暂态的。存储器20还可包括高速随机存取存储器, 以及非易失性存储器, 比如一个或多个磁盘存储设备、闪存存储设备。本实施例中, 存储器20至少用于存储以下计算机程序201, 其中, 该计算机程序被处理器21加载并执行之后, 能够实现前述任一实施例公开的池化平台的数据处理方法的相关步骤。另外, 存储器20所存储的资源还可以包括操作系统202和数据203等, 存储方式可以是短暂存储或者永久存储。其中, 操作系统202可以包括Windows、Unix、Linux等。数据203可以包括但不限于配置信息等。

在一些实施例中, 电子设备还可包括有显示屏22、输入输出接口23、通信接口24、电源25以及通信总线26。

本领域技术人员可以理解, 图5中示出的结构并不构成对电子设备的限定, 可以包括比图示更多或更少的组件。

可以理解的是, 如果上述实施例中的池化平台的数据处理方法以软件功能单元的形式实现并作为独立的产品销售或使用, 可以存储在一个计算机可读取存储介质中。基于这样的理解, 本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来, 该计算机软件产品存储在一个存储介质中, 执行本申请各个实施例方法的全部或部分步骤。而前述的存储介质包括: U盘、移动硬盘、只读存储器(Read-Only Memory, ROM)、随机存取存储器(Random Access Memory, RAM)、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、磁碟或者光盘等各种可以存储程序代码的介质。

进一步的, 参见图6所示, 本申请实施例还提供了一种非易失性可读存储介质, 非易失性可读存储介质30上存储有计算机程序31, 计算机程序31被处理器执行时实现如上述池化平台的数据处理方法的步骤。

本申请实施例非易失性可读存储介质的各功能模块的功能可根据上述方法实施例中的方法具体实现, 其具体实现过程可以参照上述方法实施例的相关描述, 此处不再赘述。

以上对本申请实施例所提供的一种池化平台的数据处理方法、装置、设备和非易失性可读存储介质进行了详细介绍。说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分互相参见即可。对于实施例公开的装置而言，由于其与实施例公开的方法相对应，所以描述的比较简单，相关之处参见方法部分说明即可。

专业人员还可以进一步意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、计算机软件或者二者的结合来实现，为了清楚地说明硬件和软件的可互换性，在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

以上对本申请所提供的一种池化平台的数据处理方法、装置、设备和非易失性可读存储介质进行了详细介绍。本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想。应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以对本申请进行若干改进和修饰，这些改进和修饰也落入本申请权利要求的保护范围内。

权 利 要 求 书

1、一种池化平台的数据处理方法，其特征在于，包括：

基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，所述配置信息包括与所述应用加速需求相匹配的操作标识、地址信息和计算信息；

接收主机服务器传输的应用数据；

依据所述操作标识和所述计算信息对所述应用数据进行处理，将处理后的应用数据传输至所述地址信息指向的板卡，直至完成所述应用数据在池化平台中不同板卡上的处理，则结束操作。

2、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，在所述应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且至少一个 Kernel 模块对应多指令计算的情况下，所述计算信息包括操作顺序指令和指令地址；其中，所述指令地址指向所述应用加速需求所需的指令；

所述依据所述操作标识和所述计算信息对所述应用数据进行处理包括：

所述多个 Kernel 模块按照所述操作顺序指令，依次调用所述指令地址指向的指令对所述应用数据进行处理。

3、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，在所述应用加速需求对应 FPGA 板卡上的多个 Kernel 模块，并且每个 Kernel 模块对应单指令计算的情况下，所述计算信息包括所述应用加速需求所需的指令；

所述依据所述操作标识和所述计算信息对所述应用数据进行处理包括：

所述多个 Kernel 模块按照各自对应的指令对所述应用数据进行处理。

4、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，在所述应用加速需求对应 FPGA 板卡上的一个用于内部计算的 Kernel 模块的情况下，所述计算信息包括指令地址；其中，所述指令地址指向所述应用加速需求所需的内部计算指令；

所述依据所述操作标识和所述计算信息对所述应用数据进行处理包括：

所述 Kernel 模块依据所述指令地址调用内部计算指令对所述应用数据进行处理。

5、根据权利要求 3 或 4 所述的池化平台的数据处理方法，其特征在于，所述依据所述操作标识和所述计算信息对所述应用数据进行处理包括：

所述 Kernel 模块依据所述操作标识和所述计算信息对所述应用数据进行解压缩处理、内部计算处理以及加密处理。

6、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，在所述操作标识为远程直接数据存取操作标识的情况下，所述地址信息包括目标板卡 ID、依据所述计算信息和所述远程直接数据存取操作标识确定的读写标识以及所述远程直接数据存取操作的传输长度。

7、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，在所述操作标识为流操作标识的情况下，所述地址信息包括目标板卡 ID。

8、根据权利要求 7 所述的池化平台的数据处理方法，其特征在于，所述依据所述操作标识和所述计算信息对所述应用数据进行处理，将处理后的应用数据传输至所述地址信息指向的板卡包括：

依据所述流操作标识和所述计算信息对所述应用数据进行处理，所述流操作标识为用于将应用数据在不同 FPGA 板卡之间进行传输的标识；

将所述处理后的应用数据传输至所述地址信息指向的目标板卡 ID。

9、根据权利要求 1-6 任意一项所述的池化平台的数据处理方法，其特征在于，所述配置信息还包括包序列号；

在所述将处理后的应用数据传输至所述地址信息指向的板卡之后还包括：

判断所述处理后的应用数据是否与所述包序列号匹配；

在所述处理后的应用数据与所述包序列号不匹配的情况下，向所述主机服务器反馈携带有缺失序列号的丢包提示信息。

10、根据权利要求 1 所述的池化平台的数据处理方法，其特征在于，所述基于应用加速需求，对传输协议的自定义字段添加配置信息，包括：

基于所述应用加速需求，对所述传输协议的自定义字段进行字节划分，并在字节划分后的自定义字段中添加所述配置信息。

11、根据权利要求 10 所述的池化平台的数据处理方法，其特征在于，所述池化平台包括多个 FPGA 板卡，所述主机服务器包括交换单元，所述基于应用加速需求，对传输协议的自定义字段添加配置信息，包括：

从所述多个 FPGA 板卡中获取 FPGA 加速卡，所述 FPGA 加速卡为用于对所述应用数据进行加速处理的板卡；

在所述 FPGA 加速卡和所述交换单元之间标记远程直接数据存取标识，所述远程直接数据存取标识对应于 RDMA_Enhance 传输协议；

基于所述应用加速需求，按照所述 RDMA_Enhance 传输协议的自定义字段添加所述配置信息。

12、根据权利要求 11 所述的池化平台的数据处理方法，其特征在于，所述主机服务器包括寄存器，所述 FPGA 加速卡包括本地 FPGA 加速卡，所述基于所述应用加速需求，按照所述 RDMA_Enhance 传输协议的自定义字段添加所述配置信息，包括：

基于所述应用加速需求，控制所述寄存器按照所述 RDMA_Enhance 传输协议的自定义字段在所述本地 FPGA 加速卡中添加所述配置信息。

13、根据权利要求 12 所述的池化平台的数据处理方法，其特征在于，所述 FPGA 加速卡还包括远端 FPGA 加速卡，所述基于所述应用加速需求，按照所述 RDMA_Enhance 传输协议的自定义字段添加所述配置信息，包括：

基于所述应用加速需求，控制所述寄存器在所述本地 FPGA 加速卡中配置所述远端 FPGA 加速卡的 RDMA_Enhance 协议的配置信息。

14、根据权利要求 11 所述的池化平台的数据处理方法，其特征在于，所述 FPGA 加速卡包括 PCIe DMA 模块，所述接收主机服务器传输的应用数据，包括：

通过所述 PCIe DMA 模块接收所述主机服务器传输的应用数据，所述 PCIe DMA 模块用于与所述主机服务器进行数据交互。

15、根据权利要求 14 所述的池化平台的数据处理方法，其特征在于，所述 FPGA 加速卡还包括内存模块，所述接收主机服务器传输的应用数据，包括：

从所述主机服务器中将压缩后的应用数据通过所述 PCIe DMA 模块存储至所述内存模块。

16、根据权利要求 15 所述的池化平台的数据处理方法，其特征在于，所述 FPGA 加速卡还包括至少一个 Kernel 模块，所述依据所述操作标识和所述计算信息对所述应用数据进行处理，包括：

所述 Kernel 模块从所述内存模块中读取压缩处理后的应用数据，并依据所述操作标识和所述计算信息对所述压缩处理的应用数据进行处理。

17、根据权利要求 11 所述的池化平台的数据处理方法，其特征在于，所述主机服务器包括协处理器，所述依据所述操作标识和所述计算信息对所述应用数据进行处理，包括：

将所述 FPGA 加速卡作为所述协处理器；

在待机状态下，控制所述协处理器依据所述操作标识和所述计算信息对所述应用数据进行处理。

18、一种池化平台的数据处理装置，其特征在于，包括添加单元、接收单元、处理单元和传输单元；

所述添加单元，用于基于应用加速需求，对传输协议的自定义字段添加配置信息；其中，所述配置信息包括与所述应用加速需求相匹配的操作标识、地址信息和计算信息；

所述接收单元，用于接收主机服务器传输的应用数据；

所述处理单元，用于依据所述操作标识和所述计算信息对所述应用数据进行处理；

所述传输单元，用于将处理后的应用数据传输至所述地址信息指向的板卡，直至完成所述应用数据在池化平台中不同板卡上的处理，则结束操作。

19、一种电子设备，其特征在于，包括：

存储器，用于存储计算机程序；

处理器，用于执行所述计算机程序以实现如权利要求 1 至 17 任意一项所述池化平台的数据处理方法的步骤。

20、一种非易失性可读存储介质，其特征在于，所述非易失性可读存储介质上存储有计算机程序，所述计算机程序被处理器执行时实现如权利要求 1 至 17 任意一项所述池化平台的数据处理方法的步骤。

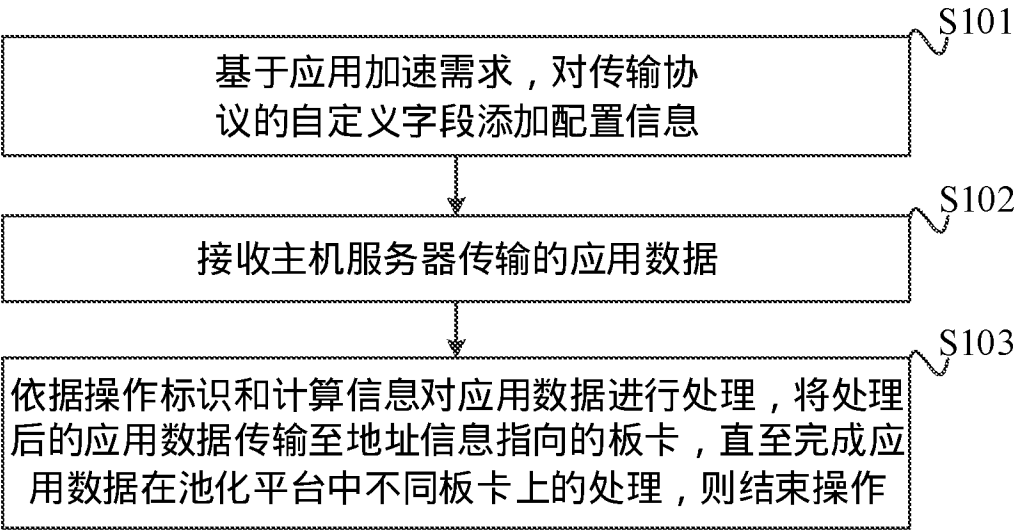


图 1

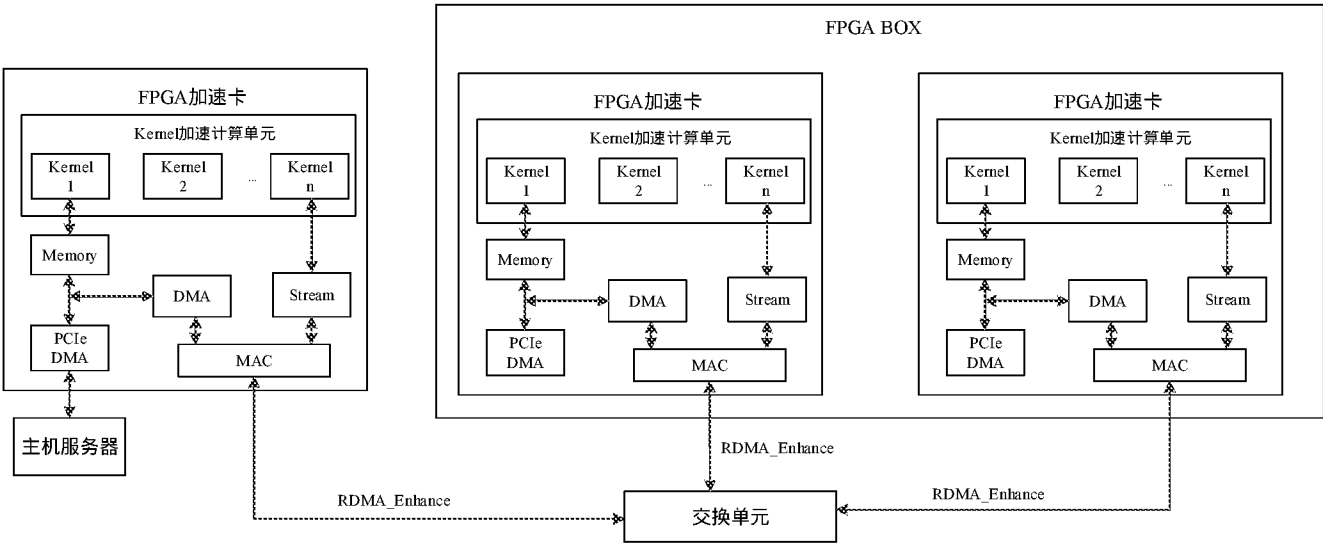


图 2

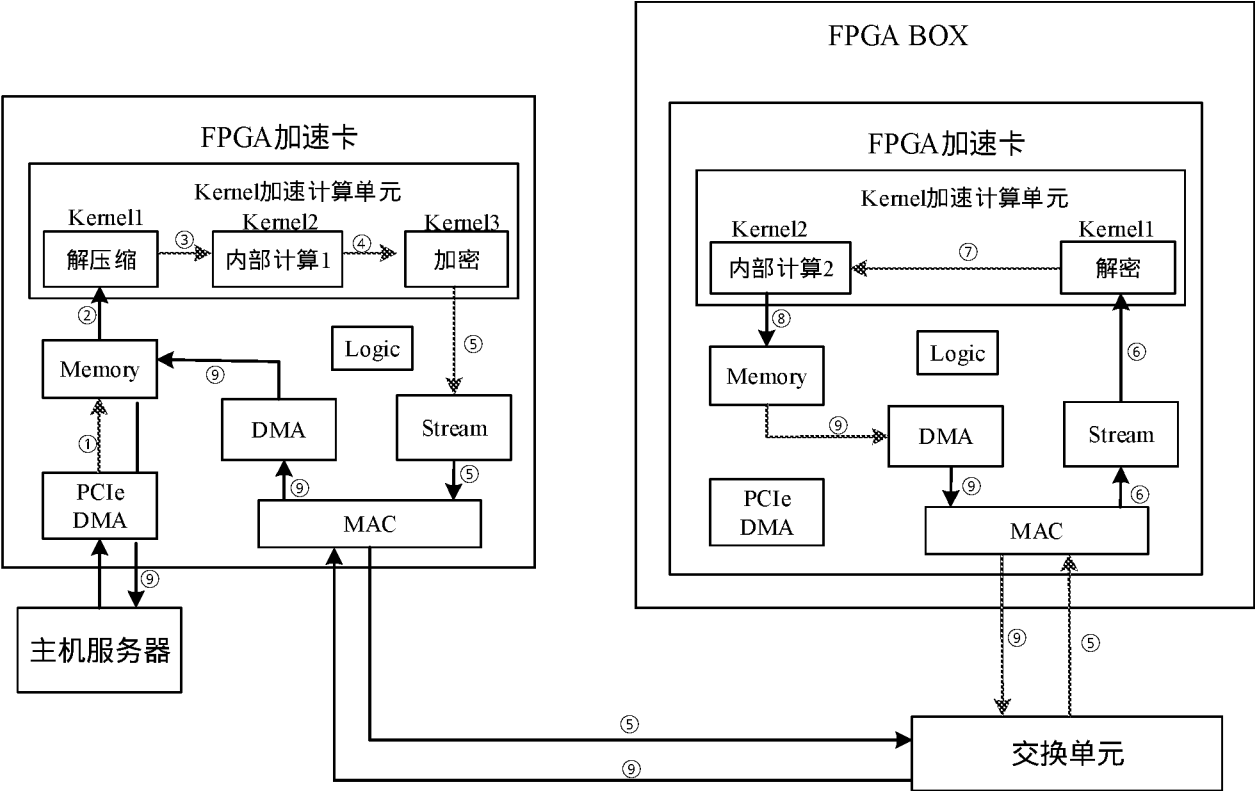


图 3

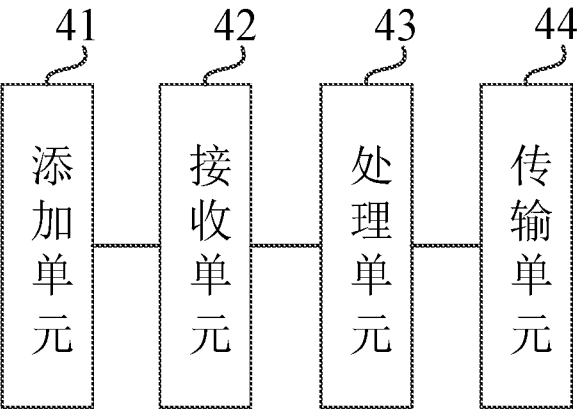


图 4

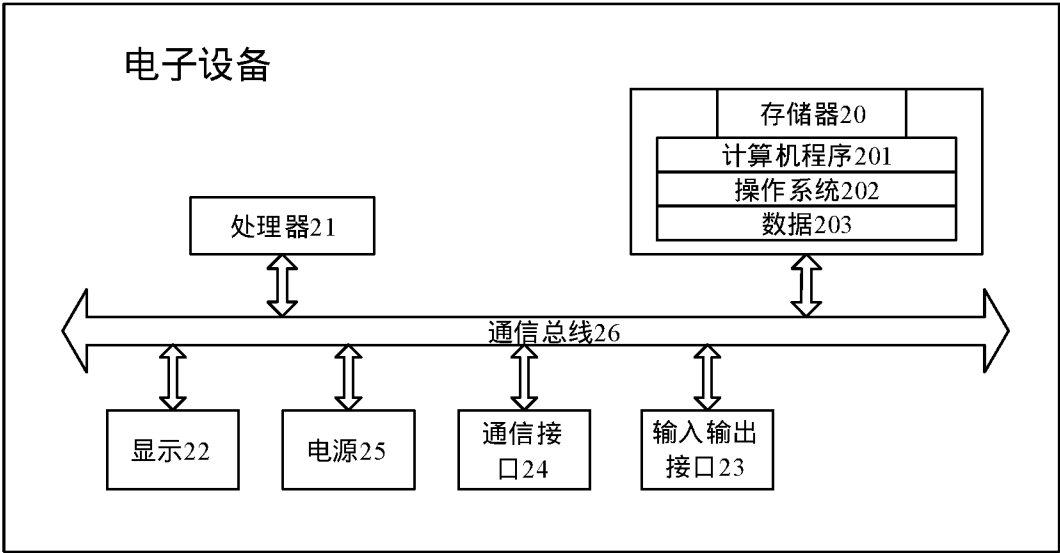


图 5

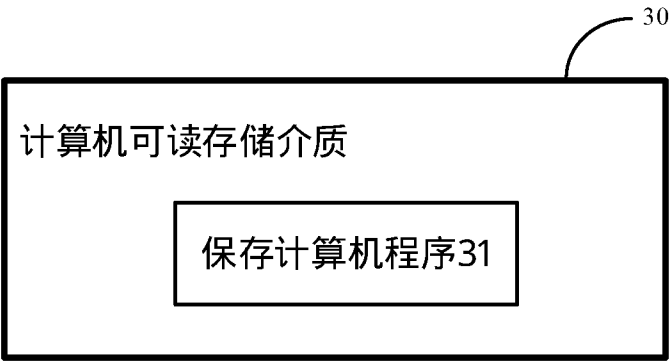


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/134802

A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/173(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: FPGA, 板卡, 池化, 平台, 分布式, 异构, 加速, 延迟, 延时, 时延, 传输协议, 自定义, 字段, 配置, 操作标识, 地址信息, 计算信息, 指令地址, card, pool, platform, distributed, heterogeneous, acceleration, latency, transport protocol, custom, field, configuration, operation identification, address information, compute information, instruction address

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115237500 A (INSUR (BEIJING) ELECTRONIC INFORMATION INDUSTRY CO., LTD.) 25 October 2022 (2022-10-25) claims 1-12, and description, paragraphs [0061]-[0142]	1-20
A	CN 113900982 A (SUZHOU INSUR INTELLIGENT TECHNOLOGY CO., LTD.) 07 January 2022 (2022-01-07) description, paragraphs [0017]-[0049]	1-20
A	CN 108776648 A (ZHENGZHOU YUNHAI INFORMATION TECHNOLOGY CO., LTD.) 09 November 2018 (2018-11-09) entire document	1-20
A	CN 114003392 A (SUZHOU INSUR INTELLIGENT TECHNOLOGY CO., LTD.) 01 February 2022 (2022-02-01) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 February 2023

Date of mailing of the international search report

17 February 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/134802**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112241323 A (INSPUR (BEIJING) ELECTRONIC INFORMATION INDUSTRY CO., LTD.) 19 January 2021 (2021-01-19) entire document	1-20
A	US 2017109290 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 19 April 2017 (2017-04-19) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/134802

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	115237500	A	25 October 2022	None	
CN	113900982	A	07 January 2022	None	
CN	108776648	A	09 November 2018	None	
CN	114003392	A	01 February 2022	None	
CN	112241323	A	19 January 2021	None	
US	2017109290	A1	19 April 2017	None	

国际检索报告

国际申请号

PCT/CN2022/134802

A. 主题的分类 G06F 15/173(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CN- KI, IEEE: FPGA, 板卡, 池化, 平台, 分布式, 异构, 加速, 延迟, 延时, 时延, 传输协议, 自定义, 字段, 配置, 操作标识, 地址信息, 计算信息, 指令地址, card, pool, platform, distributed, heterogeneous, acceleration, latency, transport protocol, custom, field, configuration, operation identification, address information, compute information, instruction address		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115237500 A (浪潮(北京)电子信息产业有限公司) 2022年10月25日 (2022 - 10 - 25) 权利要求1-12, 说明书第[0061]-[0142]段	1-20
A	CN 113900982 A (苏州浪潮智能科技有限公司) 2022年1月7日 (2022 - 01 - 07) 说明书第[0017]-[0049]段	1-20
A	CN 108776648 A (郑州云海信息技术有限公司) 2018年11月9日 (2018 - 11 - 09) 全文	1-20
A	CN 114003392 A (苏州浪潮智能科技有限公司) 2022年2月1日 (2022 - 02 - 01) 全文	1-20
A	CN 112241323 A (浪潮(北京)电子信息产业有限公司) 2021年1月19日 (2021 - 01 - 19) 全文	1-20
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年2月13日		国际检索报告邮寄日期 2023年2月17日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王洋 电话号码 (+86) 010-53961523

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2017109290 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2017年4月19日 (2017 - 04 - 19) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/134802

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115237500	A	2022年10月25日	无	
CN	113900982	A	2022年1月7日	无	
CN	108776648	A	2018年11月9日	无	
CN	114003392	A	2022年2月1日	无	
CN	112241323	A	2021年1月19日	无	
US	2017109290	A1	2017年4月19日	无	