

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5969914号
(P5969914)

(45) 発行日 平成28年8月17日 (2016. 8. 17)

(24) 登録日 平成28年7月15日 (2016. 7. 15)

(51) Int. Cl.		F I
HO 4 N 19/433	(2014. 01)	HO 4 N 19/433
HO 4 N 19/12	(2014. 01)	HO 4 N 19/12
HO 4 N 19/154	(2014. 01)	HO 4 N 19/154
HO 4 N 19/156	(2014. 01)	HO 4 N 19/156
HO 4 N 19/172	(2014. 01)	HO 4 N 19/172

請求項の数 4 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2012-278274 (P2012-278274)
 (22) 出願日 平成24年12月20日 (2012. 12. 20)
 (65) 公開番号 特開2014-123830 (P2014-123830A)
 (43) 公開日 平成26年7月3日 (2014. 7. 3)
 審査請求日 平成27年1月9日 (2015. 1. 9)

(73) 特許権者 000233295
 株式会社日立情報通信エンジニアリング
 神奈川県横浜市西区みなとみらい二丁目3
 番3号
 (74) 代理人 110001689
 青稜特許業務法人
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 小味 弘典
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所 横浜研究所内
 (72) 発明者 谷田部 祐介
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所 横浜研究所内

最終頁に続く

(54) 【発明の名称】 動画像圧縮伸張装置

(57) 【特許請求の範囲】

【請求項1】

動画像データの圧縮および伸張を行う動画像圧縮伸張装置であって、

当該動画像圧縮伸張装置に入力された動画像信号に対し当該画像のフレーム間予測を行ってデータ圧縮して得た第1の動画像圧縮データを出力し、前記動画像圧縮伸張装置に入力された動画像圧縮データに対しデータ伸張して得た動画像信号を出力する動画像圧縮伸張処理部と、

当該動画像圧縮伸張処理部においてデータ圧縮される前記動画像信号及び前記フレーム間予測を行う際に参照する参照画像信号を前記動画像圧縮伸張処理部におけるデータ圧縮とは異なる方法でデータ圧縮して得た第2の動画像圧縮データを前記動画像圧縮伸張装置に外付けされた又は内蔵されたメモリに対して書込み、当該メモリから読み出した前記第2の動画像圧縮データをデータ伸張するデータ変換部を有し、

当該データ変換部は、前記第2の動画像圧縮データを前記メモリに書込み読み出す際のメモリアドレスの順序を、同一の画像フレーム内において書込み時と読み出し時で異なるものであって、

前記第2の動画像圧縮データを生成する際に、前記動画像信号の各走査線のデータを第1のデータ量のバースト単位で複数のバーストに分割して圧縮し、圧縮されて第2のデータ量とされた前記バーストを前記メモリにデータとして前記走査線の走査方向に順次書込み、

前記メモリに書込まれたデータを読み出す際に、前記各走査線のデータから前記第1の

データ量分のデータを、前記走査線に対し垂直な方向に順次読み出す
ことを特徴とする動画像圧縮伸張装置。

【請求項 2】

請求項 1 に記載の動画像圧縮伸張装置において、前記データ変換部は、
前記動画像信号、或いは前記参照画像のフレーム種別と前記データ変換部の動作モード
に応じて、ロスレス圧縮モード又はロッシェー圧縮モードのいずれかを選択する
ことを特徴とする動画像圧縮伸張装置。

【請求項 3】

請求項 1 に記載の動画像圧縮伸張装置において、前記データ変換部は、
前記第 2 の動画像圧縮データを生成する際に、画質を優先する場合にはロスレス圧縮に
よるデータ圧縮を行い、アクセスレートの削減を優先する場合にはロッシェー圧縮によるデ
ータ変換を行う

10

ことを特徴とする動画像圧縮伸張装置。

【請求項 4】

請求項 1 に記載の動画像圧縮伸張装置において、前記データ変換部は、
前記第 2 の動画像圧縮データを生成する際の圧縮動作を、画質と外部メモリへのアクセ
ス量の削減効果の関係に応じて定める

ことを特徴とする動画像圧縮伸張装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は動画像圧縮伸張装置に係り、特に画像圧縮伸張処理を行う際、画像フレームを
格納するメモリへのアクセスバンド幅の利用効率を向上させる技術に関する。

【背景技術】

【0002】

動画像処理を行うシステムLSIにおいては、信号処理過程の画像データをたとえばDDR3
-SDRAM (Double Data Rate 3 Synchronous Dynamic Random Access Memory) などの大容量
メモリに格納する際の、データレートの増加を抑制する技術が従来から開示されている。
例えば特許文献 1 では、符号化ストリームをデコードし、表示する際の連続する画像デ
ータ間の相関を用いて、データを可逆 (ロスレス) 圧縮もしくは非可逆 (ロッシェー) 圧縮
を行うことにより、SDRAMコントローラへのアクセス集中を緩和する技術が記載されてい
る。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 171609 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、上記発明を画像圧縮伸張に適用する際については、ロスレスやロッシェー圧縮の
適用をいかに制御するか、効率の良いメモリアクセスをどのように実現するかに関し、具
体的な技術については記載していない。

40

本発明の目的は、かかる課題を解決し、画質への影響を少なく保ちつつ、メモリへのア
クセスバンド幅の利用効率を向上させた画像圧縮伸張装置を実現することにある。

【課題を解決するための手段】

【0005】

本特許の実施例に解決手段を記載する。

【発明の効果】

【0006】

本発明によれば、画像圧縮伸張装置において、画質への影響を少なく保ちつつ、メモリ

50

へのアクセスバンド幅の利用効率を向上させることができ、当該装置の基本性能の向上に寄与できるという効果がある。

【図面の簡単な説明】

【0007】

【図1】一実施例における画像圧縮伸張をシステムLSI内で実現した例を示すブロック図

。

【図2】一実施例におけるラインアクセスとブロックアクセスの変換の説明図。

【図3】一実施例におけるブロックアクセスのリードライトアクセスの説明図。

【図4】一実施例におけるSDRAM内のメモリ割当の一例を示す図。

【図5】一実施例におけるロスレス圧縮とロッキー圧縮の切り替えの組み合わせを示す図

10

。

【発明を実施するための形態】

【0008】

図1は、本発明の実施例1の動画像圧縮伸張装置を用いて、画像処理のためのシステムLSI1を構築した例を示すブロック図である。図中、5のブロックが、本実施例の動画像圧縮伸張装置に該当する。以下、図面に沿って説明する。

画像処理システムLSI1では、画像入力端子2から入力される動画像データをリアルタイムで圧縮符号化処理し、ストリームデータとしてストリーム入出力端子8より、外部に接続されたSDカード、コンパクトフラッシュ（登録商標）などの蓄積媒体にデータを蓄える装置を想定する。また、いったん外部の蓄積媒体に格納されたデータは、同LSI1に読み込まれ、動画像の復号処理の後、画像出力端子11から、図示しない外部のディスプレイに動画として出力される動作を想定する。

20

【0009】

まず動画像の圧縮時の動作について説明する。画像入力端子2からはここでは、Full HD相当の映像が入力されるものとする。この場合、有効画像サイズは水平1920×垂直1080画素を想定する。またフレームレートはプログレッシブ走査方式で60Hzとする。

この場合ビデオIF部3は入力されたデータを順次水平走査線方向のデータとしてたとえば、BT.709などのデジタルフォーマットで受信する。データは輝度(Y)、色差(Cb, Cr)の4:2:2成分として入力され、H.264の標準的なフォーマットとされる4:2:0成分にコンバートされた後、動画像圧縮伸張処理部5に入力される。この場合走査線方向でデータが入力されるものとする。

30

【0010】

一般に、H.264の動画圧縮では、入力される各画像フレームを、面内予測処理のみを行うイントラピクチャ（Iピクチャ）、時間軸上で片方向の動き予測を行う（Pピクチャ）、時間軸上で両方向の動き予測を行う（Bピクチャ）と符号化のタイプに応じていずれかのピクチャタイプでエンコードされる。

Bピクチャの場合、圧縮処理中の現在のフレームに対して、時間方向で前と後ろに存在するフレーム画像データを参照する必要がある。そのため、いったん複数枚の入力画像（以下、原画像と呼ぶ）をフレームメモリに格納し、前後のフレーム参照が可能になった段階でエンコード処理する。

40

【0011】

また、I、P、Bピクチャとして圧縮されたデータは、その付近の他のP、Bピクチャの動き予測のための参照フレームとして利用される。このため、当該圧縮後のデータは、圧縮装置中でいったん復号され、他の参照のためにフレームメモリに格納される。これを参照画像と呼ぶ。

本実施例では、上記処理のために、入力された原画像を動画像圧縮伸張処理部5の外部のメモリに格納する。本実施例中では、外部に大容量のDDR2-SDRAM10を接続し、その所定のメモリ空間に原画像領域を確保し、順次格納する。

【0012】

50

この際、データ変換部 5 1 において、外部DDR2 - SDRAM 1 0 に格納する際に、動画データ圧縮伸張処理部 5 2 と比較して、より簡易なデータ圧縮技術を用いて画像データ量を削減することにより、SDRAM 1 0 へのデータアクセス量（以下バンド幅と呼ぶ）を削減する回路を内部に設ける。

本内部回路の構成については、たとえば特許文献 1 における図 1 の 1 3、および 1 7 に記載のデータ圧縮回路およびデータ伸張回路を用いて実現可能である。本回路部の詳細については、前記した特許文献 1 の回路を活用するものとして、詳細説明は省略する。

【 0 0 1 3 】

本実施例においては、上記DDR2 - SDRAM 1 0 に画像データを格納するためのデータ圧縮回路およびデータ伸張回路を、データ変換部 5 1 として示す。本データ変換部 5 1 では、データを可逆圧縮もしくは非可逆圧縮を施すことで、そのデータ量を削減することが出来る。

また非可逆圧縮については、その圧縮率が最も悪化する場合の最悪圧縮率をあらかじめ設定することにより、データ変換後のデータ量のワーストケースが規定できるものとする。本回路には、データの所定の画素数分入力され、たとえば元のデータ量の 4 0 ~ 6 0 % 程度のデータ量に圧縮されたデータが出力されるようなデータ圧縮を想定する。

【 0 0 1 4 】

この場合、圧縮されたデータは、ビット単位で連続して詰めたデータとして、出力される。一般にSDRAMへのアクセスは、バーストアクセスを行うことが効率よく、たとえばバースト長 8、SDRAMのビット幅 6 4 b i t の場合、1 単位 6 4 b i t × 8 = 5 1 2 b i t を一つのバーストとして連続的にSDRAMにアクセスする。従って、4 単位分 2 0 4 8 b i t の原画が入った段階で、6 0 % にデータ量が連続して圧縮される場合には、この 5 1 2 b i t は 4 単位分で約 1 2 2 9 b i t 程度になるため、約 3 単位のデータに収めて出力することが出来る。

ここで、原画の書き込み時と読み出し時で、効率よく読むためのデータアクセス順序が異なる場合がある。たとえば本実施例では、入力はライン走査で入力されるが、出力は、H.264で一般的であるMB（マクロブロック）単位のアクセスとなる。このため、本実施例では、次に説明するような方法でアクセスする。

原画像の場合、走査線方向に入力されたデータは、逐次ロスレスもしくはロッキー圧縮変換がデータ変換回路部 5 1 において施され、DDR2 - SDRAM 1 0 に格納される。

【 0 0 1 5 】

図 2 は、一実施例におけるラインアクセスとブロックアクセスの変換の説明図であり、3 0 0 は、ライン単位で原画が入力される様子を示す。また、3 0 1 に示す範囲（前記の例では 1 単位、5 1 2 b i t に相当）ごとに、バーストアクセスでデータ変換部 5 1 にデータが出力される。このとき、各バーストは、データ変換 5 1 においてデータの圧縮変換がかかる。

たとえば、3 0 1 の分のデータは、3 0 2 のように通常、元のバーストデータ数以下の範囲に収まる。また圧縮されたデータは、ビット単位で詰められ、バースト長分データ変換部 5 1 に保持できた段階で、そのつどSDRAMアクセスコントローラ 9 に転送される。転送されたデータは、最終的にDDR2 - SDRAM 1 0 に格納される。例として、3 0 0 におけるハッチング部分の L i n e 2 は、データ変換されDDR2 - SDRAM 1 0 中の 3 0 3 のハッチング部分に格納されることになる。

【 0 0 1 6 】

次に、動画圧縮のために原画像としてデータを読み出す場合は、動画圧縮伸張処理部 5 2 は、MB 単位で原画像のデータをデータ変換部 5 1 に要求する。

データ変換部 5 1 は、DDR2 - SDRAM 1 0 からデータを読む際に、3 0 4 に示すように、先ずMB 0 の L i n e 0 から 1 5 までのデータを読む。次いでMB 1、MB 2、・・・と順番にMB 単位で L i n e 0 から 1 5 までのデータを読む。なお、各MBのサイズは非圧縮時のデータ量に応じて決まっている。このため、3 0 4 に示すように例えばデータ圧縮後のMB 0 を読む際には、非圧縮時のMB 1、さらにはMB 2 に属するデータの一部も読

10

20

30

40

50

むこととなる。

データ変換部 5 1 は、それぞれのラインのデータに逆変換（伸張）をかける。

もし、そのバースト長に、所望の M B（非圧縮時）のラインデータがある場合には、既に読んだ次の M B 部分（3 0 4 におけるハッチングのない部分）のデータを保持する。M B 0 のデータを読むために読むバースト部分は太枠で囲った 3 0 4 の部分の L i n e 0 ~ 1 5 の位置であり、実際に M B 0（非圧縮時）のデータが格納されている箇所はハッチングをかけた箇所となる。

【 0 0 1 7 】

各ハッチング部分は、順次 3 0 5 に示すように、データ変換部 5 1 内で逆変換され、元の M B 0 の分のデータとして、動画像圧縮伸張処理部 5 2 に渡される。

M B 0 における M B 1（非圧縮時）以降のデータは、次のデータ逆変換のためにデータ変換部 5 1 内で保持される。

また、M B 1, 2 と引き続き処理が行われるが、各 L i n e のデータは保持されたデータに逆変換をかけ、もし続きのデータが必要になる場合には、続きのバーストが読まれる。

もし、必要にならない場合には、次のデータをリードしない。

【 0 0 1 8 】

各 L i n e のデータがどれぐらいのデータ量に圧縮されるかは、入力された画像依存となり、各ラインを読み進めるうちに、更新すべきバースト位置は異なる。たとえば、M B 2（非圧縮時）のデータを読む際のバーストリード位置と実際のデータ位置は 3 0 6 の太枠で囲った位置とハッチングのかかった位置になり、データ逆変換された後、動画像圧縮伸張処理部 5 2 に渡される部分は、3 0 7 のようになる。

もし、ライト時とリード時で同じアドレス順序でアクセスする場合、一度読んだデータを破棄しないように、M B の縦幅×ライン幅の分のデータバッファを持ち、ラインごとにリードし、1 6 ライン分たまった段階で、M B 0、M B 1、M B 2 と順次データを逆変換かける必要があり、相当数リードデータを格納するバッファが必要なる。一方、本実施例の方法でアドレス順序の変更をかける場合には、M B 1 個分のバーストバッファと、途中のアクセスしているビット位置を保持してバーストの境界を記憶するためのバッファ程度で回路が組め、コスト増加を抑制できるという利点を持つ。

【 0 0 1 9 】

同じく、本実施例のデータ変換回路 5 1 を介して、動画像圧縮伸張処理部 5 2 は、参照画像のライトおよびリードを行う。この場合、基本的にライト、リードともに M B 単位のデータアクセスになる。このため、各々 M B のデータごとに連続でデータ変換をかけ、M B ごとに本来格納するエリアに、ライト・リードしても効率的にとくに支障にならない。

次に、図 2 とは異なる実施例を説明する。

図 3 は、一実施例におけるブロックアクセスのリードライトアクセスの説明図である。ライト時には図 3 の 4 0 1 の M B 0 を 4 0 2 に示したように、ハッチングの部分に圧縮をかけて、保持していき、太枠で囲ったバースト単位ごとにアクセスしても良い。

最後に動画像圧縮されて生成されたストリームデータは、ロッシェー圧縮技術を用いると、データが復号不可能になり、ロスレス圧縮をかけてもほとんどバンド幅圧縮の効果が無いため、データ圧縮は行わずスルーして DDR2 - SDRAM 1 0 にデータを書き込む。

【 0 0 2 0 】

次に、伸張時の動作について説明する。ストリーム入出力端子 8 経由で外部メモリから読まれたストリームは、データ変換部 5 1 においては、データは変換処理されることなく、動画像圧縮伸張処理部 5 2 に出力される。入力されたストリームは可変長符号化が解かれ、各フレームの復号画像が生成される。各復号画像は、その他の画像の参照画像として使用され、また最終的にビデオ I F 3 を経由して、ライン単位で出力される。このため、先ほどの例では参照画像はブロックアクセス処理して得られたが、本例の動画伸張時には、図 2 の原画領域と同様にライン単位でデータライトされ、参照画像を参照する際にはブロックとしてリードされる。また、ビデオ I F 3 がリードを必要とする場合には、ライン

10

20

30

40

50

方向にそのまま読み出すという処理に変更される。

【 0 0 2 1 】

以上のように、同じ参照画像領域でも、用途に応じて、データ変換された画像のアドレッシング順序を変更できる構成を持つことにより、各々の処理に必要なバッファのコストを削減しつつ回路を実現し、バンド幅を削減することが可能となる。

一般に動画像の画像処理LSIにおいては、図1に示すように、動画像圧縮伸張回路5のほかに、システム管理を行うホストCPU6や、その他入力画像の画像処理を行う画像処理部4を含む複数の処理ブロックが、同一のSDRAM10へデータアクセスを行う。

図4は、一実施例におけるSDRAM10のデータ割当の例を示す。前記した事情により、メモリコントローラへのアクセス量が非常に多くなる。従い、たとえば内部バスの線数を増やす必要が生じ、また、システムクロックを引き上げる要因となる。これは結果としてシステムのチップ面積の増加を招き、消費電力を増加させることになる。従って、安価にLSIを実現する上での課題となる。本実施例は、当該の課題に対する解決方法を提供することができる。

10

【 0 0 2 2 】

また、本実施例におけるデータ変換回路51はロスレス、ロッキーの切り替え機能を有する。ロスレス圧縮時には、画像の劣化は起きないが、バンド幅の削減率は扱う絵柄に応じて大きく変動するため、システム設計が難しくなる。逆にロッキーの場合には、圧縮率を確定し、その中でシステム設計できる一方で、画像の劣化が生じるため、使用用途に制限がかかる。本実施例では、例えば処理する画像に応じてロスレス、ロッキーの切り替えをすることにより、当該の課題に対する解決方法を提供することができる。

20

図5は、一実施例におけるロスレス圧縮とロッキー圧縮の切り替えの組み合わせを示す図である。図5に示すように、本実施例では動作モードを指定し、その動作モードとフレームごとに、データアクセス時にロスレスかロッキーかを指定する。これにより、ユーザーの要求に対して、最適な画質とバンド幅削減効果のバランスを取ることが可能となる。

データ変換回路部51で処理するデータ変換処理により、SDRAMアクセスコントローラ9とのデータアクセス量を削減することができ、結果としてシステムのコストを下げ、消費電力を下げるという効果が得られる。

【 0 0 2 3 】

本発明の実施例では、まずH.264/AVC (ISO/IEC14496 - 10) に従って、Full HDの解像度の画像を圧縮伸張することを想定する。特に上記実施例では、H.264の規格に準拠した圧縮伸張処理を想定したが、他のMPEG1, 2, 4などフレーム間予測を行うような処理においても本発明が有効であることは明らかである。

30

上記、実施例でのデータアクセス方法に限らず、リード時とライト時で、他のブロックのIFの兼ね合いで、ブロック方向のアクセスと、ライン方向のアクセスの組み合わせを変更し、また、連続して格納するメモリの領域、サイズを変更しても同様の効果を得られることは明らかである。

【 符号の説明 】

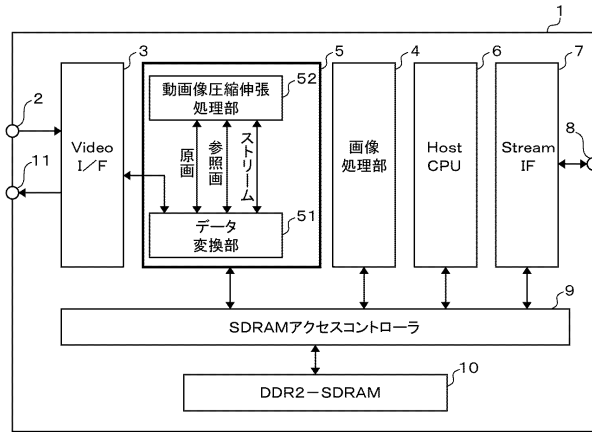
【 0 0 2 4 】

1 ... 画像処理システムLSI、2 ... 画像入力端子、3 ... ビデオIF、4 ... 画像処理部、5 ... 動画像圧縮伸張装置、6 ... ホストCPU、7 ... ストリームIF、8 ... ストリーム出力端子、9 ... SDRAMアクセスコントローラ、10 ... DDR2 - SDRAM、11 ... 映像出力端子。

40

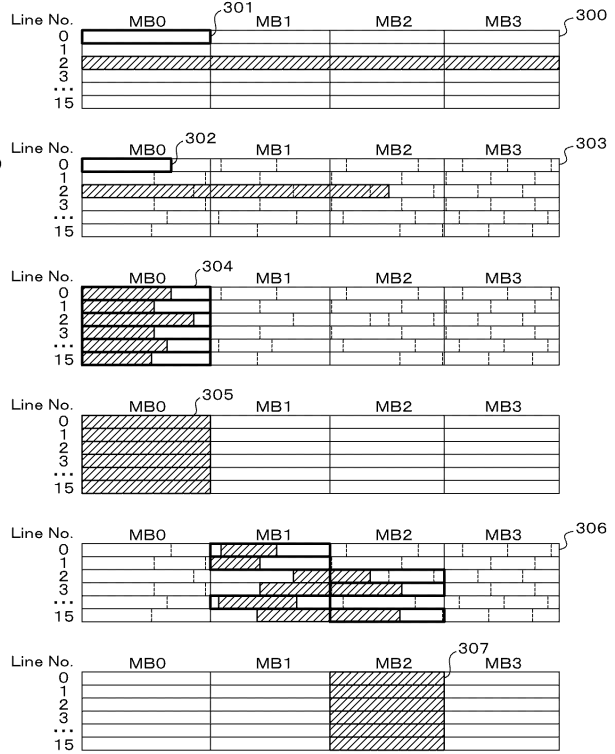
【図1】

図1



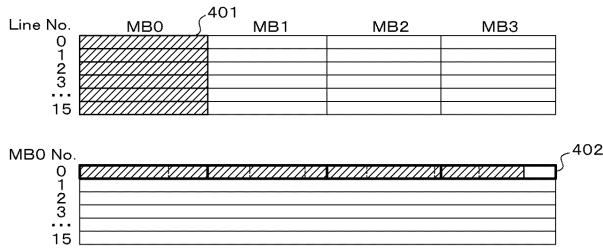
【図2】

図2



【図3】

図3



【図4】

図4



【 図 5 】

図 5

	原画	参照画I	参照画P	参照画B	備考
圧縮モード1	Lossless	Lossless	Lossless	Lossless	高画質 B参照あり
圧縮モード2	Lossless	Lossless	Lossless	Lossless	高画質 B参照なし
圧縮モード3	Lossy	Lossless	Lossless	Lossless	標準画質 B参照あり
圧縮モード4	Lossy	Lossless	Lossless	Lossy	標準画質 B参照なし
伸張モード1	—	Lossless	Lossless	Lossless	高画質 B参照あり
伸張モード2	—	Lossless	Lossless	Lossy	標準画質 B参照なし
伸張モード3	—	Lossless	Lossy	Lossy	低画質 プレビュー用

フロントページの続き

(51)Int.Cl. F I
H 0 4 N 19/503 (2014.01) H 0 4 N 19/503

- (72)発明者 海野 恭平
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 横浜研究所内
- (72)発明者 元場 良幸
神奈川県横浜市西区みなとみらい二丁目3番3号 日立情報通信エンジニアリング株式会社内
- (72)発明者 堀 敏彰
神奈川県横浜市西区みなとみらい二丁目3番3号 日立情報通信エンジニアリング株式会社内
- (72)発明者 柏原 義昌
神奈川県横浜市西区みなとみらい二丁目3番3号 日立情報通信エンジニアリング株式会社内
- (72)発明者 柳原 利一
神奈川県横浜市西区みなとみらい二丁目3番3号 日立情報通信エンジニアリング株式会社内

審査官 山 崎 雄介

- (56)参考文献 特許第3918263(JP, B2)
特開2003-230148(JP, A)
特開2010-171609(JP, A)
米国特許出願公開第2011/0249959(US, A1)
特開2012-019288(JP, A)
特開2009-260977(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H 0 4 N 19/00 - 19/98