

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004564 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H01L 27/06 (2006.01)
H01L 21/76 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号: PCT/JP2024/017673

(22) 国際出願日: 2024年5月13日(13.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-105943 2023年6月28日(28.06.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

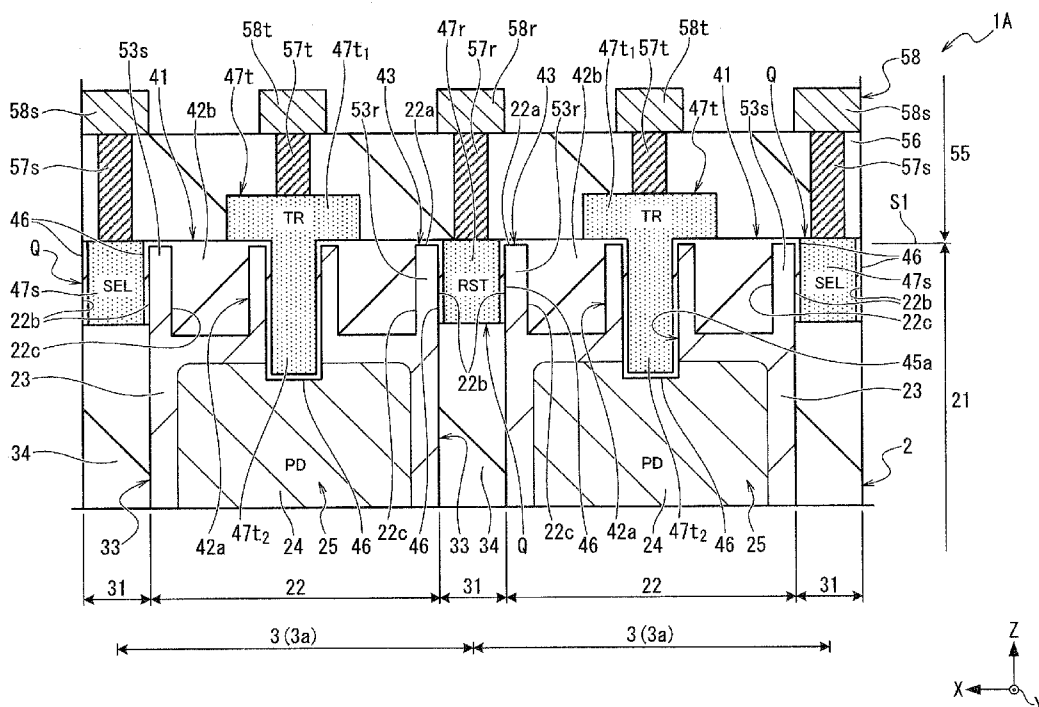
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 河村 智彦 (KAWAMURA Tomohiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 江尻 洋一 (EJIRI Hirokazu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(54) Title: PHOTODETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器



(57) Abstract: The present invention increases the degree of freedom in arranging pixel transistors in a photoelectric conversion region. This photodetection device comprises: a semiconductor layer having a first surface portion and a second surface portion that are positioned on mutually opposite sides in the thickness direction; a photoelectric conversion region that is provided to the semiconductor layer in a manner of being divided by a separation region extending in the thickness direction of the semiconductor layer, and that has an upper surface portion positioned on the first surface portion side of

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the semiconductor layer, and a first lateral surface portion positioned on the separation region side; a transfer transistor that is provided on the upper surface portion side of the photoelectric conversion region and transfers, to a charge retention unit, a signal charge obtained through photoelectric conversion at the photoelectric conversion region; and a plurality of pixel transistors provided to the upper surface portion of the photoelectric conversion region. At least one of the plurality of pixel transistors has a gate electrode that is provided to the separation region so as to be adjacent to the first lateral surface portion of the photoelectric conversion region across a gate insulating film.

(57) 要約: 光電変換領域での画素トランジスタの配置自由度を上げる。光検出装置は、厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、上記半導体層の厚さ方向に延伸する分離領域で区画されて上記半導体層に設けられ、かつ上記半導体層の上記第1の面部側に位置する上面部及び上記分離領域側に位置する第1側面部を有する光電変換領域と、上記光電変換領域の上記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、上記光電変換領域の上記上面部に設けられた複数の画素トランジスタと、を備え、上記複数の画素トランジスタの少なくとも1つの画素トランジスタは、ゲート絶縁膜を介在して上記光電変換領域の上記第1側面部と互いに隣り合って上記分離領域に設けられたゲート電極を有する。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関し、特に、光電変換領域に画素トランジスタが設けられた光検出装置及びそれを備えた電子機器に適用して有効な技術に関するものである。

背景技術

[0002] 固体撮像装置や測距装置などの光検出装置は、光電変換された信号電荷を電荷保持部に転送する転送トランジスタや、電荷保持部に保持された信号電荷に基づく画素信号を出力する画素回路を備えている。特許文献１には、転送トランジスタと、画素回路に含まれる画素トランジスタとを、半導体層の光電変換領域に設けた固体撮像装置が開示されている。また、特許文献１には、トレンチ型の分離領域で区画された光電変換領域も開示されている。

[0003] 一方、特許文献２には、基板に浅いトレンチ分離（ＳＴＩ）のための溝を形成し、この溝内に絶縁膜を介して埋め込まれた埋込ポリシリコン電極に電圧を印加することで蓄積時にはＳＴＩ側壁のピンニングを強化し、画素領域Ｐウエルと、埋め込みポリシリコン電極とに電圧を印加することで転送時には信号電荷の転送を改善した撮像装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２０２１－１０１４９１号公報

特許文献２：特開２００６－１２０８０４号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、近年、高解像のイメージセンサが市場で求められており、画素サイズを縮小したイメージセンサの開発が進められている。

[0006] しかしながら、画素サイズの縮小に伴って転送トランジスタや画素トラン

ジスタなどの能動素子を光電変換領域に配置することが困難となり、能動素子の配置自由度が低くなる。

[0007] 本技術の目的は、光電変換領域での能動素子の配置自由度を上げることが可能な技術を提供することにある。

課題を解決するための手段

[0008] (1) 本技術の一態様に係る光検出装置は、
厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、

上記半導体層の厚さ方向に延伸する分離領域で区画されて上記半導体層に設けられた光電変換領域と、を備えている。

そして、上記光電変換領域は、

上記半導体層の上記第1の面部側に位置する上面部及び上記分離領域側に位置する第1側面部と、

上記光電変換領域の上記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、

上記光電変換領域の上記上面部に設けられた複数の画素トランジスタと、
を備えている。

そして、上記複数の画素トランジスタの少なくとも1つの画素トランジスタは、ゲート絶縁膜を介在して上記光電変換領域の上記第1側面部と互いに隣り合って上記分離領域に設けられたゲート電極を有する。

[0009] (2) 本技術の他の態様に係る光検出装置は、

半導体層と、

上記半導体層の厚さ方向に延伸する分離領域で区画されて上記半導体層に設けられた光電変換領域と、

を備えている。

そして、上記光電変換領域は、

上面部及び側面部と、

上記上面部側に設けられ、かつ光電変換部から転送トランジスタを介して

転送された信号電荷を保持する電荷保持部と、
上記上面部側に設けられた画素トランジスタと、
を備えている。

そして、平面視で上記分離領域を介して互いに隣り合う2つの上記光電変換領域において、一方の光電変換領域に設けられた上記画素トランジスタは、平面視で一方の上記光電変換領域の上記上面部及び上記分離領域に亘って設けられ、かつ他方の上記光電変換領域の上記側面部で上記他方の光電変換領域の上記電荷保持部と接続されたゲート電極を有する。

[0010] (3) 本技術の他の態様に係る電子機器は、
上記光検出装置と、
被写体からの像光を上記検出装置の撮像面上に結像される光学レンズと、
上記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備えている。

図面の簡単な説明

[0011] [図1]本技術の第1実施形態に係る固体撮像装置の一構成例を示すチップレイアウト図である。

[図2]本技術の第1実施形態に係る固体撮像装置の一構成例を示すブロック図である。

[図3]本技術の第1実施形態に係る画素及び画素回路の一構成例を示す等価回路図である。

[図4A]図1の画素アレイ部に含まれる4つの画素の一構成例を模式的に示す平面図である。

[図4B]図4Aの一部を拡大した平面図である。

[図5A]図4Aのa4-a4切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図5B]図5Aの一部を拡大して模式的に示す縦断面図である。

[図6]図4Aのb4-b4切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図7]図4 Aのc 4－c 4切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図8]図4 Aのd 4－d 4切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図9]本技術の第1実施形態に係る固体撮像装置の製造方法の工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図10]図9の工程後の工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図11]図10の工程後の工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図12]図11に引き続く工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図13]図12に引き続く工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図14]図13に引き続く工程を模式的に示す図（図4 Aのb 4－b 4切断線と同一位置での縦断面図）である。

[図15]図14に引き続く工程を模式的に示す図（図4 Aのb 4－b 4切断線と同一位置での縦断面図）である。

[図16]図15に引き続く工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図17A]図16に引き続く工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図17B]図16に引き続く工程を模式的に示す図（図4 Aのb 4－b 4切断線と同一位置での縦断面図）である。

[図18A]図17 Aに引き続く工程を模式的に示す図（図4 Aのa 4－a 4切断線と同一位置での縦断面図）である。

[図18B]図17 Bに引き続く工程を模式的に示す図（図4 Aのb 4－b 4切断線と同一位置での縦断面図）である。

[図19]本技術の第2実施形態に係る固体撮像装置の縦断面構造の一部を模式的に示す縦断面図である。

[図20]本技術の第3実施形態に係る固体撮像装置において、1つの画素ブロックの一構成例を模式的に示す平面図である。

[図21]図20のa20-a20切断線に沿った縦断面構造の一部を模式的に示す縦断面図である。

[図22]本技術の第4実施形態に係る固体撮像装置の縦断面構造の一部を模式的に示す平面図である。

[図23]本技術の第5実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図24]図23のa23-a23切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図25]本技術の第6実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図26]図25のa25-a25切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図27]図25のb25-b25切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図28]図25のc25-c25切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図29]図25のd25-d25切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図30]本技術の第7実施形態に係る固体撮像装置において、画素及び画素回路の一構成例を示す等価回路図である。

[図31]本技術の第7実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図32]図30のa30-a30切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図33]本技術の第8実施形態に係る固体撮像装置において、画素及び画素回路の一構成例を模式的に示す等価回路図である。

[図34]本技術の第8実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図35]図34のa34-a34切断線に沿った縦断面構造の一部を拡大して模式的に示す縦断面図である。

[図36]本技術の第8実施形態に係る変形例8-1を模式的に示す要部縦断面図である。

[図37]本技術の第8実施形態に係る変形例8-2を模式的に示す要部縦断面図である。

[図38]本技術の第8実施形態に係る変形例8-3を模式的に示す要部縦断面図である。

[図39]本技術の第8実施形態に係る変形例8-4を模式的に示す要部縦断面図である。

[図40]本技術の第8実施形態に係る変形例8-5を模式的に示す要部縦断面図である。

[図41]本技術の第8実施形態に係る変形例8-6を模式的に示す要部縦断面図である。

[図42]本技術の第8実施形態に係る変形例8-7を模式的に示す要部縦断面図である。

[図43]本技術の第9実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図44]図43のa43-a43切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図45]本技術の第10実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

[図46]図45のa45-a45切断線に沿った縦断面構造を模式的に示す縦断面図である。

[図47]本技術の第1実施形態に係る電子機器の一構成例を示す図である。

発明を実施するための形態

[0012] 以下、図面を参照して本技術の実施形態を詳細に説明する。

なお、以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。

[0013] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0014] また、以下の実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0016] また、以下の実施形態では、空間内で互に直交する三方向において、同一平面内で互に直交する第1の方向及び第2の方向をそれぞれX方向、Y方向とし、第1の方向及び第2の方向のそれぞれと直交する第3の方向をZ方向とする。そして、以下の実施形態では、後述する半導体層21の厚さ方向をZ方向として説明する。

また、以下の説明における「平面視」とは、後述する半導体層21の厚さ方向に沿う方向から見た場合を指す。また、「半導体層の厚さ方向」とは、半導体層21の厚さを表す方向を指す。

[0017] [第1実施形態]

この第1実施形態では、光検出装置として、裏面照射型CMOS（Complementary Metal Oxide Semiconductor）イメージセンサである固体撮像装置に本技術を適用した一例について説明する。

また、この第1実施形態では、画素回路に含まれる複数の画素トランジスタのうち、選択トランジスタ及びリセットトランジスタの各々のゲート電極を分離領域に設けた場合について説明する。

[0018] 《固体撮像装置の全体構成》

まず、固体撮像装置1Aの全体構成について説明する。

図1に示すように、本技術の第1実施形態に係る固体撮像装置1Aは、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。即ち、固体撮像装置1Aは、半導体チップ2に搭載されており、半導体チップ2を固体撮像装置1Aとみなすことができる。この固体撮像装置1A（101）は、図47に示すように、光学レンズ102を介して被写体からの像光（入射光106）を取り込み、撮像面上に結像された入射光106の光量を画素単位で電気信号に変換して画素信号として出力する。

[0019] 図1に示すように、固体撮像装置1Aが搭載された半導体チップ2は、互いに直交するX方向及びY方向を含む二次元平面において、中央部に設けられた方形状の画素アレイ部2Aと、この画素アレイ部2Aの外側に画素アレイ部2Aを囲むようにして設けられた周辺部2Bと、を備えている。半導体チップ2は、製造プロセスにおいて、後述の半導体層21を含む半導体ウエハをチップ形成領域毎に小片化することによって形成される。したがって、以下に説明する固体撮像装置1Aの構成は、半導体ウエハを小片化する前のウエハ状態においても概ね同様である。即ち、本技術は、半導体チップの状態及び半導体ウエハの状態において適用が可能である。

[0020] 画素アレイ部2Aは、例えば図47に示す光学レンズ（光学系）102により集光される光を受光する受光面である。そして、画素アレイ部2Aには、X方向及びY方向を含む二次元平面において複数の画素3（センサ画素）が行列状に配置されている。換言すれば、画素3は、二次元平面内で互いに

直交するX方向及びY方向のそれぞれの方向に繰り返し配置されている。

[0021] 図1に示すように、周辺部2Bには、複数のボンディングパッド14が配置されている。複数のボンディングパッド14の各々は、例えば、半導体チップ2の二次元平面における4つの辺の各々の辺に沿って配列されている。複数のボンディングパッド14の各々は、半導体チップ2と外部装置とを電気的に接続する入出力端子として機能する。

[0022] <ロジック回路>

半導体チップ2は、図2に示すロジック回路13を備えている。図2に示すように、ロジック回路13は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7及び制御回路8などを含む。ロジック回路13は、電界効果トランジスタとして、例えば、nチャネル導電型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 及びpチャネル導電型のMOSFETを有するCMOS (Complementary MOS) 回路で構成されている。

[0023] 図2に示す垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線10を順次選択し、選択した画素駆動線10に画素3を駆動するためのパルスを供給し、各画素3を行単位で駆動する。即ち、垂直駆動回路4は、画素アレイ部2Aの各画素3を行単位で順次垂直方向に選択走査し、各画素3の光電変換部が受光量に応じて生成した信号電荷に基づく画素3からの画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0024] 図2に示すカラム信号処理回路5は、例えば画素3の列毎に配置されており、1行分の画素3から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS (Correlated Double Sampling: 相関2重サンプリング) 及びAD (Analog Digital) 変換等の信号処理を行う。

[0025] 図2に示す水平駆動回路6は、例えばシフトレジスタによって構成されている。水平駆動回路6は、水平走査パルスをカラム信号処理回路5に順次出

力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から信号処理が行われた画素信号を水平信号線12に出力させる。

[0026] 図2に示す出力回路7は、カラム信号処理回路5の各々から水平信号線12を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0027] 図2に示す制御回路8は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等に出力する。

[0028] <画素ブロック>

半導体チップ2は、図3に示す画素ブロック15及び画素回路（読出し回路）16を備えている。

図3及び図4Aに示すように、画素ブロック15は、複数の画素3を含む。この第1実施形態の画素ブロック15は、これに限定されないが、例えば、平面視でX方向に互いに隣り合って並ぶ2つの画素3（3a, 3b）を一単位として含む。図3では、主に1つの画素ブロック15、図4Aでは、主にY方向に互いに隣り合って並ぶ2つの画素ブロック15を図示しているが、画素ブロック15は、X方向及びY方向のそれぞれの方向に繰り返し配置され、図1に示す画素アレイ部2Aを構築している。

[0029] 図3に示すように、1つの画素ブロック15に含まれる2つの画素3a及び3bの各々は、互いに共通の構成要素を有している。具体的には、1つの画素ブロック15に含まれる2つの画素3a及び3bの各々は、光電変換部25と、この光電変換部25で光電変換された信号電荷を保持（蓄積）する電荷保持部としての浮遊拡散領域（フローティングディフュージョン（Floating Diffusion）領域）FDと、光電変換部25で光電変換された信号電荷を

浮遊拡散領域F Dに転送する転送トランジスタT Rと、を備えている。

また、1つの画素ブロック1 5に含まれる2つの画素3 a及び3 bの各々は、図5 Aに示す半導体層2 1の光電変換領域2 2を更に備えている。そして、光電変換部2 5、浮遊拡散領域F D及び転送トランジスタT Rの各々は、図5 Aに示すように、光電変換領域2 2に設けられている。

[0030] (光電変換部)

図3に示す光電変換部2 5は、例えばp n接合型のフォトダイオード(P D)で構成され、受光量に応じた信号電荷を生成する。また、光電変換部2 5は、生成した信号電荷を一時的に保持(蓄積)する。

[0031] 光電変換部2 5は、カソード側が転送トランジスタT Rのソース領域と電氣的に接続され、アノード側が基準電位線(例えばグラウンド)と電氣的に接続されている。

[0032] (転送トランジスタ)

図3に示す転送トランジスタT Rは、光電変換部2 5で光電変換された信号電荷を浮遊拡散領域F Dに転送する。転送トランジスタT Rは、ソース領域が光電変換部2 5のカソード側と電氣的に接続され、ドレイン領域が浮遊拡散領域F Dと電氣的に接続されている。そして、転送トランジスタT Rのゲート電極は、図2に示す画素駆動線1 0のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0033] (浮遊拡散領域)

図3に示す浮遊拡散領域F Dは、光電変換部2 5から転送トランジスタT Rを介して転送された信号電荷を一時的に蓄積して保持する。

[0034] <画素回路>

図3に示すように、画素回路1 6は、これに限定されないが、例えば画素3毎に設けられており、その入力側が浮遊拡散領域F Dと電氣的に接続されている。

[0035] ここで、この第1実施形態では、一例として、画素3毎に画素回路1 6を割り与えた回路構成になっているが、この第1実施形態に限定されるもので

はない。例えば、2つの画素3（3 a, 3 b）を一単位とする1つの画素ブロック15に1つの画素回路16を割り与えた回路構成としてもよく、また、2つ以上の画素3を一単位とする1つの画素ブロック15に1つの画素回路16を割り与えた回路構成としてもよい。また、複数の画素3を一単位とする複数の画素ブロック15に1つの画素回路16を割り与えた回路構成としてもよい。

[0036] また、図4 Aに示すように、この第1実施形態では、画素ブロック15の構成として、X方向に互いに隣り合って並ぶ2つの画素3 a及び3 bを一単位としているが、画素3の数や画素3の配列方向は、この第1実施形態に限定されるものではない。例えば、X方向及びY方向のそれぞれの方向に2つずつ並ぶ4つの画素3を一単位として画素ブロック15を構成してもよい。

[0037] 図3に示す画素回路16は、その入力段が、画素3の浮遊拡散領域FDと電氣的に接続されている。そして、この画素回路16は、この画素3の浮遊拡散領域FDに保持された信号電荷を読み出し、読み出した信号電荷に基づく画素信号を出力する。換言すれば、画素回路16は、光電変換部25（フォトダイオードPD）で光電変換された信号電荷を、この信号電荷に基づく画素信号に変換して出力する。

[0038] 図3に示すように、画素回路16は、これに限定されないが、画素トランジスタQとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、を備えている。即ち、この第1実施形態の画素回路16は、3トランジスタ構成になっている。

[0039] 画素トランジスタQ（AMP, RST, SEL）と、上述の転送トランジスタTRとは、絶縁ゲート型の電界効果トランジスタとして、例えばゲート絶縁膜が酸化シリコン（ SiO_2 ）膜からなるMOSFET（Metal Oxide Semiconductor Field Effect Transistor）で構成されている。また、これらの画素トランジスタや転送トランジスタTRとしては、ゲート絶縁膜が窒化シリコン（ Si_3N_4 ）膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET（Metal Insulator Semiconductor FET）でも構わ

ない。

- [0040] 画素回路 16 に含まれる画素トランジスタ Q (AMP, RST, SEL) のうち、選択トランジスタ SEL と、リセットトランジスタ RST とは、主にスイッチング素子として機能する。そして、残りの増幅トランジスタ AMP は、主に増幅素子として機能する。
- [0041] 図 3 に示す増幅トランジスタ AMP は、ソース領域が選択トランジスタ SEL のドレイン領域と電氣的に接続され、ドレイン領域が電源線 V_{dd} 及びリセットトランジスタ RST のドレイン領域と電氣的に接続されている。そして、増幅トランジスタ AMP のゲート電極は、画素 3 (光電変換領域 22) の浮遊拡散領域 FD 及びリセットトランジスタ RST のソース領域と電氣的に接続されている。
- [0042] 図 3 に示す選択トランジスタ SEL は、ソース領域が垂直信号線 11 (VSL) と電氣的に接続され、ドレイン領域が増幅トランジスタ AMP のソース領域と電氣的に接続されている。そして、選択トランジスタ SEL のゲート電極は、図 2 に示す画素駆動線 10 のうちの選択トランジスタ駆動線と電氣的に接続されている。
- [0043] 図 3 に示すリセットトランジスタ RST は、ソース領域が増幅トランジスタ AMP のゲート電極及び画素 3 の浮遊拡散領域 FD と電氣的に接続され、ドレイン領域が電源線 V_{dd} 及び増幅トランジスタ AMP のドレイン領域と電氣的に接続されている。そして、リセットトランジスタ RST のゲート電極は、図 2 に示す画素駆動線 10 のうちのリセットトランジスタ駆動線と電氣的に接続されている。
- [0044] なお、選択トランジスタ SEL は、必要に応じて省略してもよい。選択トランジスタ SEL を省略する場合は、増幅トランジスタ AMP のソース領域が垂直信号線 11 (VSL) と電氣的に接続される。
- [0045] 図 3 に示す転送トランジスタ TR は、転送トランジスタ TR がオン状態となると、光電変換部 25 (フォトダイオード PD) で生成された信号電荷を浮遊拡散領域 FD に転送する。

- [0046] 図3に示すリセットトランジスタRSTは、リセットトランジスタRSTがオン状態となると、浮遊拡散領域FDの電位（信号電荷）を電源線Vddの電位にリセットする。選択トランジスタSELは、画素回路16からの画素信号の出力タイミングを制御する。
- [0047] 図3に示す増幅トランジスタAMPは、画素信号として、浮遊拡散領域FDに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、光電変換部25（フォトダイオードPD）で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、浮遊拡散領域FDの電位を増幅し、その電位に応じた電圧を、垂直信号線11（VSL）を介してカラム信号処理回路5に出力する。
- [0048] この第1実施形態に係る固体撮像装置1Aの動作時には、画素3の光電変換部25で生成された信号電荷が画素3の転送トランジスタTRを介して浮遊拡散領域FDに保持（蓄積）される。そして、浮遊拡散領域FDに保持された信号電荷が画素回路16により読み出されて、画素回路16の増幅トランジスタAMPのゲート電極に印加される。画素回路16の選択トランジスタSELのゲート電極には水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。そして、選択用制御信号をハイ（H）レベルにすることにより、選択トランジスタSELが導通し、増幅トランジスタAMPで増幅された、浮遊拡散領域FDの電位に対応する電流が垂直信号線11に流れる。また、画素回路16のリセットトランジスタRSTのゲート電極に印加するリセット用制御信号をハイ（H）レベルにすることにより、リセットトランジスタRSTが導通し、浮遊拡散領域FDに蓄積された信号電荷をリセットする。
- [0049] 図3に示す光電変換部25、転送トランジスタTR及び浮遊拡散領域FDの各々は、後述する半導体層21（図5A参照）に搭載されている。また、これに限定されないが、図3の画素回路16に含まれる画素トランジスタQ

(AMP, RST, SEL) も、例えば半導体層 21 に搭載されている。

[0050] なお、後で詳細に説明するが、この第 1 実施形態では、1つの画素ブロック 15 に含まれる 2つの画素 3 (3a, 3b) で 1つのリセットトランジスタ RST を共有している。また、この第 1 実施形態では、X 方向に並ぶ 2つの画素ブロック 15 で 1つの選択トランジスタ SEL を共有している。

[0051] 《固体撮像装置の具体的な構成》

次に、半導体チップ 2 (固体撮像装置 1A) の具体的な構成について、図 4A から図 8 を用いて説明する。

[0052] 図 4A では、図面を見易くするため、後述する多層配線層 55 の図示を省略し、図 5A では、多層配線層 55 に含まれる第 1 配線層 57 よりも上層の図示を省略している。また、図 1 は半導体チップ 2 の光入射面側を描いているが、図 4A は半導体チップ 2 の光入射面側とは反対側 (多層配線層側) から見た平面図である。

[0053] 図 5A 示すように、半導体チップ 2 は、厚さ方向 (Z 方向) において互いに反対側に位置する第 1 の面部 S1 及び第 2 の面部 S2 を有する半導体層 21 と、この半導体層 21 の厚さ方向 (Z 方向) に延伸する分離領域としての画素間分離領域 31 と、この画素間分離領域 31 で区画されて半導体層 21 に設けられた光電変換領域 22 と、を備えている。

[0054] また、図 5A に示すように、半導体チップ 2 は、半導体層 21 の第 1 の面部 S1 側に設けられた多層配線層 55 を更に備えている。

また、半導体チップ 2 は、半導体層 21 の第 2 の面部 S2 側に、この第 2 の面部 S2 側から順次設けられた平坦化膜 61、光学フィルタ 63 及びマイクロレンズ (オンチップレンズ) 64 の各々を更に備えている。

[0055] ここで、半導体層 21 の第 1 の面部 S1 を主面部又は素子形成面部、第 2 の面部 S2 を裏面部と呼ぶこともある。そして、この第 1 実施形態に係る固体撮像装置 1A は、半導体層 21 の第 2 の面部 S2 側から入射した入射光を、半導体層 21 の光電変換領域 22 に設けられた光電変換部 25 (フォトダイオード PD) で光電変換する。したがって、この第 1 実施形態では、半導

体層 2 1 の第 2 の面部 S 2 を光入射面部と呼ぶこともある。

[0056] また、この第 1 実施形態では、画素間分離領域 3 1 が本技術の「分離領域」の一具体例に相当する。

[0057] 図 4 A に示すように、1 つの画素ブロック 1 5 に含まれる 2 つの画素 3 (3 a, 3 b) は、平面視で X 方向に互いに隣り合って並んでいる。即ち、図 1 に示す画素アレイ部 2 A には、2 つの画素 3 (3 a, 3 b) を一単位とする画素ブロック 1 5 が X 方向及び Y 方向のそれぞれの方向に繰り返し配置されている。

[0058] <平坦化膜、光学フィルタ及びマイクロレンズ>

図 5 A に示す平坦化膜 6 1 は、半導体層 2 1 の第 2 の面部 S 2 側に、半導体層 2 1 の第 2 の面部 S 2 を覆うようにして設けられ、半導体層 2 1 の第 2 の面部 S 2 側を平坦化している。

[0059] 図 5 A に示す光学フィルタ 6 3 及びマイクロレンズ 6 4 は、それぞれ画素 3 毎に設けられている。光学フィルタ 6 3 は、半導体チップ 2 の光入射面側 (第 2 の面部 S 2 側) から入射した入射光を色分離する。マイクロレンズ 6 4 は、照射光を集光し、集光した光を画素 3 に効率良く入射させる。

[0060] <半導体層>

図 5 A に示すように、半導体層 2 1 は、半導体層 2 1 の厚さ方向 (Z 方向) に延伸する画素間分離領域 3 1 と、この画素間分離領域 3 1 で区画された光電変換領域 2 2 とを備えている。光電変換領域 2 2 は、画素 3 毎に設けられている。半導体層 2 1 としては、Si 基板、SiGe 基板、InGaAs 基板などを用いることができる。この第 1 実施形態では、これに限定されないが、半導体層 2 1 として例えば単結晶シリコンからなる p 型の半導体基板を用いている。

[0061] <分離領域>

(平面形状)

図 4 A に示すように、画素間分離領域 3 1 は、平面視で X 方向に延伸する第 1 平面部分 (平面延伸部分) 3 1 x と、Y 方向に延伸する第 2 平面部分 (

平面延伸部分) 31 y と、を含む。そして、画素間分離領域 31 は、第 1 平面部分 31 x と第 2 平面部分 31 y とが同一平面で互いに交差する交差部 (交点部) を更に含む。この第 1 実施形態では第 1 平面部分 31 x と第 2 平面部分 31 y とが例えば直交している。

[0062] 第 1 平面部分 31 x は、Y 方向に所定の間隔を空けて繰り返し配置されている。また、第 2 平面部分 31 y は、X 方向に所定の間隔を空けて繰り返し配置されている。即ち、画素間分離領域 31 は、平面視での平面パターンが格子状の平面パターンになっている。

[0063] 図 4 A に示すように、1 つの光電変換領域 22 に対応する画素間分離領域 31 は、平面視での平面形状が方形状の環状平面パターン (リング状平面パターン) になっており、1 つの光電変換領域 22 の周囲を取り囲んでいる。そして、1 つの画素ブロック 15 に対応する画素間分離領域 31 は、2 つの画素 3 a 及び 3 b の外周を取り囲む方形状の環状平面パターンと、2 つの画素 3 a と 3 b との間に配置された第 2 平面部分 31 y の平面パターンとを含む複合平面パターンになっている。

[0064] (断面形状)

図 5 A に示すように、画素間分離領域 31 は、半導体層 21 の厚さ方向 (Z 方向) に延伸し、かつ平面視で互いに隣り合う 2 つの光電変換領域 22 の間を電氣的及び光学的に分離している。そして、画素間分離領域 31 は、例えば、半導体層 21 に掘り込み部 33 を形成して光電変換領域 22 を区画及び分離する掘り込み型、所謂トレンチ型になっている。

[0065] 画素間分離領域 31 は、これに限定されないが、例えば、半導体層 21 の第 1 の面部 S1 と第 2 の面部 S2 とに亘って延伸する掘り込み部 33 と、この掘り込み部 33 に設けられた分離絶縁膜 34 と、を含む。即ち、画素間分離領域 31 は、半導体層 21 の第 1 の面部 S1 と第 2 の面部 S2 とに亘って延伸している。分離絶縁膜 34 としては、例えば酸化シリコン膜を用いることができる。この第 1 実施形態において、掘り込み部 33 は、例えば分離絶縁膜 34 で埋め込まれている。

[0066] <光電変換領域>

図4 A及び図4 Bに示すように、光電変換領域22は、平面視で周囲を画素間分離領域31によって囲まれ、かつ平面形状が方形状になっている。具体的には、光電変換領域22は、画素間分離領域31において、X方向に延伸し、かつY方向に離間する2つの第1平面部分31xと、Y方向に延伸し、かつX方向に離間する2つの第2平面部分31yとで取り囲まれている。そして、光電変換領域22は、第1平面部分31x及び第2平面部分31yによって区画され、かつ他の光電変換領域22と分離されている。

[0067] 図5 A及び図5 Bに示すように、光電変換領域22は、半導体層21の第1の面部S1側に位置する上面部22aと、画素間分離領域31側に位置する第1側面部（外側壁面部）22bと、を有している。

また、光電変換領域22は、上述の光電変換部25、浮遊拡散領域FD、及び転送トランジスタTRを更に有している。

また、図4 Aから図5 Bに示すように、光電変換領域22は、上面部22a側に設けられた素子間分離領域（フィールド分離領域）41と、この素子間分離領域41及び画素間分離領域31で区画されて上面部22a側（半導体層21の第1の面部S1側）に設けられた島状の素子形成領域（活性領域）43と、を更に有している。

また、光電変換領域22は、上述の画素回路16に含まれる画素トランジスタQとして、増幅トランジスタAMP、選択トランジスタSEL、及びリセットトランジスタRSTを更に有している。

また、光電変換領域22は、平面視で第1側面部22bとは反対側に位置し、かつ素子間分離領域41と隣り合う第2側面部22cを更に有している。

また、光電変換領域22は、p型の半導体領域（ウエル領域）23と、n型の半導体領域24と、p型の給電用コンタクト領域WC（図4 B参照）と、を更に有している。

[0068] （p型の半導体領域及びn型の半導体領域）

図5 A及び図5 Bに示すように、p型の半導体領域23は、光電変換領域22において、半導体層21の第1の面部S1側と第2の面部S2側とに亘って広範囲で設けられている。そして、p型の半導体領域23は、半導体層21の深さ方向（Z方向）に沿って画素間分離領域31と接している。

[0069] 図5 A及び図5 Bに示すように、n型の半導体領域24は、光電変換領域22において、p型の半導体領域23の中に設けられている。即ち、n型の半導体領域24は、上面部、下面部及び4つの側面部を含む六面がp型の半導体領域23で囲まれている。そして、n型の半導体領域24は、半導体層21の第1の面部S1及び第2の面部S2、並びに画素間分離領域31から離間している。

[0070] （光電変換部）

図5 A及び図5 Bに示す光電変換部25は、光電変換領域22において、p型の半導体領域23とn型の半導体領域24とを含む。そして、光電変換部25は、p型の半導体領域23とn型の半導体領域24とのpn接合を含むpn接合型のフォトダイオード（PD）として構成されている。

[0071] 光電変換部25は、半導体層21の第2の面部S2側からn型の半導体領域24に入射した光をn型の半導体領域24で信号電荷に光電変換すると共に、光電変換した信号電荷をp型の半導体領域23とn型の半導体領域24とのpn接合部で一時的に保持（蓄積）する。

[0072] （浮遊拡散領域）

図7に示すように、浮遊拡散領域FDは、半導体層21の第1の面部S1側（光電変換領域22の上面部22a側）において、p型の半導体領域23に設けられている。そして、浮遊拡散領域FDは、平面視でn型の半導体領域24と重畳し、かつ半導体層21の厚さ方向（Z方向）においてn型の半導体領域24から離間している。即ち、浮遊拡散領域FDと、n型の半導体領域24との間に、p型の半導体領域23が設けられている。浮遊拡散領域FDは、後述するリセットトランジスタRSTの主電極領域52rと兼用され、n型の半導体領域で構成されている。

[0073] (素子間分離領域及び素子形成領域)

図5 Aから図7に示すように、素子間分離領域4 1は、光電変換領域2 2の上面部2 2 a側の表層部、即ち半導体層2 1の第1の面部S 1側の表層部に設けられている。素子間分離領域4 1は、これに限定されないが、例えば、半導体層2 1の第1の面部S 1から第2の面部S 2側に窪む浅溝部4 2 aの内部に分離絶縁膜4 2 bが埋め込まれたSTI (Shallow Trench Isolation) 構造になっている。

[0074] 図4 Bに示すように、素子間分離領域4 1は、平面視で一部を除いて画素間分離領域3 1から離間する島状の平面パターンになっており、画素間分離領域3 1と共に素子形成領域4 3を区画している。

[0075] 図5 Aから図7に示すように、素子形成領域4 3は、光電変換領域2 2の上面部2 2 a側の表層部、即ち半導体層2 1の第1の面部S 1側の表層部に設けられている。そして、図4 Bに示すように、素子形成領域4 3は、素子間分離領域4 1及び画素間分離領域3 1で区画され、平面視で光電変換領域2 2の4つの辺に沿ってリボン状に延伸する平面パターンになっている。

[0076] 素子形成領域4 3の平面パターンは、画素ブロック1 5に含まれる2つの画素3 a, 3 bで異なっている。即ち、図4 Bに示すように、画素ブロック1 5に含まれる2つの画素3 a, 3 bにおいて、一方の画素3 aにおける素子形成領域4 3の平面パターンと、他方の画素3 bにおける素子形成領域4 3の平面パターンとが、X方向に並ぶ画素3 aと画素3 bとの間の境界を軸にして反転している。

[0077] (p型の給電用コンタクト領域)

図4 Bに示すように、p型の給電用コンタクト領域WCは、平面視で光電変換領域2 2の2つの辺で挟まれた角部側に設けられている。p型の給電用コンタクト領域WCは、詳細に図示していないが、光電変換領域2 2の上面部2 2 a側の表層部、即ち半導体層2 1の第1の面部S 1側の表層部に設けられている。そして、p型の給電用コンタクト領域WCは、光電変換領域2 2の上面部2 2 a側で素子間分離領域4 1及び画素間分離領域3 1で区画さ

れた島状の給電用領域に設けられている。p型の給電用コンタクト領域WCは、p型の半導体領域23よりも高不純物濃度のp型の半導体領域で構成されている。そして、p型の給電用コンタクト領域WCは、p型の半導体領域23と接続され、電氣的に導通している。

[0078] このp型の給電用コンタクト領域WCには、半導体チップ2内（固体撮像装置1A内）での基準電位として、作動時に例えば0Vの第1基準電位が印加され、この第1基準電位に電位固定される。

[0079] （転送トランジスタ）

図4B及び図5Bに示すように、転送トランジスタTRは、半導体層21の第1の面部S1側、即ち光電変換領域22の上面部22a側に設けられている。転送トランジスタTRは、光電変換領域22の上面部22a側で光電変換領域22の内外に亘って設けられたゲート電極47tと、このゲート電極47tと半導体層21との間に設けられたゲート絶縁膜46と、を有する。また、転送トランジスタTRは、ソース領域として機能するn型の半導体領域24と、ドレイン領域として機能するn型の浮遊拡散領域FDと、チャネル形成部として機能するp型の半導体領域23と、を更に有する。この転送トランジスタTRは、これに限定されないが、例えばバーチカル型で構成されている。

[0080] 図5Bに示すように、転送トランジスタTRのゲート電極47tは、半導体層21の第1の面部S1の外側にゲート絶縁膜46を介在して設けられた頭部47t₁と、この頭部47t₁から半導体層21の内部に突出し、かつゲート絶縁膜46を介在して半導体層21と互いに隣り合う脚部47r₂と、を有する。この第1実施形態のゲート電極47tは、これに限定されないが、例えば、脚部47r₂の幅が頭部47t₁の幅よりも狭いT字型の縦断面形状で構成されている。

[0081] ゲート電極47tの脚部47r₂は、半導体層21の掘り込み部45aにゲート絶縁膜46を介在して設けられ、かつ先端が絶縁分離された状態でn型の半導体領域24の内部に入り込んでいる。

[0082] <画素トランジスタ>

図4 B及び図5 Bに示すように、素子形成領域4 3には、画素回路1 6に含まれる複数の画素トランジスタQ（AMP，SEL，RST）が設けられている。そして、この複数の画素トランジスタQの少なくとも1つの画素トランジスタQは、ゲート電極が画素間分離領域3 1に設けられている。この第1実施形態では、3つの画素トランジスタQ（AMP，SEL，RST）のうち、選択トランジスタSEL及びリセットトランジスタRSTの各々のゲート電極4 7 s及び4 7 rが画素間分離領域3 1に設けられている。

[0083] （増幅トランジスタ）

図4 B及び図7に示すように、増幅トランジスタAMPは、光電変換領域2 2の上面部2 2 a側（半導体層2 1の第1の面部S 1側）に平面視で素子形成領域4 3（半導体層2 1）と重畳して設けられたゲート電極4 7 aと、このゲート電極4 7 aと素子形成領域4 3との間に介在されたゲート絶縁膜4 6と、を有する。また、増幅トランジスタAMPは、ゲート電極4 7 aのゲート長方向の両側の素子形成領域4 3に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域5 2 a s及び5 2 a rと、を更に有する。また、増幅トランジスタAMPは、平面視でゲート電極4 7 aと重畳する素子形成領域4 3に設けられたチャネル形成部5 3 a（図7参照）を更に有する。一对の主電極領域5 2 a s及び5 2 a rは、チャネル形成部5 3 aを介して互いに離間している。一对の主電極領域5 2 a s及び5 2 a rは、素子形成領域4 3に設けられたn型の半導体領域で構成され、チャネル形成部5 3 aは、素子形成領域4 3に設けられたp型の半導体領域2 3で構成されている。

[0084] （リセットトランジスタRST）

図4 B、図5 B、図6及び図8に示すように、リセットトランジスタRSTは、画素ブロック1 5に含まれる2つの光電変換領域2 2の間の画素間分離領域3 1側に設けられている。そして、リセットトランジスタRSTは、光電変換領域2 2の第1側面部2 2 bとゲート絶縁膜4 6を介在して互いに

隣り合って画素間分離領域 3 1 に設けられたゲート電極 4 7 r と、平面視でゲート電極 4 7 r のゲート長方向に互いに離間して光電変換領域 2 2 の上面部 2 2 a 側に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域 5 2 r 及び 5 2 a r と、を有する。また、リセットトランジスタ R S T は、平面視でゲート電極 4 7 r と互いに隣り合う素子形成領域 4 3（半導体層 2 1）に設けられたチャネル形成部 5 3 r を更に有する。一対の主電極領域 5 2 r 及び 5 2 a r は、n 型の半導体領域で構成され、チャネル形成部 5 3 r は p 型の半導体領域 2 3 で構成されている。

[0085] リセットトランジスタ R S T のゲート電極 4 7 r は、この第 1 実施形態に限定されないが、例えば画素間分離領域 3 1 に選択的に設けられ、かつ画素間分離領域 3 1 に埋め込まれている。

[0086] 図 4 B 及び図 5 B に示すように、リセットトランジスタ R S T と増幅トランジスタ A M P とは、リセットトランジスタ R S T の主電極領域 5 2 a s と増幅トランジスタ A M P の主電極領域 5 2 a s とが共有され、直列接続で素子形成領域 4 3 に設けられている。そして、図 4 B、図 5 B 及び図 8 に示すように、リセットトランジスタ R S T は、一対の主電極領域 5 2 r 及び 5 2 a r のうち、一方の主電極領域 5 2 r が浮遊拡散領域 F D と兼用されている。

[0087] 図 4 B 及び図 5 B に示すように、リセットトランジスタ R S T は、画素ブロック 1 5 に含まれる 2 つの画素 3 a 及び 3 b（2 つの光電変換領域 2 2）において共有されている。そして、リセットトランジスタ R S T は、ゲート電極 4 7 r が、平面視で互いに隣り合う 2 つの光電変換領域 2 2 の各々の第 1 側面部 2 2 b とゲート絶縁膜 4 6 を介在して互いに隣り合っている。即ち、この第 1 実施形態のリセットトランジスタ R S T は、平面視で互いに隣り合う 2 つの光電変換領域 2 2 の間の画素間分離領域 3 1 に設けられたゲート電極 4 7 r と、平面視で互いに隣り合う 2 つの光電変換領域 2 2 の各々に設けられた一対の主電極領域 5 2 r、5 2 a r 及びチャネル形成部 5 3 r と、を有する。

[0088] (選択トランジスタSEL)

図4B、図5B及び図8に示すように、選択トランジスタSELは、平面視で光電変換領域22のリセットトランジスタTST側とは反対側に設けられている。そして、選択トランジスタSELは、ゲート絶縁膜46を介在して光電変換領域22の第1側面部22bと互いに隣り合って画素間分離領域31に設けられたゲート電極47sと、平面視でゲート電極47sのゲート長方向に互いに離間して光電変換領域22の上面部22a側に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域52s及び52asと、を有する。また、選択トランジスタSELは、平面視でゲート電極47sと互いに隣り合う素子形成領域43(半導体層21)に設けられたチャネル形成部53sを更に有する。一对の主電極領域52s及び52asは、n型の半導体領域で構成され、チャネル形成部53sはp型の半導体領域23で構成されている。

[0089] 選択トランジスタSELのゲート電極47sは、この第1実施形態に限定されないが、例えば画素間分離領域31に選択的に設けられ、かつ画素間分離領域31に埋め込まれている。

[0090] 図4B及び図5Bに示すように、選択トランジスタSELと増幅トランジスタAMPとは、選択トランジスタSELの主電極領域52asと増幅トランジスタAMPの主電極領域52asとが共有され、直列接続で素子形成領域43に設けられている。

[0091] 図4B及び図5Bに示すように、選択トランジスタSELは、X方向に並ぶ2つの画素ブロック15において、一方の画素ブロック15の画素3aと他方の画素ブロック15の画素3bとで共有されている。換言すれば、X方向に並ぶ2つの画素ブロック15において、一方の画素ブロック15の画素3aに割り与えられた画素回路16aと、他方の画素ブロック15の画素3bに割り与えられた画素回路16bとで選択トランジスタSELを共有している。

そして、選択トランジスタSELは、ゲート電極47sが、平面視で互い

に隣り合う2つの光電変換領域22の各々の第1側面部22bと、ゲート絶縁膜46を介在して互いに隣り合っている。即ち、この第1実施形態の選択トランジスタSELは、平面視で互いに隣り合う2つの光電変換領域22の間の画素間分離領域31に設けられたゲート電極47sと、平面視で互いに隣り合う2つの光電変換領域22の各々に設けられた一对の主電極領域52s, 52as及びチャネル形成部53sと、を有する。

[0092] (チャネル形成部)

図4B及び図5Bに示すように、リセットトランジスタRST及び選択トランジスタSELの各々のチャネル形成部53r, 53sは、光電変換領域22の第1側面部22bと第2側面部22cとの間の半導体層21で構成されている。即ち、リセットトランジスタRST及び選択トランジスタSELの各々は、光電変換領域22の第1側面部22bと第2側面部22cとの間にチャネル形成部53r, 53sを有する。換言すれば、リセットトランジスタRST及び選択トランジスタSELの各々は、画素間分離領域31と素子間分離領域41との間の半導体層21にチャネル形成部53r, 53sが設けられている。このチャネル形成部53r, 53sの平面視での厚さは、画素間分離領域31と素子間分離領域41との離間距離を小さくすることで薄くすることができる。チャネル形成部53r, 53sの厚さは、100nmよりも小さいことが好ましい。

[0093] (ゲート電極の材料)

増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST及び転送トランジスタTRの各々のゲート電極47a, 47s, 47r, 47tは、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜（ドーパドポリシリコン膜）で構成されている。

[0094] (エンハンスメント型)

リセットトランジスタRST及び選択トランジスタSELの各々は、例えば、ゲート電極47r, 47sに閾値電圧以上のゲート電圧を印加することにより、ドレイン電流が流れるエンハンスメント型（ノーマリオフ型）で構

成することができる。また、リセットトランジスタRST及び選択トランジスタSELの各々は、例えば、ゲート電極47r, 47sに電圧を印加しなくてもドレイン電流が流れるディプレッション型（ノーマリオン型）で構成することができる。この第1実施形態では、これに限定されないが、例えばエンハンスメント型で構成されている。エンハンスメント型の場合、リセットトランジスタRST及び選択トランジスタSELの各々は、ゲート電極47r, 47sに印加される電圧により、一对の主電極領域52r（52s）と、52ar（52as）と、を電氣的に繋ぐチャネル（反転層）がチャネル形成部53r, 53sに形成（誘起）され、電流（ドレイン電流）がドレイン領域側（例えば主電極領域52r, 52s側）からチャネル形成部53r, 53sのチャネルを通してソース領域側（例えば主電極領域52ar, 52as側）に流れる。

なお、増幅トランジスタAMPも、リセットトランジスタRST及び選択トランジスタSELの各々と同様に、例えばエンハンスメント型で構成されている。

[0095] ‹‹多層配線層››

図5Aから図7に示すように、多層配線層55は、半導体層21の第1の面部S1側設けられている。そして、多層配線層55は、半導体層21の第1の面部S1側に、素子間分離領域41及び素子形成領域43を覆うようにして設けられた層間絶縁膜56と、層間絶縁膜56の膜中に設けられたコンタクト電極57a, 57f, 57r, 57s, 57tと、層間絶縁膜56の半導体層21側とは反対側に設けられた第1層目の配線層58と、を含む。第1層目の配線層58は、配線58a, 58r, 58s及び58tを含む。コンタクト電極57a, 57f, 57r, 57s, 57tの材料としては、例えば高融点金属のタングステン（W）を用いることができる。第1層目の配線層58の材料としては、例えばアルミニウム（Al）、銅（Cu）などの金属材料、又はAl、Cuを主体とする合金材料などを用いることができる。層間絶縁膜56としては、例えば酸化シリコン膜を用いることができる。

。転送トランジスタTRのゲート電極47t、及び複数の画素トランジスタQ（AMP，SEL，RST）の各々のゲート電極（47a，47s，47r）は、層間絶縁膜56で覆われている。

[0096] <コンタクト電極及び配線>

図5B及び図7に示すように、転送トランジスタTRのゲート電極47tは、層間絶縁膜56に設けられたコンタクト電極57tを介して、層間絶縁膜56上の配線層58に設けられた配線58tと電氣的に接続されている。

[0097] 図5Bに示すように、リセットトランジスタRSTのゲート電極47rは、層間絶縁膜56に設けられたコンタクト電極57rを介して、層間絶縁膜56上の配線層58に設けられた配線58rと電氣的に接続されている。

[0098] 図5Bに示すように、選択トランジスタSELのゲート電極47sは、層間絶縁膜56に設けられたコンタクト電極57sを介して、層間絶縁膜56上の配線層58に設けられた配線58sと電氣的に接続されている。

[0099] 図7に示すように、Y方向に並ぶ2つの画素3a及び3aにおいて、一方の画素3aの光電変換領域22に設けられた増幅トランジスタAMPのゲート電極47aは、層間絶縁膜56に設けられたコンタクト電極57aを介して、層間絶縁膜56上の配線層58に設けられた配線58aと電氣的に接続されている。そして、配線58aは、層間絶縁膜56に設けられたコンタクト電極57fを介して、他方の画素3aの光電変換領域22に設けられた浮遊拡散領域FD（主電極領域52r）と電氣的に接続されている。即ち、Y方向に並ぶ2つの画素3a及び3aにおいて、一方の光電変換領域3aに設けられた増幅トランジスタAMPのゲート電極47aと、他方の光電変換領域22に設けられた浮遊拡散領域FD（主電極領域52r）とが、コンタクト電極57a、配線58a及びコンタクト電極57fを介して電氣的接続されている。

[0100] <<固体撮像装置の製造方法>>

次に、本技術の第1実施形態に係る固体撮像装置1Aの製造方法について、図9から図19を用いて説明する。

この第1実施形態では、固体撮像装置1Aの製造方法に含まれる画素トランジスタの製造に特化して説明する。

[0101] また、図9から図13、図16、図17A及び図18Aは、図4Aのa4-a4切断線と同一位置での縦断面構造の一部を模式的に示す縦断面図である。

[0102] また、図14、図15、図17B及び図18Bは、図4Aのb4-b4切断線と同一位置での縦断面構造の一部を模式的に示す縦断面図である。

[0103] まず、図9に示すように、半導体層21に画素間分離領域31で区画された光電変換領域22を形成すると共に、半導体層21の第1の面部S1側である光電変換領域22の上面部22a側に、素子間分離領域41で区画された素子形成領域43を形成する。

[0104] 光電変換領域22は、半導体層21の第1の面部S1側に位置する上面部22aと、画素間分離領域31側に位置する第1側面部22bと、平面視で第1側面部22bとは反対側に位置し、かつ素子間分離領域41と隣り合う第2側面部22cと、を有する。

[0105] 画素間分離領域31は、半導体層21の厚さ方向（Z方向）に延伸する掘り込み部33を半導体層21に形成し、その後、この掘り込み部33を分離絶縁膜34で選択的に埋め込むことによって形成することができる。素子間分離領域41は、半導体層21の第1の面部S1側に浅溝部42aを形成し、その後、この浅溝部42aを分離絶縁膜42bで選択的に埋め込むことによって形成することができる。そして、この画素間分離領域31及び素子間分離領域41を形成することにより、画素間分離領域31及び素子間分離領域41で区画され、かつ上面部22a、第1側面部22b及び第2側面部22cを有する光電変換領域22が形成される。

[0106] 次に、図10に示すように、半導体層21の厚さ方向（Z方向）に延伸する掘り込み部45a及び掘り込み部45bを形成する。掘り込み部45aは、転送トランジスタTRのゲート電極47tを形成するためのものであり、平面視で画素間分離領域31から離間して光電変換領域22の中央部に形成

する。掘り込み部45bは、画素トランジスタQのゲート電極を形成するためのものであり、画素間分離領域31に形成する。この第1実施形態では、画素間分離領域31において、リセットトランジスタRSTのゲート電極47rが形成される第1ゲート電極形成部と、選択トランジスタSELのゲート電極47sが形成される第2ゲート電極形成部とに、それぞれ掘り込み部45bを形成する。

掘り込み部45aは、周知のフォトリソグラフィ技術及び異方性ドライエッチング技術を用いて半導体層21を選択的にエッチングすることによって形成することができる。掘り込み部45bは、周知のフォトリソグラフィ技術及び異方性ドライエッチング技術を用いて画素間分離領域31を選択的にエッチングすることによって形成することができる。掘り込み部45aと掘り込み部45bとは、基本的に別工程で形成するが、順番としてはどちらを先に形成してもよい。

[0107] この工程において、掘り込み部45aの側壁面部及び底壁面部を含む内壁面部から半導体層21が露出するように掘り込み部45aを形成する。

また、この工程において、掘り込み部45bの側壁面部から光電変換領域22の第1側面部22bが露出するように掘り込み部45bを形成する。

[0108] また、この工程において、掘り込み部45aの深さは、転送トランジスタTRにおけるゲート電極42tの脚部42t2の長さを規定するので、掘り込み部45aは、先端がn型の半導体領域24の内部に入り込む深さで形成することが好ましい。

[0109] また、この工程において、掘り込み部45bの深さは、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極42r, 42sのゲート幅を規定するので、掘り込み部45bは、0.1 μ m～1 μ m程度の深さで形成することが好ましい。

[0110] 次に、半導体層21の第1の面部S1側であって光電変換領域22の上面部22a側の自然酸化膜や余分な絶縁膜を例えばウエットエッチングにより除去して半導体層21の第1の面部S1（光電変換領域22の上面部22a

）を露出した後、図 1 1 に示すように、ゲート絶縁膜 4 6 を形成する。ゲート絶縁膜 4 6 は、光電変換領域 2 2 の上面部 2 2 a、及び掘り込み部 4 5 a の内壁面部に形成すると共に、掘り込み部 4 5 b の内部に露出する、光電変換領域 2 2 の第 1 側面部 2 2 b に形成する。

ゲート絶縁膜 4 6 としては、例えば酸化シリコン膜を用いることができる。酸化シリコン膜は、熱酸化法や堆積法で形成することができるが、この第 1 実施形態では熱酸化法による酸化シリコン膜をゲート絶縁膜 4 6 として形成した。熱酸化法は、堆積法と比較して膜質が良好な酸化シリコン膜を形成することができる。

[0111] 次に、図 1 2 に示すように、ゲート電極膜 4 7 を形成する。ゲート電極膜 4 7 は、掘り込み部 4 5 a 及び 4 5 b の各々の内部を埋め込むようにして半導体層 2 1 の第 1 の面部 S 1 側に形成する。ゲート電極膜 4 7 としては、CVD 法で成膜が可能な多結晶シリコン膜を用いることができる。

[0112] 次に、ゲート電極膜 4 7 をパターンニングして、図 1 3 に示すように、ゲート電極 4 7 t、ゲート電極 4 7 r 及びゲート電極 4 7 s の各々を形成すると共に、図示していないが、ゲート電極 4 7 a（図 4 B 参照）を形成する。

[0113] この工程において、ゲート電極 4 7 t は、半導体層 2 1 の第 1 の面部 S 1 の外側（光電変換領域 2 2 の上面部 2 2 a の外側）にゲート絶縁膜 4 6 を介在して設けられた頭部 4 7 t₁と、この頭部 4 7 a₁から半導体層 2 1 の掘り込み部 4 5 a の内部に突出し、かつゲート絶縁膜 4 6 を介在して半導体層 2 1 と互いに隣り合う脚部 4 7 t₂と、を有する T 字型の縦断面形状で形成される。

[0114] また、この工程において、ゲート電極 4 7 r 及び 4 7 s の各々は、半導体層 2 1 の第 1 の面部 S 1 の外側（光電変換領域 2 2 の上面部 2 2 a の外側）にゲート絶縁膜 4 6 を介在して設けられた頭部 4 7 r₁、4 7 s₁と、この頭部 4 7 r₁、4 7 s₁から半導体層 2 1 の掘り込み部 4 5 b の内部に突出し、かつ光電変換領域 2 2 の第 1 側面部 2 2 b とゲート絶縁膜 4 6 を介在して互いに隣り合って画素間分離領域 3 1 に設けられた脚部 4 7 r₂、4 7 s₂と、

を有するT字型の縦断面形状で形成される。

また、この工程において、ゲート電極47aは、素子形成領域43上にゲート絶縁膜46を介在して形成される。

[0115] 次に、図14に示すように、画素間分離領域31に掘り込み部51を形成する。掘り込み部51は、詳細に図示していないが、平面視でゲート電極47r及び47sの領域を除いて光電変換領域22の周囲に沿って形成する。

[0116] この工程において、掘り込み部51の深さは、画素トランジスタQ（AMP, SEL, RST）の一对の主電極領域の深さを規定するので、 $0.1\mu\text{m}$ ～ $1\mu\text{m}$ 程度の深さで形成することが好ましい。

[0117] また、この工程において、掘り込み部51は、光電変換領域22の第1側面部22bに分離絶縁膜34が薄い膜厚で残存するように、換言すれば光電変換領域22の第1側面部22bが薄い膜厚の分離絶縁膜34で覆われるように形成することが好ましい。

[0118] 次に、図15及び図4Bを参照して説明すると、図15及び図4Bに示すように、光電変換領域22の素子形成領域43に、n型の半導体領域からなる主電極領域52as、52ar、52r及び52sの各々を形成する。

具体的には、この主電極領域52as、52ar、52r及び52sの各々は、図15に示す光電変換領域22の上面部22a側からと、図15に示す掘り込み部51を通して光電変換領域22の第1側面部22b側から、それぞれ不純物イオンを素子形成領域43に注入し、その後、注入した不純物イオンを活性化させる熱処理を施すことによって形成する。不純物イオンの注入は、画素間分離領域31、素子間分離領域41及びゲート電極47a、47r、47sをマスクにして行う。また、不純物イオンの注入は、注入方向が光電変換領域22の上面部22a及び第1側面部22bに対して傾斜する状態で行う。不純物イオンとしては、例えば燐（ P^+ ）や砒素（ As^+ ）を用いることができる。

[0119] この工程により、図4B及び図7を参照して説明すれば、主電極領域52asと52arとの間であって、平面視でゲート電極47aと重畳する半導

体層 2 1 にチャネル形成部 5 3 a が形成される。そして、ゲート絶縁膜 4 6、ゲート電極 4 7 a、一对の主電極領域 5 2 a s, 5 2 a r 及びチャネル形成部 5 3 a を有する増幅トランジスタ AMP が形成される。

[0120] また、この工程により、図 4 B、図 5 B 及び図 8 を参照して説明すれば、主電極領域 5 2 r と 5 2 a r との間であって、光電変換領域 2 2 の第 1 側面部 2 2 b と第 2 側面部 2 2 c との間の半導体層 2 1 に、ゲート絶縁膜 4 6 を介在してゲート電極 4 7 r と互いに隣り合うチャネル形成部 5 3 r が形成される。そして、ゲート絶縁膜 4 6、ゲート電極 4 7 r、一对の主電極領域 5 2 r, 5 2 a r 及びチャネル形成部 5 3 r を有するリセットトランジスタ R S T が形成される。

[0121] また、この工程により、図 4 B 及び図 5 B を参照して説明すれば、主電極領域 5 2 s と 5 2 a s との間であって、光電変換領域 2 2 の第 1 側面部 2 2 b と第 2 側面部 2 2 c との間の半導体層 2 1 に、ゲート絶縁膜 4 6 を介在してゲート電極 4 7 r と互いに隣り合うチャネル形成部 5 3 r が形成される。そして、ゲート絶縁膜 4 6 と、ゲート電極 4 7 r と、一对の主電極領域 5 2 r, 5 2 a r と、チャネル形成部 5 3 r と、を有するリセットトランジスタ R S T が形成される。

[0122] 次に、ゲート電極 4 7 r 及び 4 7 s の各々の頭部 4 7 r₁, 4 7 s₁ を選択的に除去して、図 1 6 に示すように、画素間分離領域 3 1 に埋め込まれたゲート電極 4 7 r 及び 4 7 s を形成する。

[0123] 次に、図 1 7 A 及び図 1 7 B に示すように、半導体層 2 1 の第 1 の面部 S 1 側に層間絶縁膜 5 6 を形成する。層間絶縁膜 5 6 は、素子間分離領域 4 1 及び素子形成領域 4 3 を覆うと共に、転送トランジスタ T R のゲート電極 4 7 t 及び複数の画素トランジスタ Q (AMP, S E L, R S T) の各々のゲート電極 4 7 a, 4 7 s, 4 7 r を覆い、かつ掘り込み部 5 1 を埋め込むようにして形成する。層間絶縁膜 5 6 としては、C V D 法による成膜が可能な酸化シリコン膜を用いることができる。

[0124] 次に、図 1 8 A 及び図 1 8 B に示すように、層間絶縁膜 5 6 に、コンタク

ト電極 57 t、57 a、57 r 及び 57 s を形成すると共に、図示していないがコンタクト電極 57 f を形成し、その後、層間絶縁膜 56 上に配線 58 t、58 a、58 s 及び 58 r を形成することにより、図 5 A から図 7 に示す状態となる。

[0125] 《第 1 実施形態の主な効果》

次に、この第 1 実施形態の主な効果について説明する。

図 4 A 及び図 5 B に示すように、この第 1 実施形態に係る固体撮像装置 1 A は、画素回路 16 に含まれる複数の画素トランジスタ Q (AMP, RST, SEL) のうち、リセットトランジスタ RSE 及び選択トランジスタ SEL の各々が、光電変換領域 22 の第 1 側面部 22 b と、ゲート絶縁膜 46 を介在して互いに隣り合って画素間分離領域 31 に設けられたゲート電極 47 r、47 s を有する。このため、リセットトランジスタ RST 及び選択トランジスタ SEL の各々のゲート電極 47 r、47 s を光電変換領域 22 に配置した場合と比較して、リセットトランジスタ RST 及び選択トランジスタ SEL の各々が光電変換領域 22 で占める占有面積を小さくすることができ、画素トランジスタ Q (AMP, RST, SEL) 及び転送トランジスタ TR を含む能動素子を光電変換領域 22 に配置する配置自由度（レイアウト自由度）を上げることができる。したがって、この第 1 実施形態に係る固体撮像装置 1 A によれば、光電変換領域 22 での能動素子の配置自由度を上げることができる。

[0126] また、リセットトランジスタ RST 及び選択トランジスタ SEL の各々が光電変換領域 22 で占める占有面積を小さくすることができるため、光電変換領域 22 に設けられる画素トランジスタ Q を微細化することなく、光電変換領域 22 の微細化を図ることができる。これにより、光電変換領域 22 に設けられる画素トランジスタ Q の微細化に伴う特性劣化を抑制しつつ、光電変換領域 22 の微細化を図ることができる。

[0127] また、リセットトランジスタ RST 及び選択トランジスタ SEL の各々のゲート電極 47 r、47 s は、光電変換領域 22 の第 1 側面部 22 b と、ゲ

ート絶縁膜46を介在して互いに隣り合って画素間分離領域31に設けられている。このため、半導体層21の厚さ方向（Z方向）にゲート電極47r, 47sのゲート幅Wgを広げることができ、リセットトランジスタRST及び選択トランジスタSELの各々の平面サイズを拡張することなく、相互コンダクタンス（gm）の向上を図ることができる。

[0128] また、リセットトランジスタRSTの一对の主電極領域52r及び52arと、選択トランジスタSELの一对の主電極領域52s及び52asとは、平面視で光電変換領域22の辺（縁）に沿って互いに離間して光電変換領域22の上面部22a側（半導体層21の第1の面部S1側）に設けられている。このため、リセットトランジスタRSTの一对の主電極領域52r, 52arと、多層配線層55の配線との電気的な接続を容易に行うことができると共に、選択トランジスタSELの一对の主電極領域52s, 52asと多層配線層55の配線との電気的な接続を容易に行うことができ、多層配線層55での配線の引き回し自由度を上げることができる。

[0129] また、リセットトランジスタRSTの主電極領域52arと増幅トランジスタAMPの主電極領域52arとが共有されている。また、選択トランジスタSELの主電極領域52asと増幅トランジスタAMPの主電極領域52asとが共有されている。また、浮遊拡散領域FDが転送トランジスタTRの主電極領域52rと兼用されている。このため、光電変換領域22の平面サイズを小さくすることができ、画素アレイ部1Aの平面サイズを大きくすることなく、画素アレイ部1Aの画素数を増やすことができる。近年、高解像が可能なイメージセンサが市場で求められており、イメージセンサの高解像化に貢献することができる。

[0130] また、光電変換領域22は、画素間分離領域31側に第1側面部22bと、この第1側面部22bとは反対側に位置し、かつ素子間分離領域41と隣り合う第2側面部22cとを有する。そして、リセットトランジスタRST及び選択トランジスタSELの各々は、光電変換領域22の第1側面部22bと第2側面部22cとの間にチャネル形成部53r, 53sを有する。こ

のため、画素間分離領域 3 1 と素子間分離領域 4 1 との離間距離でチャネル形成部 5 3 r, 5 3 s の平面方向の厚さを容易に調整することができ、チャネル形成部 5 3 r, 5 3 s を薄肉化（薄膜化）することができる。これにより、ソース領域及びドレイン領域として機能する主電極領域 5 2 r, 5 2 a r, 5 2 s, 5 2 a s から空乏層がほぼ延びなくなるようにすることができるので、リセットトランジスタ R S T 及び選択トランジスタ S E L の各々において、短チャネル効果を低減することができると共に、半導体層 2 1 からのバックバイアス効果も低減することができる。この結果、リセットトランジスタ R S T 及び選択トランジスタ S E L の各々のトランジスタ特性を向上することができる。

[0131] また、平面視で Y 方向に並ぶ 2 つの光電変換領域 2 2（画素 3）において、一方の光電変換領域 2 2 の浮遊拡散領域 F D と他方の光電変換領域 2 2 の増幅トランジスタ A M P とが互いに隣り合うように配置することにより、一方の光電変換領域 2 2 の浮遊拡散領域 F D と他方の光電変換領域 2 2 の増幅トランジスタ A M P のゲート電極 4 7 a とを電氣的に接続する導電経路を短くすることができ、浮遊拡散領域 F D に付加される配線容量を低減することができる。この結果、変換効率を上げることができ、ランダムノイズ特性を改善することができる。

[0132] ここで、増幅トランジスタ A M P は、ゲート絶縁膜 4 6 の界面の欠陥がランダムノイズに影響する。ゲート絶縁膜 4 6 の界面の欠陥は、光電変換領域 2 2 の第 2 側面部 2 2 c 側よりも上面部 2 2 a 側の方が少ないため、増幅トランジスタ A M P においては、光電変換領域の上面部側に設けることが好ましい。

[0133] 《第 1 実施形態の変形例》

上述の第 1 実施形態では、リセットトランジスタ R S T 及び選択トランジスタ S E L の各々のゲート電極 4 7 r, 4 7 s を画素間分離領域 3 1 に設けた場合について説明したが、本技術は上述の第 1 実施形態に限定されるものではない。

[0134] 例えば、増幅トランジスタAMPのゲート電極47aを画素間分離領域31に設けてもよい。即ち、本技術は、画素回路16に含まれる複数の画素トランジスタQの少なくとも1つの画素トランジスタのゲート電極を画素間分離領域31に設けた構成とする。

[0135] また、上述の第1実施形態では、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極47r, 47sを画素間分離領域31に埋め込んだ場合について説明したが、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極47r, 47sは、一部が画素間分離領域31と重畳し、かつ他部が画素間分離領域31に埋め込まれた構成としてもよい。換言すれば、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極47r, 47sは、半導体層21の厚さ方向（Z方向）において、画素間分離領域31の内外に亘って延伸する構成としてもよい。

[0136] 〔第2実施形態〕

図19に示すように、本技術の第2実施形態に係る固体撮像装置1Bは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、画素間分離領域の構成が異なっている。

[0137] 即ち、図5A及び図5Bに示すように、上述の第1実施形態の画素間分離領域31は、半導体層21の第1の面部S1側と第2の面部S2側とに亘って直線状に延伸する1つの縦部分で構成されている。

[0138] これに対し、図19に示すように、この第2実施形態の画素間分離領域31Bは、半導体層21の第1の面部S1側に設けられた第1縦部分31b₁と、この第1縦部分31b₁から半導体層21の第2の面部S2側に向かって延伸し、かつ幅が第1縦部分31b₁の幅よりも幅狭の第2縦部分31b₂と、この第1縦部分31b₁の幅と第2縦部分31b₂の幅との違いによる段差部31b_zと、を含む段付き構造になっている。

[0139] リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極47r, 47sは、画素間分離領域31Bの第1縦部分31b₁に埋め込

まれている。そして、ゲート電極 47r 及び 47s の各々は、ゲート絶縁膜 46 を介在して光電変換領域 22 の第 1 側面部 22b と互いに隣り合っている。

[0140] この画素間分離領域 31B は、例えば、半導体層 21 の第 1 の面部 S1 側に浅溝部を形成し、その後、この浅溝部の底面部から半導体層 21 の第 2 の面部 S2 側に向かって延伸する掘り込み部を形成し、その後、この掘り込み部及び浅溝部に分離絶縁膜 34 を選択的に埋め込むことによって形成することができる。

[0141] また、この画素間分離領域 31B は、例えば、半導体層 21 の第 1 の面部 S1 側から第 2 の面部 S2 側に向かって延伸する掘り込み部を形成し、その後、この掘り込み部に分離絶縁膜 34 を選択的に埋め込み、その後、半導体層 21 の第 1 の面部 S1 側において、分離絶縁膜 34 が埋め込まれた掘り込み部と重畳する領域及びその周辺部の半導体層 21 を選択的にエッチングして浅溝部を形成し、その後、この浅溝部に分離絶縁膜を選択的に埋め込むことによって形成することができる。

[0142] この第 2 実施形態の画素間分離領域 31B においても、本技術を適用することができる。

また、本技術を適用することにより、この第 2 実施形態に係る固体撮像装置 1B においても、上述の第 1 実施形態に係る固体撮像装置 1A と同様の効果が得られる。

また、この第 2 実施形態の画素間分離領域 31B の場合、上述の第 1 実施形態の画素間分離領域 31 と比較して n 型の半導体領域 24 の体積を増加させることができるので、飽和信号量 Q_s をより改善することができる。

[0143] [第 3 実施形態]

図 20 及び図 21 に示すように、本技術の第 3 実施形態に係る固体撮像装置 1C は、基本的に上述の第 1 実施形態に係る固体撮像装置 1A と同様の構成になっており、リセットトランジスタ RST 及び選択トランジスタ SEL の各々のゲート電極の構成が異なっている。

[0144] 即ち、図20及び図21に示すように、この第3実施形態のリセットトランジスタRST及び選択トランジスタSELは、上述の第1実施形態の図4B及び図5Bに示すゲート電極47r、47sに替えて、ゲート電極71r、71sを備えている。その他の構成は、概ね第1実施形態と同様である。

[0145] 図20及び図21に示すように、リセットトランジスタRSTのゲート電極71rは、ゲート絶縁膜46を介在して光電変換領域22の上面部22a及び第1側面部22bに亘って設けられている。

[0146] 具体的には、ゲート電極71rは、半導体層21の第1の面部S1の外側を平面視で光電変換領域22及び画素間分離領域31に亘って延伸する頭部71r₁と、この頭部71r₁から画素間分離領域31側に突出し、かつ光電変換領域22の第1側面部22bとゲート絶縁膜46を介在して互いに隣り合う脚部71r₂と、を有する。そして、頭部71r₁と光電変換領域22の上面部22aとの間にはゲート絶縁膜46が設けられている。

[0147] また、図20及び図21に示すように、ゲート電極71rと同様に、選択トランジスタSELのゲート電極71sも、ゲート絶縁膜46を介在して光電変換領域22の上面部22a及び第1側面部22bに亘って設けられている。

[0148] 具体的には、ゲート電極71sも、ゲート電極71rと同様に、半導体層21の第1の面部S1の外側を平面視で光電変換領域22及び画素間分離領域31に亘って延伸する頭部71s₁と、この頭部71s₁から画素間分離領域31側に突出し、かつ光電変換領域22の第1側面部22bとゲート絶縁膜46を介在して互いに隣り合う脚部71s₂と、を有する。そして、頭部71s₁と光電変換領域22の上面部22aとの間にもゲート絶縁膜46が設けられている。

[0149] この第3実施形態のリセットトランジスタRST及び選択トランジスタSELの各々のゲート電極71r、71sは、転送トランジスタTRのゲート電極47rと同様に、頭部71r₁、71s₁の幅が脚部71r₂、71s₂の幅よりも幅広になっており、縦断面形状がT字形状になっている。

[0150] この第3実施形態に係る固体撮像装置1Cにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0151] また、この第3実施形態のリセットトランジスタRST及び選択トランジスタSELの各々のゲート電極71r, 71sは、ゲート絶縁膜46を介在して光電変換領域22の上面部22a及び第1側面部22bに亘って設けられているので、第1実施形態と比較してゲート電極71r, 71sのゲート幅Wgをより広げることができる。

[0152] なお、この第3実施形態では、リセットトランジスタRST及び選択トランジスタSELの各々に本技術を適用した場合について説明しているが、本技術は増幅トランジスタAMPにも適用することができる。

[0153] [第4実施形態]

図22に示すように、本技術の第4実施形態に係る固体撮像装置1Dは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極の構成が異なっている。

[0154] 即ち、図22に示すように、この第4実施形態のリセットトランジスタRST及び選択トランジスタSELは、上述の第1実施形態の図4B及び図5Bに示すゲート電極47r, 47sに替えて、ゲート電極72r, 72sを備えている。その他の構成は、概ね第1実施形態と同様である。

[0155] 図22に示すように、リセットトランジスタRSTのゲート電極72rは、ゲート絶縁膜46を介在して光電変換領域22の上面部22a、第1側面部22b及び第2側面部22cの各々に亘って設けられている。

[0156] 具体的には、ゲート電極72rは、半導体層21の第1の面部S1の外側に位置し、かつ平面視で光電変換領域22の上面部22a（素子形成領域43）を跨いで画素間分離領域31と素子間分離領域41とに亘って延伸する頭部72r₁と、この頭部72r₁から画素間分離領域31側に突出し、かつ光電変換領域22の第1側面部22bとゲート絶縁膜46を介在して互いに隣り合う第1脚部72r₂と、頭部72r₁から素子間分離領域41側に突出

し、かつ光電変換領域 2 2 の第 2 側面部 2 2 c とゲート絶縁膜 4 6 を介在して互いに隣り合う第 2 脚部 7 2 r₃と、を有する。そして、頭部 7 2 r₁と光電変換領域 2 2 の上面部 2 2 a との間にはゲート絶縁膜 4 6 が設けられている。そして、この第 4 実施形態でも、X 方向に互いに隣り合って並ぶ 2 つの画素 3 a 及び 3 b でリセットトランジスタ R S T を共有しているので、ゲート電極 7 2 r は、1 つの頭部 7 2 r₁に対して 2 つの第 2 脚部 7 2 r₃を有する。

[0157] 図 2 2 に示すように、選択トランジスタ S E L のゲート電極 7 2 s も、リセットトランジスタ R S T のゲート電極 7 2 r と同様に、ゲート絶縁膜 4 6 を介在して光電変換領域 2 2 の上面部 2 2 a 、第 1 側面部 2 2 b 及び第 2 側面部 2 2 c に亘って設けられている。

[0158] 具体的には、ゲート電極 7 2 s は、半導体層 2 1 の第 1 の面部 S 1 の外側に設けられ、かつ平面視で光電変換領域 2 2 の上面部 2 2 a を跨いで画素間分離領域 3 1 と素子間分離領域 4 1 とに亘って延伸する頭部 7 2 s₁と、この頭部 7 2 s₁から画素間分離領域 3 1 側に突出し、かつ光電変換領域 2 2 の第 1 側面部 2 2 b とゲート絶縁膜 4 6 を介在して互いに隣り合う第 1 脚部 7 2 s₂と、頭部 7 2 s₁から素子間分離領域 4 1 側に突出し、かつ光電変換領域 2 2 の第 2 側面部 2 2 c とゲート絶縁膜 4 6 を介在して互いに隣り合う第 2 脚部 7 2 r₃と、を有する。そして、頭部 7 2 r₁と光電変換領域 2 2 の上面部 2 2 a との間にはゲート絶縁膜 4 6 が設けられている。そして、この第 4 実施形態でも、X 方向に互いに隣り合って並ぶ 2 つの画素ブロック 1 5 において、一方の画素ブロック 1 5 の画素 3 b と他方の画素ブロック 1 5 の画素 3 a とで選択トランジスタ S E L を共有しているので、ゲート電極 7 2 s も、1 つの頭部 7 2 s₁に対して 2 つの第 2 脚部 7 2 s₃を有する。

[0159] この第 4 実施形態に係る固体撮像装置 1 D においても、上述の第 1 実施形態に係る固体撮像装置 1 A と同様の効果が得られる。

[0160] また、この第 4 実施形態のリセットトランジスタ R S T 及び選択トランジスタ S E L の各々のゲート電極 7 2 r , 7 2 s は、ゲート絶縁膜 4 6 を介在

して光電変換領域 2 2 の上面部 2 2 a、第 1 側面部 2 2 b 及び第 2 側面部 2 2 c に亘って設けられているので、第 3 実施形態と比較してゲート電極 7 2 r、7 2 s のゲート幅 W_g をより広げることができる。

[0161] なお、この第 4 実施形態では、リセットトランジスタ R S T 及び選択トランジスタ S E L の各々に本技術を適用した場合について説明しているが、本技術は増幅トランジスタ A M P にも適用することができる。

[0162] [第 5 実施形態]

図 2 3 及び図 2 4 に示すように、本技術の第 5 実施形態に係る固体撮像装置 1 E は、基本的に上述の第 1 実施形態に係る固体撮像装置 1 A と同様の構成になっており、増幅トランジスタ A M P の構成が異なっている。

[0163] 即ち、図 2 3 及び図 2 4 に示すように、この第 5 実施形態の増幅トランジスタ A M P は、平面視で Y 方向において互いに隣り合う 2 つの光電変換領域 2 2 の間の画素間分離領域 3 1 にゲート電極 4 7 a が設けられている。

[0164] 具体的には、この第 5 実施形態の増幅トランジスタ A M P は、ゲート絶縁膜 4 6 を介在して光電変換領域 2 2 の第 1 側面部 2 2 b と互いに隣り合って画素間分離領域 3 1 に設けられたゲート電極 4 7 a と、平面視でゲート電極 4 7 a のゲート長方向に互いに離間して光電変換領域 2 2 の上面部 2 2 a 側に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域 5 2 a s 及び 5 2 a r と、を有する。また、増幅トランジスタ A M P は、平面視でゲート電極 4 7 a と互いに隣り合う素子形成領域 4 3（半導体層 2 1）に設けられたチャネル形成部 5 3 a を更に有する。一対の主電極領域 5 2 a s 及び 5 2 a r は、n 型の半導体領域で構成され、チャネル形成部 5 3 r は p 型の半導体領域 2 3 で構成されている。

[0165] この第 5 実施形態の増幅トランジスタ A M P は、平面視で画素間分離領域 3 1 を介して Y 方向に並ぶ 2 つの光電変換領域 2 2 において、一方の光電変換領域 2 2 の浮遊拡散領域 F D と互いに隣り合って接続され、かつ他方の光電変換領域 2 2 の第 1 側面部 2 2 b とゲート絶縁膜 4 6 を介在して互いに隣り合って画素間分離領域 3 1 に設けられたゲート電極 4 7 a を有する。

[0166] この第5実施形態に係る固体撮像装置1Eにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0167] また、この第5実施形態の増幅トランジスタAMPは、ゲート電極47aが平面視で浮遊拡散領域FDと互いに互いに隣り合って接続されている。このため、ゲート電極47aと浮遊拡散領域FDとを最短距離で電氣的に接続することができ、ゲート電極47aと浮遊拡散領域FDとを多層配線層55の配線を介して電氣的に接続する場合と比較して浮遊拡散領域FDに付加される配線容量を低減することができる。これにより、変換効率を上げることができ、ランダムノイズを低減することができる。

[0168] [第6実施形態]

図25から図29に示すように、本技術の第6実施形態に係る固体撮像装置1Fは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、増幅トランジスタAMPの構成が異なっている。また、本技術の第6実施形態に係る固体撮像装置1Fは、画素間分離領域31に設けられた中継導体部74a及び74bを更に備えている。

[0169] <ゲート電極>

図25及び図26に示すように、この第6実施形態の増幅トランジスタAMPは、上述の第1実施形態の図4A及び図7に示すゲート電極47aに替えて、ゲート電極73aを備えている。その他の構成は、概ね上述の第1実施形態と同様である。

[0170] 図25及び図26に示すように、平面視で画素間分離領域31を介して互いに隣り合ってY方向に並ぶ2つの光電変換領域22において、一方の光電変換領域22に設けられた増幅トランジスタAMPは、平面視で一方の光電変換領域22の上面部22a及び画素間分離領域31に亘って設けられ、かつ他方の光電変換領域22の第1側面部22bで他方の光電変換領域22に設けられた浮遊拡散領域FDと電氣的及び機械的に接続されたゲート電極73aを有する。

[0171] 具体的には、図25及び図26に示すように、この第6実施形態に係る増

幅トランジスタAMPのゲート電極73aは、半導体層21の第1の面部S1の外側を平面視で一方の光電変換領域22及び画素間分離領域31に亘って延伸する頭部73a₁と、この頭部73a₁から画素間分離領域31側に突出し、かつ他方の光電変換領域22の第1側面部22bで他方の光電変換領域22の浮遊拡散領域FDと電氣的及び機械的に接続された中継突起部73a₃と、を有する。そして、頭部73a₁と、一方の光電変換領域22の上面部22aとの間には、ゲート絶縁膜46が介在されている。そして、中継突起部73a₃は、画素間分離領域31に埋め込まれている。

[0172] <中継導体部>

図25、図27及び図29に示すように、中継導体部74aは、1つの画素ブロック15に含まれる2つの光電変換領域22の間の画素間分離領域31に設けられている。そして、中継導体部74aは、1つの画素ブロック15に含まれる2つの光電変換領域22において、一方の光電変換領域22の第1側面部22bで一方の光電変換領域22における増幅トランジスタAMPの主電極領域52arと電氣的及び機械的に接続され、かつ他方の光電変換領域22の第1側面部22bで他方の光電変換領域22における増幅トランジスタAMPの主電極領域52arと電氣的及び機械的に接続されている。即ち、中継導体部74aは、平面視で互いに隣り合う2つの光電変換領域22の各々の第1側面部22bにおいて、画素間分離領域31を挟んで互いに隣り合う2つの増幅トランジスタAMPの各々の主電極領域52arと電氣的及び機械的に接続されている。

[0173] 中継導体部74aは、図27及び図29に示すように、画素間分離領域31に埋め込まれていると共に、X方向において画素間分離領域31を貫通し、1つの画素ブロック15に含まれる2つの光電変換領域22の各々の第1側面部22bに接続されている。そして、中継導体部74aは、層間絶縁膜56に設けられたコンタクト電極57arを介して、層間絶縁膜56上の配線層58に設けられた配線58arと電氣的に接続されている。

[0174] 詳細に図示していないが、図25及び図28を参照して説明すれば、中継

導体部 7 4 b は、X 方向に互いに隣り合って並ぶ 2 つの画素ブロック 1 5 の間の画素間分離領域 3 1 に設けられている。そして、中継導体部 7 4 b は、X 方向に並ぶ 2 つの画素ブロック 1 5 で互いに隣り合う 2 つの光電変換領域 2 2 において、一方の光電変換領域 2 2 の第 1 側面部 2 2 b で一方の光電変換領域 2 2 の給電用コンタクト領域 WC と電氣的及び機械的に接続され、かつ他方の光電変換領域 2 2 の第 1 側面部 2 2 b で他方の光電変換領域 2 2 の給電用コンタクト領域 WC と電氣的及び機械的に接続されている。即ち、中継導体部 7 4 b は、平面視で互いに隣り合う 2 つの光電変換領域 2 2 の各々の第 1 側面部 2 2 b において、画素間分離領域 3 1 を挟んで互いに隣り合う 2 つの給電用コンタクト領域 WC と電氣的及び機械的に接続されている。

[0175] 中継導体部 7 4 b は、詳細に図示していないが、図 2 8 を参照して説明すれば、中継導体部 7 4 a と同様に、画素間分離領域 3 1 に埋め込まれていると共に、X 方向において画素間分離領域 3 1 を貫通し、この画素間分離領域 3 1 を挟んで互いに隣り合う 2 つの光電変換領域 2 2 の各々の第 1 側面部 2 2 b に接続されている。そして、中継導体部 7 4 b は、中継導体部 7 4 a と同様に、層間絶縁膜 5 6 に設けられたコンタクト電極 5 7 w c を介して、層間絶縁膜 5 6 上の配線層 5 8 に設けられた配線 5 8 w c と電氣的に接続されている。この配線 5 8 w c からコンタクト電極 5 7 w c を通して例えば 0 V の基準電位が中継導体部 7 4 b に供給される。

[0176] 中継導体部 7 4 a 及び 7 4 b の各々としては、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜を用いている。中継導体部 7 4 a 及び 7 4 b の各々としては、金属膜を用いてもよいが、画素間分離領域 3 1 や半導体層 2 1 との熱膨張係数の差を考慮すると、多結晶シリコン膜を用いる方が好ましい。

[0177] 《第 6 実施形態の主な効果》

この第 6 実施形態の増幅トランジスタ AMP は、上述したように、平面視で画素間分離領域 3 1 を介して Y 方向に並ぶ 2 つの光電変換領域 2 2 において、一方の光電変換領域 2 2 の上面部 2 2 a 及び画素間分離領域 3 1 に亘っ

て設けられ、かつ他方の光電変換領域 2 2 の第 1 側面部 2 2 b で他方の光電変換領域 2 2 の浮遊拡散領域 F D と電氣的及び機械的に接続されたゲート電極 7 3 a を有する。このため、増幅トランジスタ AMP のゲート電極 7 3 a と浮遊拡散領域 F D との電氣的な接続を多層配線層 5 5 の配線で行う必要がなく、平面視で光電変換領域 2 2 と重畳する多層配線層 5 5 の配線密度を小さくすることができる。これにより、光電変換領域 2 2 の画素トランジスタ Q と接続する配線の引き回し自由度を上げることができ、配線の引き回しに起因する、画素トランジスタ Q の配置の制約を緩和することができる。したがって、この第 6 実施形態に係る固体撮像装置 1 F によれば、光電変換領域 2 2 での画素トランジスタ Q の配置自由度を上げることができる。

[0178] また、この第 6 実施形態に係る固体撮像装置 1 F は、1 つの画素ブロック 1 5 の X 方向に並ぶ 2 つの光電変換領域 2 2 の間の画素間分離領域 3 1 に設けられた中継導体部 7 4 a を備えている。そして、この中継導体部 7 4 a は、1 つの画素ブロック 1 5 に含まれる 2 つの光電変換領域 2 2 において、一方の光電変換領域 2 2 の第 1 側面部 2 2 b で一方の光電変換領域 2 2 における増幅トランジスタ AMP の主電極領域 5 2 a r と電氣的及び機械的に接続され、かつ他方の光電変換領域 2 2 の第 1 側面部 2 2 b で他方の光電変換領域 2 2 における増幅トランジスタ AMP の主電極領域 5 2 a r と電氣的及び機械的に接続されている。このため、この中継導体部 7 4 a とコンタクト電極 5 7 a r との接続において、接続に十分な不純物濃度、エッチングダメージ、シリサイド異常などによる接続不良を抑制することができるとも共に、リーク電流による暗電流の発生を抑制することができる。

[0179] また、この第 6 実施形態に係る固体撮像装置 1 F は、X 方向に互いに隣り合って並ぶ 2 つの画素ブロック 1 5 の間の画素間分離領域 3 1 に設けられた中継導体部 7 4 b を備えている。そして、この中継導体部 7 4 b においても、中継導体部 7 4 a と同様に、X 方向に並ぶ 2 つの画素ブロック 1 5 で互いに隣り合う 2 つの光電変換領域 2 2 において、一方の光電変換領域 2 2 の第 1 側面部 2 2 b で一方の光電変換領域 2 2 の給電用コンタクト領域 WC と電

氣的及び機械的に接続され、かつ他方の光電変換領域 22 の第 1 側面部 22b で他方の光電変換領域 22 の給電用コンタクト領域 WC と電氣的及び機械的に接続されている。このため、この中継導体部 74b とコンタクト電極 57WC との接続において、接続に十分な不純物濃度、エッチングダメージ、シリサイド異常などによる接続不良を抑制することができるとも共に、リーク電流による暗電流の発生を抑制することができる。

[0180] 〔第 7 実施形態〕

図 30 から図 32 に示すように、本技術の第 7 実施形態に係る固体撮像装置 1G は、基本的に上述の第 1 実施形態に係る固体撮像装置 1A と同様の構成になっており、以下の構成が異なっている。

[0181] 即ち、この第 7 実施形態の固体撮像装置 1G は、上述の第 1 実施形態の図 3 に示す画素回路 16 に替えて、図 30 に示す画素回路 16G を備えている。そして、この第 7 実施形態では、光電変換領域 22 のトランジスタレイアウトが上述の実施形態 1 と比較して若干異なっている。その他の構成は、概ね第 1 実施形態と同様である。

[0182] 図 30 に示すように、画素回路 16G は、上述の画素回路 16 の構成に切替トランジスタ FDG を新たに加えた回路構成になっている。即ち、画素回路 16G は、画素トランジスタ Q として、増幅トランジスタ AMP、選択トランジスタ SEL、リセットトランジスタ RST 及び切替トランジスタ FDG を備えている。

[0183] 図 30 に示すように、切替トランジスタ FDG は、ソース領域が増幅トランジスタ AMP のゲート電極及び浮遊拡散領域 FD と電氣的に接続され、ドレイン領域がリセットトランジスタ RST のソース領域と電氣的に接続されている。そして、切替トランジスタ FDG のゲート電極は、図 2 に示す画素駆動線 10 のうちの切替トランジスタ駆動線と電氣的に接続されている。この切替トランジスタ FDG は、浮遊拡散領域 FD による電荷保持を制御すると共に、増幅トランジスタ AMP で増幅される電位に応じた電圧の増倍率を調整する。

[0184] 図31及び図32に示すように、切替トランジスタFDGは、平面視でY方向において互いに隣り合う2つの光電変換領域22の間の画素間分離領域31にゲート電極47fが設けられている。

具体的には、切替トランジスタFDGは、ゲート絶縁膜46を介在して光電変換領域22の第1側面部22bと互いに隣り合って画素間分離領域31に設けられたゲート電極47fと、平面視でゲート電極47fのゲート長方向に互いに離間して光電変換領域22の上面部22a側に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域52f及び52rと、を有する。また、切替トランジスタFDGは、平面視でゲート電極47fと互いに隣り合う素子形成領域43（半導体層21）に設けられたチャネル形成部53fを更に有する。一対の主電極領域52f及び52rは、n型の半導体領域で構成され、チャネル形成部53fはp型の半導体領域23で構成されている。

[0185] 切替トランジスタFDGは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、浮遊拡散領域FDのFD容量C（フローティングディフュージョン容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際の電圧Vが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、浮遊拡散領域FDのFD容量Cが大きくなければ、浮遊拡散領域FDで、光電変換部25（フォトダイオードPD）の電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際の電圧Vが大きくなりすぎないように（言い換えると、小さくなるように）、浮遊拡散領域FDのFD容量Cが大きくなっている必要がある。これらを踏まえると、切替トランジスタFDGをオンにしたときには、切替トランジスタFDGのゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、切替トランジスタFDGのオン／オフを切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0186] この第7実施形態において、浮遊拡散領域FDは、切替トランジスタFDGの主電極領域52fと兼用されている。また、リセットトランジスタRSTと切替トランジスタFDGとは、リセットトランジスタRSTの主電極領域52rと切替トランジスタFDGの主電極領域52rとが共有され、直列に接続されている。

[0187] この第7実施形態に係る固体撮像装置1Gにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0188] なお、この第7実施形態では、画素回路16Gに含まれる画素トランジスタQとして、切替トランジスタFDG、リセットトランジスタRST及び選択トランジスタSELの各々のゲート電極47f, 47r, 47sを画素間分離領域31に設けた場合について説明したが、画素回路16Gに含まれる複数の画素トランジスタQの少なくとも何れか1つの画素トランジスタQのゲート電極を画素間分離領域31に設ける構成としてもよい。

[0189] [第8実施形態]

図33から図35に示すように、本技術の第8実施形態に係る固体撮像装置1Hは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、以下の構成が異なっている。

[0190] 即ち、この第8実施形態の固体撮像装置1Hは、上述の第1実施形態の図3に示す画素回路16に替えて、図33に示す画素回路16Hを備えている。そして、この第8実施形態では、画素回路16Hに含まれる画素トランジスタQの平面レイアウトが上述の実施形態1と比較して若干異なっている。そして、この画素回路16Hに含まれる画素トランジスタQの全てのゲート電極が光電変換領域22の素子形成領域43に設けられている。その他の構成は、概ね第1実施形態と同様である。

[0191] 図33に示すように、画素回路16Hは、上述の図3に示す画素回路16の構成に2つの切替トランジスタFDG, FCGを新たに加えた回路構成になっている。即ち、画素回路16Hは、回路を構成する画素トランジスタQとして、増幅トランジスタAMP、選択トランジスタSEL、リセットトラ

ンジスタ R S T 及び 2 つの切替トランジスタ F C G, F D G を備えている。
上述の第 7 実施形態の画素回路 1 6 G (図 3 0 参照) は、1 つの切替トランジスタ F D G を備えているが、この第 8 実施形態の画素回路 1 6 H は、2 つの切替トランジスタ F C G 及び F D G を備えている。

[0192] 図 3 3 に示すように、切替トランジスタ F C G は、ソース領域が切替トランジスタ F D G のドレイン領域と電氣的に接続され、ドレイン領域がリセットトランジスタ R S T のソース領域と電氣的に接続されている。そして、切替トランジスタ F C G のゲート電極は、図 2 に示す画素駆動線 1 0 のうちの第 1 切替トランジスタ駆動線と電氣的に接続されている。

[0193] 図 3 3 に示すように、切替トランジスタ F D G は、ソース領域が増幅トランジスタ A M P のゲート電極及び浮遊拡散領域 F D と電氣的に接続され、ドレイン領域が切替トランジスタ F C G のソース領域と電氣的に接続されている。そして、切替トランジスタ F D G のゲート電極は、図 2 に示す画素駆動線 1 0 のうちの第 2 切替トランジスタ駆動線と電氣的に接続されている。

[0194] 図 3 3 に示す 2 つの切替トランジスタ F C G 及び F D G の各々は、上述の第 7 実施形態の切替トランジスタ F D G と同様に、浮遊拡散領域 F D による電荷保持を制御すると共に、増幅トランジスタ A M P で増幅される電位に応じた電圧の増倍率を調整する。そして、この 2 つの切替トランジスタ F C G 及び F D G の各々のオン／オフを切り替えることで、上述の第 7 実施形態の画素回路 1 6 G と同様に、F D 容量 C を可変にし、変換効率を切り替えることができる。

[0195] 詳細に図示していないが、図 3 4 を参照して説明すると、切替トランジスタ F C G は、ゲート絶縁膜を介在して光電変換領域 2 2 の素子形成領域 4 3 (光電変換領域 2 2 の第 1 側面部 2 2 b) に設けられたゲート電極 4 7 f c と、平面視でゲート電極 4 7 f c のゲート長方向に互いに離間して光電変換領域 2 2 の素子形成領域 4 3 (上面部 2 2 a) に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域 5 2 f c 及び 5 2 r と、を有する。また、切替トランジスタ F C G は、平面視でゲート電極 4 7 f c

と重畳する素子形成領域43（半導体層21）に設けられたチャネル形成部を更に有する。一对の主電極領域52fc及び52rは、n型の半導体領域で構成され、チャネル形成部はp型の半導体領域23で構成されている。

[0196] 詳細に図示していないが、図34を参照して説明すると、切替トランジスタFDGは、ゲート絶縁膜を介在して光電変換領域22の素子形成領域43（光電変換領域22の第1側面部22b）に設けられたゲート電極47fと、平面視でゲート電極47fのゲート長方向に互いに離間して光電変換領域22の素子形成領域43（上面部22a）に設けられ、かつソース領域及びドレイン領域として機能する一对の主電極領域52f及び52fcと、を有する。また、切替トランジスタFDGは、平面視でゲート電極47fと重畳する素子形成領域43（半導体層21）に設けられたチャネル形成部を更に有する。一对の主電極領域52f及び52fcは、n型の半導体領域で構成され、チャネル形成部はp型の半導体領域23で構成されている。

[0197] この第8実施形態において、浮遊拡散領域FDは、切替トランジスタFDGの主電極領域52fと兼用されている。また、リセットトランジスタRSTと切替トランジスタFCGとは、リセットトランジスタRSTの主電極領域52rと切替トランジスタFCGの主電極領域52rとが共有され、直列に接続されている。また、切替トランジスタFCGと切替トランジスタFDGとは、切替トランジスタFCGの主電極領域52fcと切替トランジスタFDGの主電極領域52fcとが共有され、直列に接続されている。即ち、リセットトランジスタRST及び2の切替トランジスタFCG、FDGの各々は、直接に接続された状態で光電変換領域22の素子形成領域43に設けられている。

[0198] 図34及び図35に示すように、この第8実施形態の増幅トランジスタAMPは、基本的に上述の第1実施形態の増幅トランジスタAMPと同様の構成になっており、ゲート電極の構成が異なっている。

[0199] 即ち、平面視で画素間分離領域31を介してX方向に互いに隣り合う2つの光電変換領域22（22X₁及び22X₂）において、一方の光電変換領域

22X₁に設けられた増幅トランジスタAMPは、平面視で一方の光電変換領域22X₁の上面部22a（素子形成領域43）及び画素間分離領域31に亘って設けられ、かつ他方の光電変換領域22X₂の第1側面部22bで他方の光電変換領域22X₂の浮遊拡散領域FDと接続されたゲート電極75aを有する。

[0200] そして、図35に示すように、ゲート電極75aは、平面視で一方の光電変換領域22X₁と画素間分離領域31とに亘って設けられた頭部75a₁と、この頭部75a₁から画素間分離領域31側に突出し、かつ他方の光電変換領域22X₂の第1側面部22bで浮遊拡散領域FDと接続された中継接続部75a₃と、を含む。換言すれば、ゲート電極75aは、半導体層21の第1の面部S1の外側を一方の光電変換領域22X₁及び画素間分離領域31に亘って延伸し、かつ頭部75a₁から画素間分離領域31の内部に突出し、かつ他方の光電変換領域22X₂の第1側面部22bで浮遊拡散領域FDと電氣的及び機械的に接続されている。この第8実施形態のゲート電極75aは、上述の第1実施形態に係る増幅トランジスタAMPのゲート電極47aと同様に、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜（ドーパドポリシリコン膜）で構成されている。そして、この第8実施形態のゲート電極75aは、一方の光電変換領域22X₁側と他方の光電変換領域22X₂側とでほぼ同一の不純物濃度分布になっている。

ここで、この第8実施形態では、光電変換領域22の第1側面部22bが本技術の「光電変換領域の側面部」の一具体例に相当する。

[0201] <第8実施形態の主な効果>

この第8実施形態の増幅トランジスタAMPは、上述したように、平面視で画素間分離領域31を介してX方向に並ぶ2つの光電変換領域22（22X₁、22X₂）において、一方の光電変換領域22X₁の上面部22a及び画素間分離領域31に亘って設けられ、かつ他方の光電変換領域22X₂の第1側面部22bで他方の光電変換領域22の浮遊拡散領域FDと電氣的及び機械的に接続されたゲート電極75aを有する。このため、増幅トランジスタ

AMPのゲート電極75aと浮遊拡散領域FDとの電氣的な接続を多層配線層55の配線で行う必要がなく、平面視で光電変換領域22と重畳する多層配線層55の配線密度を下げるができる。これにより、光電変換領域22の画素トランジスタQ（AMP，SEL，RST，FCG，FDG）と接続する配線の引き回し自由度を上げることができ、配線の引き回しに起因する、画素トランジスタQの配置の制約を緩和することができる。したがって、この第8実施形態に係る固体撮像装置1Hにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様に、光電変換領域22での画素トランジスタQの配置自由度を上げることができる。

[0202] また、ゲート電極75aと浮遊拡散領域FDとを最短距離で電氣的に接続することができ、ゲート電極47aと浮遊拡散領域FDとを多層配線層55の配線を介して電氣的に接続する場合と比較して浮遊拡散領域FDに付加される配線容量を低減することができる。これにより、変換効率を上げることができ、ランダムノイズを低減することができる。

[0203] ここで、CMOSイメージセンサにおいて、高変換効率化は、高感度化、低ノイズ化に有効な手段である。その変換効率を高くするためには、FD容量を小さくする、及び、ソース・フローワー・ゲイン（Source-Follower Gain（SF Gain））を高くする必要がある。しかしながら、SF Gainは、一般的に0.8～0.9程度であり、大幅な向上は見込めない。一方、FD容量については、構造的なアプローチで大幅な低減を見込むことができる。そして、FD容量は、主に、浮遊拡散領域FDでのFD拡散層容量と、増幅トランジスタAMPでのアンプ・ゲート容量と、浮遊拡散領域FDに接続する配線でのFD配線容量との和からなる。FD拡散層容量の低減は、浮遊拡散領域FDの面積縮小化や低濃度化が有効であるが、FD白点やFD暗電流の悪化の懸念がある。アンプ・ゲート容量の低減には、増幅トランジスタAMPのゲート電極サイズの縮小やゲート絶縁膜46の厚膜化が有効であるが、ランダムノイズ（RN）の悪化の懸念がある。但し、FD配線容量の低減は画素特性の悪化の懸念が無く、高変換効率化を達成可能である。よって、更な

る高変換効率化には、この第8実施形態のように、FD配線容量の低減を行うことで、FD容量の低減が有効である。

[0204] この第8実施形態では、FD容量に占める配線容量成分をほぼ無くすることができ、更に、その他の配線を介した信号のカップリングも低減でき、固定パターンノイズ（FPN：Fixed Pattern Noise）も抑制することができる。

[0205] ≪第8実施形態の変形例≫

次に、第8実施形態の変形例について説明する。

<変形例8-1>

図36は、本技術の第8実施形態に係る変形例8-1を模式的に示す要部縦断面図である。

上述の第8実施形態では、増幅トランジスタAMPのゲート電極75aの不純物濃度を、一方の光電変換領域22X₁側と他方の光電変換領域22X₂側とでほぼ同一の不純物濃度分布とした場合について説明したが、本技術は、上述の第8実施形態に限定されるものではない。

[0206] 例えば、ゲート電極75aを、一方の光電変換領域22X₁側の不純物濃度よりも他方の光電変換領域22X₂側の不純物濃度の方が低い不純物濃度分布としてもよい。

[0207] この場合、図36に示すように、ゲート電極75aは、一方の光電変換領域22X₁側に位置する第1部分75X₁と、他方の光電変換領域22X₂側に位置し、かつ第1部分75X₁よりも不純物濃度が低い第2部分75X₂と、を有する。そして、第1部分75X₁と第2部分75X₂との境界部75Zは、平面視で画素間分離領域31と重畳している。第1部分75X₁は、ゲート電極75aの頭部75a₁のうちの一方の光電変換領域22X₁側を含む。第2部分75X₂は、ゲート電極75aの頭部75a₁のうちの他方の光電変換領域22X₂側を含むと共に、中継接続部75a₃を含む。即ち、この変形例8-1のゲート電極75aは、中継接続部75a₃の不純物濃度が一方の光電変換領域22X₁側の不純物濃度よりも低くなっている。

[0208] この変形例8-1の場合、ゲート電極75aのチャネル形成部側（一方の

光電変換領域 2 2 側の部分) を低抵抗しつつ、中継接続部 7 5 a₃ から浮遊拡散領域 F D への不純物拡散を抑制することができ、F D 拡散層容量を低減することができる。

[0209] <変形例 8-2>

図 3 7 は、本技術の第 8 実施形態に係る変形例 8-2 を模式的に示す要部縦断面図である。

上述の第 8 実施形態では、画素間分離領域として、図 5 A 及び図 3 5 に示すように、半導体層 2 1 に設けられ、かつ半導体層 2 1 の厚さ方向 (Z 方向) に延伸する掘り込み部 3 3 と、半導体層 2 1 の掘り込み部 3 3 に、この掘り込み部 3 3 を埋め込むようにして設けられた分離絶縁膜 3 4 と、を含む画素間分離領域 3 1 について説明した。

[0210] これに対し、図 3 7 に示すように、この変形例 8-2 の画素間分離領域 3 1 は、半導体層 2 1 に設けられ、かつ半導体層 2 1 の厚さ方向 (Z 方向) に延伸する掘り込み部 3 3 と、半導体層 2 1 の掘り込み部 3 3 に、この掘り込み部 3 3 の内壁に沿って設けられた分離絶縁膜 3 4 と、半導体層 2 1 の掘り込み部 3 3 に分離絶縁膜 3 4 を介して設けられた導体 3 5 と、を含む構成になっている。そして、図示していないが、導体 3 5 は、基準電位が印加される配線と電氣的に接続されている。即ち、この変形例 8-2 の画素間分離領域 3 1 は、基準電位が印加される導体 3 5 を含む。基準電位としては、例えば負バイアスの電位が印加される。

[0211] 図 3 7 に示すように、増幅トランジスタ AMP のゲート電極 7 5 a は、平面視で画素間分離領域 3 1 の導体 3 5 と重畳している。そして、画素間分離領域 3 1 の導体 3 5 は、半導体層 2 1 の厚さ方向 (Z 方向) に沿って延伸し、半導体層 2 1 の第 1 の面部 S 1 側に位置する一端側が増幅トランジスタ AMP のゲート電極 7 5 a と分離絶縁膜 3 4 を介して互いに向かい合って (隣り合っ) ている。

[0212] ここで、浮遊拡散領域 F D の寄生容量が小さすぎると、他の信号線からのカップリングで F D 電位の揺れが生じ、R N (オン抵抗) の悪化が発生し易

くなる。そこで、画素間分離領域 31 の導体 35 に一定電位を印加し、容量結合させた浮遊拡散領域 FD の電位を安定させることで、他の信号線とのカップリングによる電位の揺れを小さく、若しくは無くすることができ、低ノイズ化を実現することができる。したがって、この変形例 8-2 においては、上述の第 8 実施形態と同様の効果が得られると共に、低ノイズ化を実現することができる。

[0213] <変形例 8-3>

図 38 は、本技術の第 8 実施形態に係る変形例 8-3 を模式的に示す要部縦断面図である。

[0214] 上述の第 8 実施形態では、増幅トランジスタ AMP のゲート電極として、頭部 75a₁ 及び中継接続部 75a₃ を含むゲート電極 75a について説明したが、本技術は上述の第 8 実施形態のゲート電極 75a に限定されるものではない。

[0215] 例えば、図 38 に示すように、ゲート電極 75a は、頭部 75a₁ 及び中継接続部 75a₃ を含み、更に頭部 75a₁ から一方の光電変換領域 22X₁ 側に突出する脚部 75a₂ を含む構成としてもよい。脚部 75a₂ は、一方の光電変換領域 22X₁ の素子形成領域 43 において、頭部 75a₁ から半導体層 21 の内部に突出し、かつゲート絶縁膜 46 を介在して半導体層 21 のチャネル形成部 53a と互いに隣り合う。図 38 では、1 つの脚部 75a₂ を例示しているが、脚部 75a₂ は 2 つ以上設けてもよい。

[0216] この変形例 8-3 の増幅トランジスタ AMP を用いることにより、フリッカーノイズや熱雑音を低減でき、低オン抵抗化を実現することができる。

[0217] <変形例 8-4>

図 39 は、本技術の第 8 実施形態に係る変形例 8-4 を模式的に示す要部縦断面図である。

[0218] 上述の第 8 実施形態では、一方の光電変換領域 22X₁ に設けられた増幅トランジスタ AMP のゲート電極 75a を、他方の光電変換領域 22X₂ の第 1 側面部 22b で他方の光電変換領域 22X₂ の浮遊拡散領域 FD と電氣的及び

機械的に接続した場合について説明した。しかしながら、本技術は上述の第8実施形態に限定されるものではない。

[0219] 例えば、図39に示すように、一方の光電変換領域 $22X_1$ に設けられた増幅トランジスタAMPのゲート電極75aを、他方の光電変換領域 $22X_2$ の上面部22a及び第1側面部22bで他方の光電変換領域 $22X_2$ の浮遊拡散領域FDと電氣的及び機械的に接続してもよい。

[0220] この変形例8-4の場合、ゲート電極75aと浮遊拡散領域FDとの接触面積を増やすことができるため、低抵抗化を図ることができる。

[0221] <変形例8-5>

図40は、本技術の第8実施形態に係る変形例8-5を模式的に示す要部縦断面図である。

この変形例は、図36に示す変形例8-1の不純物濃度分布技術と、図37に示す変形例8-2の寄生容量付加技術と、を組み合わせたものである。この変形例8-5は、上述の変形例8-1及び変形例8-2の各々の効果を得ることができる。

[0222] <変形例8-6>

図41は、本技術の第8実施形態に係る変形例8-6を模式的に示す要部縦断面図である。

この変形例は、図36に示す変形例8-1の不純物濃度分布技術と、図38に示す変形例8-3のチャネル幅拡張技術と、を組み合わせたものである。この変形例8-6は、上述の変形例8-1及び変形例8-3の各々の効果を得ることができる。

[0223] <変形例8-7>

図42は、本技術の第8実施形態に係る変形例8-7を模式的に示す要部縦断面図である。

この変形例8-7は、図36に示す変形例8-1の不純物濃度分布技術と、図39に示す変形例8-4の浮遊拡散領域接続技術と、を組み合わせたものである。この変形例8-7は、上述の変形例8-1及び変形例8-4の各

々の効果を得ることができる。

[0224] <その他の変形例>

なお、図示していないが、図37に示す変形例8-2の寄生容量付加技術と、図38に示す変形例8-3のチャネル幅拡張技術や、図39に示す変形例8-4の浮遊拡散領域接続技術と、を組み合わせることができる。

[0225] また、図示していないが、図38に示す変形例8-3のチャネル幅拡張技術と、図39に示す変形例8-4の浮遊拡散領域接続技術と、を組み合わせることができる。

[0226] [第9実施形態]

次に、本技術の第9実施形態に係る固体撮像装置11について、図43及び図44を用いて説明する。

図43は、本技術の第9実施形態に係る固体撮像装置において、2つの画素ブロックの一構成例を模式的に示す平面図である。

図44は、図43のa43-a43切断線に沿った縦断面構造を模式的に示す縦断面図である。

[0227] 本技術の第9実施形態に係る固体撮像装置11は、図43に示す画素ブロック151を備えている。この第9実施形態の画素ブロック151は、主にY方向に互いに隣り合って並ぶ2つの画素3(3a₁, 3b₁)を一単位として含む。

[0228] 1つの画素ブロック151に含まれる2つの画素3(3a₁, 3b₁)の各々は、画素間分離領域31で区画された光電変換領域22(22X₃, 22X₄)を含む。この第9実施形態の光電変換領域22(22X₃, 22X₄)は、基本的に上述の第8実施形態の光電変換領域22と同様の構成になっており、以下の構成が異なっている。

[0229] 即ち、この第9実施形態の光電変換領域22(22X₃, 22X₄)は、上述の第8実施形態の光電変換領域22と比較してトランジスタのレイアウトや素子形成領域43の平面形状が異なっている。そして、1つの画素ブロック151に含まれる2つの光電変換領域22(22X₃, 22X₄)において

、一方の光電変換領域 $22X_3$ における素子形成領域 43 の平面パターンと、他方の光電変換領域 $22X_4$ における素子形成領域 43 の平面パターンとが、 Y 方向に並ぶ画素 $3a_1$ と画素 $3b_1$ との間の境界を軸にして反転している。

[0230] また、この第9実施形態の光電変換領域 $22(22X_3, 22X_4)$ において、素子形成領域 43 には、画素トランジスタとして、増幅トランジスタAMP、選択トランジスタSEL及び切替トランジスタFDGが設けられているが、上述の第8実施形態の図34に示す切替トランジスタFCGは設けられていない。そして、この第9実施形態では、増幅トランジスタAMPの構成が上述の第8実施形態と比較して若干異なっている。

[0231] 具体的には、この第9実施形態の増幅トランジスタAMPは、1つの画素ブロック 151 に含まれる2つの光電変換領域 $22(22X_3, 22X_4)$ で共有、換言すれば1つの画素ブロック 151 に含まれる2つの画素 $3(3a_1, 3b_1)$ で共有されている。

[0232] そして、図44に示すように、この第9実施形態の増幅トランジスタAMPは、1つの画素ブロック 151 に含まれる2つの光電変換領域 $22(22X_3, 22X_4)$ において、一方の光電変換領域 $22X_3$ の第1側面部 $22b$ で一方の光電変換領域 $22X_3$ の浮遊拡散領域FDと電氣的及び機械的に接続され、かつ他方の光電変換領域 $22X_4$ の側面部 $22b$ で他方の光電変換領域 $22X_4$ の浮遊拡散領域FDと電氣的及び機械的に接続されたゲート電極 $75a$ を有する。即ち、この第9実施形態の増幅トランジスタAMPのゲート電極 $75a$ は、半導体層 21 の第1の面部 $S1$ の外側を光電変換領域 22 及び画素間分離領域 31 に亘って延伸する頭部 $75a_1$ と、この頭部 $75a_1$ から画素間分離領域 31 の内部に突出し、かつ平面視で画素間分離領域 31 を挟んで互いに隣り合う2つの光電変換領域 $22(22X_3, 22X_4)$ の各々の第1側面部 $22b$ と電氣的及び機械的に接続された中継接続部 $75a_3$ と、を有する。

[0233] この第9実施形態に係る固体撮像装置 $1I$ においても、上述の第8実施形態に係る固体撮像装置 $1H$ と同様の効果が得られる。

[0234] 〔第 10 実施形態〕

次に、本技術の第 10 実施形態に係る固体撮像装置 1 I について、図 4 5 及び図 4 6 を用いて説明する。

図 4 5 は、本技術の第 10 実施形態に係る固体撮像装置において、2 つの画素ブロックの一構成例を模式的に示す平面図である。

図 4 6 は、図 4 5 の a 4 5 - a 4 5 切断線に沿った縦断面構造を模式的に示す縦断面図である。

[0235] 本技術の第 10 実施形態に係る固体撮像装置 1 J は、図 4 5 に示す画素ブロック 1 5 J を備えている。この第 10 実施形態の画素ブロック 1 5 J は、主に Y 方向に互いに隣り合って並ぶ 2 つの画素 3 (3 a₂, 3 b₂) を一単位として含む。

[0236] 1 つの画素ブロック 1 5 J に含まれる 2 つの画素 3 (3 a₂, 3 b₂) の各々は、画素間分離領域 3 1 で区画された光電変換領域 2 2 (2 2 X₅, 2 2 X₆) を含む。この第 10 実施形態の光電変換領域 2 2 (2 2 X₅, 2 2 X₆) は、基本的に上述の第 8 実施形態の光電変換領域 2 2 と同様の構成になっており、以下の構成が異なっている。

[0237] 即ち、この第 10 実施形態の光電変換領域 2 2 (2 2 X₅, 2 2 X₆) は、上述の第 8 実施形態の光電変換領域 2 2 と比較してトランジスタのレイアウトや素子形成領域 4 3 の平面形状が異なっている。そして、1 つの画素ブロック 1 5 J に含まれる 2 つの光電変換領域 2 2 (2 2 X₅, 2 2 X₆) において、一方の光電変換領域 2 2 X₅ における素子形成領域 4 3 の平面パターンと、他方の光電変換領域 2 2 X₆ における素子形成領域 4 3 の平面パターンとが、Y 方向に並ぶ画素 3 a₂ と画素 3 b₂ との間の境界を軸にして反転している。

[0238] また、この第 10 実施形態の光電変換領域 2 2 (2 2 X₅, 2 2 X₆) において、素子形成領域 4 3 には、画素トランジスタとして、増幅トランジスタ AMP、選択トランジスタ SEL 及び切替トランジスタ FDG が設けられているが、上述の第 8 実施形態の図 3 4 に示す切替トランジスタ FCG は設け

られていない。そして、この第10実施形態では、増幅トランジスタAMPの構成が上述の第8実施形態と比較して若干異なっている。

[0239] 具体的には、この第10実施形態の増幅トランジスタAMPは、1つの画素ブロック15Jに含まれる2つの光電変換領域22 ($22X_5$, $22X_6$) で共有、換言すれば1つの画素ブロック15Jに含まれる2つの画素3 ($3a_2$, $3b_2$) で共有されている。

[0240] そして、図46に示すように、この第10実施形態の増幅トランジスタAMPは、1つの画素ブロック15Jに含まれる2つの光電変換領域22 ($22X_5$, $22X_6$) において、一方の光電変換領域 $22X_5$ の上面部22a及び第1側面部22bで一方の光電変換領域 $22X_5$ の浮遊拡散領域FDと電氣的及び機械的に接続され、かつ他方の光電変換領域 $22X_6$ の上面部22a第1側面部22bで他方の光電変換領域 $22X_6$ の浮遊拡散領域FDと電氣的及び機械的に接続されたゲート電極75aを有する。即ち、この第10実施形態の増幅トランジスタAMPのゲート電極75aは、半導体層21の第1の面部S1の外側を光電変換領域22及び画素間分離領域31に亘って延伸する頭部75a₁と、この頭部75a₁から画素間分離領域31の内部に突出し、かつ平面視で画素間分離領域31を挟んで互いに隣り合う2つの光電変換領域22 ($22X_5$, $22X_6$) の各々の上面部22a及び第1側面部22bと電氣的及び機械的に接続された中継接続部75a₃と、を有する。

[0241] この第10実施形態に係る固体撮像装置1Jにおいても、上述の第8実施形態に係る固体撮像装置1Hと同様の効果が得られると共に、上述の変形例8-4と同様に低抵抗化を図ることができる。

[0242] [第11実施形態]

《電子機器への応用例》

本技術（本開示に係る技術）は、例えば、デジタルスチルカメラ、デジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機、又は、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0243] 図47は、本技術の第4実施形態に係る電子機器（例えば、カメラ）の概

略構成を示す図である。

- [0244] 図47に示すように、電子機器100は、固体撮像装置101と、光学レンズ102と、シャッタ装置103と、駆動回路104と、信号処理回路105とを備えている。この電子機器100は、固体撮像装置101として、本技術の第1実施形態に係る固体撮像装置1Aを電子機器（例えばカメラ）に用いた場合の実施形態を示す。
- [0245] 光学レンズ102は、被写体からの像光（入射光106）を固体撮像装置101の撮像面上に結像させる。これにより、固体撮像装置101内に一定期間にわたって信号電荷が蓄積される。シャッタ装置103は、固体撮像装置101への光照射期間及び遮光期間を制御する。駆動回路104は、固体撮像装置101の転送動作及びシャッタ装置103のシャッタ動作を制御する駆動信号を供給する。駆動回路104から供給される駆動信号（タイミング信号）により、固体撮像装置101の電荷転送を行なう。信号処理回路105は、固体撮像装置101から出力される信号（画素信号（画像信号））に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。
- [0246] このような構成により、固体撮像装置101において、転送トランジスタTRの相互コンダクタンス（ g_m ）の向上が図られているため、第11実施形態の電子機器100の画質性能の向上を図ることができる。
- [0247] なお、上述の実施形態の固体撮像装置を適用できる電子機器100としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。
- [0248] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF（Time of Flight）センサと称され、距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射されて返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛

行時間に基づいて物体までの距離を算出するセンサである。この測距センサにおいても、上述した画素トランジスタを採用することができる。

[0249] なお、本技術は、以下のような構成としてもよい。

(1)

厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、

前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に設けられた光電変換領域と、

を備え、

前記光電変換領域は、

前記半導体層の前記第1の面部側に位置する上面部及び前記分離領域側に位置する第1側面部と、

前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、

前記上面部側に設けられた複数の画素トランジスタと、

を備え、

前記複数の画素トランジスタの少なくとも1つの画素トランジスタは、ゲート絶縁膜を介して前記光電変換領域の前記第1側面部と互いに隣り合っ
て前記分離領域に設けられたゲート電極を有する、光検出装置。

(2)

前記複数の画素トランジスタの少なくとも1つの画素トランジスタは、平面視で前記ゲート電極のゲート長方向に互いに離間して前記光電変換領域の前記上面部側に設けられた一対の主電極領域を更に有する、上記(1)に記載の光検出装置。

(3)

前記ゲート電極は、前記分離領域に選択的に設けられている、上記(1)又は(2)に記載の光検出装置。

(4)

前記ゲート電極は、前記ゲート絶縁膜を介在して前記光電変換領域の前記上面部及び側面部に亘って設けられている、上記（１）から（３）の何れかに記載の光検出装置。

（５）

前記ゲート電極は、

前記半導体層の前記第１の面部の外側を平面視で前記光電変換領域及び前記分離領域に亘って延伸する頭部と、

前記頭部から前記分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第１側面部と互いに隣り合う脚部と、

を含む、上記（４）に記載の光検出装置。

（６）

前記光電変換領域は、前記上面部側に設けられた素子間分離領域と、平面視で前記第１側面部とは反対側に位置し、かつ前記素子間分離領域と隣り合う第２側面部と、を更に有し、

前記ゲート電極は、前記ゲート絶縁膜を介在して前記上面部、前記第１側面部及び前記第２側面部の各々に亘って設けられている、上記（１）に記載の光検出装置。

（７）

前記ゲート電極は、

前記半導体層の前記第１の面部の外側を平面視で前記分離領域と前記素子間分離領域とに亘って延伸する頭部と、

前記頭部から前記分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第１側面部と互いに隣り合う第１脚部と、

前記頭部から前記素子間分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第２側面部と互いに隣り合う第２脚部と、

を含む、上記（６）に記載の光検出装置。

（８）

前記複数の画素トランジスタの少なくとも１つの前記画素トランジスタは

、前記光電変換領域の前記第 1 側面部と前記第 2 側面部との間にチャンネル形成部を有する、上記（ 6 ）に記載の光検出装置。

（ 9 ）

前記分離領域は、前記半導体層の前記第 1 の面部側に設けられた第 1 縦部分と、前記第 1 縦部分から前記半導体層の前記第 2 の面部側に向かって延伸し、かつ前記第 1 縦部分の幅よりも幅が狭い第 2 縦部分とを含み、

前記ゲート電極は、全体が前記第 1 縦部分に設けられている、上記（ 1 ）に記載の光検出装置。

（ 1 0 ）

前記分離領域は、前記半導体層の前記第 1 の面部側に設けられた第 1 縦部分と、前記第 1 縦部分から前記半導体層の前記第 2 の面部側に向かって延伸し、かつ前記第 1 縦部分の幅よりも幅が狭い第 2 縦部分とを含み、

前記ゲート電極は、一部が前記第 1 縦部分に設けられている、上記（ 1 ）に記載の光検出装置。

（ 1 1 ）

前記ゲート電極は、平面視で互いに隣り合う 2 つの前記光電変換領域の各々の前記第 1 側面部と前記ゲート絶縁膜を介在して互いに隣り合っている、上記（ 1 ）に記載の光検出装置。

（ 1 2 ）

前記一对の主電極領域の一方は、前記電荷保持部を兼用している、上記（ 2 ）に記載の光検出装置。

（ 1 3 ）

平面視で前記分離領域を介して互いに隣り合う 2 つの前記光電変換領域において、前記ゲート電極は、一方の前記光電変換領域の前記第 1 側面部と前記ゲート絶縁膜を介在して互いに隣り合い、かつ他方の前記光電変換領域の前記電荷保持部と互いに隣り合って接続されている、上記（ 1 ）に記載の光検出装置。

（ 1 4 ）

平面視で互いに隣り合う2つの前記光電変換領域の間の前記分離領域に設けられた中継導体部を更に備え、

前記中継導体部は、平面視で互いに隣り合う2つの前記光電変換領域の各々の前記第1側面部で2つの前記光電変換領域の各々に設けられた半導体領域と接続されている、上記(1)に記載の光検出装置。

(15)

半導体層と、

前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に設けられた光電変換領域と、

を備え、

前記光電変換領域は、

上面部及び側面部と、

前記上面部側に設けられ、かつ光電変換部から転送トランジスタを介して転送された信号電荷を保持する電荷保持部と、

前記上面部側に設けられた画素トランジスタと、

を備え、

平面視で前記分離領域を介して互いに隣り合う2つの前記光電変換領域において、一方の光電変換領域に設けられた前記画素トランジスタは、平面視で一方の前記光電変換領域の前記上面部及び前記分離領域に亘って設けられ、かつ他方の前記光電変換領域の前記側面部で前記他方の光電変換領域の前記電荷保持部と接続されたゲート電極を有する、光検出装置。

(16)

前記ゲート電極は、一方の前記光電変換領域及び前記分離領域に亘って設けられた頭部と、前記頭部から前記分離領域側に突出し、かつ他方の前記光電変換領域の前記側面部で前記電荷保持部と接続された中継接続部と、を含む、上記(15)に記載の光検出装置。

(17)

前記ゲート電極は、一方の前記光電変換領域側よりも他方の前記光電変換

領域側の不純物濃度の方が低くなっている、上記（１５）又は（１６）に記載の光検出装置。

（１８）

前記ゲート電極は、一方の前記光電変換領域側に位置する第１部分と、他方の前記光電変換領域側に位置し、かつ前記第１部分よりも不純物濃度が低い第２部分と、を有し、

前記第１部分と前記第２部分との境界部が平面視で前記分離領域と重畳している、上記（１５）から（１７）の何れかに記載の光検出装置。

（１９）

前記ゲート電極は、前記頭部から一方の前記光電変換領域側に突出する脚部を更に含む、上記（１６）から（１８）の何れかに記載の光検出装置。

（２０）

前記ゲート電極は、他方の前記光電変換領域の前記上面部及び前記側面部に亘って前記電荷保持部と接続されている、上記（１５）から（１９）の何れかに記載の光検出装置。

（２１）

前記分離領域は、電位が印加される導体を含む、上記（１５）から（２０）の何れかに記載の光検出装置。

（２２）

光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと

、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備え、

前記光検出装置は、

厚さ方向において互いに反対側に位置する第１の面部及び第２の面部を有する半導体層と、

前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に

設けられ、かつ前記半導体層の前記第 1 の面部側に位置する上面部及び前記分離領域側に位置する第 1 側面部を有する光電変換領域と、

前記光電変換領域の前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、

前記光電変換領域の前記上面部に設けられた複数の画素トランジスタと、
を備え、

前記複数の画素トランジスタの少なくとも 1 つの画素トランジスタは、前記光電変換領域の前記第 1 側面部とゲート絶縁膜を介して互いに隣り合って前記分離領域に設けられたゲート電極を有する、電子機器。

[0250] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0251] 1 A, 1 B, 1 C, 1 D, 1 E, 1 F, 1 G, 1 H, 1 I, 1 J…固体撮像装置

2…半導体チップ

2 A…画素アレイ部

2 B…周辺部

3, 3 a, 3 a₁, 3 a₂, 3 b, 3 b₁, 3 b₂…画素

4…垂直駆動回路

5…カラム信号処理回路

6…水平駆動回路

7…出力回路

8…制御回路

1 O…画素駆動線

1 1…垂直信号線

- 1 2 …水平信号線
- 1 3 …ロジック回路
- 1 4 …ボンディングパッド
- 1 5, 1 5 I, 1 5 J …画素ブロック, 1 5 H
- 1 6, 1 6 G, 1 6 H …画素回路（読出し回路）
- 2 1 …半導体層
- 2 2 …光電変換領域
- 2 2 a …上面部
- 2 2 b …第 1 側面部
- 2 2 c …第 2 側面部
- 2 3 …p 型の半導体領域
- 2 4 …n 型の半導体領域
- 2 5 …光電変換部
- 3 1, 3 1 B …画素間分離領域（分離領域）
- 3 1 b₁ …第 1 縦部分
- 3 1 b₂ …第 2 縦部分
- 3 1 b z …段差部
- 3 1 x …第 1 平面部分
- 3 1 y …第 2 平面部分
- 3 1 z 1 …第 1 縦部分
- 3 1 z 2 …第 2 縦部分
- 3 3 …掘り込み部
- 3 4 …分離絶縁膜
- 3 5 …導体
- 4 1 …素子間分離領域（フィールド分離領域）
- 4 2 a …浅溝部
- 4 2 b …分離絶縁膜
- 4 3 …素子形成領域（活性領域）

- 4 5 a, 4 5 b…掘り込み部
- 4 6…ゲート絶縁膜
- 4 7…ゲート電極膜
- 4 7 a, 4 7 r, 4 7 s, 4 7 t…ゲート電極
- 4 7 t₁…頭部
- 4 7 t₂…脚部
- 5 1…掘り込み部
- 5 2 a s, 5 2 a s, 5 2 r, 5 2 s…主電極領域
- 5 3 r, 5 3 s…チャネル形成部
- 5 5…多層配線層
- 5 6…層間絶縁膜
- 5 7…第1層目の配線層
- 5 7 a, 5 7 f, 5 7 r, 5 7 s, 5 7 t…コンタクト電極
- 5 8 a, 5 8 r, 5 8 s, 5 8 t…配線
- 6 1…平坦化膜
- 6 3…光学フィルタ
- 6 4…マイクロレンズ
- 7 1 r…ゲート電極, 7 1 r₁…頭部, 7 1 r₂ 脚部
- 7 1 s…ゲート電極, 7 1 s₁…頭部, 7 1 s₂…脚部
- 7 2 r…ゲート電極, 7 2 r₁…頭部, 7 2 r₂…第1脚部, 7 2 r₃…第2脚部
- 7 2 s…ゲート電極, 7 2 s₁…頭部, 7 2 s₂…第1脚部, 7 2 s₃…第2脚部
- 7 3 a…ゲート電極, 7 3 a₁…頭部, 7 3 a₂…脚部
- 7 4 a, 7 4 b…中継導体部
- 7 5 a…ゲート電極, 7 5 a₁…頭部, 7 5 a₃…中継接続部
- 1 0 0…電子機器
- 1 0 1…固体撮像装置

1 0 2 …光学レンズ（光学系）

1 0 3 …シャッタ装置

1 0 4 …駆動回路

1 0 5 …信号処理回路

A M P …増幅トランジスタ

F D … n 型の浮遊拡散領域

F C G, F D G …切替トランジスタ

Q …画素トランジスタ

R S T …リセットトランジスタ

S E L …選択トランジスタ

S 1 … 1 の面部

S 2 …第 2 の面部

T R …転送トランジスタ

W C …給電用コンタクト領域

請求の範囲

- [請求項1] 厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、
前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に設けられた光電変換領域と、
を備え、
前記光電変換領域は、
前記半導体層の前記第1の面部側に位置する上面部及び前記分離領域側に位置する第1側面部と、
前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、
前記上面部側に設けられた複数の画素トランジスタと、
を備え、
前記複数の画素トランジスタの少なくとも1つの画素トランジスタは、ゲート絶縁膜を介在して前記光電変換領域の前記第1側面部と互いに隣り合って前記分離領域に設けられたゲート電極を有する、光検出装置。
- [請求項2] 前記複数の画素トランジスタの少なくとも1つの画素トランジスタは、平面視で前記ゲート電極のゲート長方向に互いに離間して前記光電変換領域の前記上面部側に設けられた一対の主電極領域を更に有する、請求項1に記載の光検出装置。
- [請求項3] 前記ゲート電極は、前記分離領域に選択的に設けられている、請求項1に記載の光検出装置。
- [請求項4] 前記ゲート電極は、前記ゲート絶縁膜を介在して前記光電変換領域の前記上面部及び側面部に亘って設けられている、請求項1に記載の光検出装置。
- [請求項5] 前記ゲート電極は、
前記半導体層の前記第1の面部の外側を平面視で前記光電変換領域

及び前記分離領域に亘って延伸する頭部と、

前記頭部から前記分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第1側面部と互いに隣り合う脚部と、
を含む、請求項4に記載の光検出装置。

[請求項6] 前記光電変換領域は、前記上面部側に設けられた素子間分離領域と、平面視で前記第1側面部とは反対側に位置し、かつ前記素子間分離領域と隣り合う第2側面部と、を更に有し、

前記ゲート電極は、前記ゲート絶縁膜を介在して前記上面部、前記第1側面部及び前記第2側面部の各々に亘って設けられている、請求項1に記載の光検出装置。

[請求項7] 前記ゲート電極は、

前記半導体層の前記第1の面部の外側を平面視で前記分離領域と前記素子間分離領域とに亘って延伸する頭部と、

前記頭部から前記分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第1側面部と互いに隣り合う第1脚部と、

前記頭部から前記素子間分離領域側に突出し、かつ前記ゲート絶縁膜を介在して前記光電変換領域の前記第2側面部と互いに隣り合う第2脚部と、

を含む、請求項6に記載の光検出装置。

[請求項8] 前記複数の画素トランジスタの少なくとも1つの前記画素トランジスタは、前記光電変換領域の前記第1側面部と前記第2側面部との間にチャンネル形成部を有する、請求項6に記載の光検出装置。

[請求項9] 前記分離領域は、前記半導体層の前記第1の面部側に設けられた第1縦部分と、前記第1縦部分から前記半導体層の前記第2の面部側に向かって延伸し、かつ前記第1縦部分の幅よりも幅が狭い第2縦部分とを含み、

前記ゲート電極は、全体が前記第1縦部分に設けられている、請求

項 1 に記載の光検出装置。

[請求項10] 前記分離領域は、前記半導体層の前記第 1 の面部側に設けられた第 1 縦部分と、前記第 1 縦部分から前記半導体層の前記第 2 の面部側に向かって延伸し、かつ前記第 1 縦部分の幅よりも幅が狭い第 2 縦部分とを含み、

前記ゲート電極は、一部が前記第 1 縦部分に設けられている、請求項 1 に記載の光検出装置。

[請求項11] 前記ゲート電極は、平面視で互いに隣り合う 2 つの前記光電変換領域の各々の前記第 1 側面部と前記ゲート絶縁膜を介在して互いに隣り合っている、請求項 1 に記載の光検出装置。

[請求項12] 前記一对の主電極領域の一方は、前記電荷保持部を兼用している、請求項 2 に記載の光検出装置。

[請求項13] 平面視で前記分離領域を介して互いに隣り合う 2 つの前記光電変換領域において、前記ゲート電極は、一方の前記光電変換領域の前記第 1 側面部と前記ゲート絶縁膜を介在して互いに隣り合い、かつ他方の前記光電変換領域の前記電荷保持部と互いに隣り合って接続されている、請求項 1 に記載の光検出装置。

[請求項14] 平面視で互いに隣り合う 2 つの前記光電変換領域の間の前記分離領域に設けられた中継導体部を更に備え、

前記中継導体部は、平面視で互いに隣り合う 2 つの前記光電変換領域の各々の前記第 1 側面部で 2 つの前記光電変換領域の各々に設けられた半導体領域と接続されている、請求項 1 に記載の光検出装置。

[請求項15] 半導体層と、

前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に設けられた光電変換領域と、

を備え、

前記光電変換領域は、

上面部及び側面部と、

前記上面部側に設けられ、かつ光電変換部から転送トランジスタを介して転送された信号電荷を保持する電荷保持部と、

前記上面部側に設けられた画素トランジスタと、
を備え、

平面視で前記分離領域を介して互いに隣り合う2つの前記光電変換領域において、一方の光電変換領域に設けられた前記画素トランジスタは、平面視で一方の前記光電変換領域の前記上面部及び前記分離領域に亘って設けられ、かつ他方の前記光電変換領域の前記側面部で前記他方の光電変換領域の前記電荷保持部と接続されたゲート電極を有する、光検出装置。

[請求項16] 前記ゲート電極は、一方の前記光電変換領域及び前記分離領域に亘って設けられた頭部と、前記頭部から前記分離領域側に突出し、かつ他方の前記光電変換領域の前記側面部で前記電荷保持部と接続された中継接続部と、を含む、請求項15に記載の光検出装置。

[請求項17] 前記ゲート電極は、一方の前記光電変換領域側よりも他方の前記光電変換領域側の不純物濃度の方が低くなっている、請求項15に記載の光検出装置。

[請求項18] 前記ゲート電極は、一方の前記光電変換領域側に位置する第1部分と、他方の前記光電変換領域側に位置し、かつ前記第1部分よりも不純物濃度が低い第2部分と、を有し、

前記第1部分と前記第2部分との境界部が平面視で前記分離領域と重畳している、請求項15に記載の光検出装置。

[請求項19] 前記ゲート電極は、前記頭部から一方の前記光電変換領域側に突出する脚部を更に含む、請求項16に記載の光検出装置。

[請求項20] 前記ゲート電極は、他方の前記光電変換領域の前記上面部及び前記側面部に亘って前記電荷保持部と接続されている、請求項15に記載の光検出装置。

[請求項21] 前記分離領域は、電位が印加される導体を含む、請求項15に記載

の光検出装置。

[請求項22]

光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記光検出装置は、

厚さ方向において互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、

前記半導体層の厚さ方向に延伸する分離領域で区画されて前記半導体層に設けられ、かつ前記半導体層の前記第1の面部側に位置する上面部及び前記分離領域側に位置する第1側面部を有する光電変換領域と、

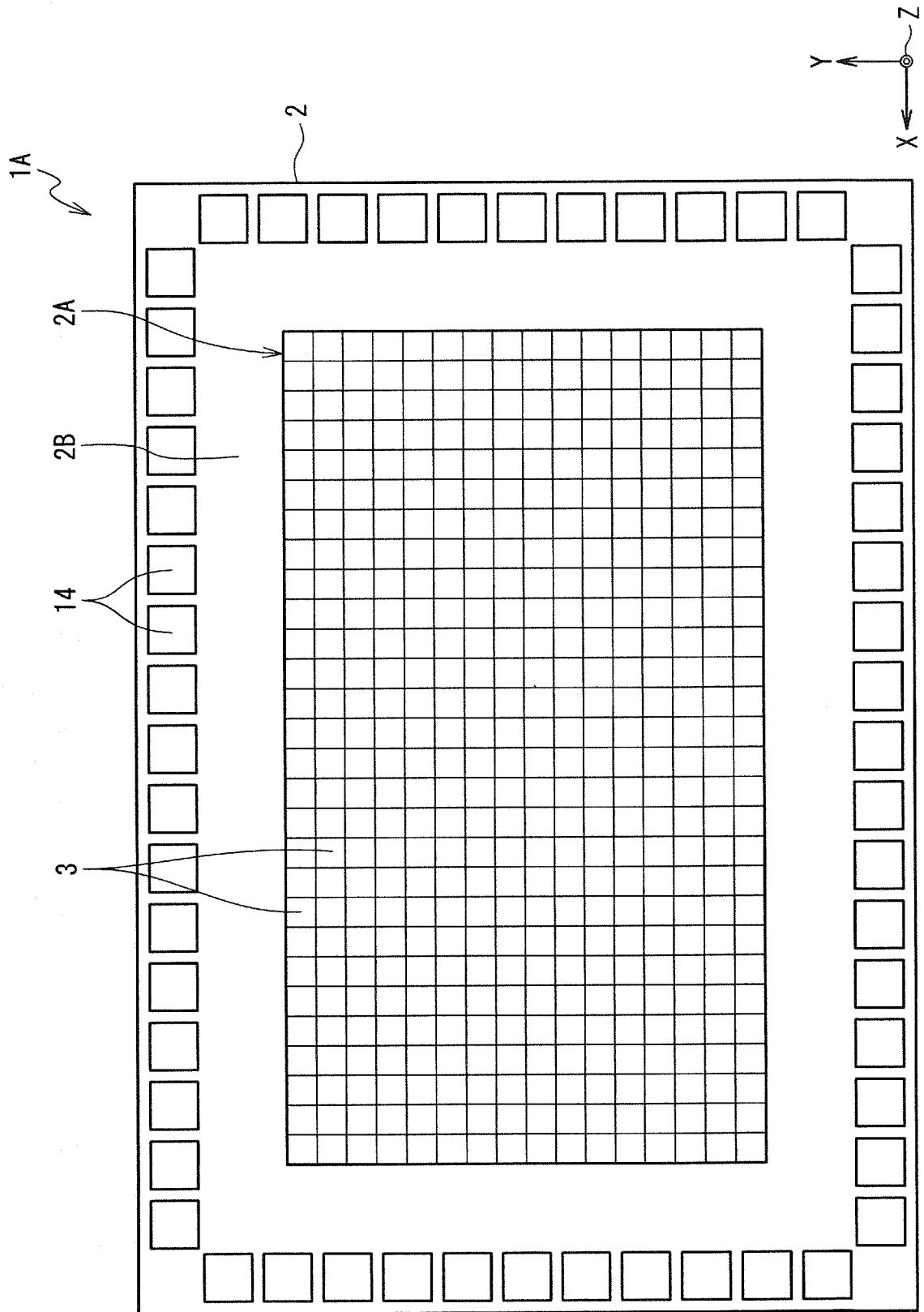
前記光電変換領域の前記上面部側に設けられ、かつ光電変換部で光電変換された信号電荷を電荷保持部に転送する転送トランジスタと、

前記光電変換領域の前記上面部に設けられた複数の画素トランジスタと、

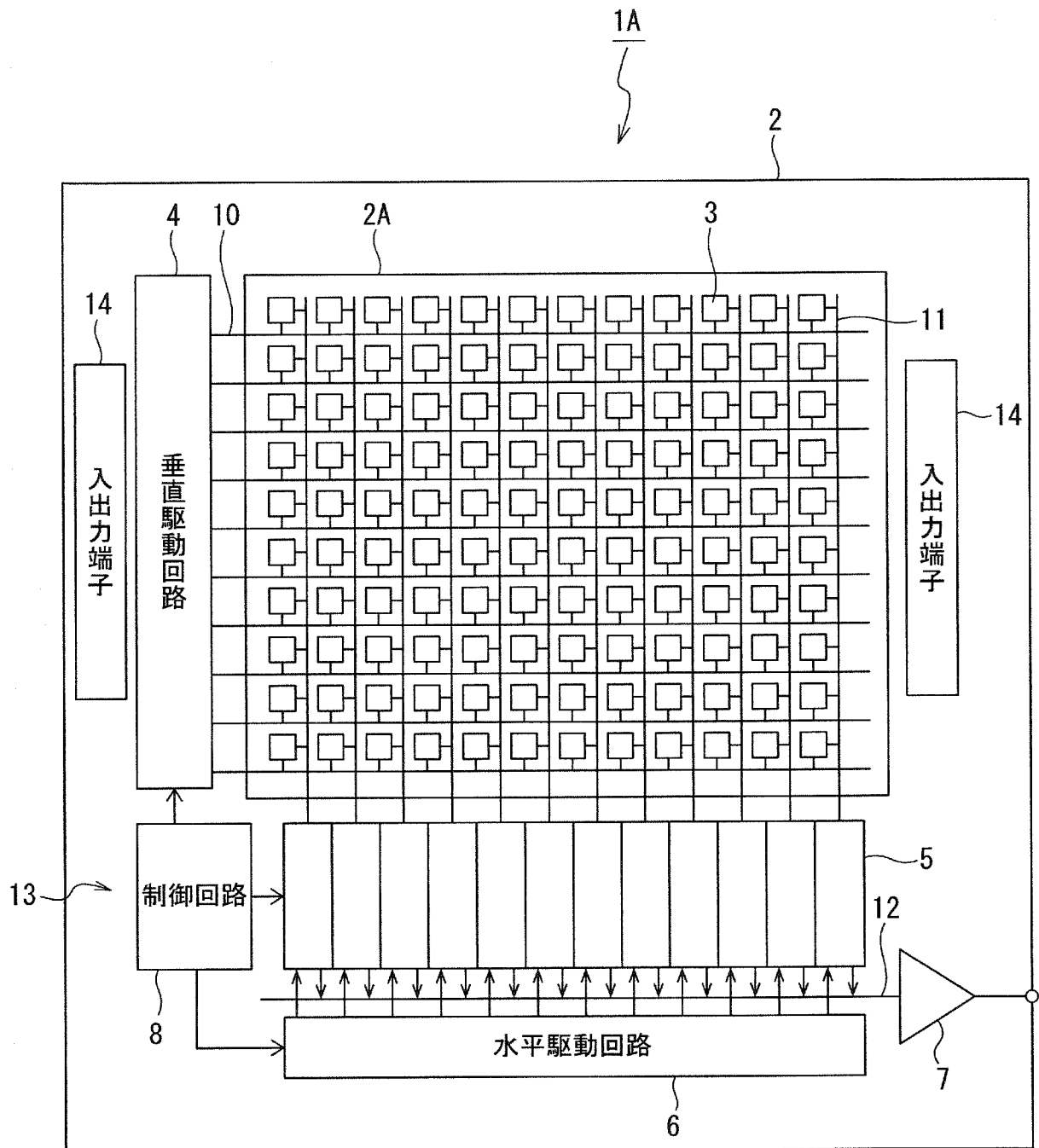
を備え、

前記複数の画素トランジスタの少なくとも1つの画素トランジスタは、前記光電変換領域の前記第1側面部とゲート絶縁膜を介して互いに隣り合って前記分離領域に設けられたゲート電極を有する、電子機器。

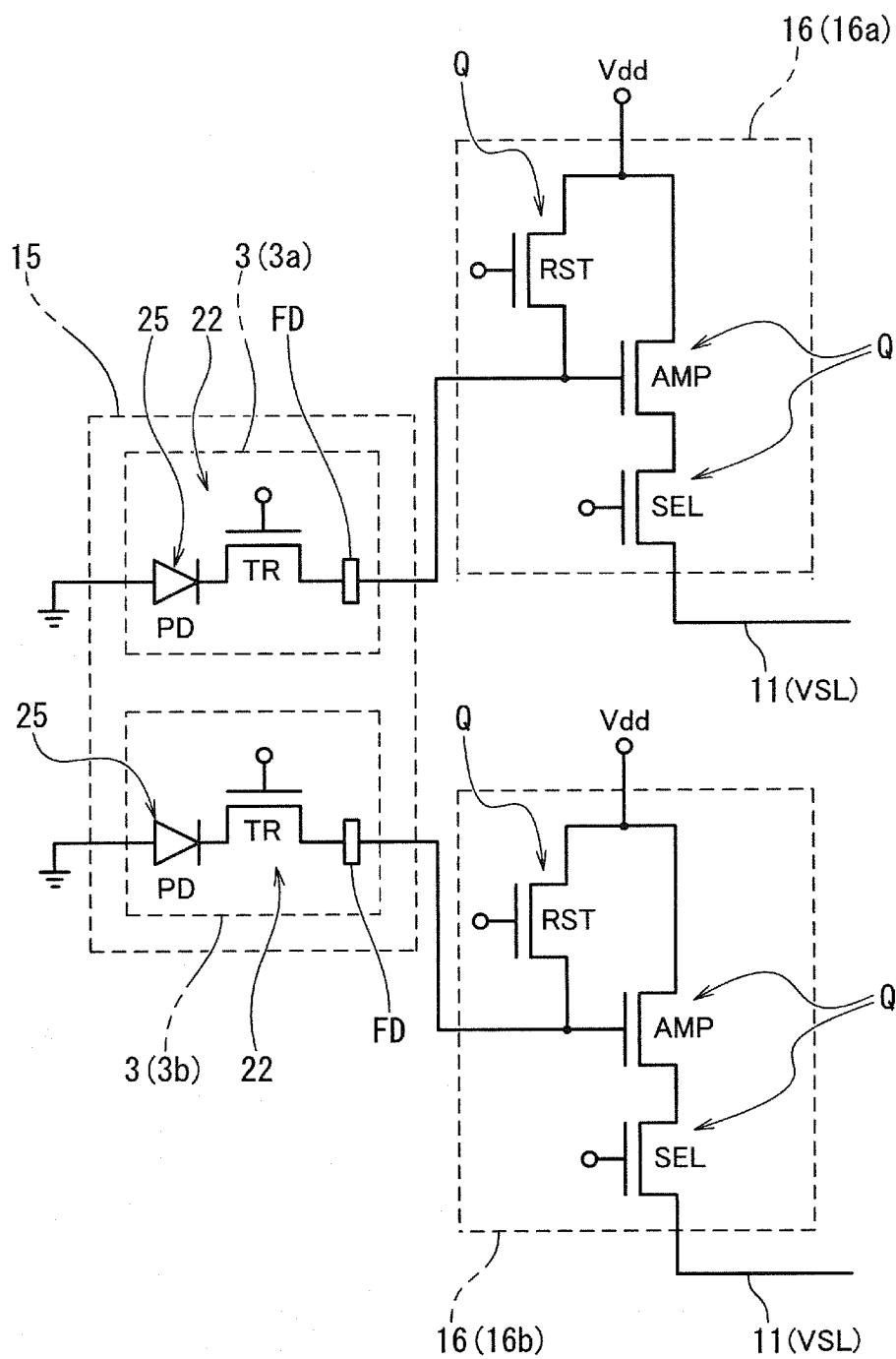
[図1]



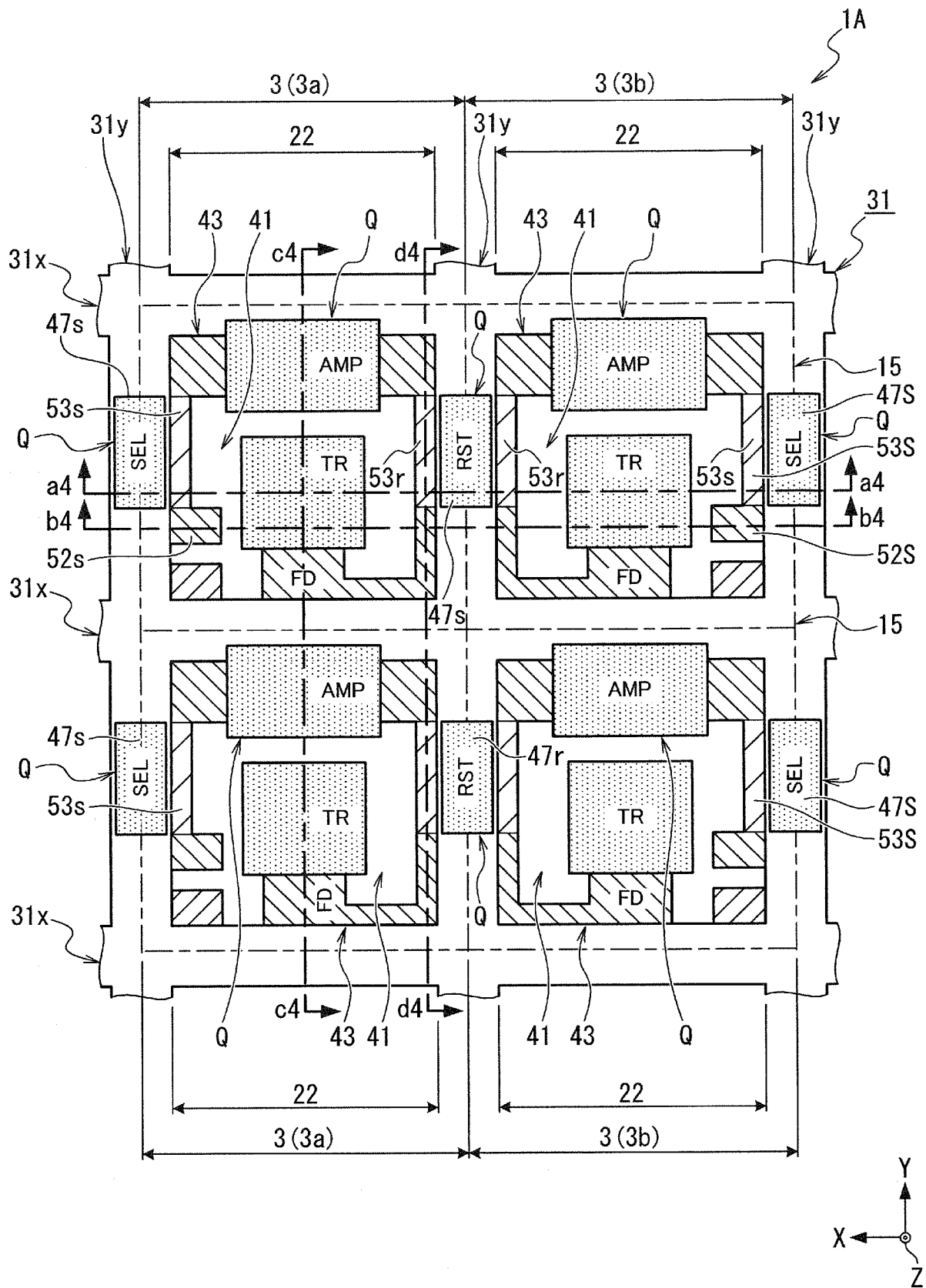
[図2]



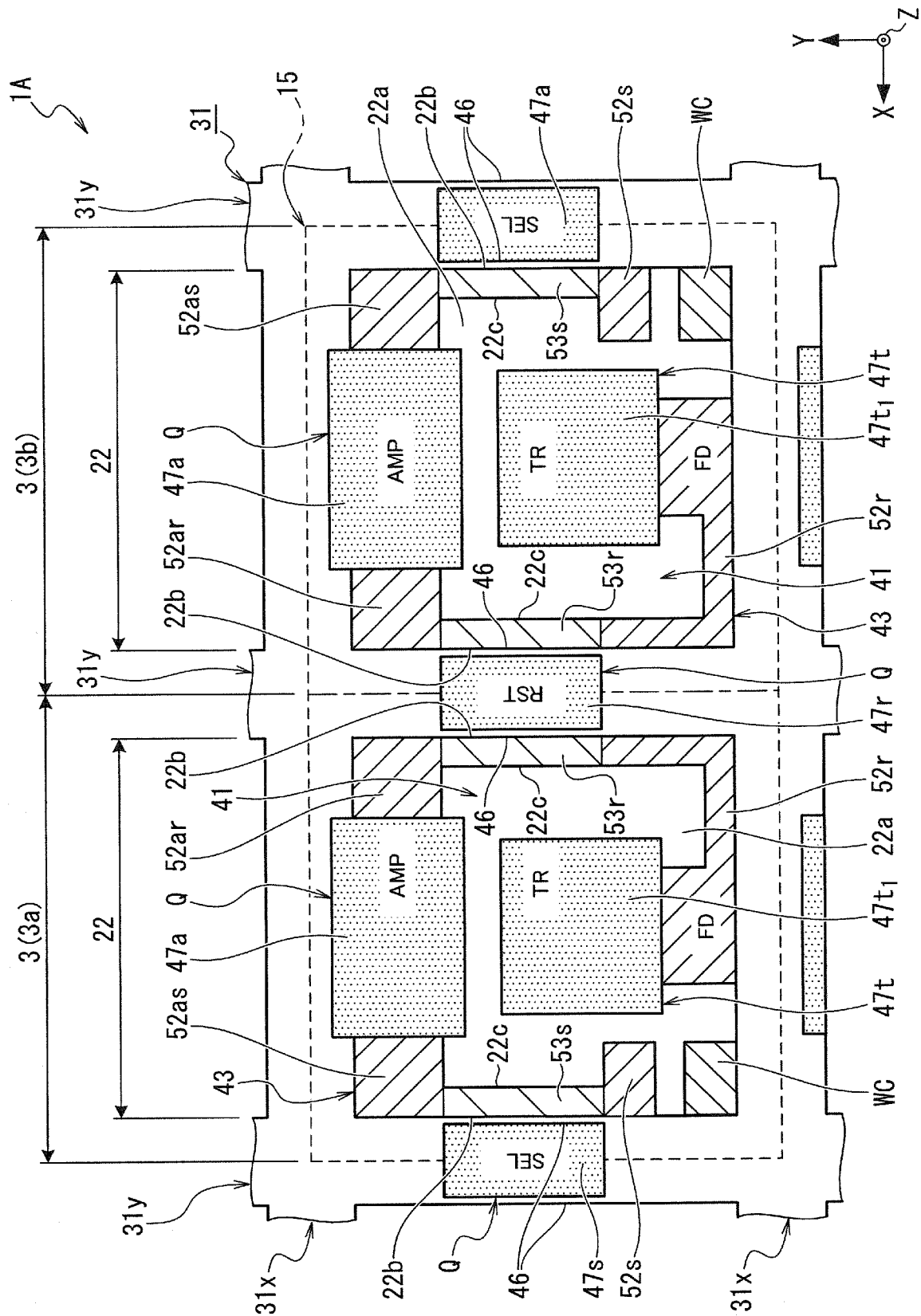
[図3]



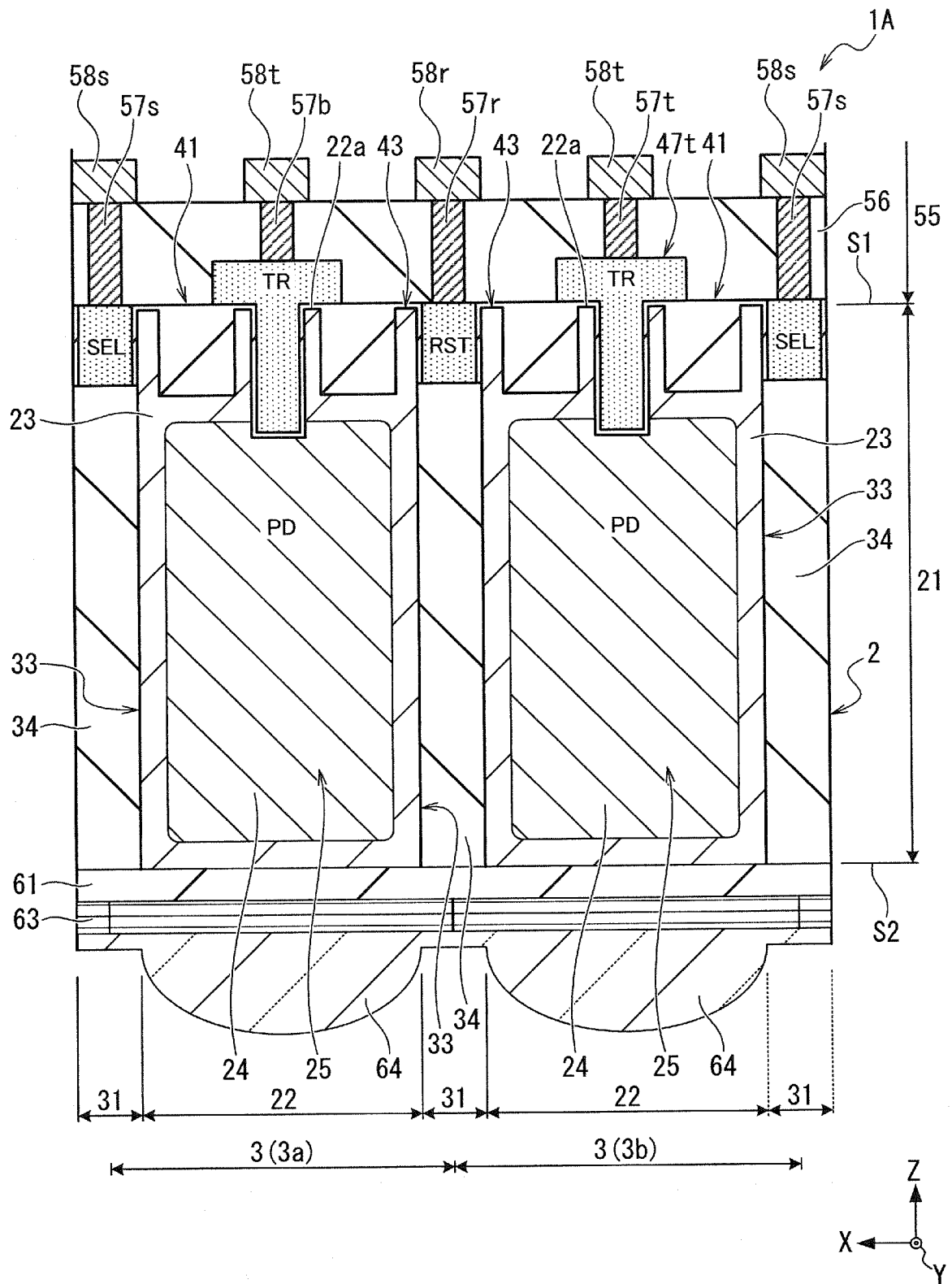
[図4A]



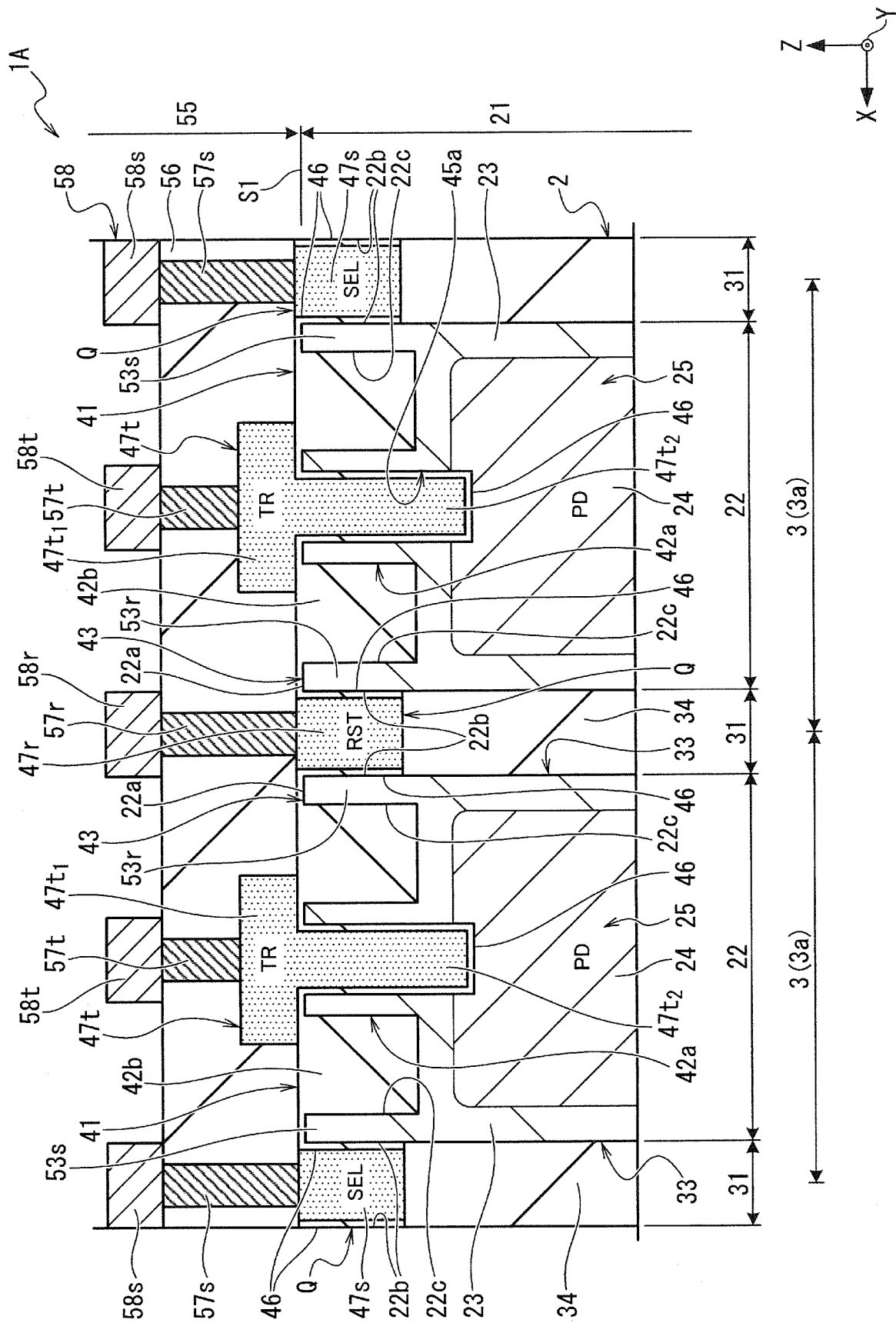
[図4B]



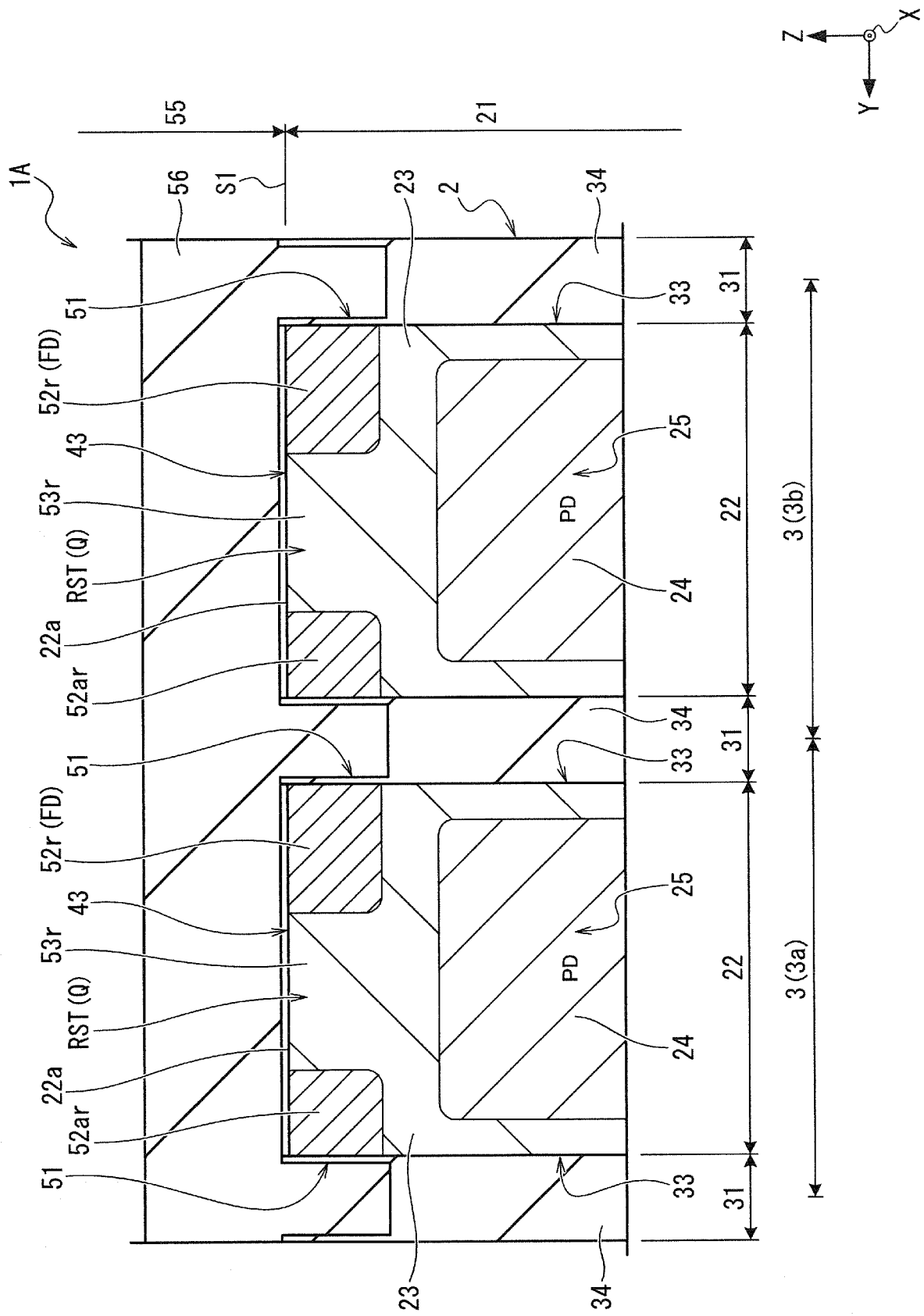
[図5A]



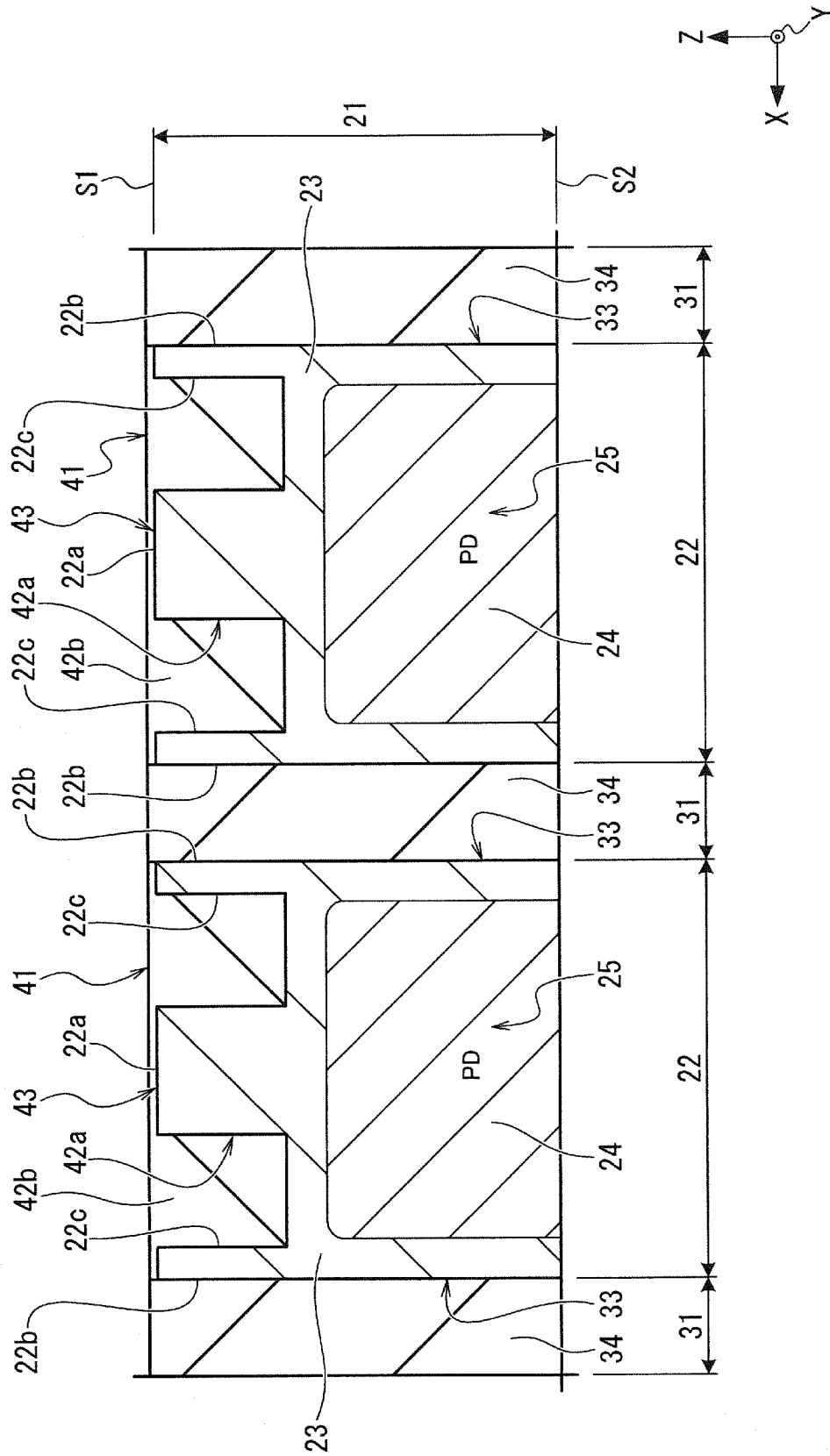
[図5B]



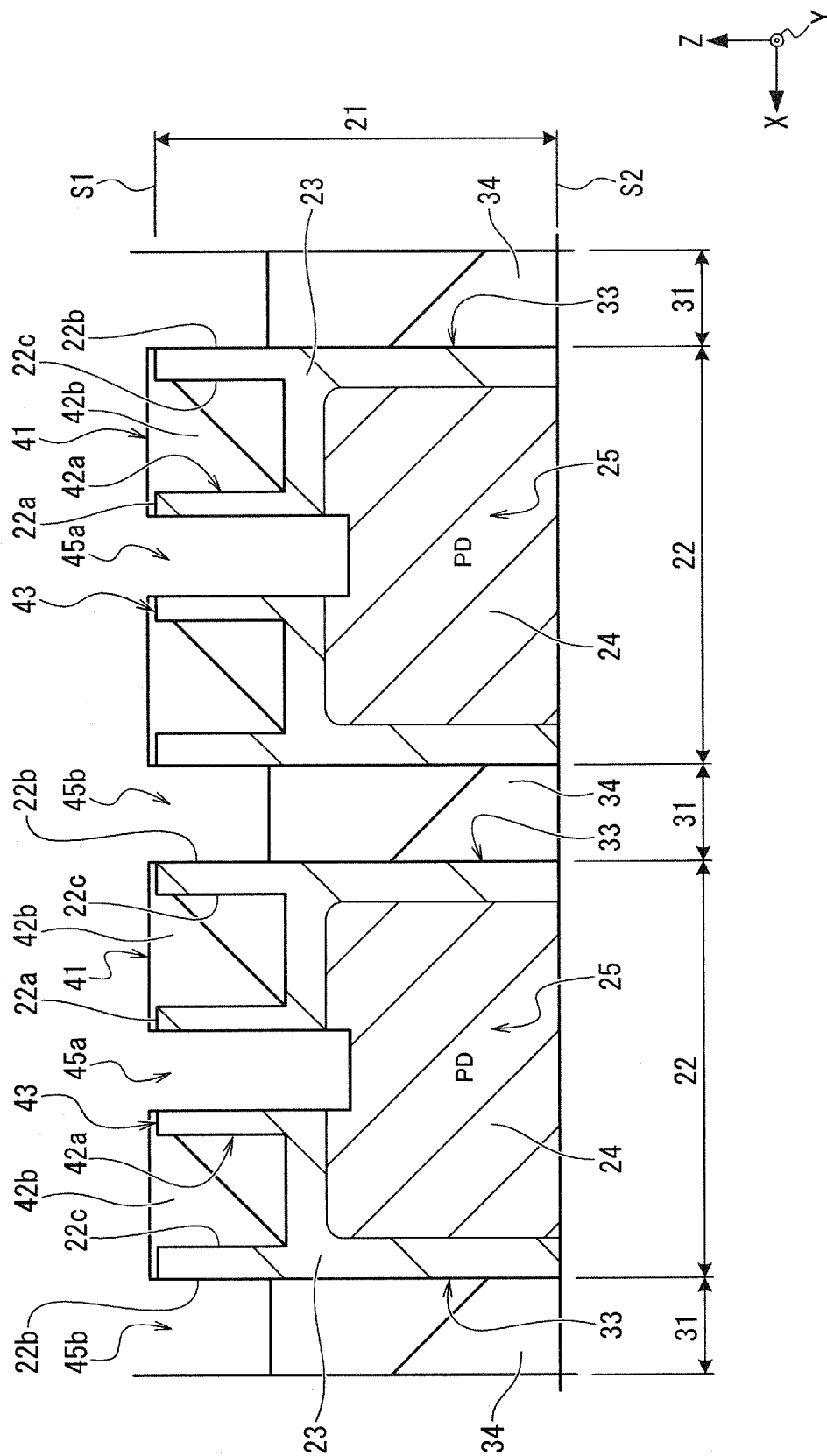
[図8]



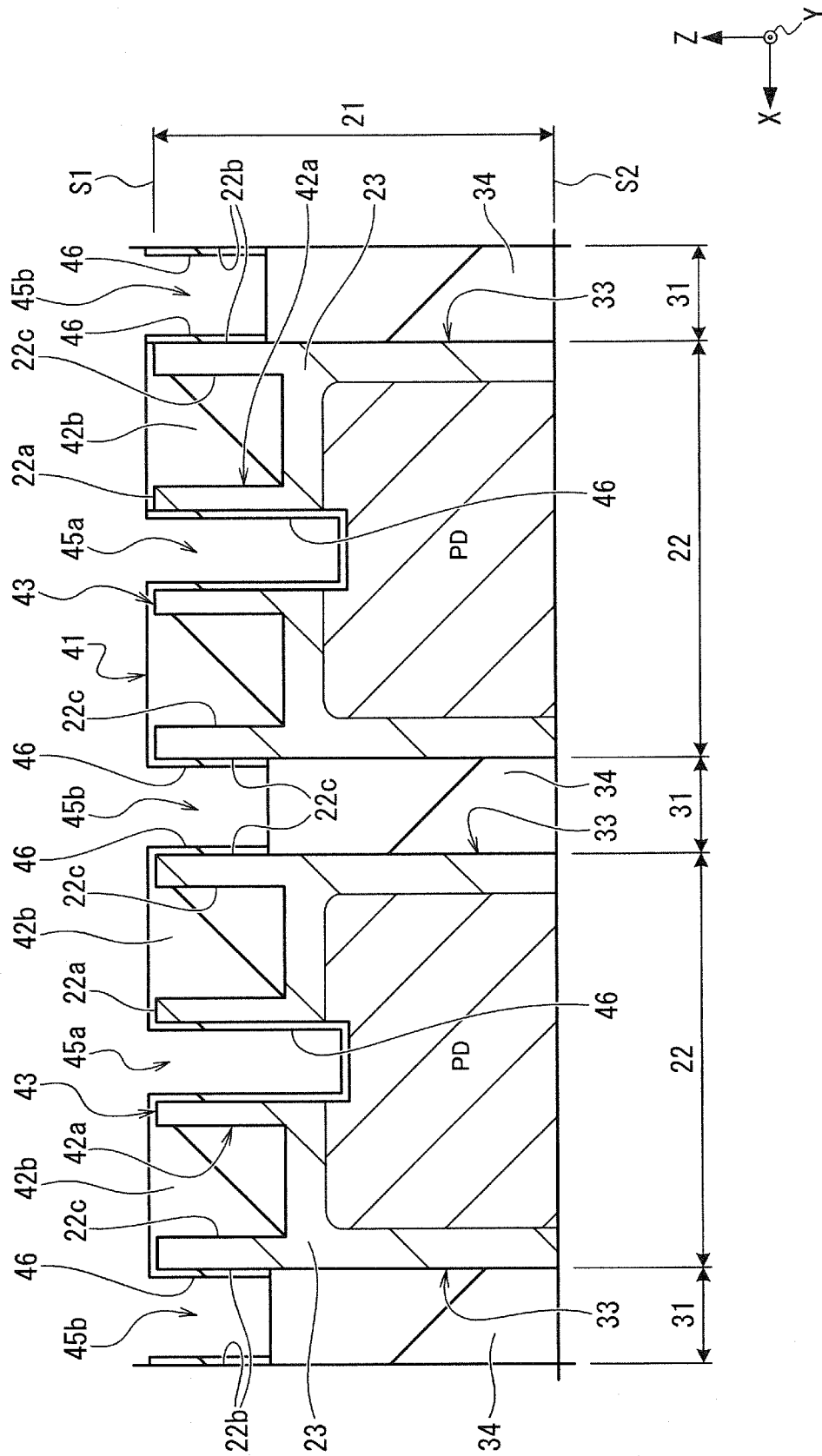
[図9]



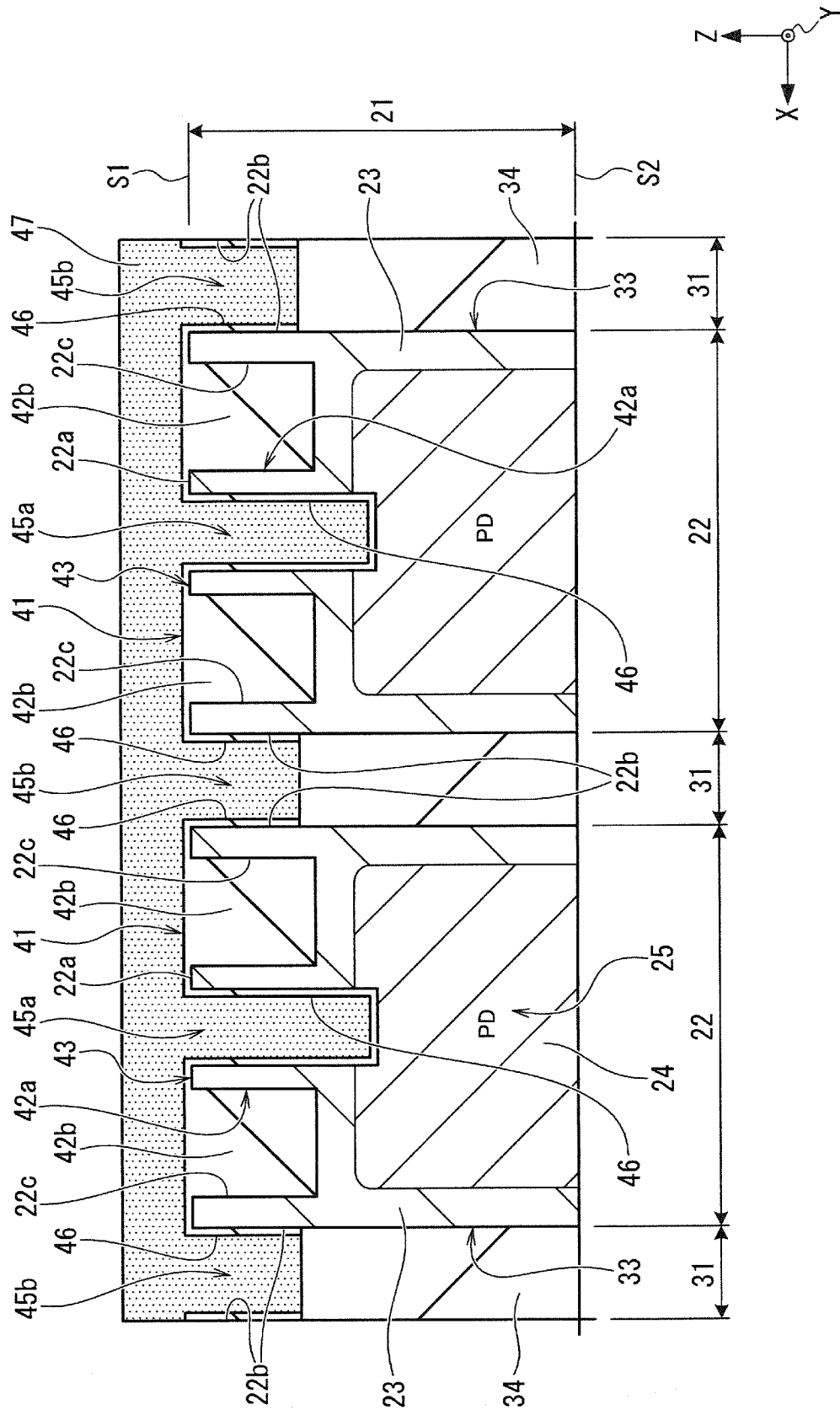
[図10]



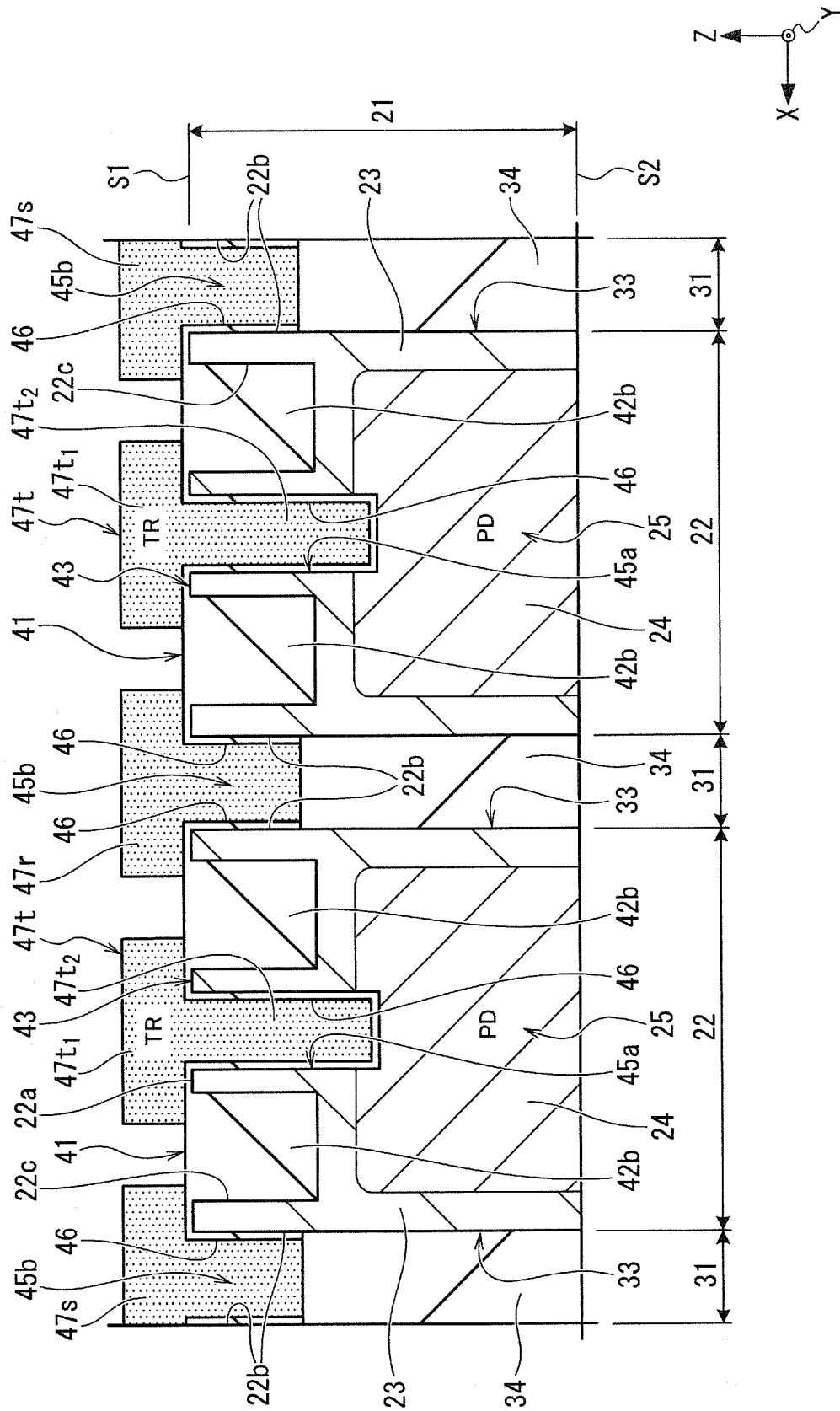
[図11]



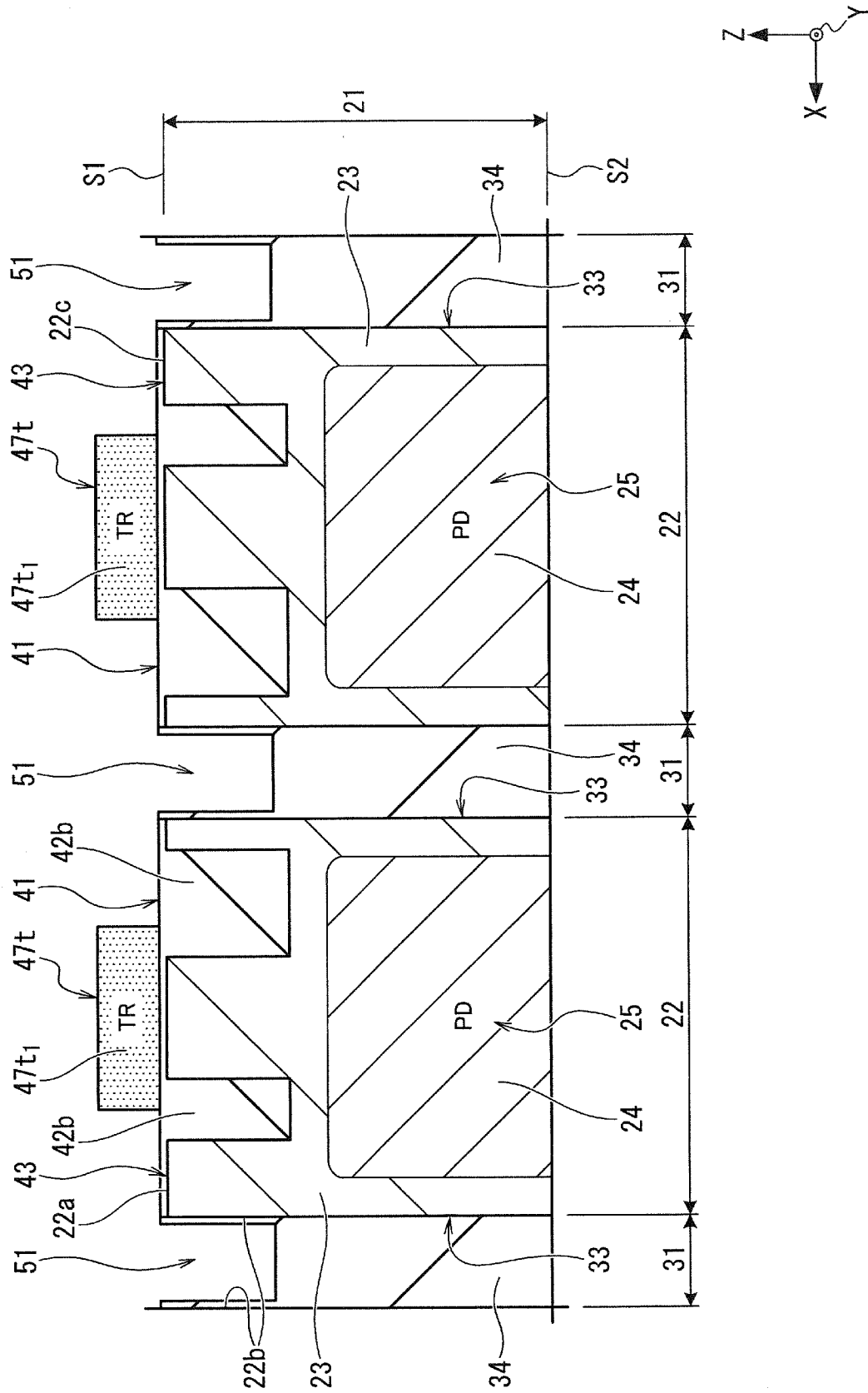
[図12]



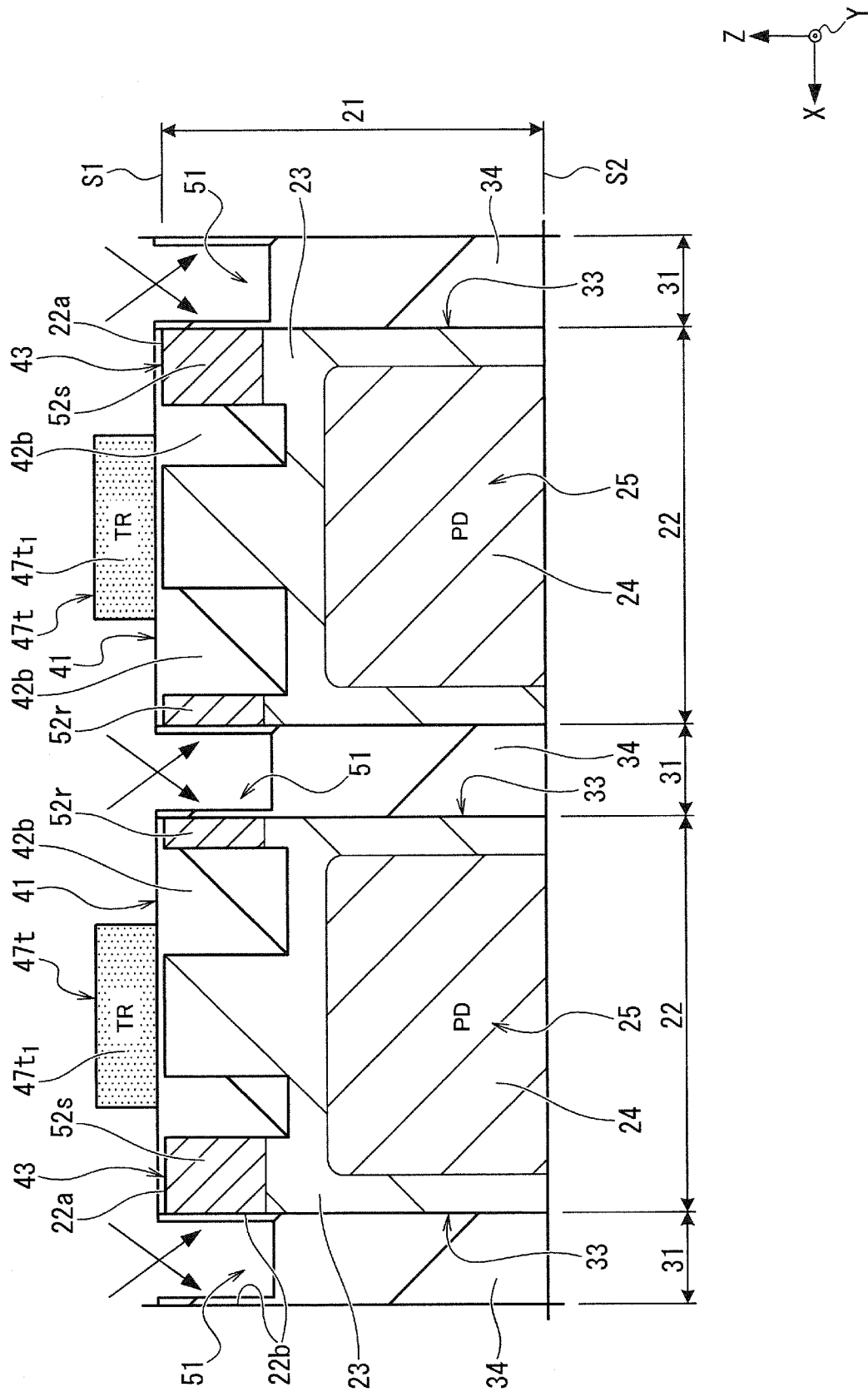
[図13]



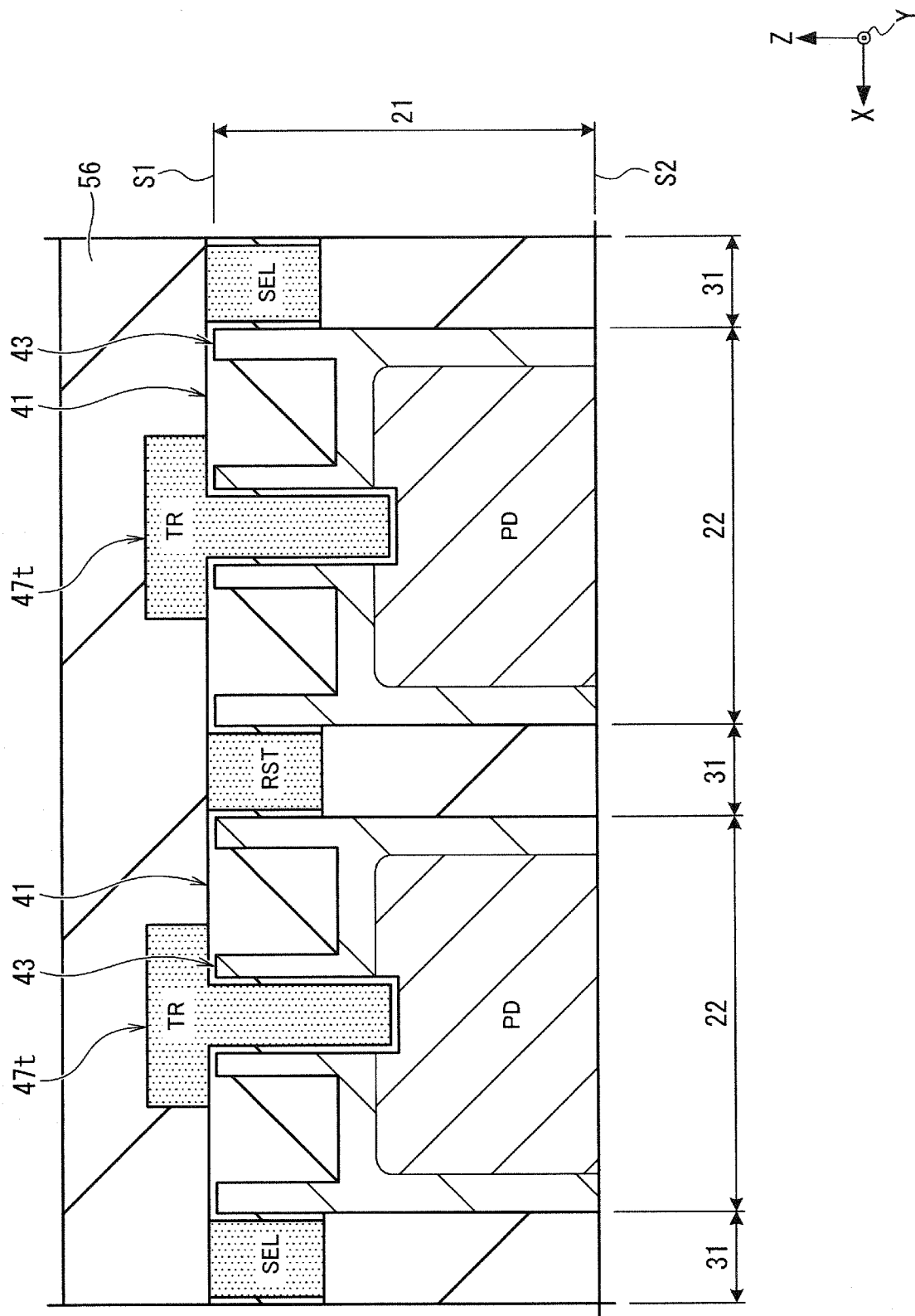
[図14]

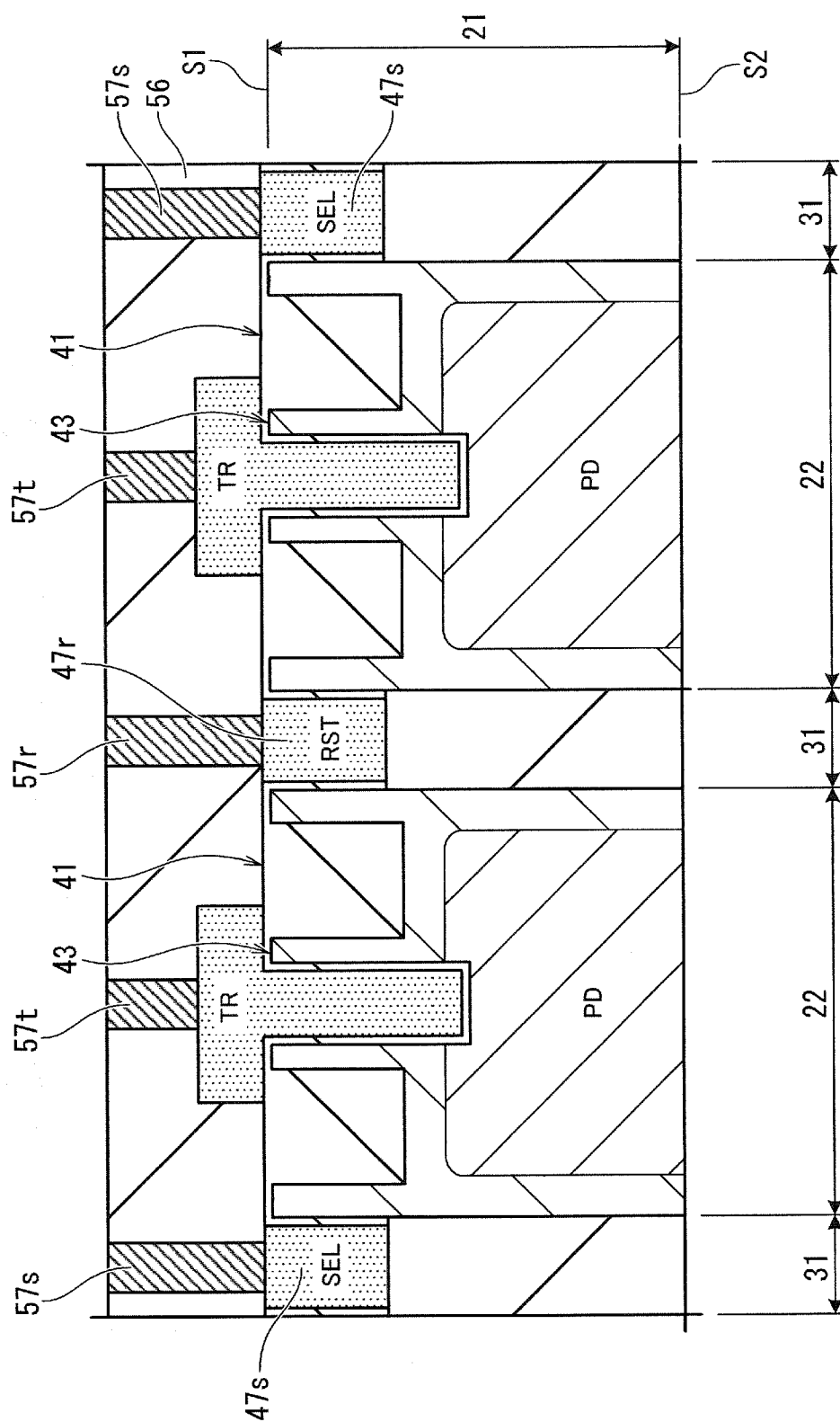


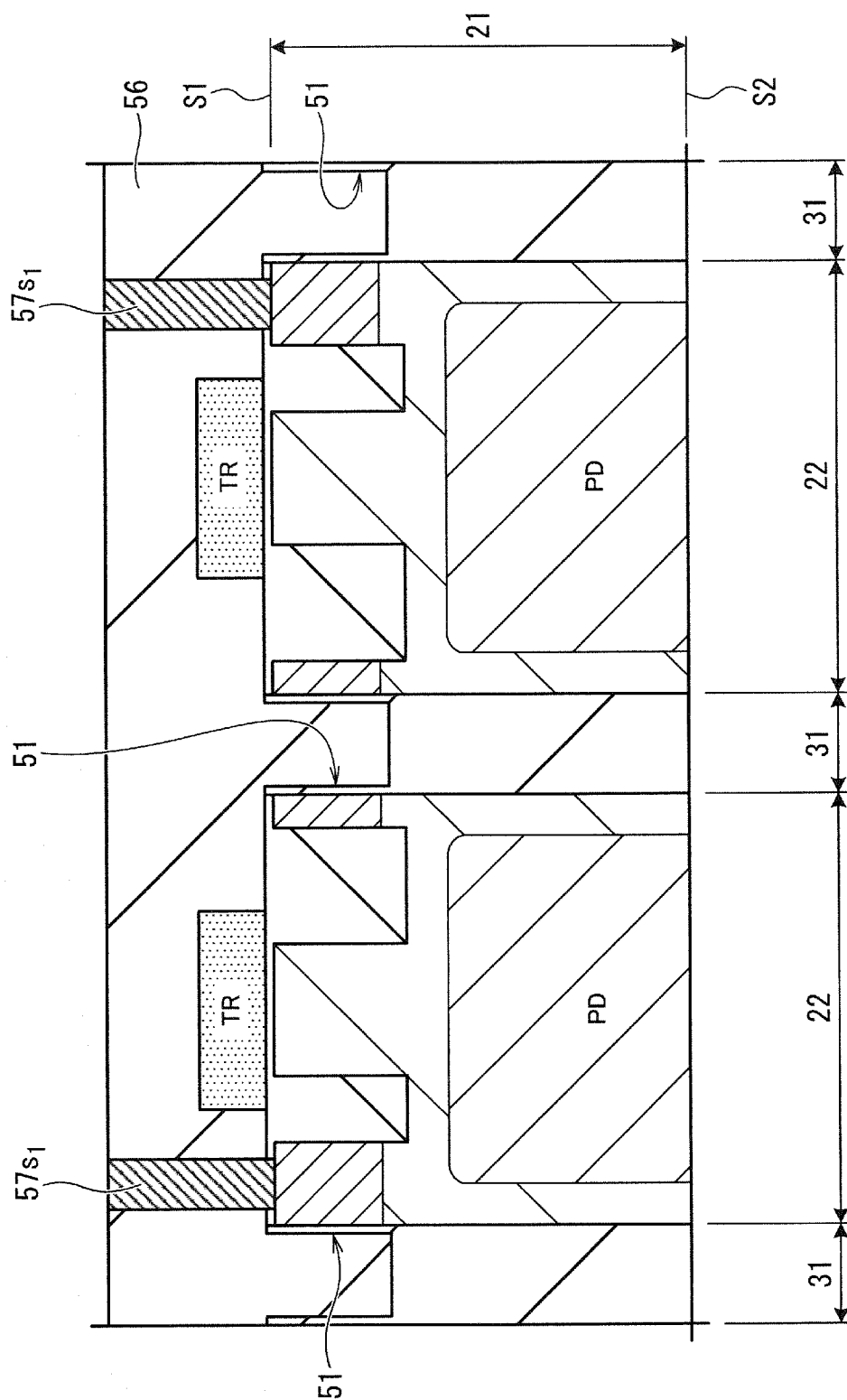
[図15]



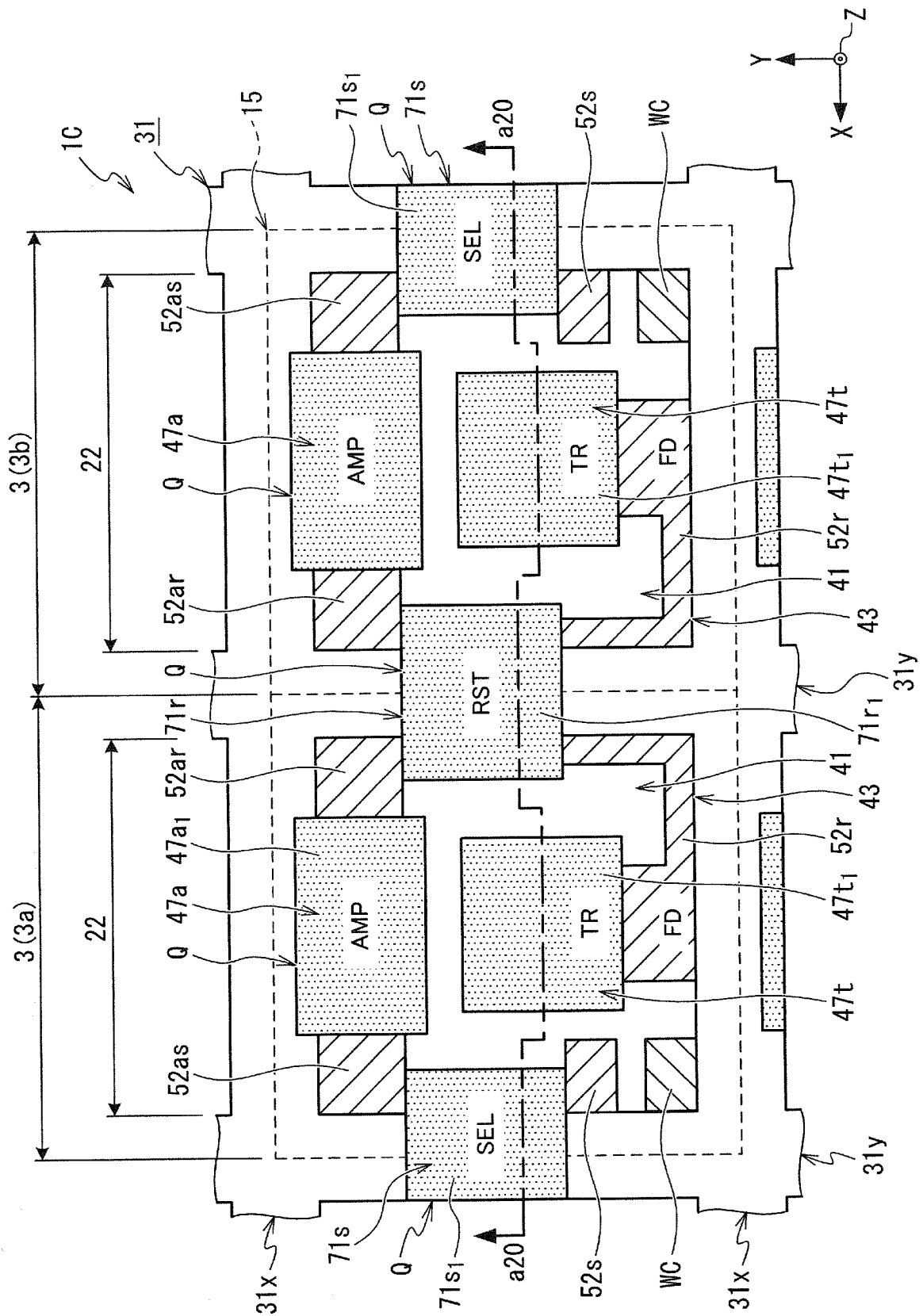
[図17A]



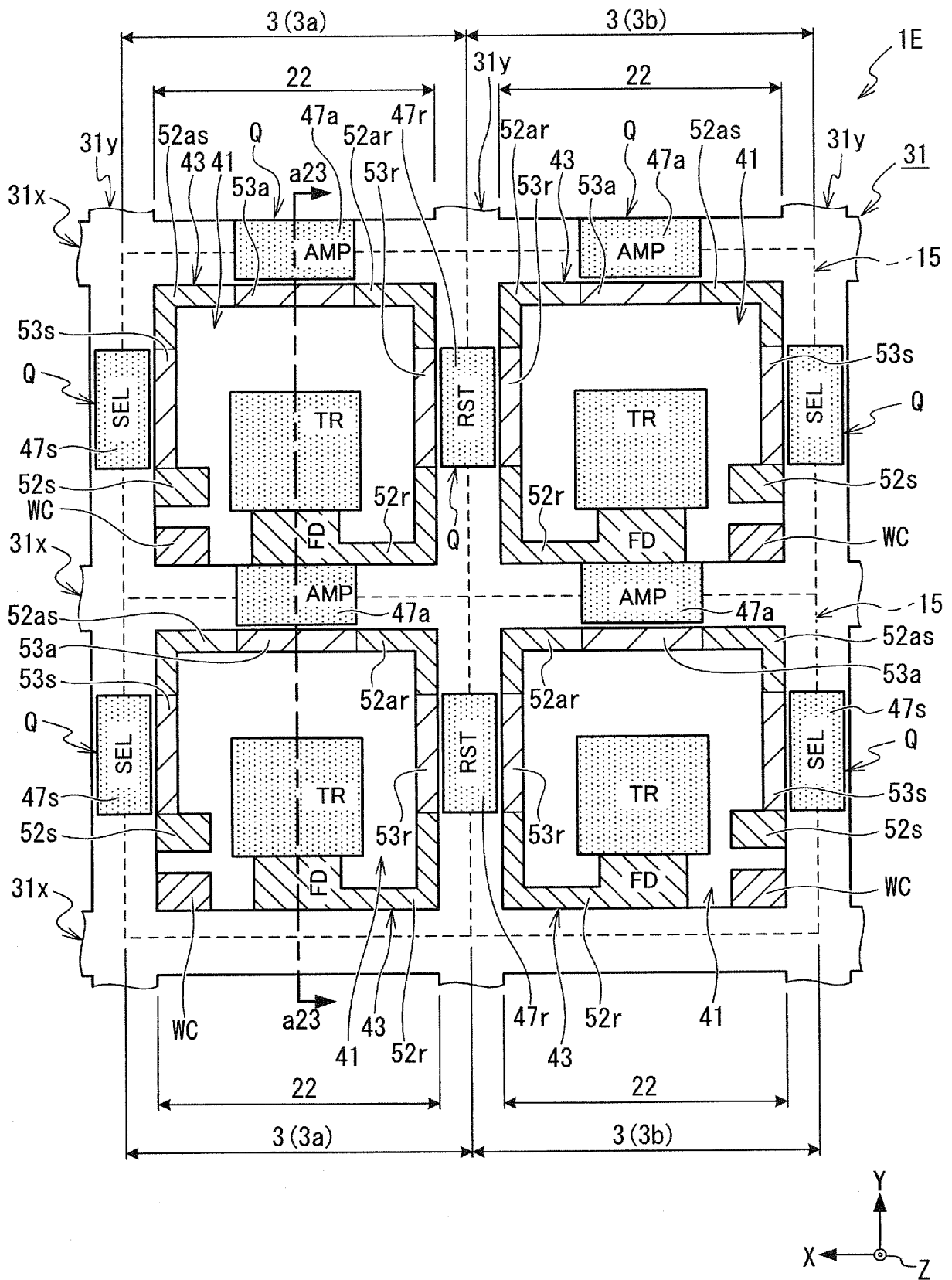




[図20]

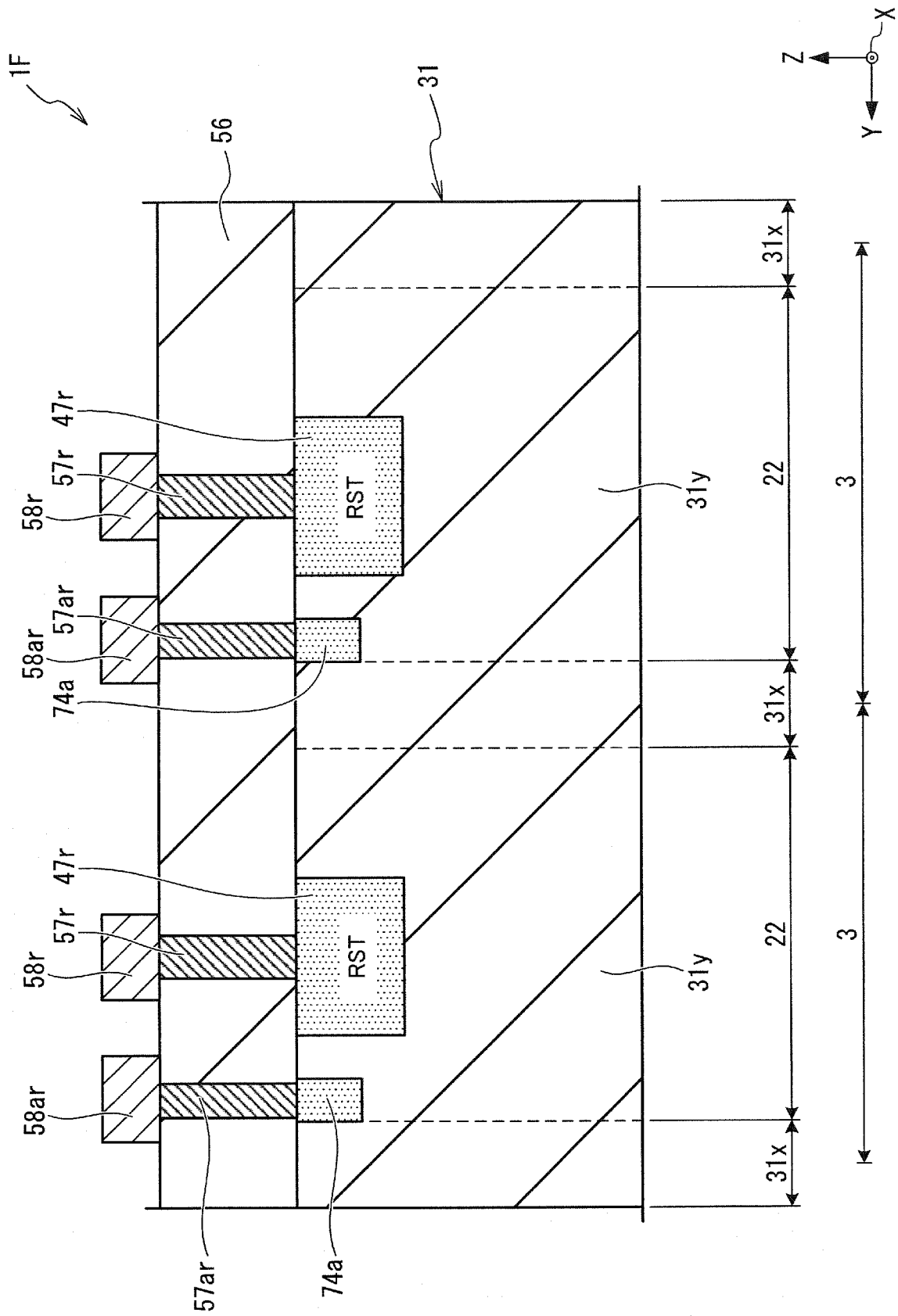


[図23]

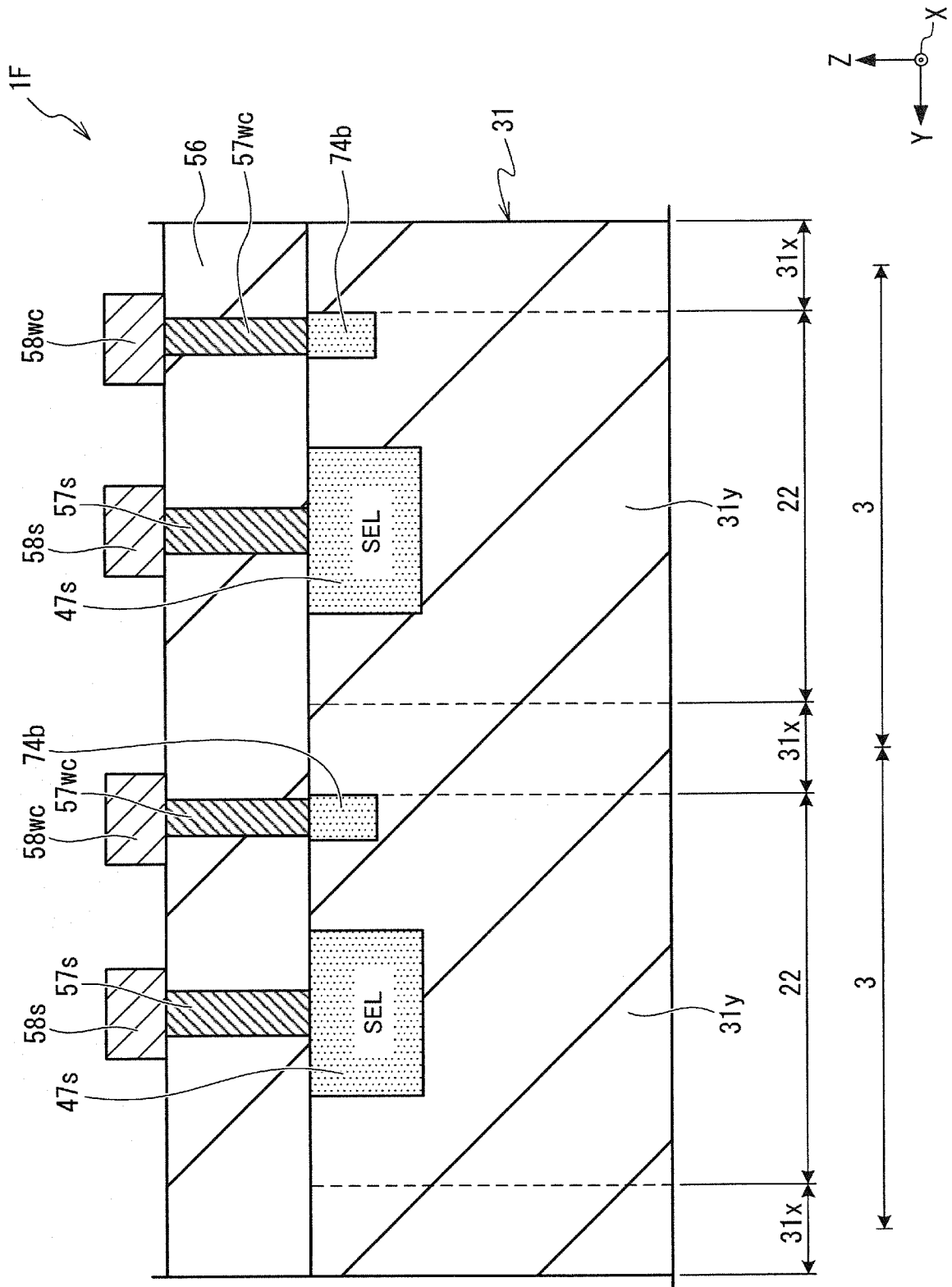


[illegible]

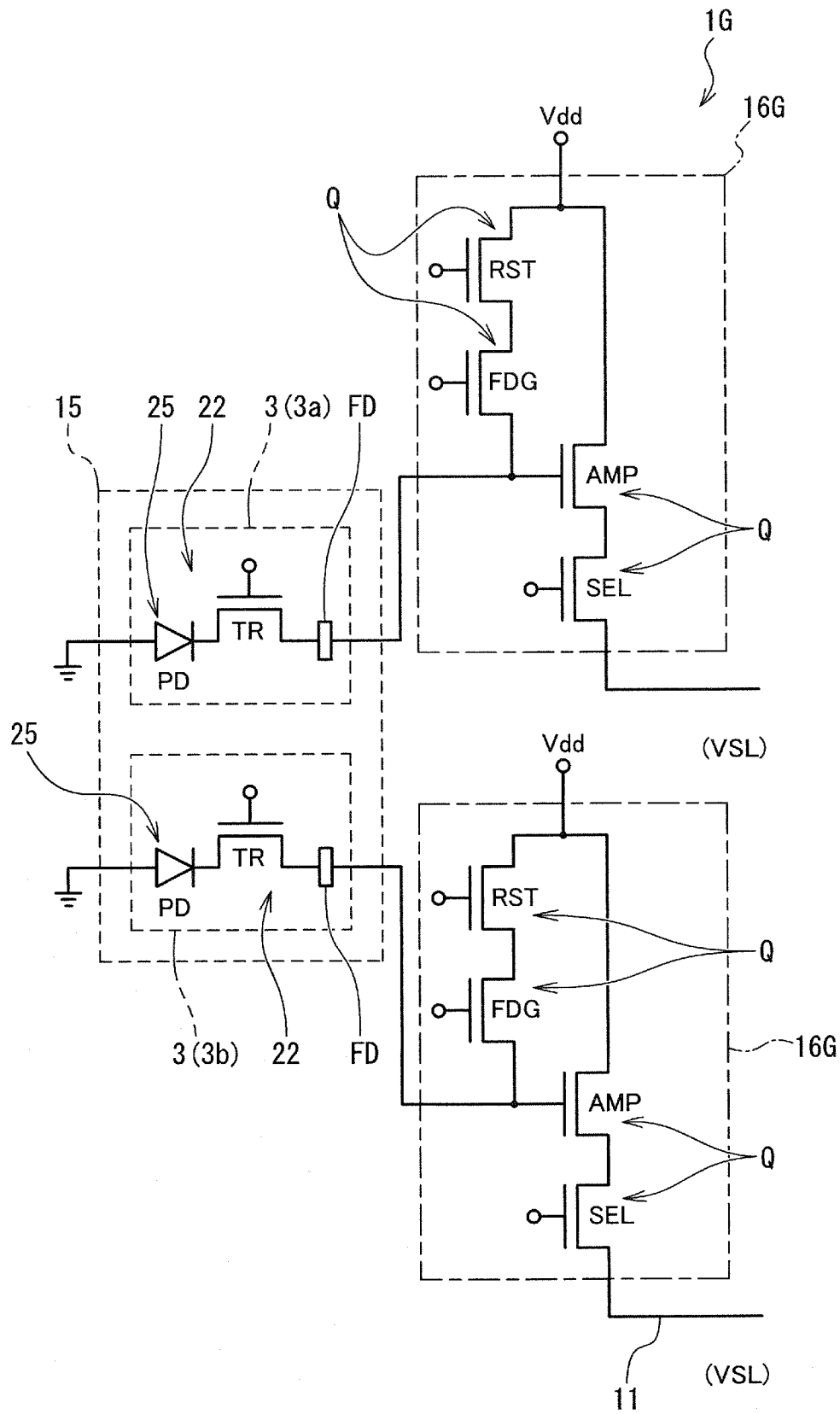
[図27]



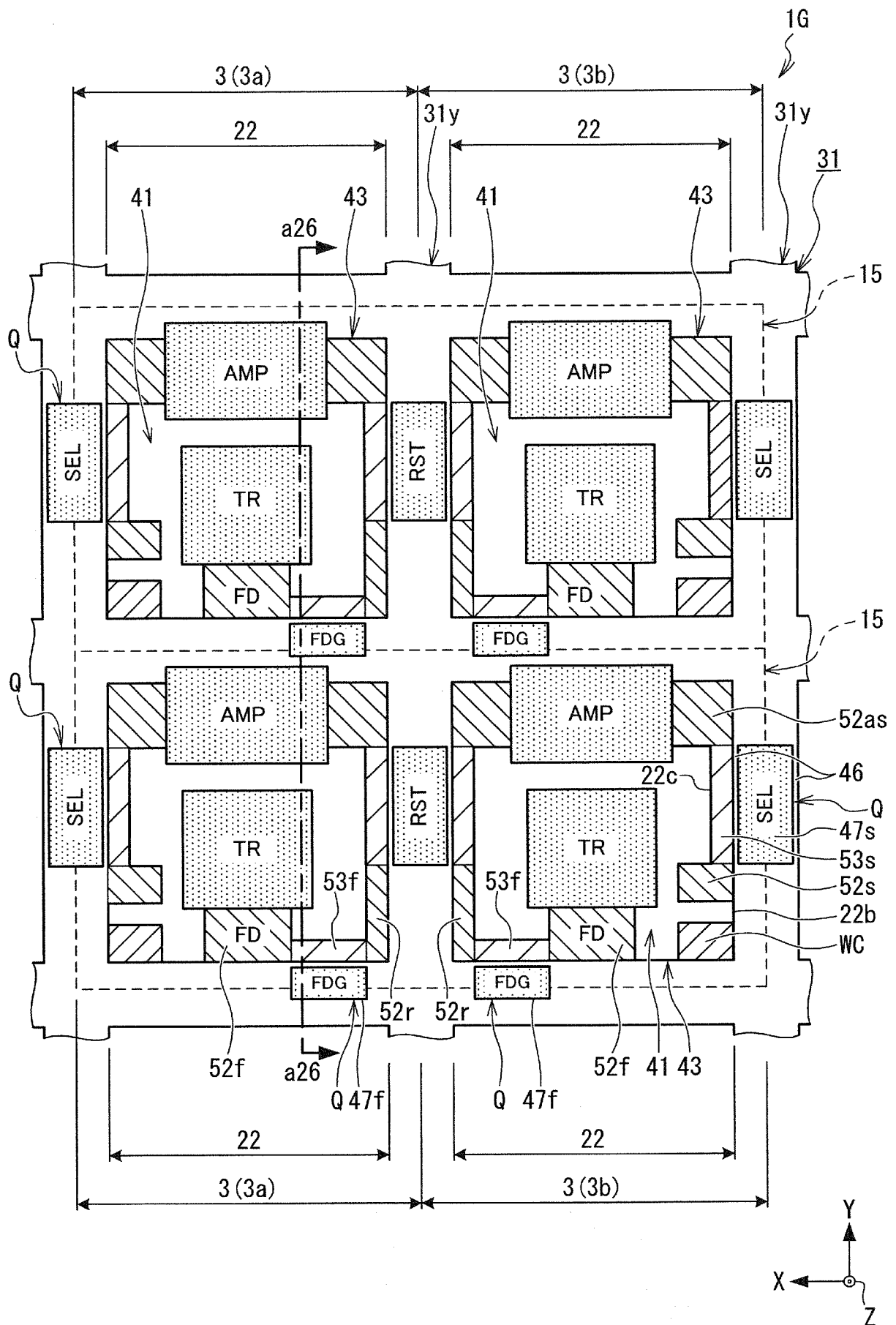
[図28]



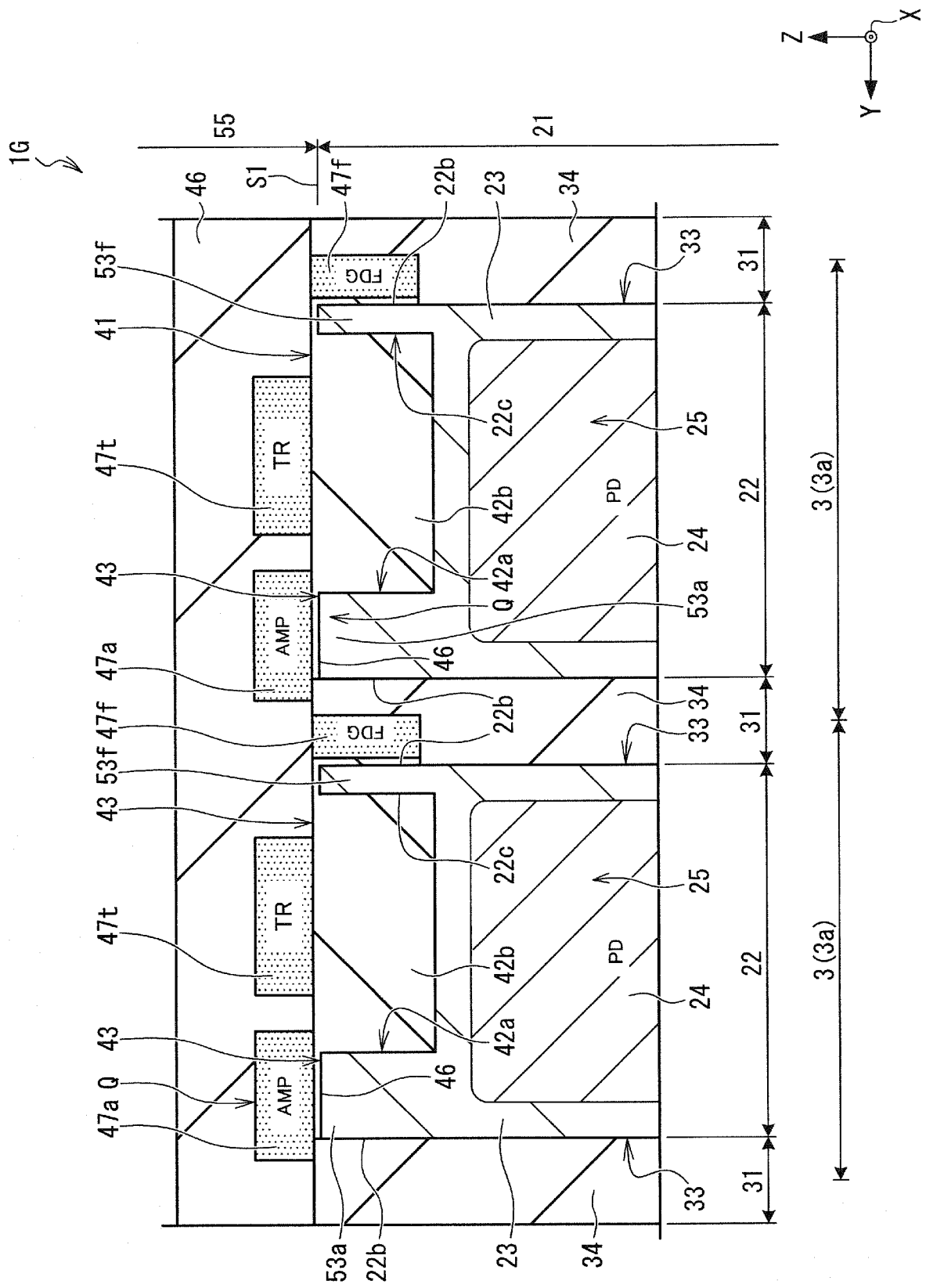
[図30]



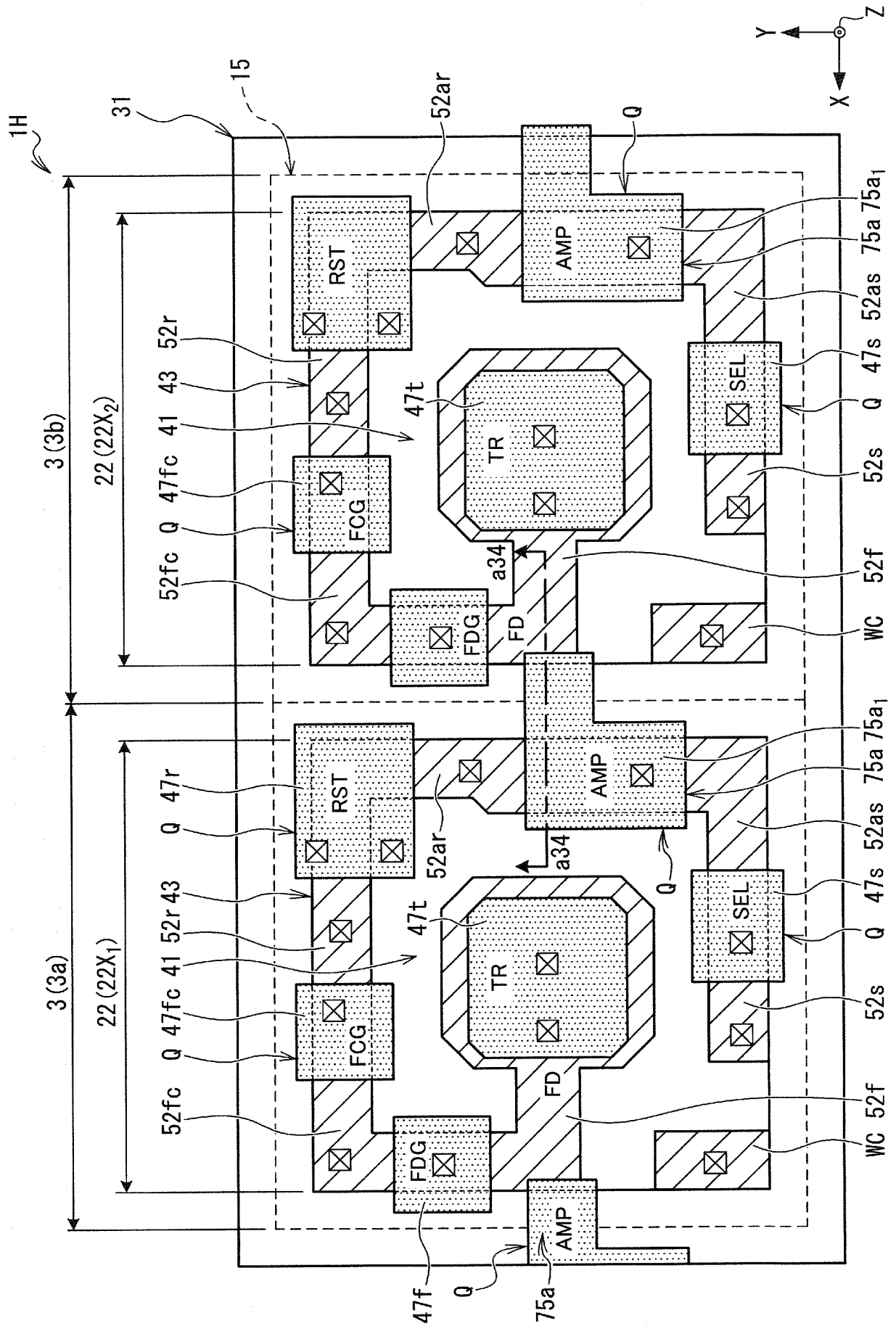
[図31]



[図32]

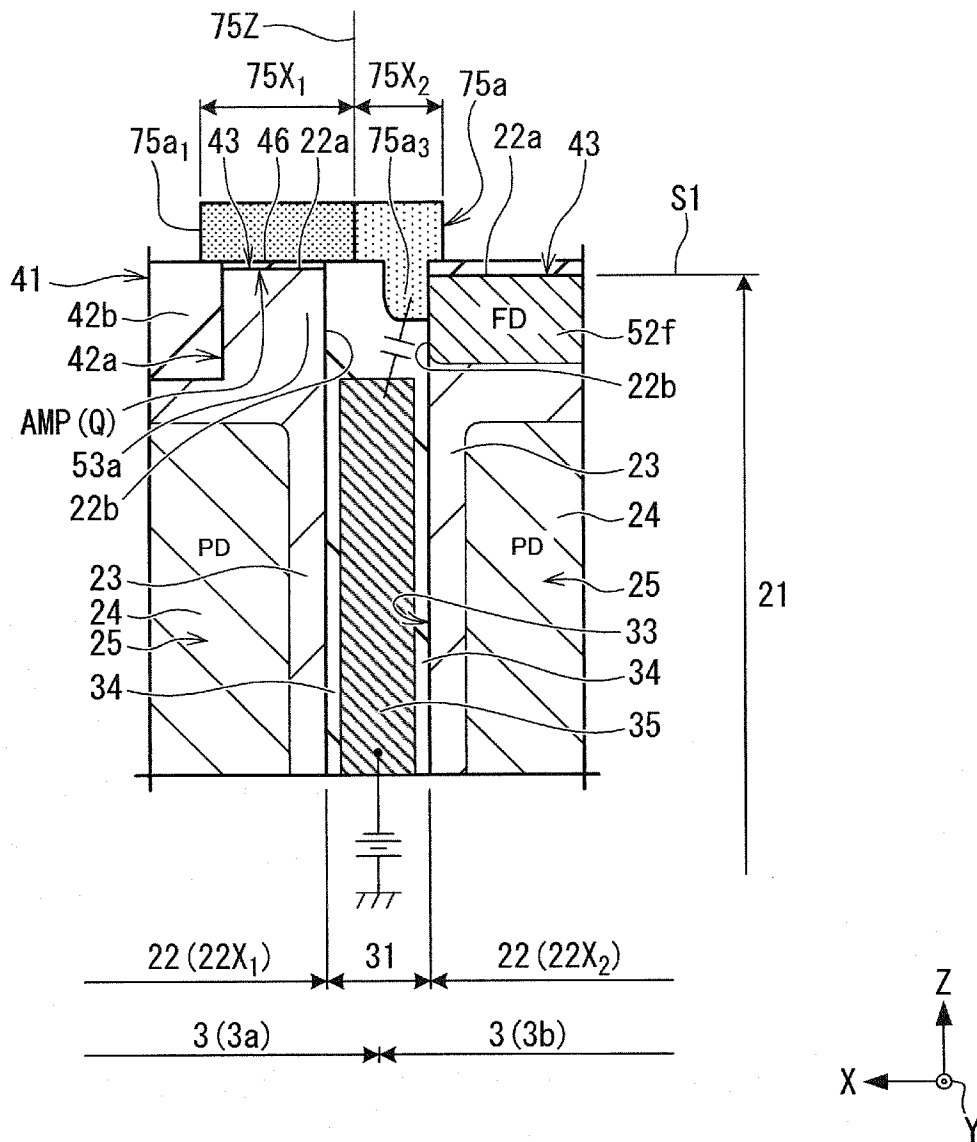


[図34]

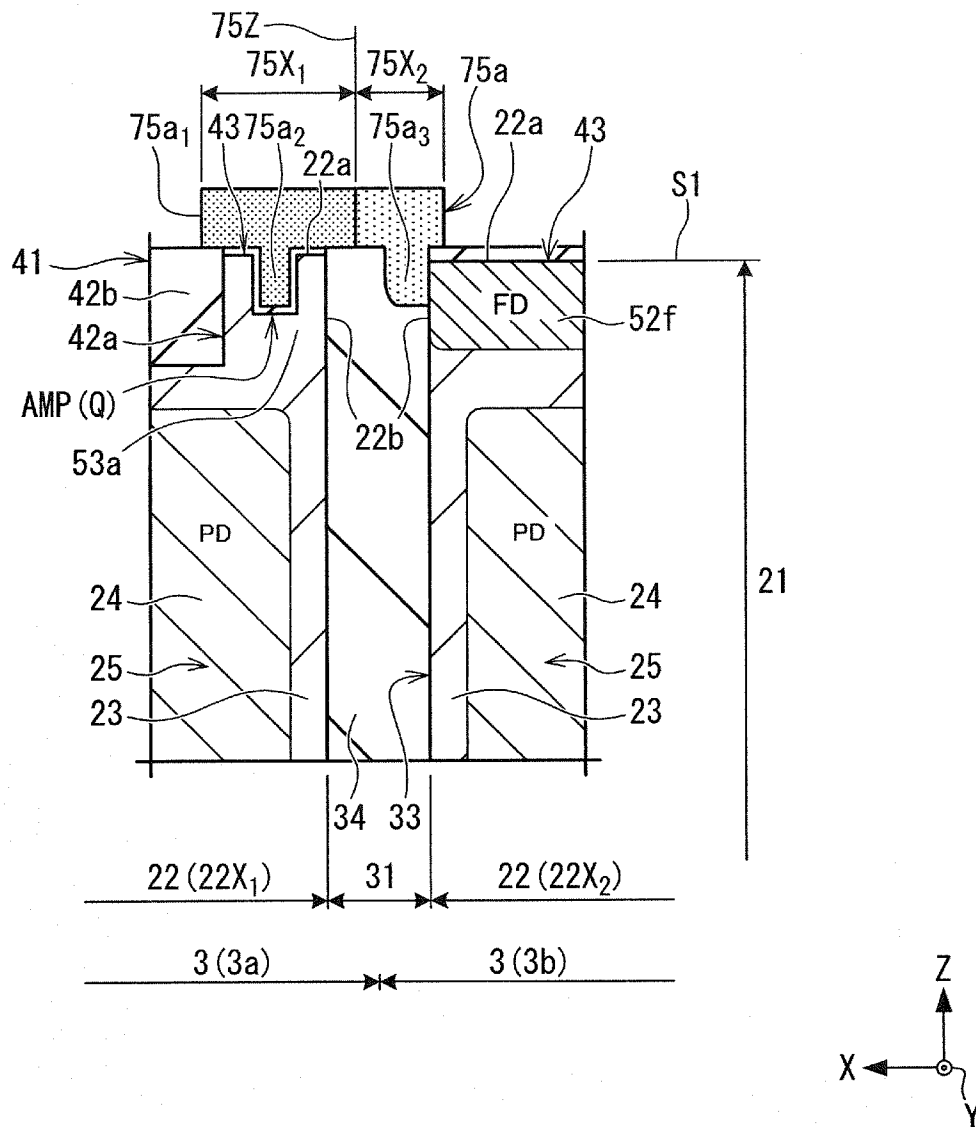


[illegible]

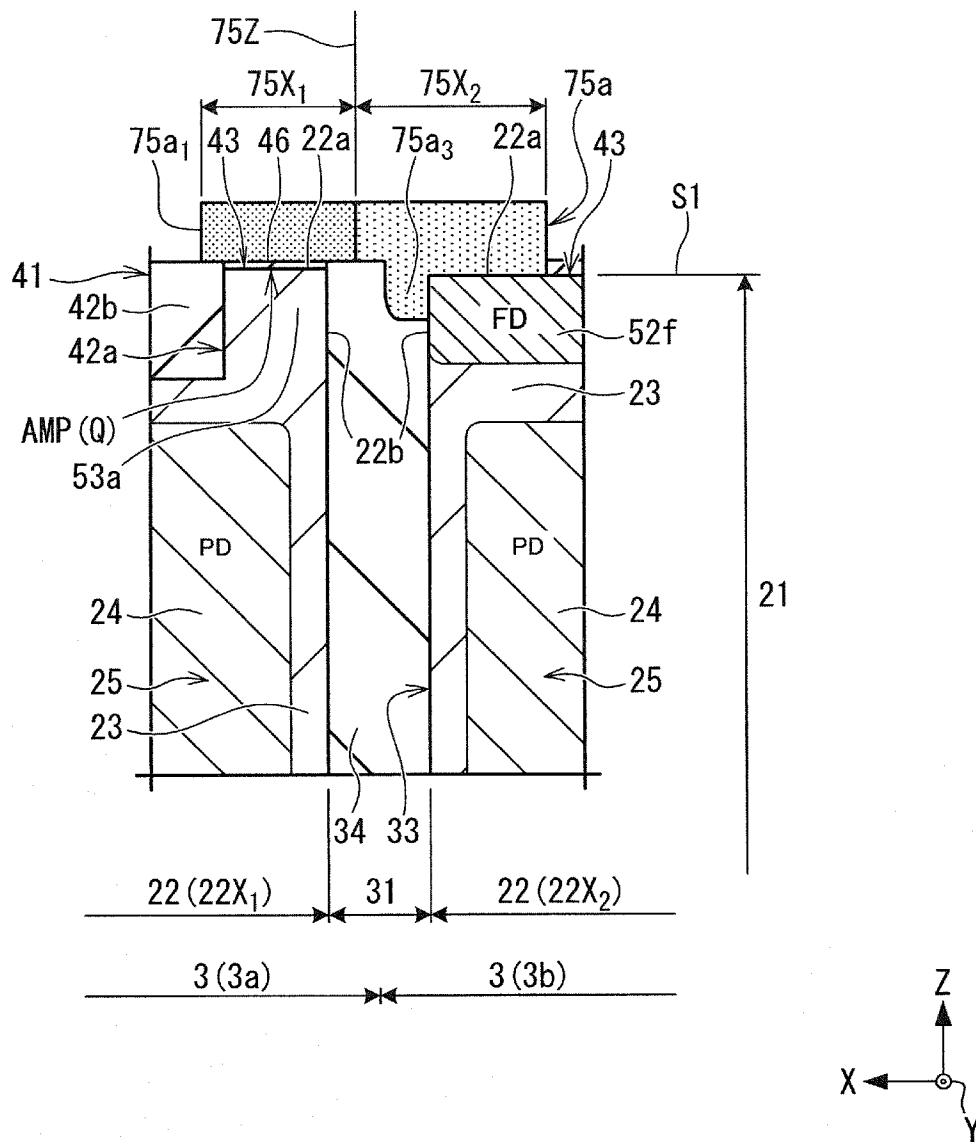
[図40]



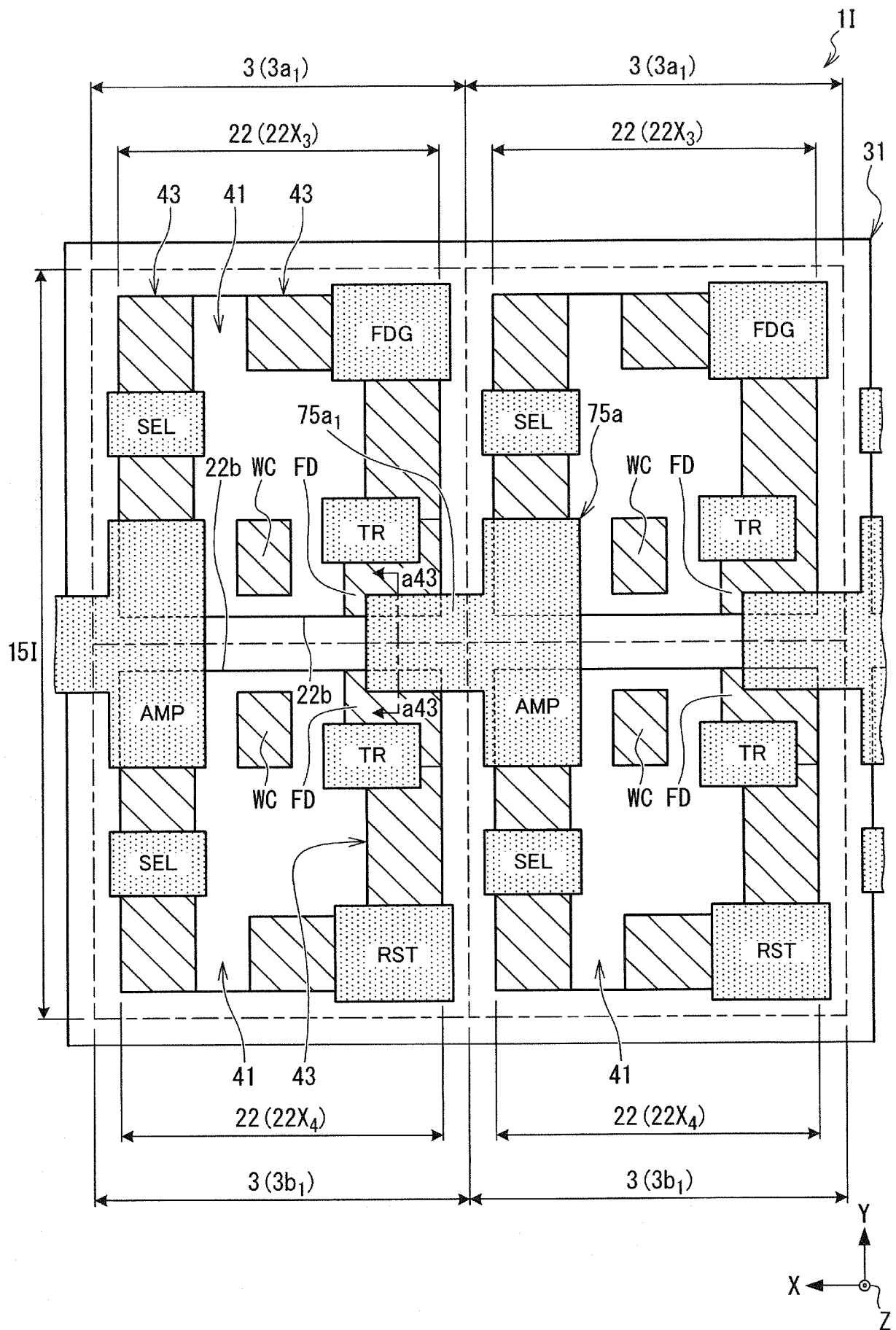
[図41]



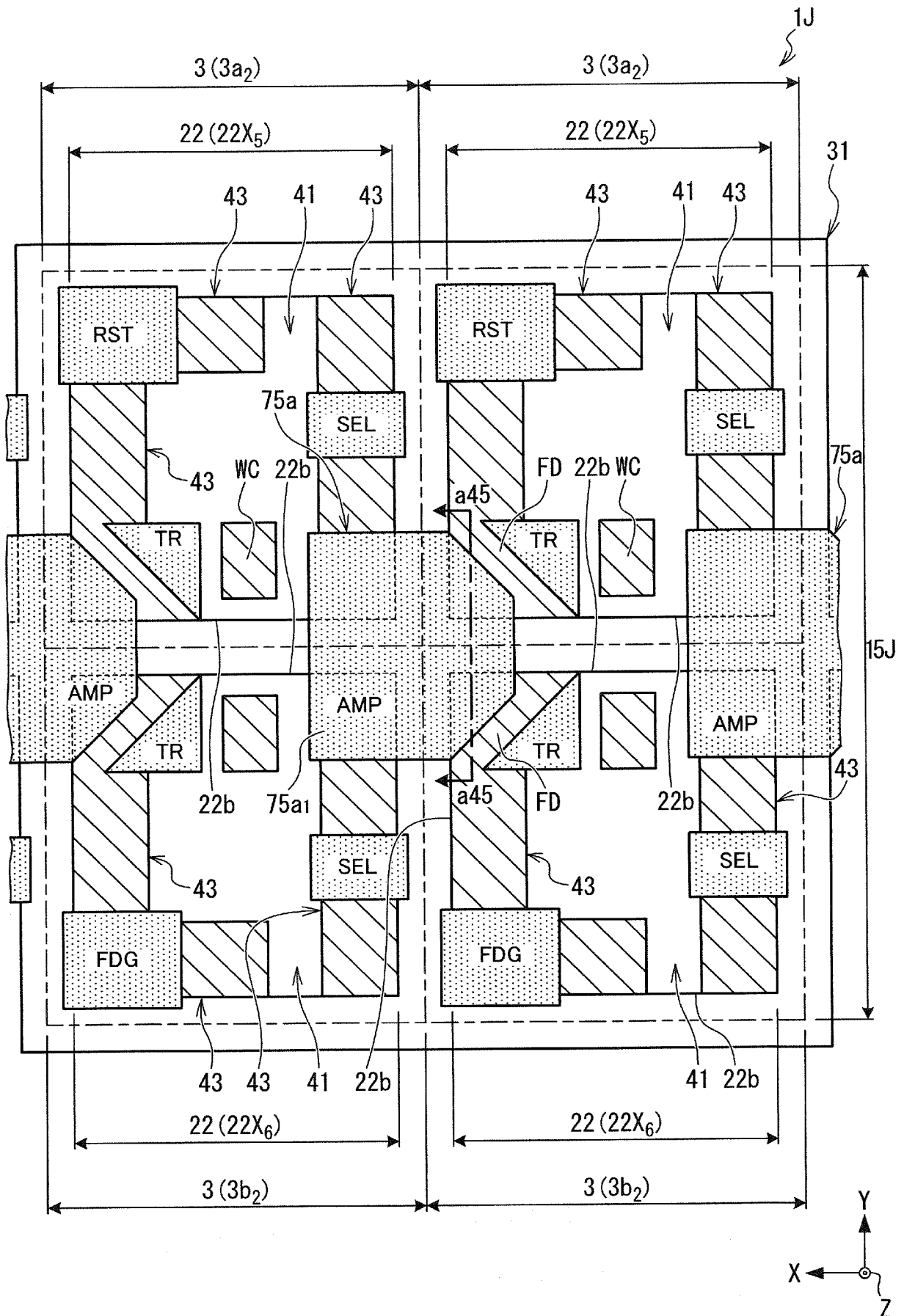
[図42]

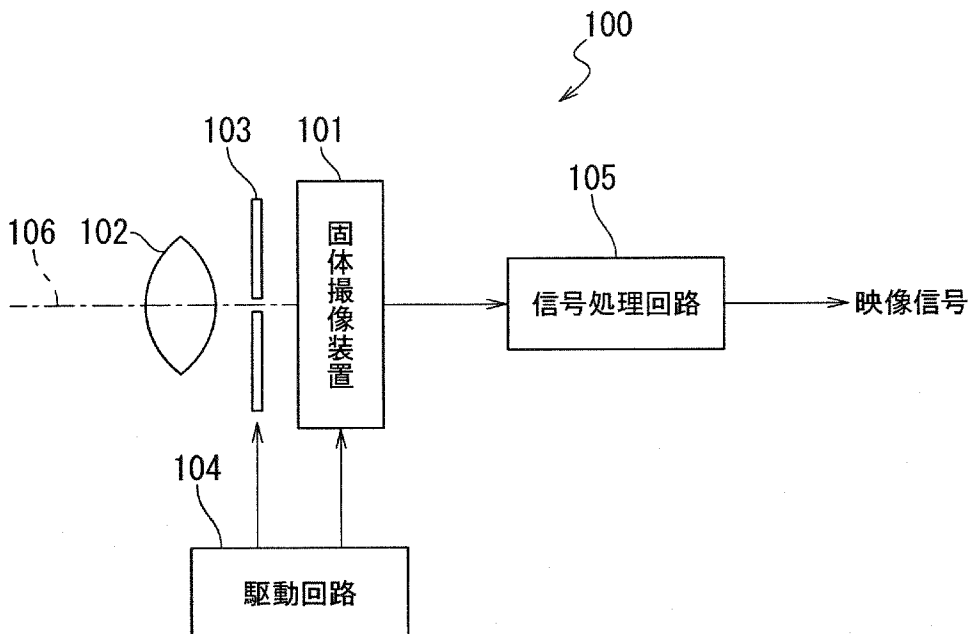
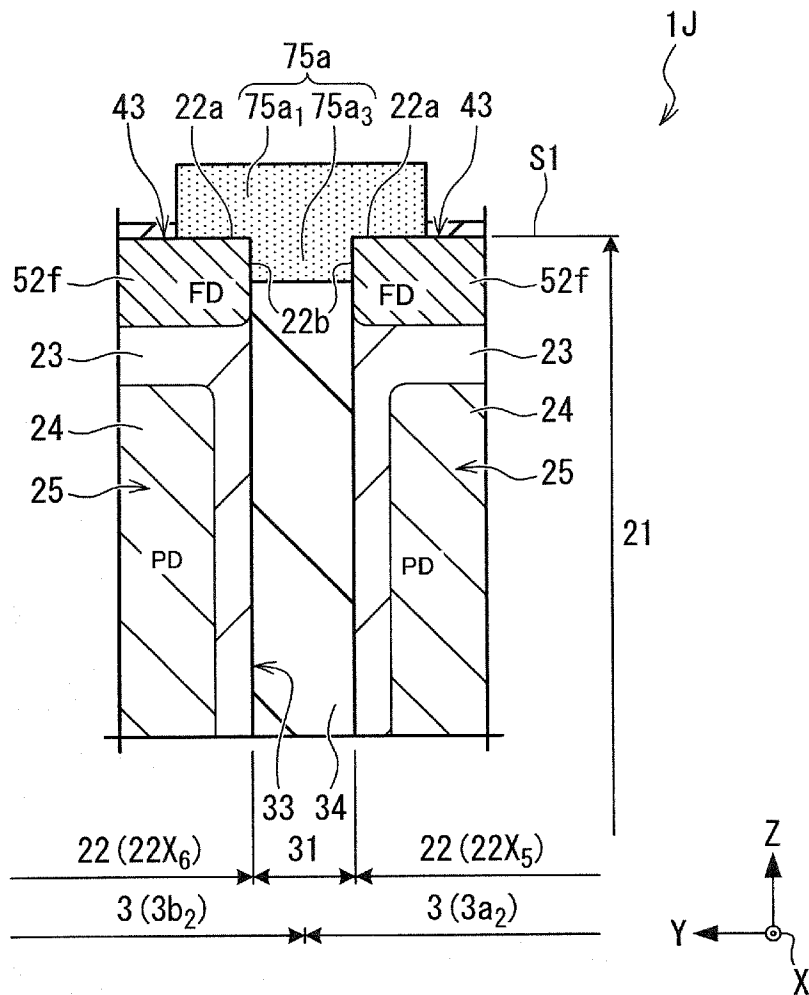


[図43]



[図45]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017673

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; **H01L 21/76**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i
FI: H01L27/146 A; H01L21/76 L; H01L27/06 102A; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L21/76; H01L21/8234; H01L27/06; H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/209681 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0248]-[0348], fig. 36, 39, 42, 44, 53, 55	1-5, 9-11, 14, 22
A		6-8, 12, 13, 15-21
A	WO 2022/185714 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 09 September 2022 (2022-09-09) paragraphs [0036]-[0110], fig. 4-9	1-22
A	US 2021/0118925 A1 (OMNIVISION TECH INC.) 22 April 2021 (2021-04-22) paragraphs [0037]-[0088], fig. 2B	1-22
A	WO 2012/117931 A1 (SONY CORPORATION) 07 September 2012 (2012-09-07) paragraphs [0025]-[0047], fig. 3	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 July 2024

Date of mailing of the international search report

23 July 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017673

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2022/209681	A1	06 October 2022	US	2024/0038815	A1
				paragraphs [0442]-[0576], fig. 36, 39, 42, 44, 53, 55		
				EP	4318592	A1
				CN	117121206	A
				KR	10-2023-0160810	A
WO	2022/185714	A1	09 September 2022	US	2024/0079432	A1
				paragraphs [0083]-[0188], fig. 4-9		
US	2021/0118925	A1	22 April 2021	CN	112670306	A
WO	2012/117931	A1	07 September 2012	US	2014/0054662	A1
				paragraphs [0056]-[0080], fig. 3		
				CN	103403869	A
				KR	10-2014-0015326	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 21/76(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i;
H01L 27/088(2006.01)i
FI: H01L27/146 A; H01L21/76 L; H01L27/06 102A; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L21/76; H01L21/8234; H01L27/06; H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2024年
日本国実用新案登録公報 1996 - 2024年
日本国登録実用新案公報 1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/209681 A1（ソニーセミコンダクタソリューションズ株式会社）06.10.2022 (2022 - 10 - 06) [0248]-[0348], 図36, 39, 42, 44, 53, 55	1-5, 9-11, 14, 22
A		6-8, 12, 13, 15-21
A	WO 2022/185714 A1（ソニーセミコンダクタソリューションズ株式会社）09.09.2022 (2022 - 09 - 09) [0036]-[0110], 図4-9	1-22
A	US 2021/0118925 A1（OMNIVISION TECHNOLOGIES, INC.）22.04.2021（2021 - 04 - 22） [0037]-[0088], FIG. 2B	1-22
A	WO 2012/117931 A1（ソニー株式会社）07.09.2012（2012 - 09 - 07） [0025]-[0047], 図3	1-22

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
16. 07. 2024

国際調査報告の発送日
23. 07. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

加藤 俊哉 5F 9554

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/017673

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/209681	A1	06.10.2022	US	2024/0038815	A1	
				[0442]-[0576], FIGS. 36, 39, 42, 44, 53, 55			
				EP	4318592	A1	
				CN	117121206	A	
				KR	10-2023-0160810	A	
WO	2022/185714	A1	09.09.2022	US	2024/0079432	A1	
				[0083]-[0188], FIGS. 4-9			
US	2021/0118925	A1	22.04.2021	CN	112670306	A	
WO	2012/117931	A1	07.09.2012	US	2014/0054662	A1	
				[0056]-[0080], FIG. 3			
				CN	103403869	A	
				KR	10-2014-0015326	A	