

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6919133号
(P6919133)

(45) 発行日 令和3年8月18日 (2021.8.18)

(24) 登録日 令和3年7月28日 (2021.7.28)

(51) Int. Cl.

F I

HO 1 L 29/78 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 21/283 (2006.01)
 HO 1 L 29/41 (2006.01)

HO 1 L 29/78 6 5 2 K
 HO 1 L 29/78 6 5 3 C
 HO 1 L 29/78 6 5 8 F
 HO 1 L 21/283 B
 HO 1 L 29/44 Y

請求項の数 14 (全 28 頁)

(21) 出願番号 特願2017-558391 (P2017-558391)
 (86) (22) 出願日 平成28年5月9日 (2016.5.9)
 (65) 公表番号 特表2018-515927 (P2018-515927A)
 (43) 公表日 平成30年6月14日 (2018.6.14)
 (86) 国際出願番号 PCT/US2016/031517
 (87) 国際公開番号 W02016/179598
 (87) 国際公開日 平成28年11月10日 (2016.11.10)
 審査請求日 平成31年4月24日 (2019.4.24)
 (31) 優先権主張番号 14/706,927
 (32) 優先日 平成27年5月7日 (2015.5.7)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(73) 特許権者 507107291
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 7 5 2 6 5
 - 5 4 7 4 ダラス メール ステイショ
 ン 3 9 9 9 ビーオーボックス 6 5 5
 4 7 4
 (74) 代理人 100098497
 弁理士 片寄 恭三
 (72) 発明者 河原 秀明
 アメリカ合衆国 7 5 0 9 3 テキサス州
 プレイノ, エイピーティー 2 1 2 1
 , チャールズ プレース 4 7 0 1

最終頁に続く

(54) 【発明の名称】 複数遮蔽トレンチゲート F E T

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスを形成する方法であって、
 半導体材料を含む基板を提供することと、
 前記基板において縦型 M O S トランジスタのドレイン領域を形成することと、
 前記ドレイン領域の上方の前記半導体材料において前記縦型 M O S トランジスタの縦型
 ドリフト領域を形成することと、
 前記縦型ドリフト領域においてトレンチを形成することと、
 前記基板に接する前記トレンチにおいて誘電体ライナーを形成することと、
 前記誘電体ライナー上の前記トレンチにおいて下部フィールドプレートセグメントを形

10

成することと、
 前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの少なくとも一部
 を除去することと、

前記下部フィールドプレートセグメントの上方の前記トレンチにおいて上部フィールド
 プレートセグメントを形成することであって、前記上部フィールドプレートセグメントと
 前記基板との間の誘電体材料が、前記上部フィールドプレートセグメントと前記基板との
 間に前記誘電体ライナーを提供し、前記下部フィールドプレートセグメントと前記基板と
 の間の前記トレンチの側壁上に配置される前記誘電体ライナーが、前記上部フィール
 ドプレートセグメントと前記基板との間の前記トレンチの前記側壁上に配置される前記誘電
 体ライナーより厚い、前記上部フィールドプレートセグメントを形成することと、

20

前記上部フィールドプレートセグメントの上方の前記トレンチから前記誘電体ライナーを除去することと、

前記上部フィールドプレートセグメントの上方の前記トレンチにおいて前記基板に接する、前記縦型MOSトランジスタのゲート誘電体層であって、前記上部フィールドプレートセグメントと前記基板との間の前記誘電体ライナーより薄い、前記ゲート誘電体層を形成することと、

前記ゲート誘電体層に接触する前記トレンチにおいて前記縦型MOSトランジスタのトレンチゲートを形成することと、

前記縦型ドリフト領域の上方の前記ゲート誘電体層に接する前記基板において前記縦型MOSトランジスタのボディを形成することと、

前記上部フィールドプレートセグメントに電氣的に結合されて前記上部フィールドプレートセグメントにバイアス電圧を印加するためのフィールドプレートコンタクトを前記基板上に形成することと、

を含む、方法。

【請求項2】

請求項1に記載の方法であって、

前記トレンチにおいて誘電体ライナーを形成することが、前記基板に接する前記トレンチにおいて熱酸化物層を形成することと、前記下部フィールドプレートセグメントが第1の堆積2酸化ケイ素層上にあるように、前記トレンチにおいて前記熱酸化物層上に前記第1の堆積2酸化ケイ素層を形成することを含む、方法。

【請求項3】

請求項2に記載の方法であって、

前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの少なくとも一部を除去することが、前記下部フィールドプレートセグメントの上方の適所において前記熱酸化物層の大部分を残して、前記下部フィールドプレートセグメントの上方の前記第1の堆積2酸化ケイ素層の少なくとも一部を除去することを含み、

前記上部フィールドプレートセグメントと前記基板との間の残余熱酸化物層が、前記上部フィールドプレートセグメントと前記基板との間の前記トレンチの前記側壁上に前記誘電体ライナーの少なくとも一部を提供する、方法。

【請求項4】

請求項3に記載の方法であって、

前記基板から前記上部フィールドプレートセグメントを分離する前記トレンチの前記側壁上の前記誘電体ライナーが、第2の堆積2酸化ケイ素層を含むように、前記第1の堆積2酸化ケイ素層を除去した後で、前記上部フィールドプレートセグメントを形成する前に、前記下部フィールドプレートセグメントの上方の前記残余熱酸化物層上に前記第2の堆積2酸化ケイ素層を形成することを更に含む、方法。

【請求項5】

請求項4に記載の方法であって、

前記上部フィールドプレートセグメントが前記下部フィールドプレートセグメントに接触するように、前記上部フィールドプレートセグメントを形成する前に、前記下部フィールドプレートセグメント上の前記第2の堆積2酸化ケイ素層を除去することを更に含む、方法。

【請求項6】

請求項4に記載の方法であって、

前記上部フィールドプレートセグメントが前記下部フィールドプレートセグメントから電氣的に隔離されるように、前記上部フィールドプレートセグメントが、前記下部フィールドプレートセグメント上の前記第2の堆積2酸化ケイ素層の一部上に形成される、方法。

【請求項7】

請求項3に記載の方法であって、

前記下部フィールドプレートセグメントの上方の前記残余熱酸化物層が、前記基板から前記上部フィールドプレートセグメントを分離する前記トレンチの前記側壁上に前記誘電体ライナーを提供するように、前記上部フィールドプレートセグメントが、前記下部フィールドプレートセグメントの上方の前記残余熱酸化物層上に形成される、方法。

【請求項 8】

請求項 1 に記載の方法であって、

前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの少なくとも一部を除去することが、前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの実質的に全てを除去することを含み、

前記方法が、

熱酸化物層が、前記上部フィールドプレートセグメントと前記基板との間の前記トレンチの前記側壁上の前記誘電体ライナーの少なくとも一部を提供するように、前記下部フィールドプレートセグメントを形成した後に前記下部フィールドプレートセグメントの上方の前記基板に接する前記トレンチにおいて前記熱酸化物層を形成することを更に含む、方法。

【請求項 9】

請求項 1 に記載の方法であって、

前記上部フィールドプレートセグメントが前記下部フィールドプレートセグメントから電氣的に隔離されるように、前記上部フィールドプレートセグメントが、前記下部フィールドプレートセグメント上の誘電体材料の上に形成される、方法。

【請求項 10】

請求項 1 に記載の方法であって、

前記トレンチゲートが前記上部フィールドプレートセグメントから電氣的に隔離されるように、前記トレンチゲートが、前記上部フィールドプレートセグメント上の前記ゲート誘電体層の一部上に形成される、方法。

【請求項 11】

請求項 1 に記載の方法であって、

前記下部フィールドプレートセグメントを形成することが、

前記トレンチ内と前記基板の頂部表面の上とにポリシリコンの層を形成することと、

前記下部フィールドプレートセグメントを提供するように前記トレンチにおいて前記ポリシリコンの層の一部を残して、前記基板の前記頂部表面の上と前記トレンチの一部とから、前記ポリシリコンの層を除去することと、

を含む、方法。

【請求項 12】

半導体デバイスを形成する方法であって、

半導体材料を含む基板を提供することと、

前記基板において縦型 MOS トランジスタのドレイン領域を形成することと、

前記ドレイン領域の上方の前記半導体材料において前記縦型 MOS トランジスタの縦型ドリフト領域を形成することと、

前記縦型ドリフト領域においてトレンチを形成することと、

前記基板に接する前記トレンチにおいて誘電体ライナーを形成することと、

前記誘電体ライナー上の前記トレンチにおいて下部フィールドプレートセグメントを形成することと、

前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの少なくとも一部を除去することと、

前記下部フィールドプレートセグメントの上方の前記トレンチにおいて上部フィールドプレートセグメントを形成することであって、前記上部フィールドプレートセグメントと前記基板との間の誘電体材料が、前記上部フィールドプレートセグメントと前記基板との間に前記誘電体ライナーを提供し、前記下部フィールドプレートセグメントと前記基板との間の前記トレンチの側壁上に配置される前記誘電体ライナーが、前記上部フィールドブ

10

20

30

40

50

レートセグメントと前記基板との間の前記トレンチの前記側壁上に配置される前記誘電体ライナーより厚い、前記上部フィールドプレートセグメントを形成することと、

前記上部フィールドプレートセグメントの上方の前記トレンチから前記誘電体ライナーを除去することと、

前記上部フィールドプレートセグメントの上方の前記トレンチにおいて前記基板に接する、前記縦型MOSトランジスタのゲート誘電体層であって、前記上部フィールドプレートセグメントと前記基板との間の前記誘電体ライナーより薄い、前記ゲート誘電体層を形成することと、

前記ゲート誘電体層に接触する前記トレンチにおいて前記縦型MOSトランジスタのトレンチゲートを形成することと、

前記縦型ドリフト領域の上方の前記ゲート誘電体層に接する前記基板において前記縦型MOSトランジスタのボディを形成することと、

を含み、

前記上部フィールドプレートセグメントが前記下部フィールドプレートセグメントに接触するように、前記上部フィールドプレートセグメントを形成する前に、前記下部フィールドプレートセグメント上の誘電体材料を除去することを更に含む、方法。

【請求項13】

半導体デバイスを形成する方法であって、

半導体材料を含む基板を提供することと、

前記基板において縦型MOSトランジスタのドレイン領域を形成することと、

前記ドレイン領域の上方の前記半導体材料において前記縦型MOSトランジスタの縦型ドリフト領域を形成することと、

前記縦型ドリフト領域においてトレンチを形成することと、

前記基板に接する前記トレンチにおいて誘電体ライナーを形成することと、

前記誘電体ライナー上の前記トレンチにおいて下部フィールドプレートセグメントを形成することと、

前記下部フィールドプレートセグメントの上方の前記誘電体ライナーの少なくとも一部を除去することと、

前記下部フィールドプレートセグメントの上方の前記トレンチにおいて上部フィールドプレートセグメントを形成することであって、前記上部フィールドプレートセグメントと前記基板との間の誘電体材料が、前記上部フィールドプレートセグメントと前記基板との間に前記誘電体ライナーを提供し、前記下部フィールドプレートセグメントと前記基板との間の前記トレンチの側壁上に配置される前記誘電体ライナーが、前記上部フィールドプレートセグメントと前記基板との間の前記トレンチの前記側壁上に配置される前記誘電体ライナーより厚い、前記上部フィールドプレートセグメントを形成することと、

前記上部フィールドプレートセグメントの上方の前記トレンチから前記誘電体ライナーを除去することと、

前記上部フィールドプレートセグメントの上方の前記トレンチにおいて前記基板に接する、前記縦型MOSトランジスタのゲート誘電体層であって、前記上部フィールドプレートセグメントと前記基板との間の前記誘電体ライナーより薄い、前記ゲート誘電体層を形成することと、

前記ゲート誘電体層に接触する前記トレンチにおいて前記縦型MOSトランジスタのトレンチゲートを形成することと、

前記縦型ドリフト領域の上方の前記ゲート誘電体層に接する前記基板において前記縦型MOSトランジスタのボディを形成することと、

を含み、

前記トレンチゲートが前記上部フィールドプレートセグメントに接触するように、前記トレンチゲートを形成する前に、前記上部フィールドプレートセグメント上の前記ゲート誘電体層を除去することを更に含む、方法。

【請求項14】

10

20

30

40

50

半導体デバイスを形成する方法であって、
半導体材料を含む基板を提供することと、
前記基板において縦型MOSトランジスタのドレイン領域を形成することと、
前記ドレイン領域の上方の前記半導体材料において前記縦型MOSトランジスタの縦型
ドリフト領域を形成することと、
前記縦型ドリフト領域においてトレンチを形成することと、
前記基板に接する前記トレンチにおいて熱酸化物層を形成することと、
前記熱酸化物層上の前記トレンチにおいて第1の堆積2酸化ケイ素層を形成することと

、
前記トレンチにおいて前記第1の堆積2酸化ケイ素層上に下部フィールドプレートセグ
メントを形成することであって、前記熱酸化物層と前記第1の堆積2酸化ケイ素層との組
合せが、前記基板から前記下部フィールドプレートセグメントを分離する前記トレンチの
側壁上の誘電体ライナーを提供する、前記下部フィールドプレートセグメントを形成する
ことと、

前記下部フィールドプレートセグメントの上方の適所における前記熱酸化物層の大部分
を残して、前記下部フィールドプレートセグメントの上方の前記第1の堆積2酸化ケイ素
層の少なくとも一部を除去することと、

前記下部フィールドプレートセグメントの上方の前記トレンチにおいて上部フィールド
プレートセグメントを形成することであって、前記上部フィールドプレートセグメントと
前記基板との間の残余熱酸化物層が、前記上部フィールドプレートセグメントと前記基板
との間の前記トレンチの前記側壁上の前記誘電体ライナーの少なくとも一部を提供し、前
記下部フィールドプレートセグメントと前記基板との間の前記トレンチの前記側壁上に配
置される前記誘電体ライナーが、前記上部フィールドプレートセグメントと前記基板との
間の前記トレンチの前記側壁上に配置される前記誘電体ライナーより厚い、前記上部フ
ィールドプレートセグメントを形成することと、

前記上部フィールドプレートセグメントの上方の前記トレンチから前記熱酸化物層を除
去することと、

前記上部フィールドプレートセグメントの上方の前記トレンチにおいて前記基板に接す
る前記縦型MOSトランジスタのゲート誘電体層を形成することであって、前記上部フ
ィールドプレートセグメントと前記基板との間の前記トレンチの前記側壁上の前記誘電体
ライナーより薄い前記ゲート誘電体層を形成することと、

前記ゲート誘電体層に接触する前記トレンチにおいて前記縦型MOSトランジスタのト
レンチゲートを形成することと、

前記縦型ドリフト領域の上方の前記ゲート誘電体層に接する前記基板において前記縦型
MOSトランジスタのボディを形成することと、

前記上部フィールドプレートセグメントに電氣的に結合されて前記上部フィールドプレ
ートセグメントにバイアス電圧を印加するためのフィールドプレートコンタクトを前記基
板上に形成することと、

を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は一般に半導体デバイスに関し、より詳細には、半導体デバイスにおける垂直MO
Sトランジスタに関する。

【背景技術】

【0002】

トレンチにおいてトレンチゲートを備える垂直金属酸化物半導体(MOS)トランジス
タは、ゲート誘電体層と、ボディを超えてトレンチの下方に延在し、ボディの下の垂直ド
リフト領域に接するゲートとを有する。ゲート誘電体層がドリフト領域における高い電界
に対応できないので、トレンチは、所望の動作電圧に対応するため、所望されるよりも深

10

20

30

40

50

くなければならない。ゲート誘電体層の厚さが増加されると、オン状態におけるチャネル領域の抵抗が望ましくなく増加する。

【発明の概要】

【0003】

述べられる例において、半導体デバイスが、トレンチにおいてトレンチゲートを有する垂直MOSトランジスタを含む。トレンチは、垂直MOSトランジスタのボディを超えて、および、ボディの下で垂直MOSトランジスタのドリフト領域に接して、半導体デバイスの基板内へ延在する。トレンチは、ゲートの下にフィールドプレート有する。フィールドプレートは、ドリフト領域の近隣にあり、複数のセグメントを有する。ドリフト領域からフィールドプレートを分離する、トレンチにおける誘電体ライナーが、ゲートとボディとの間のゲート誘電体層より大きな厚さを有する。誘電体ライナーは、トレンチの底部においてフィールドプレートの下部セグメント上で、ゲートの真下の上部セグメントより厚い。

10

【図面の簡単な説明】

【0004】

【図1】垂直nチャネルMOSトランジスタを含む例示的な半導体デバイスの断面図である。

【0005】

【図2A】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

20

【図2B】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2C】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2D】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2E】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2F】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

30

【図2G】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2H】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2I】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2J】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

【図2K】製造の連続的な段階において描写される、図1の半導体デバイスの断面図である。

40

【0006】

【図3】垂直nチャネルMOSトランジスタを含む別の例示的な半導体デバイスの断面図である。

【0007】

【図4A】製造の連続的な段階において描写される、図3の半導体デバイスの断面図である。

【図4B】製造の連続的な段階において描写される、図3の半導体デバイスの断面図である。

【図4C】製造の連続的な段階において描写される、図3の半導体デバイスの断面図である。

50

【図４Ｄ】製造の連続的な段階において描写される、図３の半導体デバイスの断面図である。

【図４Ｅ】製造の連続的な段階において描写される、図３の半導体デバイスの断面図である。

【０００８】

【図５】垂直ｐチャネルＭＯＳトランジスタを含む例示的な半導体デバイスの断面図である。

【０００９】

【図６Ａ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

10

【図６Ｂ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【図６Ｃ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【図６Ｄ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【図６Ｅ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【図６Ｆ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

20

【図６Ｇ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【図６Ｈ】製造の連続的な段階において描写される、図５の半導体デバイスの断面図である。

【００１０】

【図７】垂直ｎチャネルＭＯＳトランジスタを含む別の例示的な半導体デバイスの断面図である。

【発明を実施するための形態】

【００１１】

図面は一定の縮尺で描かれていない。幾つかの行為は、異なる順序で、および／または、その他の行為または事象と同時に成され得る。図示される行為または事象全てが、例示的な実施形態に従って方法論を実施するために必要とされるとは限らない。

30

【００１２】

半導体デバイスが、半導体デバイスの基板内へ延在するトレンチを有する垂直ＭＯＳトランジスタを含む。垂直ＭＯＳトランジスタのドレイン領域が、トレンチの底部における、またはトレンチの底部の下の、基板に配置される。ドリフト領域が、ドレイン領域の上方およびトレンチ間の基板に配置される。垂直ＭＯＳトランジスタのボディが、ドリフト領域の上方に、および、トレンチに接して、基板に配置される。垂直ＭＯＳトランジスタのソースが、ボディの上方に配置される。垂直ＭＯＳトランジスタのゲートが、ボディの近隣のトレンチに配置され、ゲート誘電体層によってボディから分離される。複数のセグメントを備えるフィールドプレートが、ゲートの下でトレンチに配置され、トレンチの側壁上の誘電体ライナーによってドリフト領域から分離される。誘電体ライナーは、トレンチの底部における、フィールドプレート下部セグメント上で、ゲートの真下の上部セグメントより厚い。フィールドプレートセグメントは、互いに接続され得、または、互いから電氣的に絶縁され得る。上部フィールドプレートセグメントは、ゲートに接続され得、または、ゲートから電氣的に絶縁され得る。垂直ＭＯＳトランジスタは、ｎチャネルＭＯＳトランジスタまたはｐチャネルＭＯＳトランジスタであり得る。

40

【００１３】

この説明の目的のために、「ＲＥＳＵＲＦ」という用語は、近隣の半導体領域における電界を減少させる材料を指す。例えば、ＲＥＳＵＲＦ領域は、近隣の半導体領域とは反対

50

の導電性を有する半導体領域であり得る。RESURF構造は、Appelsらの「薄層高電圧デバイス」Philips J, Res. 35 1 13, 1980において述べられる。

【非特許文献1】Appels, et al. “Thin layer High Voltage Device” Philips J, Res. 351-13, 1980

【0014】

図1は、垂直nチャネルMOSトランジスタを含む例示的な半導体デバイスの断面図である。半導体デバイス100は、半導体材料を含む基板102上に形成される。本明細書においてトランジスタ104と呼ばれるnチャネル垂直MOSトランジスタ104は、半導体デバイス100の唯一の能動素子であり得、または、半導体デバイス100における複数の能動デバイスの一つであり得る。トランジスタ104は、n型垂直ドリフト領域108の下に基板102において配置されるn型ドレイン領域106を含む。

【0015】

半導体デバイス100はトレンチ110を含み、トレンチ110は、図1において描写されるように、ドレイン領域106に近接した垂直ドリフト領域108を介して垂直に、または、場合によりドレイン領域106内へ、延在する。トレンチ110は、トレンチ110の底部114まで延在し、基板102に接する、トレンチ110の側壁上の誘電体ライナー112と、誘電体ライナー112上の複数のフィールドプレートセグメント116とを含む。トレンチ110はさらに、基板102に接する誘電体ライナー112の上方のゲート誘電体層118と、ゲート誘電体層118に接触する、トランジスタ104のトレンチゲート120とを含む。この例において、フィールドプレートセグメント116は、トレンチ110の底部114におけるそれぞれの誘電体ライナー112上のそれぞれの下部フィールドプレートセグメント122と、それぞれの下部フィールドプレートセグメント122の上方に配置されるそれぞれの上部フィールドプレートセグメント124とを含む。フィールドプレートセグメント116およびトレンチゲート120は、ポリシリコンと呼ばれる、主に多結晶シリコンを含み得る。誘電体ライナー112は、主に二酸化ケイ素を含み得る。誘電体ライナー112は、下部フィールドプレートセグメント122および上部フィールドプレートセグメント124を基板102から分離する。下部フィールドプレートセグメント122と基板102との間の、トレンチ110の側壁上に配置される誘電体ライナー112は、上部フィールドプレートセグメント124と基板102との間の、トレンチ110の側壁上に配置される誘電体ライナー112より厚い。上部フィールドプレートセグメント124と基板102との間の、トレンチ110の側壁上に配置される誘電体ライナー112は、トレンチゲート120と基板102との間の、トレンチ110の側壁上に配置されるゲート誘電体層118より厚い。例えば、トランジスタ104が最大250ボルトで動作するように設計されるこの例の或るバージョンにおいて、下部フィールドプレートセグメント122と基板102との間の、トレンチ110の側壁上に配置される誘電体ライナー112は、900ナノメートル~1000ナノメートルの厚さであり得、上部フィールドプレートセグメント124と基板102との間の、トレンチ110の側壁上に配置される誘電体ライナー112は、300ナノメートル~400ナノメートルの厚さであり得る。

【0016】

この例において、下部フィールドプレートセグメント122は、下部フィールドプレートセグメント122と上部フィールドプレートセグメント124との間に配置される第1の絶縁層126によって、上部フィールドプレートセグメント124から電氣的に絶縁される。また、この例において、上部フィールドプレートセグメント124は、上部フィールドプレートセグメント124とトレンチゲート120との間に配置される第2の絶縁層128によって、トレンチゲート120から電氣的に絶縁される。第1の絶縁層126および第2の絶縁層128は、二酸化ケイ素などの誘電体材料を含み、誘電体ライナー112と同様の組成物を有し得る。

【0017】

トランジスタ１０４は、ゲート誘電体層１１８に接する、垂直ドリフト領域１０８の上方の基板１０２におけるｐ型ボディ１３０を含む。トランジスタ１０４はさらに、ボディ１３０の上方に、ゲート誘電体層１１８に接するｎ型ソース１３２を含む。トレンチゲート１２０は、垂直ドリフト領域１０８およびソース１３２と部分的に同じ広がりを持つ。ソース電極１３４が基板１０２の上に配置され、ソース１３２およびボディ１３０への電氣的接続を成す。ソース電極１３４は、トレンチゲート１２０の上の誘電体キャップ層１３６によってトレンチゲート１２０から電氣的に絶縁される。

【００１８】

トランジスタ１０４が最大２５０ボルトで動作するように設計されるこの例の或るバージョンにおいて、トレンチ１１０は、１３ミクロン～１７ミクロンの深さ、および２．５ミクロン～２．８ミクロンの幅であり得る。垂直ドリフト領域１０８、すなわち、近隣トレンチ１１０間は、０．５ミクロン～３ミクロンの幅であり得、 $1.4 \times 10^{16} \text{ cm}^{-3}$ ～ $1.6 \times 10^{16} \text{ cm}^{-3}$ の平均ドーピング密度を有し得る。

【００１９】

トレンチゲート１２０への電氣接続は、基板１０２の頂部表面１４０におけるゲートの露出されたエリア上のゲートコンタクト１３８を介して成され得る。フィールドプレートセグメント１１６への電氣接続は、フィールドプレートセグメント１１６から最大で基板１０２の頂部表面１４０まで延在するフィールドプレートライザ１４４上のフィールドプレートコンタクト１４２を介して成され得る。フィールドプレートセグメント１１６への電氣接続を成すためのその他の構造もこの例の範囲内にある。

【００２０】

半導体デバイス１００の動作の間、トレンチ１１０に配置されるトレンチゲート１２０は、有利に、平坦なゲートを備える同様の垂直ＭＯＳトランジスタと比較して、トランジスタ１０４によって占有される頂部表面１４０のエリアにおいて一層高いオン状態電流を提供する。上部フィールドプレートセグメント１２４および下部フィールドプレートセグメント１２２の組合せが、単一のフィールドプレートを備える同様の垂直ＭＯＳトランジスタと比較して、垂直ドリフト領域１０８における一層高いドーピング密度で、垂直ドリフト領域１０８における電界を所望の値に維持するようにＲＥＳＵＲＦ構成を提供する。従って、上部フィールドプレートセグメント１２４および下部フィールドプレートセグメント１２２の組合せを備える垂直ＭＯＳトランジスタ１０４を形成することによって、トランジスタ１０４は、単一のフィールドプレートを備える同様の垂直ＭＯＳトランジスタより浅いトレンチ１１０を有することが可能とされ、有利に半導体デバイス１００の製造コストを削減する。互いから電氣的に絶縁される下部フィールドプレートセグメント１２２、上部フィールドプレートセグメント１２４、および、トレンチゲート１２０を形成することは、有利に、トランジスタ１０４における電流密度を増加させるために、下部フィールドプレートセグメント１２２および上部フィールドプレートセグメント１２４を独立してバイアスすることを可能にし得る。

【００２１】

図２Ａ～図２Ｋは、製造の連続的な段階において描写される、図１の半導体デバイスの断面図である。図２Ａを参照すると、半導体デバイス１００は、頂部表面１４０まで延在するエピタキシャル層を備えるバルクシリコンウエハまたはシリコンウエハなどの基板１０２上に形成される。基板１０２におけるその他の半導体材料もこの例の範囲内にある。ドレイン領域１０６は、 $1 \times 10^{20} \text{ cm}^{-3}$ より高いドーピング密度を有するように基板１０２において形成される。例えば、ドレイン領域１０６は、アンチモンや、場合によりヒ素などのｎ型ドーパントを基板１０２に注入することによって形成され得、その後、注入されたｎ型ドーパントの上のｎ型半導体材料のアニールおよびエピタキシャル成長が続き、その結果、エピタキシャル層は、垂直ドリフト領域１０８を提供する。垂直ドリフト領域１０８におけるリンなどのＮ型ドーパントが、エピタキシャル成長の間に混合され得、または、後に注入され得、その後、注入されたドーパントを拡散および活性化させるため熱駆動が続く。

【 0 0 2 2 】

基板 1 0 2 の上にハードマスク 1 4 6 が形成され、ハードマスク 1 4 6 はトレンチ 1 1 0 のためのエリアを露出させる。ハードマスク 1 4 6 は、数百ナノメートルの二酸化ケイ素であり得、フォトレジストマスクを介してエッチングすることによりパターンニングされ得る。トレンチ 1 1 0 は、ハードマスク 1 4 6 によって露出されたエリアにおける基板 1 0 2 から材料を除去することによって形成される。この材料は、トレンチ 1 1 0 の所望の深さを得るため、時限の反応性イオンエッチング (R I E) プロセスによって基板 1 0 2 から除去され得る。

【 0 0 2 3 】

図 2 B を参照すると、図 1 の下部フィールドプレートセグメント 1 2 2 に接する誘電体ライナー 1 1 2 は、熱酸化物層 1 4 8 および第 1 の堆積二酸化ケイ素層 1 5 0 の組合せ層として形成され得る。熱酸化物層 1 4 8 は、トレンチ 1 1 0 の側壁および底部 1 1 4 に形成される。熱酸化物層 1 4 8 は、50 ナノメートル ~ 200 ナノメートルの厚さであり得る。第 1 の堆積二酸化ケイ素層 1 5 0 は、熱酸化物層 1 4 8 上に形成される。第 1 の堆積二酸化ケイ素層 1 5 0 は、200 ナノメートル ~ 400 ナノメートルの厚さであり得、ジクロロシランおよび酸素を用いる準大気圧化学気相成長 (S A C V D) プロセスによって形成され得る。或いは、第 1 の堆積二酸化ケイ素層 1 5 0 は、テトラエトキシシランまたは T E O S としても知られる、テトラエチルオルソシリケートを用いるプラズマエンハンスド化学気相成長 (P E C V D) プロセスによって形成され得る。第 1 の堆積二酸化ケイ素層 1 5 0 は、アニール工程においてその後高密度化され得る。誘電体ライナー 1 1 2 のためのその他の層構造およびその他のプロセスも、この例の範囲内にある。

【 0 0 2 4 】

第 1 のポリシリコン層 1 5 2 が、誘電体ライナー 1 1 2 上に、基板 1 0 2 の頂部表面 1 4 0 の上に延在して形成される。例えば、第 1 のポリシリコン層 1 5 2 は、頂部表面 1 4 0 の上で 500 ナノメートル ~ 700 ナノメートルの厚さであり得る。また、例えば、第 1 のポリシリコン層 1 5 2 は、 $1 \times 10^{18} \text{ cm}^{-3}$ ~ $5 \times 10^{18} \text{ cm}^{-3}$ の平均ドーピング密度を有するための形成の間、リンでドーブされ得る。或いは、第 1 のポリシリコン層 1 5 2 は、 $1 \times 10^{14} \text{ cm}^{-2}$ ~ $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、リンなどのイオン注入ドーパントによってドーブされ、その後、10 分 ~ 60 分間 900 ~ 1000 でアニールされ得る。

【 0 0 2 5 】

図 2 C を参照すると、ブランケットエッチバックプロセスが、下部フィールドプレートセグメント 1 2 2 を形成するためにトレンチ 1 1 0 の下部部分におけるポリシリコンを残して、頂部表面 1 4 0 の上およびトレンチ 1 1 0 における図 2 B の第 1 のポリシリコン層 1 5 2 からポリシリコンを除去する。例えば、ブランケットエッチバックは、フッ素ラジカルを含む時限のプラズマエッチング、および / または、コリン、水酸化アンモニウム、もしくは、水酸化テトラメチルアンモニウムを用いる時限のウェットエッチングを用いて実施され得る。ブランケットエッチバックは、一つまたは複数のエッチング工程において実施され得る。この例の一つのバージョンにおいて、ブランケットエッチバックは、著しい量の誘電体ライナー 1 1 2 を除去しない。

【 0 0 2 6 】

図 2 D を参照すると、第 1 のブランケット酸化物エッチバックプロセスが、第 1 の堆積二酸化ケイ素層 1 5 0 の少なくとも一部および場合により全部を、基板 1 0 2 の頂部表面 1 4 0 の上から、および、下部フィールドプレートセグメント 1 2 2 の上方のトレンチ 1 1 0 から除去する。下部フィールドプレートセグメント 1 2 2 は、下部フィールドプレートセグメント 1 2 2 の頂部より下のトレンチ 1 1 0 からの、第 1 の堆積二酸化ケイ素層 1 5 0 の除去を防止する。第 1 のブランケット酸化物エッチバックプロセスが完了した後、熱酸化物層 1 4 8 の大部分および場合により全てがトレンチ 1 1 0 の側壁に残る。例えば、第 1 のブランケット酸化物エッチバックプロセスは、緩衝フッ酸溶液を用いる時限のウェットエッチングを含み得る。例示的な緩衝フッ酸溶液は、脱イオン水において 10 倍

の40パーセントフッ化アンモニウム、および、脱イオン水において1倍の49パーセントフッ化水素酸であり、この緩衝フッ化水素酸は、熱酸化物のエッチングレートの2倍以上である、高密度化されたSACVD二酸化ケイ素のエッチングレートを示す。

【0027】

図2Eを参照すると、第2の堆積二酸化ケイ素層154が、トレンチ110における熱酸化物層148の上、および下部フィールドプレートセグメント122の上に形成される。例えば、第2の堆積二酸化ケイ素層154は、160ナノメートル~280ナノメートルの厚さであり得、SACVDプロセスまたはPECVDプロセスによって形成され得る。第2の堆積二酸化ケイ素層154は、その後、アニール工程において高密度化され得る。熱酸化物層148と組み合わされた第2の堆積二酸化ケイ素層154は、図1の上部フィールドプレートセグメント124に接する誘電体ライナー112を提供する。下部フィールドプレートセグメント122上の第2の堆積二酸化ケイ素層154の一部が、第1の絶縁層126を提供する。

10

【0028】

図2Fを参照すると、第2のポリシリコン層が、図2Bに関連して述べたように、トレンチ110における誘電体ライナー112上および基板102の頂部表面140の上に形成される。その後のエッチバックプロセスが、上部フィールドプレートセグメント124を形成するための第2の堆積二酸化ケイ素層154上のポリシリコンを残して、頂部表面140の上から、および、トレンチ110の頂部部分からポリシリコンを除去する。エッチバックプロセスは、図2Cに関連して述べたように、時限のプラズマエッチングおよび/または時限のウェットエッチングであり得る。この例において、上部フィールドプレートセグメント124は、第2の堆積二酸化ケイ素層154によって、下部フィールドプレートセグメント122から電氣的に絶縁される。

20

【0029】

図2Gを参照すると、第2のブランケット酸化物エッチバックプロセスが、基板102の頂部表面140の上から、および、上部フィールドプレートセグメント124の上方のトレンチ110から、第2の堆積二酸化ケイ素層154および熱酸化物層148を除去する。上部フィールドプレートセグメント124は、上部フィールドプレートセグメント124の頂部より下のトレンチ110からの、第2の堆積二酸化ケイ素層154の除去を防止する。ハードマスク146の一部が、図2Gにおいて描写されるように、第2のブランケット酸化物エッチバックプロセスによって除去され得る。第2のブランケット酸化物エッチバックプロセスは、半導体材料が基板102から実質的に除去されないように実施され得る。

30

【0030】

図2Hを参照すると、ゲート誘電体層118は、上部フィールドプレートセグメント124の上方のトレンチ110の側壁上に形成され、同時に、第2の絶縁層128は、上部フィールドプレートセグメント124上に形成される。ゲート誘電体層118および第2の絶縁層128は、熱酸化、または、熱酸化および誘電体材料の堆積の組合せによって形成され得る。トレンチ110の側壁を露出させるように熱酸化物層148を除去することは、ゲート誘電体層118の厚さのプロセス制御を有利に改善する。

40

【0031】

図2Iを参照すると、ポリシリコン156の第3の層が、ゲート誘電体層118に接触して、および、基板102の頂部表面140の上に形成される。ポリシリコン156の第3の層は、形成の間、n型ドーパントでドーブされ得、または、その後、n型ドーパントが注入され得、その後、アニールが続き得る。

【0032】

図2Jを参照すると、トランジスタ104のトレンチゲート120を形成するため、ポリシリコンをゲート誘電体層118に接触したままにするように、ブランケットエッチバックプロセスが、基板102の頂部表面140の上から、図2Iのポリシリコン156の第3の層からのポリシリコンを除去する。この例において、トレンチゲート120は、第

50

2の絶縁層128によって上部フィールドプレートセグメント124から電氣的に絶縁される。

【0033】

図2Kを参照すると、ボディ130は、垂直ドリフト領域108の上方の基板102内へ、ホウ素などのp型ドーパントを注入することによって形成される。トレンチゲート120は、トレンチゲート120を逆ドーピングを防止するために、p型ドーパントが注入される間インプラントマスクによって任意選択で覆われ得る。ソース132は、ボディ130の上方の基板102に、リンやヒ素などのn型ドーパントを注入することによって形成される。基板102はその後、注入されたドーパントを活性化させるためにアニールされる。ボディ130およびソース132は、近隣トレンチ110間の基板102にわたって延在する。ボディ130およびソース132が形成された後、キャップ層136は、二酸化ケイ素および任意選択で窒化ケイ素の副層の堆積によって形成される。キャップ層136は、TEOSを用いるPECVDプロセスによって形成され得る。キャップ層136が形成された後、ソースコンタクト開口が、キャップ層136を介しておよびソース132を介して、ボディ130内へ形成される。付加的なp型ドーパントが、ソースコンタクト開口によって露出された箇所におけるボディ130内に注入され得、図1において描写されたボディにおける下向きの隆起を提供する。図1のソース電極134はその後形成され、さらなる製造が図1の構造を提供する。

【0034】

図3は、垂直nチャネルMOSトランジスタを含む別の例示的な半導体デバイスの断面図である。半導体デバイス300は基板302上に形成され、基板302は半導体材料を含む。本明細書においてトランジスタ304と呼ばれる、nチャネル垂直MOSトランジスタ304は、n型垂直ドリフト領域308の下方の基板302において配置されるn型ドレイン領域306を含む。

【0035】

半導体デバイス300はトレンチ310を含み、トレンチ310は、ドレイン領域306に近接する垂直ドリフト領域308を介して垂直に、または、場合によりドレイン領域306内へ延在する。トレンチ310は、トレンチ310の底部314まで延在し、基板302に接する、誘電体ライナー312と、誘電体ライナー312上の複数のフィールドプレートセグメント316とを含む。トレンチ310はさらに、基板302に接する誘電体ライナー312の上方のゲート誘電体層318と、ゲート誘電体層318に接触する、トランジスタ304のトレンチゲート320とを含む。この例において、フィールドプレートセグメント316は、トレンチ310の底部314におけるそれぞれの誘電体ライナー312上のそれぞれの下部フィールドプレートセグメント322と、それぞれの下部フィールドプレートセグメント322の上方に配置されるそれぞれの上部フィールドプレートセグメント324とを含む。フィールドプレートセグメント316およびトレンチゲート320は、主にn型ポリシリコンを含み得る。誘電体ライナー312は、主に二酸化ケイ素を含み得る。誘電体ライナー312は、下部フィールドプレートセグメント322および上部フィールドプレートセグメント324を基板302から分離する。基板302から下部フィールドプレートセグメント322を分離する誘電体ライナー312は、基板302から上部フィールドプレートセグメント324を分離する誘電体ライナー312より厚い。上部フィールドプレートセグメント324と基板302との間の、トレンチの側壁310上に配置される誘電体ライナー312は、トレンチゲート320と基板302との間の、トレンチ310の側壁上に配置されるゲート誘電体層318より厚い。例えば、トランジスタ304が最大40ボルトで動作するように設計されるこの例の或るバージョンにおいて、下部フィールドプレートセグメント322と基板302との間の、トレンチ310の側壁上に配置される誘電体ライナー312は、100ナノメートル~150ナノメートルの厚さであり得、上部フィールドプレートセグメント324と基板302との間の、トレンチ310の側壁上に配置される誘電体ライナー312は、50ナノメートル~80ナノメートルの厚さであり得る。

【 0 0 3 6 】

この例において、下部フィールドプレートセグメント 3 2 2 は、トレンチ 3 1 0 において上部フィールドプレートセグメント 3 2 4 に接触している。上部フィールドプレートセグメント 3 2 4 は、トレンチ 3 1 0 においてトレンチゲート 3 2 0 に接触している。また、この例においてトレンチゲート 3 2 0 に印加されるバイアス電圧が、上部フィールドプレートセグメント 3 2 4 および下部フィールドプレートセグメント 3 2 2 を同じバイアス電圧にバイアスする。

【 0 0 3 7 】

トランジスタ 3 0 4 は、ゲート誘電体層 3 1 8 に接する、垂直ドリフト領域 3 0 8 の上方の基板 3 0 2 における p 型ボディ 3 3 0 を含む。トランジスタ 3 0 4 はさらに、ボディ 3 3 0 の上方に、および、ゲート誘電体層 3 1 8 に接する、n 型ソース 3 3 2 を含む。トレンチゲート 3 2 0 は、垂直ドリフト領域 3 0 8 およびソース 3 3 2 と部分的に同じ広がりを持つ。ソース電極 3 3 4 が基板 3 0 2 の上に配置され、ソース 3 3 2 およびボディ 3 3 0 への電氣的接続を成す。ソース電極 3 3 4 は、トレンチゲート 3 2 0 の上の誘電体キャップ層 3 3 6 によってトレンチゲート 3 2 0 から電氣的に絶縁される。ソース 3 3 2 およびボディ 3 3 0 に関するソース電極 3 3 4 のその他の構成も、この例の範囲内にある。

【 0 0 3 8 】

トランジスタ 3 0 4 が最大 4 0 ボルトで動作するように設計されるこの例の一つのバージョンにおいて、トレンチ 3 1 0 は、2 . 2 ミクロン ~ 2 . 8 ミクロンの深さ、および、6 0 0 ナノメートル ~ 7 0 0 ナノメートルの幅であり得る。垂直ドリフト領域 3 0 8、すなわち、近隣トレンチ 3 1 0 間は、5 0 0 ナノメートル ~ 1 . 5 ミクロンの幅であり得、 $1 . 8 \times 10^{16} \text{ cm}^{-3} \sim 2 . 0 \times 10^{16} \text{ cm}^{-3}$ の平均ドーピング密度を有し得る。

【 0 0 3 9 】

トレンチゲート 3 2 0 への電気接続は、基板 3 0 2 の頂部表面 3 4 0 におけるゲートの露出されたエリア上でゲートコンタクト 3 3 8 を介して成され得る。トレンチゲート 3 2 0 に電気接続するためのその他の構成も、この例の範囲内にある。上部フィールドプレートセグメント 3 2 4 および下部フィールドプレートセグメント 3 2 2 への電気接続が、ゲートコンタクト 3 3 8 を介して成され得るように、トレンチ 3 1 0 においてトレンチゲート 3 2 0 に接触するように上部フィールドプレートセグメント 3 2 4 を形成すること、および、トレンチ 3 1 0 において上部フィールドプレートセグメント 3 2 4 に接触するように下部フィールドプレートセグメント 3 2 2 を形成することが、有利に、半導体デバイス 3 0 0 の複雑さおよび製造コストを削減し得る。

【 0 0 4 0 】

半導体デバイス 3 0 0 の動作の間、トレンチゲート 3 2 0 は、有利に、図 1 に関連して説明したような一層高い電流密度を提供する。フィールドプレートセグメント 3 1 6 は、図 1 に関連して説明したように、垂直ドリフト領域 3 0 8 における電界を所望の値に維持するように R E S U R F 構成を提供する。従って、上部フィールドプレートセグメント 3 2 4 および下部フィールドプレートセグメント 3 2 2 の組合せを備える垂直 M O S トランジスタ 3 0 4 を形成することによって、トランジスタ 3 0 4 は、単一のフィールドプレートを備える同様の垂直 M O S トランジスタより浅いトレンチ 3 1 0 を有することが可能となり、有利に、半導体デバイス 3 0 0 の製造コストを削減する。

【 0 0 4 1 】

図 4 A ~ 図 4 E は、製造の連続的な段階において描写される、図 3 の半導体デバイスの断面図である。図 4 A を参照すると、半導体デバイス 3 0 0 は、基板 3 0 2 上に形成される。ドレイン領域 3 0 6 は、 $1 \times 10^{20} \text{ cm}^{-3}$ より高いドーピング密度を有するように、基板 3 0 2 において形成される。垂直ドリフト領域 3 0 8 におけるリンなどの N 型ドーパントは、エピタキシャル成長の間に混合され得、または、後に注入され得る。ハードマスク 3 4 6 が基板 3 0 2 の上に形成され、ハードマスク 3 4 6 はトレンチ 3 1 0 のためのエリアを露出させる。トレンチ 3 1 0 は、ハードマスク 3 4 6 により露出されたエリア

10

20

30

40

50

における基板 302 から材料を除去することによって形成される。ドレイン領域 306、ハードマスク 346、および、トレンチ 310 は、図 2 A に関連して述べたように形成され得る。

【0042】

熱酸化物層 348 が、トレンチ 310 の側壁および底部 314 に形成される。この例において、熱酸化物層 348 は、図 3 の上部フィールドプレートセグメント 324 と基板 302 との間の、トレンチ 310 の側壁上に配置される完全な誘電体ライナー 312 を提供するように、40 ボルトの動作電圧のための 70 ナノメートル～80 ナノメートルの厚さなど、十分な厚さである。堆積二酸化ケイ素層 350 が、熱酸化物層 348 上に形成される。堆積二酸化ケイ素層 350 は、130 ナノメートル～170 ナノメートルの厚さであり得、SACVD プロセスまたは PECVD プロセスによって形成され得る。

10

【0043】

下部フィールドプレートセグメント 322 が、図 2 B および図 2 C に関連して述べたように、堆積二酸化ケイ素層 350 上のトレンチ 310 に形成される。堆積二酸化ケイ素層 350 と組み合わされた熱酸化物層 348 は、下部フィールドプレートセグメント 322 を基板 302 から分離する誘電体ライナー 312 を提供する。

【0044】

第 1 のブランケット酸化物エッチバックプロセスが、下部フィールドプレートセグメント 322 の上方のトレンチ 310 から、堆積二酸化ケイ素層 350 の少なくとも一部および場合により全てを除去する。下部フィールドプレートセグメント 322 は、下部フィールドプレートセグメント 322 の頂部より下のトレンチ 310 からの、堆積二酸化ケイ素層 350 の除去を防止する。この例において、第 1 のブランケット酸化物エッチバックプロセスが完了した後、熱酸化物層 348 の実質的に全てが、トレンチ 310 の側壁に残る。第 1 のブランケット酸化物エッチバックプロセスは、下部フィールドプレートセグメント 322 の頂部を露出させる。

20

【0045】

図 4 B を参照すると、上部フィールドプレートセグメント 324 が、図 2 F に関連して述べたように、熱酸化物層 348 上、およびトレンチ 310 における下部フィールドプレートセグメント 322 上に形成される。この例において、熱酸化物層 348 は、基板 302 から上部フィールドプレートセグメント 324 を分離する誘電体ライナー 312 を提供し、これは、有利に、半導体デバイス 300 の製造の複雑性およびコストを削減する。

30

【0046】

図 4 C を参照すると、第 2 のブランケット酸化物エッチバックプロセスが、上部フィールドプレートセグメント 324 の上方のトレンチ 310 から熱酸化物層 348 を除去する。上部フィールドプレートセグメント 324 は、上部フィールドプレートセグメント 324 頂部より下のトレンチ 310 からの、熱酸化物層 348 の除去を防止する。第 2 のブランケット酸化物エッチバックプロセスは、実質的に半導体材料が基板 302 から除去されないように実施され得る。

【0047】

ゲート誘電体層 318 は、上部フィールドプレートセグメント 324 の上方のトレンチ 310 の側壁上に形成され、誘電体材料 358 が、同時に、上部フィールドプレートセグメント 324 上に形成される。ゲート誘電体層 318 は、熱酸化、または、熱酸化および誘電体材料の堆積の組合せによって形成され得る。トレンチ 310 の側壁を露出させるために熱酸化物層 348 を除去することは、ゲート誘電体層 318 の厚さのプロセス制御を有利に改善する。上部フィールドプレートセグメント 324 上の誘電体材料 358 は、結晶シリコンと比較した、ポリシリコン上の一層高い熱酸化成長率に起因して、ゲート誘電体層 318 より厚くし得る。

40

【0048】

図 4 D を参照すると、RIE プロセスなどの異方性エッチングプロセスが、ゲート誘電体層 318 を著しく劣化させることなく、上部フィールドプレートセグメント 324 の頂

50

部から、図 4 C の誘電体材料 3 5 8 を除去する。この例の一つのバージョンにおいて、ゲート誘電体層 3 1 8 は、ポリシリコンまたは窒化ケイ素の犠牲層によって保護され得、他方、誘電体材料 3 5 8 が除去された後、犠牲層は、ゲート誘電体層 3 1 8 を著しく劣化させることなく除去される。

【 0 0 4 9 】

図 4 E を参照すると、トレンチゲート 3 2 0 は、ゲート誘電体層 3 1 8 および上部フィールドプレートセグメント 3 2 4 に接触して形成される。トレンチゲート 3 2 0 は、図 2 I および図 2 J に関連して述べたように形成され得る。この例において、上部フィールドプレートセグメント 3 2 4 の頂部から、図 4 C の誘電体材料 3 5 8 を除去することにより、トレンチゲート 3 2 0 が、上部フィールドプレートセグメント 3 2 4 との電氣的接続を成すことが可能となる。さらなる製造が図 3 の構造を提供する。

10

【 0 0 5 0 】

図 5 は、垂直 p チャネル MOS トランジスタを含む例示的な半導体デバイスの断面図である。半導体デバイス 5 0 0 は基板 5 0 2 上に形成され、基板 5 0 2 は半導体材料を含む。本明細書においてトランジスタ 5 0 4 と呼ばれる p チャネル垂直 MOS トランジスタ 5 0 4 は、p 型垂直ドリフト領域 5 0 8 の下方の基板 5 0 2 において配置される p 型ドレイン領域 5 0 6 を含む。

【 0 0 5 1 】

半導体デバイス 5 0 0 はトレンチ 5 1 0 を含み、トレンチ 5 1 0 は、ドレイン領域 5 0 6 に近接する垂直ドリフト領域 5 0 8 を介して垂直に、または、場合によりドレイン領域 5 0 6 内へ延在する。トレンチ 5 1 0 は、トレンチ 5 1 0 の底部 5 1 4 まで延在し、基板 5 0 2 に接する、誘電体ライナー 5 1 2 と、誘電体ライナー 5 1 2 上の複数のフィールドプレートセグメント 5 1 6 とを含む。トレンチ 5 1 0 はさらに、基板 5 0 2 に接する誘電体ライナー 5 1 2 の上方のゲート誘電体層 5 1 8 と、ゲート誘電体層 5 1 8 に接触する、トランジスタ 5 0 4 のトレンチゲート 5 2 0 とを含む。この例において、フィールドプレートセグメント 5 1 6 は、トレンチ 5 1 0 の底部 5 1 4 におけるそれぞれの誘電体ライナー 5 1 2 上のそれぞれの下部フィールドプレートセグメント 5 2 2 と、それぞれの下部フィールドプレートセグメント 5 2 2 の上方に配置されるそれぞれの上部フィールドプレートセグメント 5 2 4 とを含む。フィールドプレートセグメント 5 1 6 およびトレンチゲート 5 2 0 は、主に p 型ポリシリコンを含み得る。誘電体ライナー 5 1 2 は、主に二酸化ケイ素を含み得る。誘電体ライナー 5 1 2 は、下部フィールドプレートセグメント 5 2 2 および上部フィールドプレートセグメント 5 2 4 を基板 5 0 2 から分離する。下部フィールドプレートセグメント 5 2 2 を基板 5 0 2 から分離する誘電体ライナー 5 1 2 は、上部フィールドプレートセグメント 5 2 4 を基板 5 0 2 から分離する誘電体ライナー 5 1 2 より厚い。上部フィールドプレートセグメント 5 2 4 と基板 5 0 2 との間の、トレンチ 5 1 0 の側壁上に配置される誘電体ライナー 5 1 2 は、トレンチゲート 5 2 0 と基板 5 0 2 との間の、トレンチ 5 1 0 の側壁上に配置されるゲート誘電体層 5 1 8 より厚い。例えば、トランジスタ 5 0 4 が最大 1 0 0 ボルトで動作するように設計されるこの例の或るバージョンにおいて、下部フィールドプレートセグメント 5 2 2 と基板 5 0 2 との間の、トレンチ 5 1 0 の側壁上に配置される誘電体ライナー 5 1 2 は、4 0 0 ナノメートル ~ 5 0 0 ナノメートルの厚さであり得、上部フィールドプレートセグメント 5 2 4 と基板 5 0 2 との間の、トレンチ 5 1 0 の側壁上に配置される誘電体ライナー 5 1 2 は、1 5 0 ナノメートル ~ 2 0 0 ナノメートルの厚さであり得る。

20

30

40

【 0 0 5 2 】

この例において、下部フィールドプレートセグメント 5 2 2 は、トレンチ 5 1 0 において上部フィールドプレートセグメント 5 2 4 に接触している。上部フィールドプレートセグメント 5 2 4 は、上部フィールドプレートセグメント 5 2 4 とトレンチゲート 5 2 0 との間に配置される絶縁層 5 2 8 によってトレンチゲート 5 2 0 から絶縁される。また、この例において上部フィールドプレートセグメント 5 2 4 に印加されるバイアス電圧が、下部フィールドプレートセグメント 5 2 2 を同じバイアス電圧までバイアスする。

50

【0053】

トランジスタ504は、ゲート誘電体層518に接する、垂直ドリフト領域508の上方の基板502におけるn型ボディ530を含む。トランジスタ504はさらに、ボディ530の上方の、および、ゲート誘電体層518に接する、p型ソース532を含む。トレンチゲート520は、垂直ドリフト領域508およびソース532と部分的に同じ広がりを持つ。ソース電極534が基板502の上に配置されて、ソース532およびボディ530への電氣的接続を成す。ソース電極534は、トレンチゲート520の上の誘電体キャップ層536によってトレンチゲート520から電氣的に絶縁される。ソース532およびボディ530に関するソース電極534のその他の構成も、この例の範囲内にある。

10

【0054】

トランジスタ504が最大100ボルトで動作するように設計されるこの例の一つのバージョンにおいて、トレンチ510は、6ミクロン~7ミクロンの深さ、および1.2ミクロン~1.4ミクロンの幅であり得る。垂直ドリフト領域508、すなわち、近隣トレンチ510間は、0.5ミクロン~2.0ミクロンの幅であり得、 $1.8 \times 10^{16} \text{ cm}^{-3}$ ~ $2.0 \times 10^{16} \text{ cm}^{-3}$ の平均ドーピング密度を有し得る。

【0055】

トレンチゲート520への電気接続は、基板502の頂部表面540におけるゲートの露出されたエリア上のゲートコンタクト538を介して成され得る。フィールドプレートセグメント516への電気接続は、フィールドプレートセグメント516から最大で基板502の頂部表面540まで延在するフィールドプレートライザ544上の組み合わせられたフィールドプレートコンタクト542を介して成され得る。トレンチゲート520およびフィールドプレートセグメント516に電気接続するためのその他の構造も、この例の範囲内にある。トレンチゲート520から絶縁されるように上部フィールドプレートセグメント524を形成することは、有利に、トランジスタ504における電流密度を増加させるために、フィールドプレートセグメント516を独立してバイアスすることを可能にし得、他方、上部フィールドプレートセグメント524および下部フィールドプレートセグメント522への電気接続が、組み合わせられたフィールドプレートコンタクト542を介して成され得るように、トレンチ510における上部フィールドプレートセグメント524に接触するように下部フィールドプレートセグメント522を形成することが、有利に半導体デバイス500の複雑さおよび製造コストを削減し得る。

20

30

【0056】

半導体デバイス500の動作の間、トレンチゲート520は、有利に、図1に関連して説明したような一層高い電流密度を提供する。フィールドプレートセグメント516は、図1に関連して説明したように、垂直ドリフト領域508における電界を所望の値に維持するようにRESURF構成を提供する。従って、上部フィールドプレートセグメント524および下部フィールドプレートセグメント522の組合せを備える垂直MOSトランジスタ504を形成することによって、トランジスタ504が、単一のフィールドプレートを備える同様の垂直MOSトランジスタより浅いトレンチ510を有することが可能とされ、有利に半導体デバイス500の製造コストを削減する。

40

【0057】

図6A~図6Hは、製造の連続的な段階において描写される、図5の半導体デバイスの断面図である。図6Aを参照すると、半導体デバイス500は基板502上に形成される。ドレイン領域506は、 $1 \times 10^{20} \text{ cm}^{-3}$ より高いドーピング密度を有するように基板502において形成される。垂直ドリフト領域508におけるホウ素などのP型ドーパントが、エピタキシャル成長の間に混合され得、または、後に注入され得る。ハードマスク546が基板502の上に形成され、ハードマスク546はトレンチ510のためのエリアを露出する。トレンチ510は、ハードマスク546によって露出されたエリアにおける基板502から材料を除去することによって形成される。ドレイン領域506、ハードマスク546、および、トレンチ510は、図2Aに関連して述べたように形成され

50

得る。

【 0 0 5 8 】

第 1 の熱酸化物層 5 4 8 が、トレンチ 5 1 0 の側壁および底部 5 1 4 に形成される。堆積二酸化ケイ素層 5 5 0 が、S A C V D プロセスまたは P E C V D プロセスによって、第 1 の熱酸化物層 5 4 8 上に形成される。下部フィールドプレートセグメント 5 2 2 が、図 2 B および図 2 C に関連して述べたように、堆積二酸化ケイ素層 5 5 0 上のトレンチ 5 1 0 において形成される。この例において、下部フィールドプレートセグメント 5 2 2 は、垂直ドリフト領域 5 0 8 の R E S U R F 構造において効果的な荷電平衡を提供するため、p 型ポリシリコンであり得る。堆積二酸化ケイ素層 5 5 0 と組み合わせられた第 1 の熱酸化物層 5 4 8 は、下部フィールドプレートセグメント 5 2 2 を基板 5 0 2 から分離する誘電体ライナー 5 1 2 を提供する。例えば、この例において、第 1 の熱酸化物層 5 4 8 は、7 0 ナノメートル ~ 8 0 ナノメートルの厚さであり得、堆積二酸化ケイ素層 5 5 0 は、1 0 0 ボルトの動作電圧のため、3 3 0 ナノメートル ~ 4 2 0 ナノメートルの厚さであり得る。

10

【 0 0 5 9 】

図 6 B を参照すると、第 1 のブランケット酸化物エッチバックプロセスが、下部フィールドプレートセグメント 5 2 2 の上方のトレンチ 5 1 0 から、誘電体ライナー 5 1 2 の実質的に全て、すなわち、第 1 の熱酸化物層 5 4 8 と堆積二酸化ケイ素層 5 5 0 との両方、を除去する。下部フィールドプレートセグメント 5 2 2 は、下部フィールドプレートセグメント 5 2 2 の頂部より下のトレンチ 5 1 0 からの、誘電体ライナー 5 1 2 の除去を防止する。例えば、第 1 のブランケット酸化物エッチバックプロセスは、緩衝フッ酸溶液を用いる時限のウェットエッチングを含み得る。

20

【 0 0 6 0 】

図 6 C を参照すると、第 2 の熱酸化物層 5 6 0 が、下部フィールドプレートセグメント 5 2 2 の上方のトレンチ 5 1 0 の側壁において、および、下部フィールドプレートセグメント 5 2 2 の頂部表面上に形成される。この例において、第 2 の熱酸化物層 5 6 0 は、図 5 の上部フィールドプレートセグメント 5 2 4 と基板 5 0 2 との間の誘電体ライナー 5 1 2 を提供する。第 2 の熱酸化物層 5 6 0 は、トランジスタ 5 0 4 のための 1 0 0 ボルト動作を提供するため、1 5 0 ナノメートル ~ 2 0 0 ナノメートルの厚さであり得る。

【 0 0 6 1 】

30

図 6 D を参照すると、R I E プロセスなどの異方性エッチングプロセスが、下部フィールドプレートセグメント 5 2 2 の頂部表面を露出するため、下部フィールドプレートセグメント 5 2 2 の頂部表面から第 2 の熱酸化物層 5 6 0 を除去する。異方性エッチングプロセスは、トレンチ 5 1 0 の側壁上の第 2 の熱酸化物層 5 6 0 を実質的に劣化させることを防ぐために実施される。異方性エッチングプロセスは、トレンチ 5 1 0 の側壁上の第 2 の熱酸化物層 5 6 0 上に保護ポリマーを形成し得、保護ポリマーは、その後、下部フィールドプレートセグメント 5 2 2 の頂部表面が露出された後、除去される。

【 0 0 6 2 】

図 6 E を参照すると、上部フィールドプレートセグメント 5 2 4 が、図 2 F に関連して述べたように、トレンチ 5 1 0 における第 2 の熱酸化物層 5 6 0 上および下部フィールドプレートセグメント 5 2 2 上に形成される。この例において、上部フィールドプレートセグメント 5 2 4 は、図 6 E に関連して説明されるように、p 型ポリシリコンであり得る。この例において、第 2 の熱酸化物層 5 6 0 は、基板 5 0 2 から上部フィールドプレートセグメント 5 2 4 を分離する誘電体ライナー 5 1 2 を提供し、これは、基板 5 0 2 から上部フィールドプレートセグメント 5 2 4 を分離する誘電体ライナー 5 1 2 における第 2 の誘電体層を形成する必要をなくすことにより、半導体デバイス 5 0 0 の製造の複雑さおよびコストを有利に削減し得る。

40

【 0 0 6 3 】

図 6 F を参照すると、第 2 のブランケット酸化物エッチバックプロセスが、上部フィールドプレートセグメント 5 2 4 の上方のトレンチ 5 1 0 から第 2 の熱酸化物層 5 6 0 を除

50

去する。上部フィールドプレートセグメント524は、上部フィールドプレートセグメント524の頂部より下のトレンチ510からの、第2の熱酸化物層560の除去を防止する。第2のブランケット酸化物エッチバックプロセスは、実質的に半導体材料が基板502から除去されないように実施され得る。図6Eのハードマスク546は、図6Fにおいて描写されるように、基板502の頂部表面540を露出するために、第2のブランケットエッチバックによって除去され得る。

【0064】

図6Gを参照すると、ゲート誘電体層518は、トレンチ510の側壁上に形成され、同時に、絶縁層528は、上部フィールドプレートセグメント524の頂部表面上に形成される。この例において、基板502の頂部表面540が、図6Fに関連して論じた第2のブランケットエッチバックによって露出される場合、ゲート誘電体層518も、図6Gにおいて描写されたように、頂部表面540上に形成され得る。ゲート誘電体層518および絶縁層528は、熱酸化、または、熱酸化および誘電体材料の堆積の組合せによって形成され得る。絶縁層528における熱酸化は、結晶シリコンと比較したポリシリコン上の一層高い熱酸化成長率に起因して、ゲート誘電体層518における熱酸化より厚くし得る。

【0065】

図6Hを参照すると、トレンチゲート520は、ゲート誘電体層518および絶縁層528に接触して形成される。トレンチゲート520は、図2Iおよび図2Jに関連して述べたように形成され得る。この例において、上部フィールドプレートセグメント524の頂部上の絶縁層528は、トレンチゲート520からフィールドプレートセグメント516を電氣的に絶縁し、トレンチゲート520に対するフィールドプレートセグメント516の独立したバイアスを可能にする。さらなる製造が図5の構造を提供する。

【0066】

図7は、垂直nチャネルMOSトランジスタを含む別の例示的な半導体デバイスの断面図である。半導体デバイス700は、基板702上に形成され、基板702は半導体材料を含む。本明細書においてトランジスタ704と呼ばれるnチャネル垂直MOSトランジスタ704は、n型垂直ドリフト領域708の下方の基板702において配置されるn型ドレイン領域706を含む。

【0067】

半導体デバイス700はトレンチ710を含み、トレンチ710は、ドレイン領域706に近接する垂直ドリフト領域708を介して垂直に、または場合により、ドレイン領域706内へ延在する。トレンチ710は、トレンチ710の底部714まで延在し、基板702に接する、誘電体ライナー712と、誘電体ライナー712上の複数のフィールドプレートセグメント716とを含む。トレンチ710はさらに、基板702に接する誘電体ライナー712の上方のゲート誘電体層718と、ゲート誘電体層718に接触する、トランジスタ704のトレンチゲート720とを含む。この例において、フィールドプレートセグメント716は、トレンチ710の底部714におけるそれぞれの誘電体ライナー712上のそれぞれの下部フィールドプレートセグメント722と、それぞれの下部フィールドプレートセグメント722の上方に配置される、それぞれの中間フィールドプレートセグメント762と、それぞれの中間フィールドプレートセグメント762の上方およびそれぞれのトレンチゲート720の下方に配置される、それぞれの上部フィールドプレートセグメント724を含む。フィールドプレートセグメント716およびトレンチゲート720は、主にn型ポリシリコンを含み得る。誘電体ライナー712は、主に二酸化ケイ素を含み得る。誘電体ライナー712は、下部フィールドプレートセグメント722、中間フィールドプレートセグメント762、および、上部フィールドプレートセグメント724を基板702から分離する。基板702から下部フィールドプレートセグメント722を分離する誘電体ライナー712は、基板702から中間フィールドプレートセグメント762を分離する誘電体ライナー712より厚く、基板702から中間フィールドプレートセグメント762を分離する誘電体ライナー712は、基板702から上部フィ

10

20

30

40

50

ールドプレートセグメント724を分離する誘電体ライナー712より厚い。上部フィールドプレートセグメント724と基板702との間の、トレンチ710の側壁上に配置される誘電体ライナー712は、トレンチゲート720と基板702との間の、トレンチ710の側壁上に配置されるゲート誘電体層718より厚い。

【0068】

この例において、下部フィールドプレートセグメント722は、トレンチ710における中間フィールドプレートセグメント762に接触し、上部フィールドプレートセグメント724は、トレンチ710におけるトレンチゲート720に接触し、中間フィールドプレートセグメント762は、上部フィールドプレートセグメント724と中間フィールドプレートセグメント762との間に配置される絶縁層726によって上部フィールドプレートセグメント724から分離される。それゆえ、トレンチゲート720に印加されるバイアス電圧が、この例において上部フィールドプレートセグメント724にも印加され、中間フィールドプレートセグメント762に印加される独立したバイアス電圧も、下部フィールドプレートセグメント722を同じ独立したバイアス電圧にバイアスする。

【0069】

トランジスタ704は、ゲート誘電体層718に接する、垂直ドリフト領域708の上方の基板702におけるp型ボディ730を含む。トランジスタ704はさらに、ボディ730の上方の、ゲート誘電体層718に接する、n型ソース732を含む。トレンチゲート720は、垂直ドリフト領域708およびソース732と部分的に同じ広がりを持つ。ソース電極734が基板702の上に配置され、ソース732およびボディ730への電気接続を成す。ソース電極734は、トレンチゲート720の上の誘電体キャップ層736によってトレンチゲート720から電氣的に絶縁される。ソース732およびボディ730に関するソース電極734のためのその他の構成も、この例の範囲内にある。

【0070】

トレンチゲート720および上部フィールドプレートセグメント724への電気接続は、基板702の頂部表面740における露出されたエリア上のゲートコンタクト738を介して成され得る。中間フィールドプレートセグメント762および下部フィールドプレートセグメント722への電気接続は、フィールドプレートライザ744上の組み合わせられたフィールドプレートコンタクト742を介して成され得、フィールドプレートライザ744は、中間フィールドプレートセグメント762から、最大で基板702の頂部表面740まで延在する。トレンチゲート720および中間フィールドプレートセグメント762への電気接続を成すためのその他の構造も、この例の範囲内にある。中間フィールドプレートセグメント762および下部フィールドプレートセグメント722から絶縁されるように、トレンチゲート720および上部フィールドプレートセグメント724を形成することは、有利に、図1に関連して論じたような、トレンチゲート720およびフィールドプレートセグメント716のための独立したバイアスの利点と、図3に関連して論じたような、組み合わせられたフィールドプレートコンタクト742の利点とのバランスを可能にし得る。

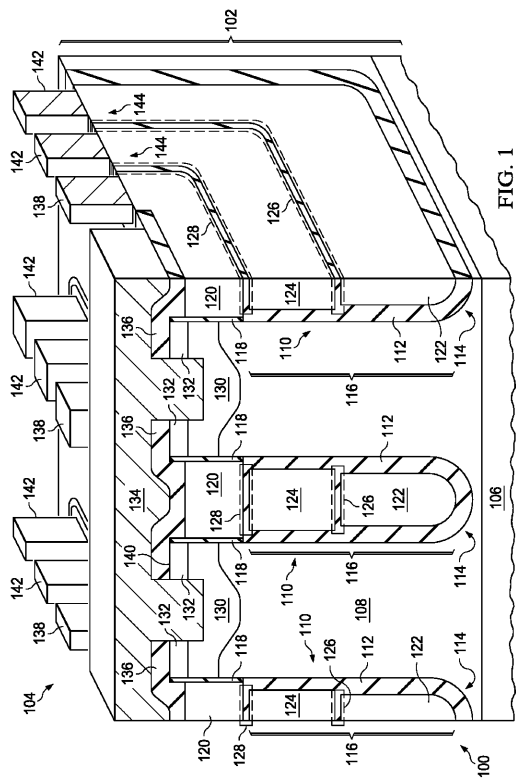
【0071】

半導体デバイス700の動作の間、トレンチゲート720は、有利に、図1に関連して説明したような一層高い電流密度を提供する。フィールドプレートセグメント716は、図1に関連して説明したように、垂直ドリフト領域708における電界を所望の値に維持するようにRESURF構成を提供する。従って、上部フィールドプレートセグメント724および下部フィールドプレートセグメント722の組合せを備える垂直MOSトランジスタ704を形成することによって、トランジスタ704が、単一のフィールドプレートを備える同様の垂直MOSトランジスタより浅いトレンチ710を有することが可能とされ、有利に、半導体デバイス700の製造コストを削減する。

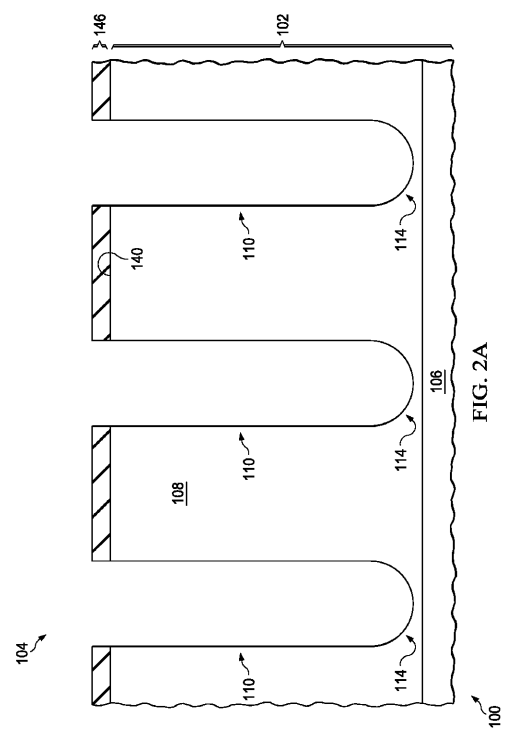
【0072】

特許請求の範囲内で、述べられた実施形態において改変が可能であり、その他の実施形態が可能である。

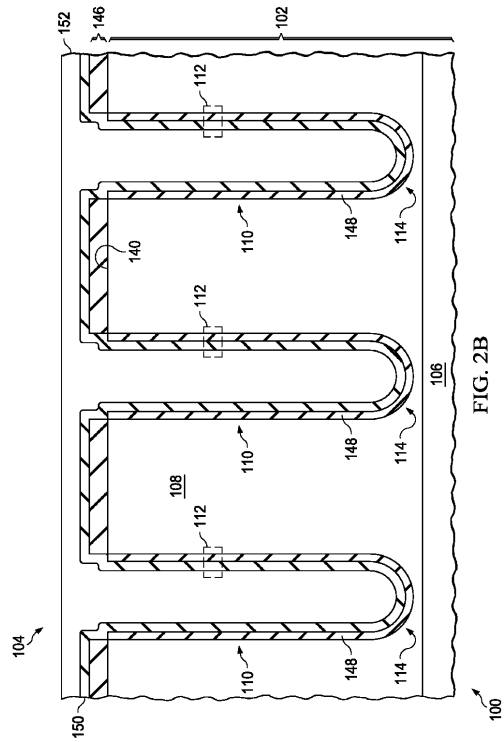
【図 1】



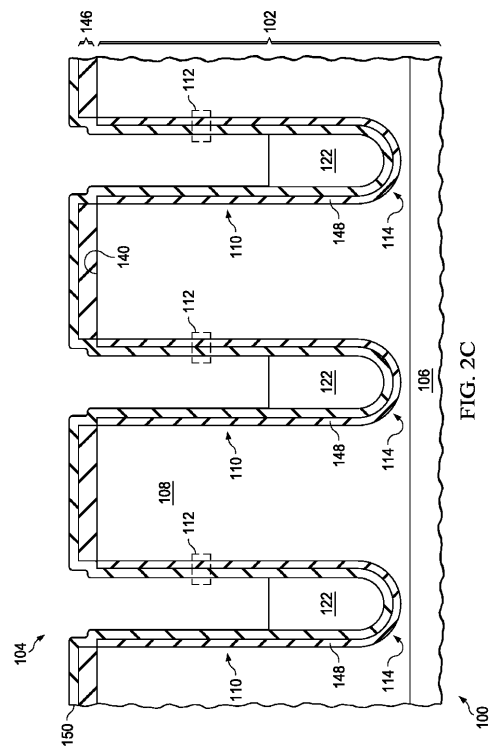
【図 2 A】



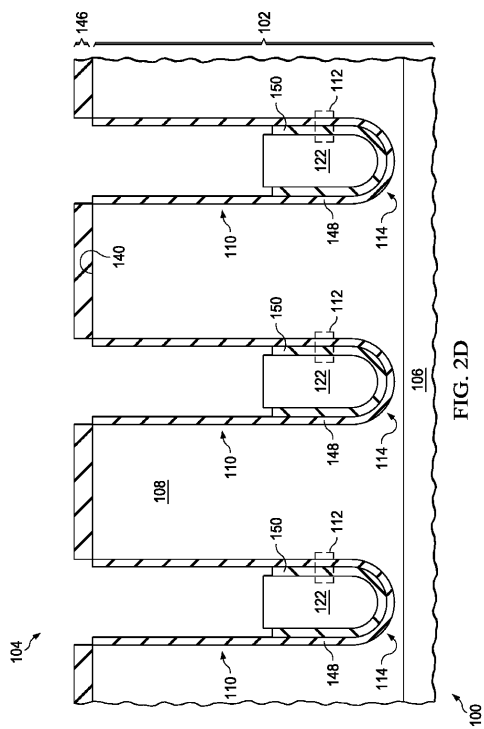
【 図 2 B 】



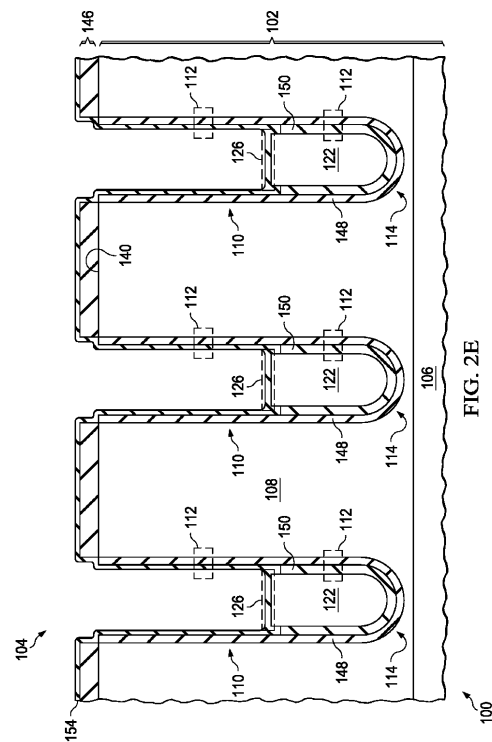
【 図 2 C 】



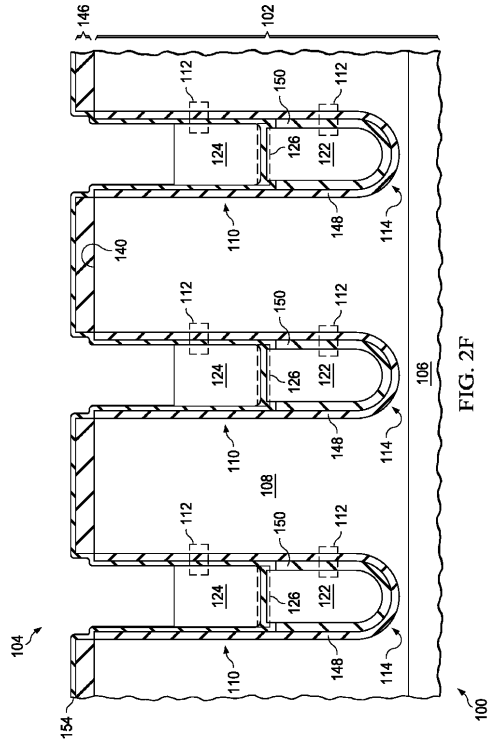
【 図 2 D 】



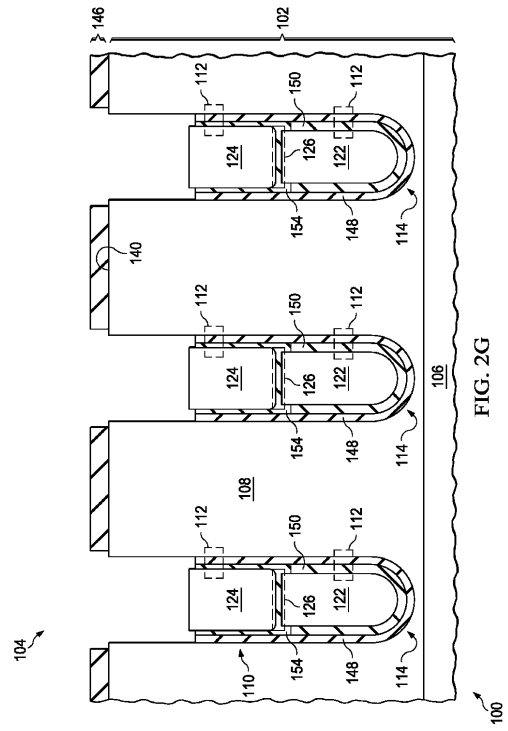
【 図 2 E 】



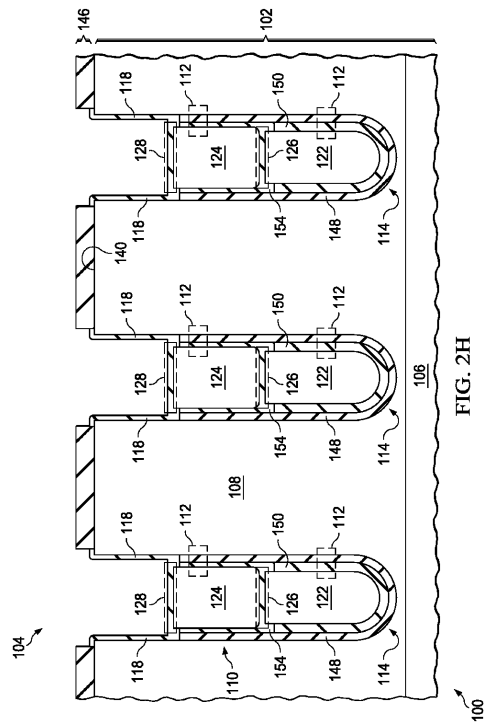
【図 2 F】



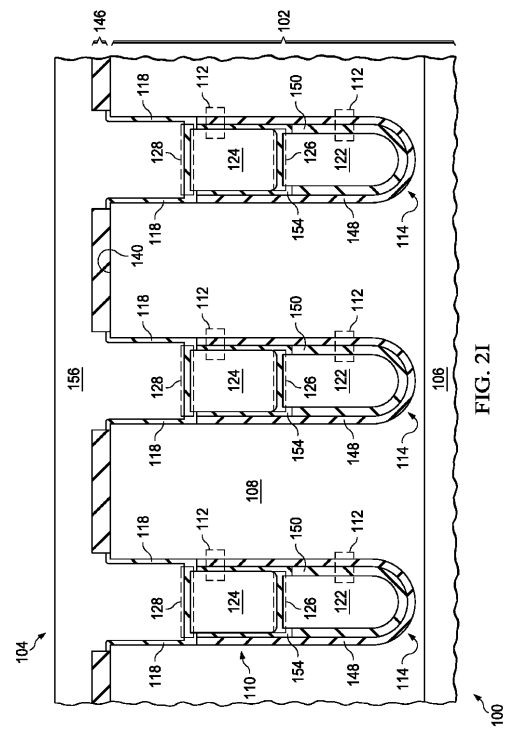
【図 2 G】



【図 2 H】



【図 2 I】



【図 2 J】

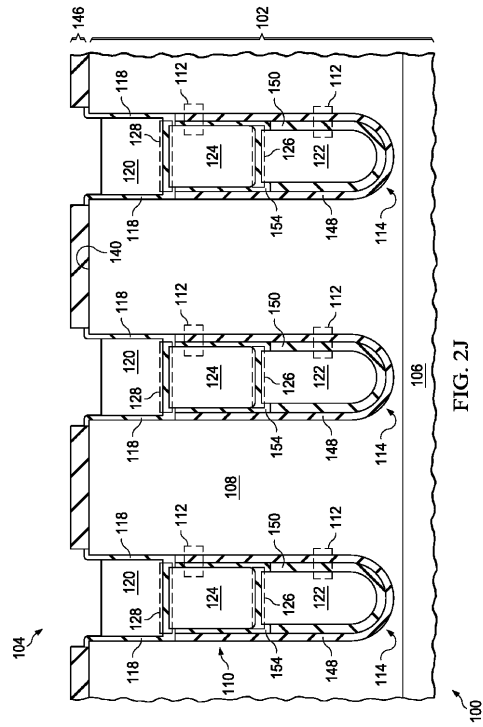


FIG. 2J

【図 2 K】

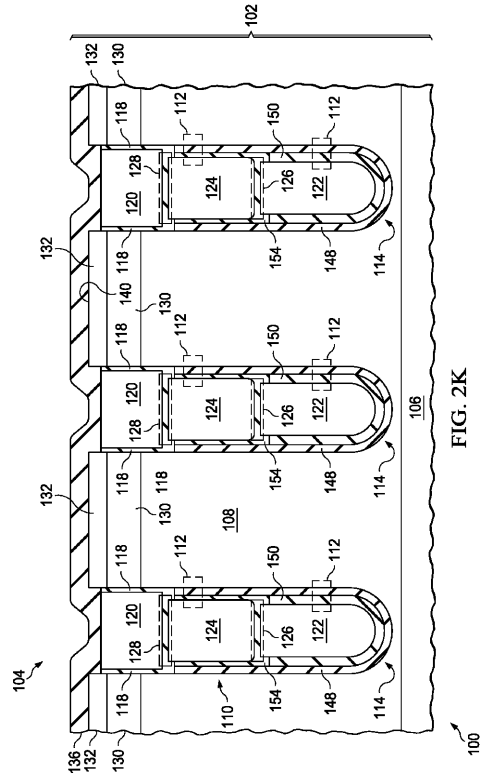


FIG. 2K

【図 3】

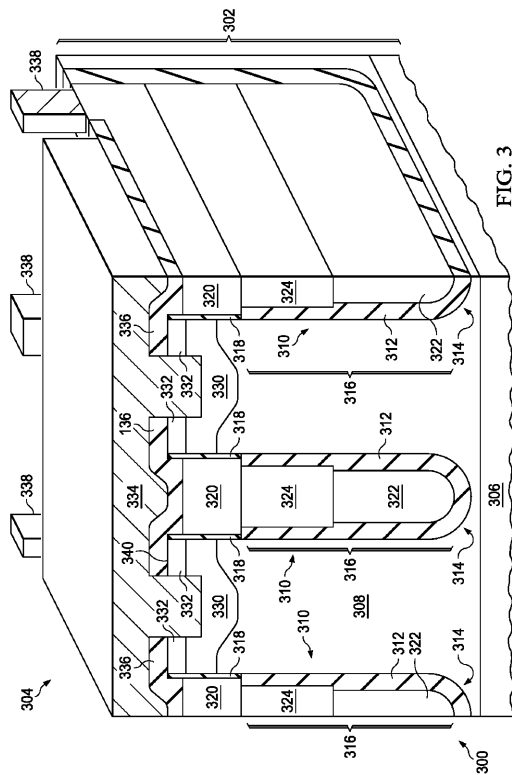


FIG. 3

【図 4 A】

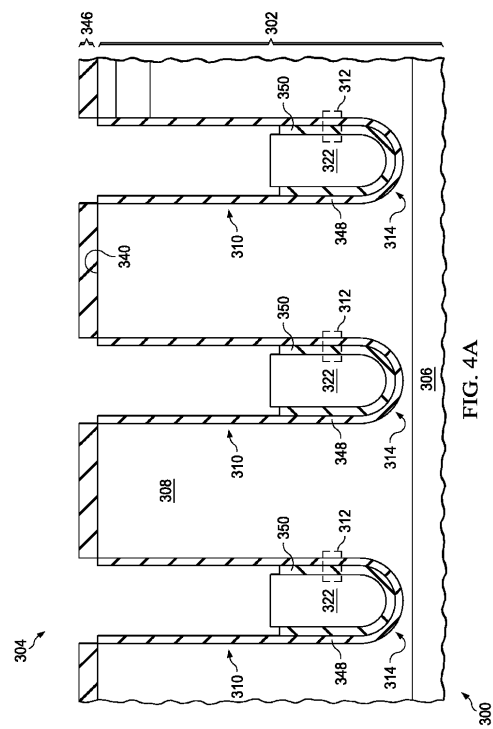
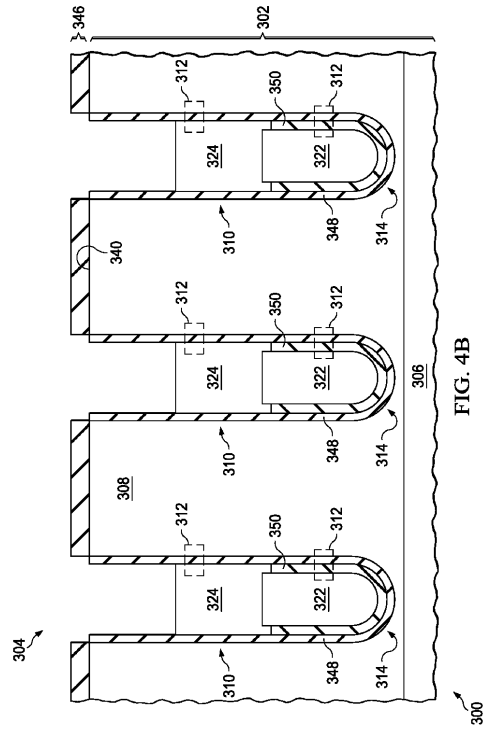
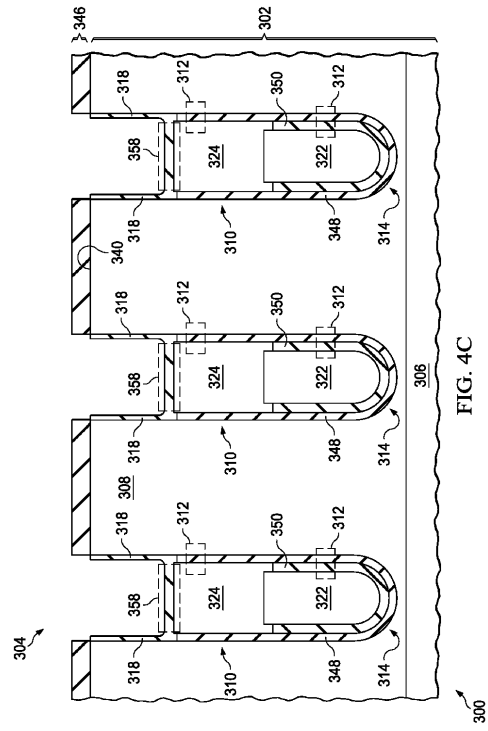


FIG. 4A

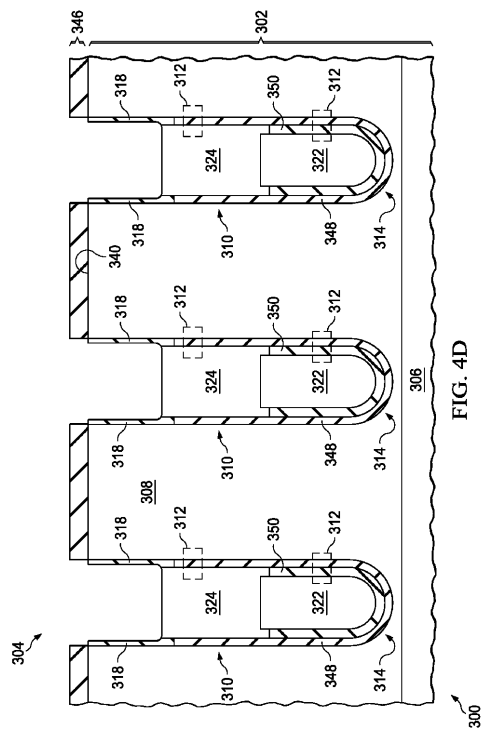
【図 4 B】



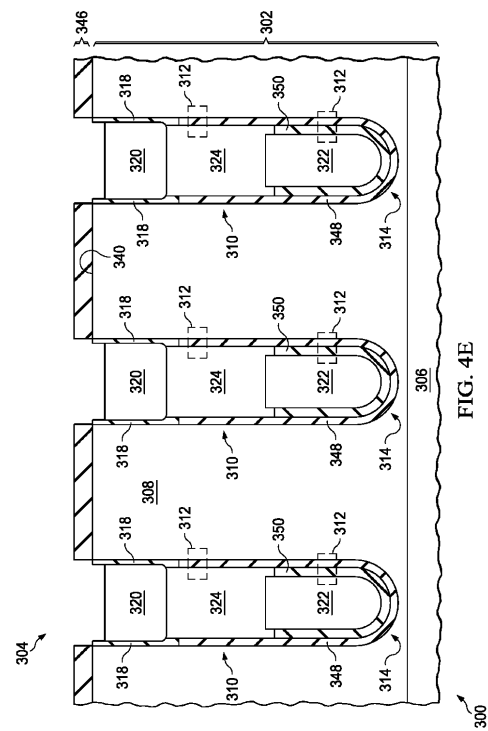
【図 4 C】



【図 4 D】



【図 4 E】



【図 5】

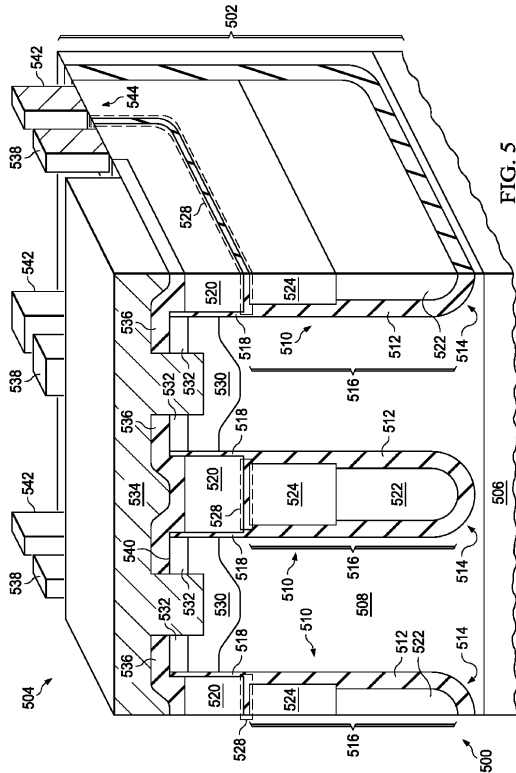


FIG. 5

【図 6 A】

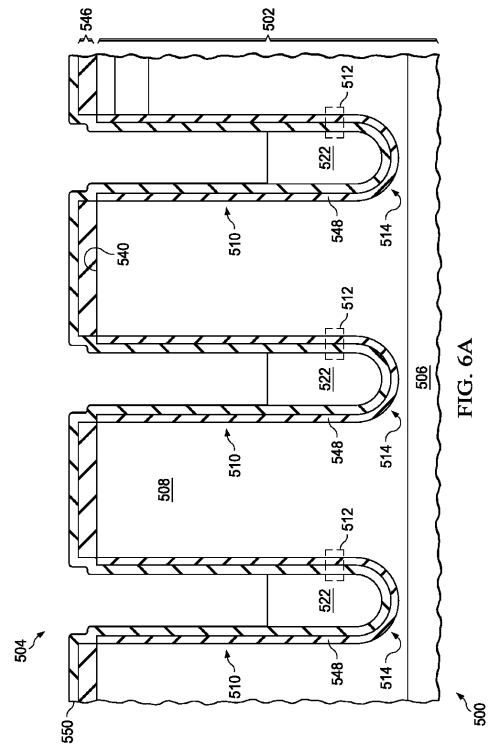


FIG. 6A

【図 6 B】

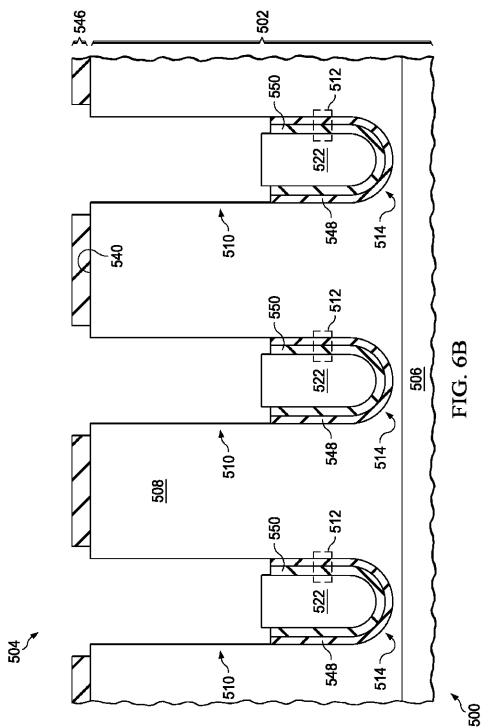


FIG. 6B

【図 6 C】

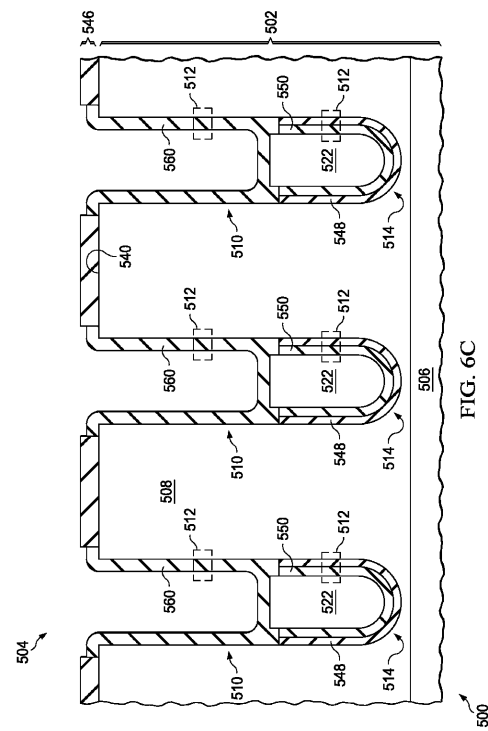
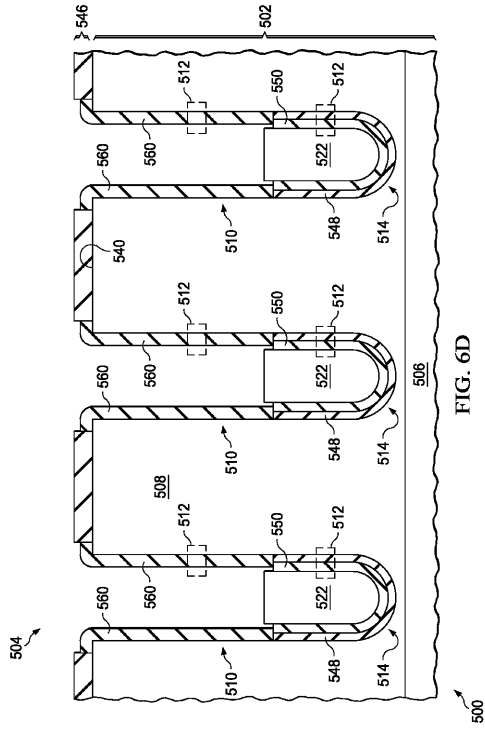
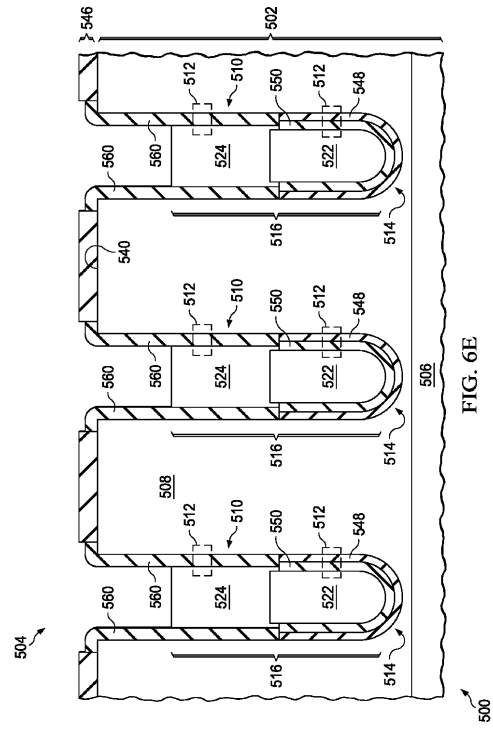


FIG. 6C

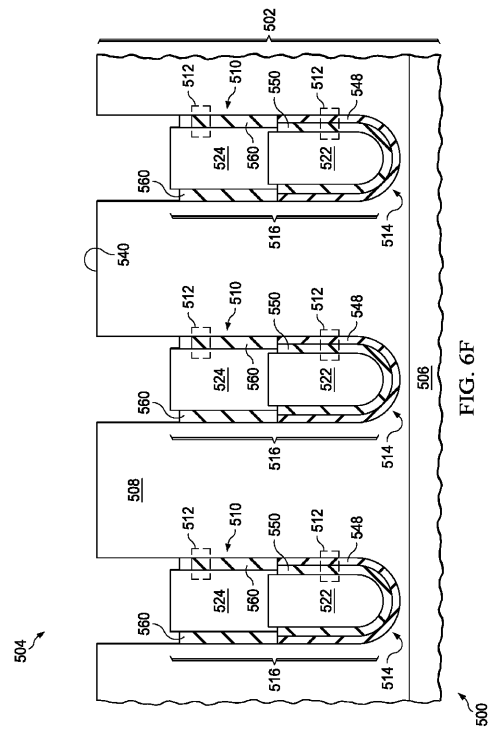
【 図 6 D 】



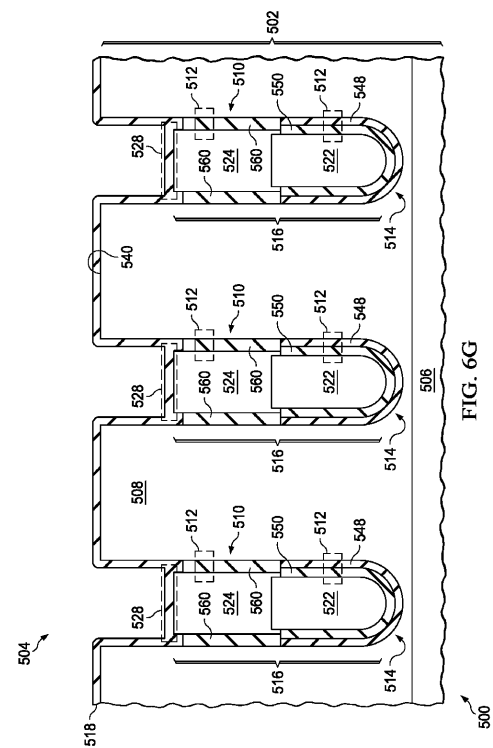
【 図 6 E 】



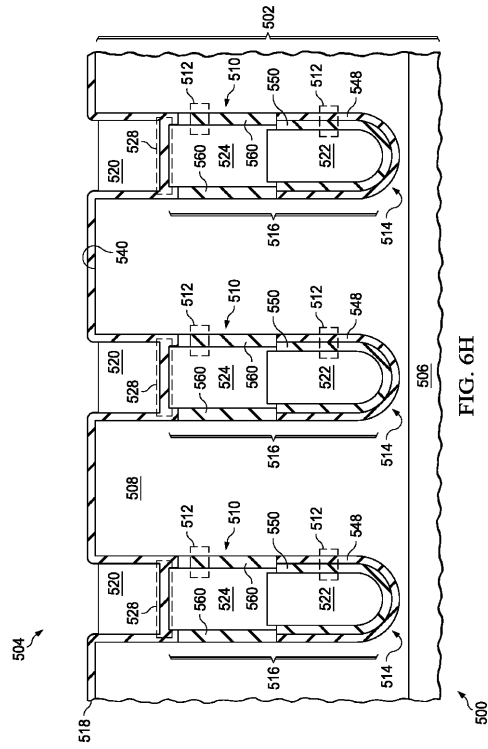
【 図 6 F 】



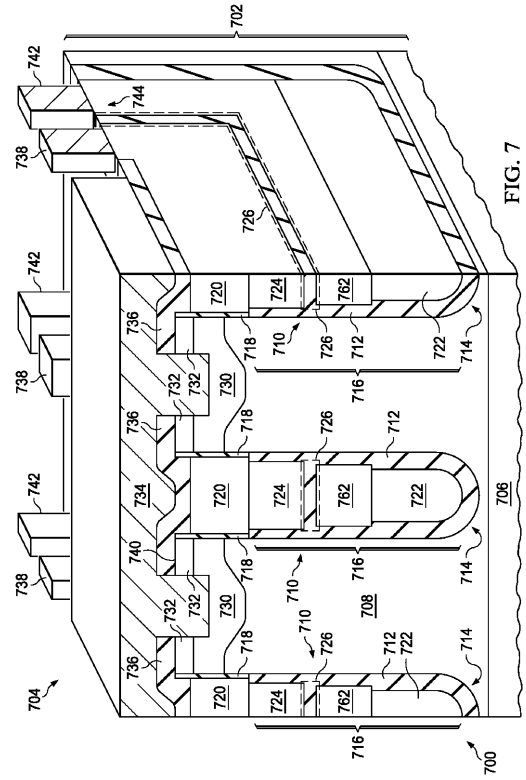
【 図 6 G 】



【図 6 H】



【図 7】



フロントページの続き

- (72)発明者 シーサラン スリダール
アメリカ合衆国 75082 テキサス州 リチャードソン, シーダー エルム サークル 4
424
- (72)発明者 クリストファー ボウガスロウ ココン
アメリカ合衆国 18707 ペンシルベニア州 マウンテン トップ, ワイルドウッド レー
ン 5
- (72)発明者 シモン ジョン モロイ
アメリカ合衆国 18104 ペンシルベニア州 アレントアウン, ウェスト ユニオン ストリ
ート 2331
- (72)発明者 ホン ヤン
アメリカ合衆国 75082 テキサス州 リチャードソン, ブレッキンリッジ プールバード
4616

審査官 西出 隆二

- (56)参考文献 特開2003-017696(JP,A)
特開2007-116189(JP,A)
特開2014-078741(JP,A)
特開2012-109580(JP,A)
特開2010-129973(JP,A)
特開2002-299619(JP,A)
特表2010-537428(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/78
H01L 21/283
H01L 21/336
H01L 29/41