

發明專利說明書

FP14251D

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94126330

※申請日期：94.8.3

※IPC 分類：H01S 5/042 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/3213 (2006.01)

製造側面半導體元件的方法

METHOD FOR FABRICATING LATERAL SEMICONDUCTOR DEVICE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

昆提克股份有限公司

QINETIQ LIMITED

代表人：(中文/英文)

A O 包德瑞/A O BOWDERY

住居所或營業所地址：(中文/英文)

英國漢普郡 GU14 0LX 法因堡艾夫利路第 4A 棟 G016 室柯第科技公園

Cody Technology Park, A4 Bldg, Room G016, Ively Road, Farnborough,

Hampshire, FU14 0LX, United Kingdom

國籍：(中文/英文)

英國/United Kingdom

三、發明人：(共3人)

姓名：(中文/英文)

1.傑佛瑞理查納煦/NASH, GEOFFREY RICHARD

2.約翰亨利傑佛森/JEFFERSON, JOHN HENRY

3.奇斯詹姆士納煦/NASH, KEITH JAMES

國 籍：(中文/英文)

1.~3.英國/United Kingdom

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

英國 2004.08.09 0417738.2

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

國 籍：(中文/英文)

1.~3.英國/United Kingdom

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

英國 2004.08.09 0417738.2

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種側面接面半導體元件之製造方法。尤其是，本發明係關於一種側面接面光電半導體元件之製造方法，特別地是固態單光子源 (SPS) 元件。

【先前技術】

傳統的、或垂直的，發光 p-n 接面，很難和平面型元件，如電晶體或電阻器，積體整合。側面 p-n 接面不僅僅很容易和其他元件組合，也具有較佳之特性。例如，在雷射二極體方面，電子和電洞係經由提供光學侷限之較大能隙層注入到活性區。由於載子具有不需要的多出能量，而增加其輻射復合時間，此會限制調變頻寬。側面接面的優點，還包含：較小的接面面積和接面電容、以及共平面接觸。

以側面 p-n 接面組態為基礎之光電元件的範例，為英國專利 GB2354368 號中所說明之固態單光子源 (SPS)。

側面 p-n 接面有許多種傳統的製造方法。例如，以矽在砷化鎵 (GaAs) 中的雙性性質為基礎之習知元件，其中矽為 n 型或 p 型摻雜係取決於基板 (請參考 D. L. Miller, Appl. Phys. Lett. 47, 1309 (1985))。已有幾組研究團隊發表此種元件之發光特性。範例請參考下列之文獻：T. Saiki, S. Mononobe, M. Ohhtsu, N. Saito, and J. Kusano, Appl. Phys. Lett. 67, 2191 (1994)。

P. O. Vaccaro, H. Ohnishi, and K. Fujita, Appl. Phys.

Lett. 72, 818 (1982)。

A. North, J. Burroughes, T. Burke, A. Shields, C. E. Norman, and M. Pepper, IEEE J. Quantum Electron. 35, 352 (1999)。

但是，此技術就很複雜，因為需要成長，選擇性移除，及再成長。

離子式分子束磊晶法也被提出，用以當作製造側面接面的技術，但是，跟上述之技術一樣，此技術也是很複雜，而且需要專門的設備(參見 P. J. A. Sazio, S. Vijendran, W. Yu, H. E. Beere, G. A. C. Jones, E. H. Linfield, and D. A. Ritchie, J. Crystal Growth 201/202, 12 (1999))。

最近，Kaestner 等人發表一種在未摻雜的低能隙通道中，形成側面 p-n 接面之方法(參見 Jpn. J. Appl. Phys., Part1 41, 2513 (2002), 和 Microelectron. Eng. 67-68, 797 (2003))。兩種型式的載子係經由平行表面之摻雜的高能隙層，從任一側被引入通道。在成長完成之情形下，其中一種載子會完全空乏，然而如果藉由蝕刻移除上面的高摻雜區域，則先前被空乏之種類的載子會集中在高和低能隙層之間的介面。因此，在蝕刻區域之邊緣的下方，會在低能隙通道中形成一個 p-n 接面。

Cecchini 等人發表類似的結構，但不同處為低能隙通道開始時係經由平行表面之摻雜高能隙層摻雜的 p 型(M. Cecchini, V. Piazza, F. Beltram, M. Lazzarino, M. B. Ward,

A. J. Shields, H. E. Beere, 及 D. A. Ritchie, Appl. Phys. Lett. 82, 636 (2003))。然後蝕刻掉摻雜高能隙層之區域，及蒸鍍 n 型接觸到低能隙通道中之 n 型區域。

但是，這兩種結構都要仰賴摻雜層的精密蝕刻，所以通道本身不是被破壞就是完全空乏。

【發明內容】

本發明之目的係要提供另一種側面接面半導體元件之製造方法，尤其是至少可以減緩上述方法的某些缺點之方法。

根據本發明之第一觀點，提出一種側面接面半導體元件之製造方法，其中包含下列步驟：

(i) 藉由許多排成一串大致平行的平面之半導體材料層，形成具有堆疊結構之半導體結構，其中第一層之半導體材料具有第一濃度之第一極性的超量電荷載子，及

(ii) 選擇性移除第一層之半導體材料，其深度係沿著大致平行結構的各層平面之第一方向改變，使得可以在活性層中，沿著第一方向，提供第一極性的電荷載子之濃度梯度。

在說明特性之前，上述選擇性移除半導體材料之步驟，同時具有傾斜蝕刻半導體試片的作用。但是，例如，在使用二次離子質譜法(SIMS)、奧傑電子能譜學(AES)、散佈電阻分析法(SRA)、拉曼光譜學、光激發光譜、或凱氏力顯微術說明特性之前，傾斜蝕刻迄今只是用以製備半導體試片的技術。

本發明係要藉由將第一極性的超量電荷載子傳輸一個半導體結構和選擇性自該結構移除材料，例如，類似於傳統傾斜蝕刻的技術，以製造側面半導體接面。

相較於傳統的傾斜蝕刻，本發明使用選擇性自結構移除半導體材料之製程，以製造半導體元件(由現有結構的評估，則非後製造技術)。

本發明之方法係關係到一種又新又令人驚奇的效應，也就是在製程過程中，選擇性自第一層移除半導體材料的深度，不需要很準確地控制。本方法可以確保具有必要能帶組態之半導體結構，沿著第一方向固有存在，唯一的要求是具有超量電荷載子的第一層，在過程中不會完全被移除。因此本方法之製程要求可以放寬傳統方法在元件結構中典型需要至少一個蝕刻停止層，使傳統台面蝕刻可以停止在預定臨界深度。停止在預定深度之傳統台面蝕刻失敗會造成在建構中的半導體元件遭到破壞。相較之下，藉由本方法所製造之深度變異，單單只改變必要能帶組態沿著第一方向之側面位置。

爲了與傳統半導體理論一致，超量電荷載子將包含具有負極性(電子)或正極性(電洞)之載子。超量電荷載子藉由使用外質半導體材料，如摻雜材料，可以被引入元件。

爲了與標準半導體術語一致，活性層係沿著第一方向外加電場下，半導體中最適合電子和電洞輻射復的部分。

有利地，自第一層選擇性移除半導體材料之步驟，包含沿著第一方向使第一層的厚度漸減之製程。此提供在梯

度內一連串濃度水準之電荷載子(即超過兩種濃度水準)。

堆疊結構中之各層半導體材料最好可以排列至少形成一個異質結構。堆疊結構中至少有兩層可以包含具有不同能隙之半導體材料。例如，活性層和鄰接層可以包含具有不同能隙之半導體材料。

在較佳實施例中，第一濃度和選擇性移除半導體材料之深度被安排協力合作，使得梯度內第一極性之超量電荷載子的濃度，從大致為零的最小值漸增。

可選擇地，在表面下方的深度，第一和活性層的厚度，及其間距，被安排與第一濃度和選擇性移除半導體材料之深度協力合作，使得梯度內第一極性之超量電荷載子的濃度，從大致為零的最小值漸增。

在另一較佳實施例中，梯度內第一極性之超量電荷載子的濃度，沿著第一方向，從最小值大致線性地漸變到一個最大值。

獲得半導體結構之步驟，包含將第一濃度之第一極性的超量電荷載子，傳輸到堆疊結構的第一層，此為中間步驟。例如，傳輸第一極性的超量電荷載子之步驟，包含將摻雜物種引入半導體結構之步驟。

摻雜物種可被引入包含第一層之半導體材料。

引入摻雜物種之步驟，在晶體成長期間，例如使用分子束磊晶法(MBE)，至少包含厚片摻雜和 δ 摻雜其中之一。使用像 MBE 之成長技術時，摻雜物種可以在成長期間被引入，而且其分佈可以精確控制。或者，摻雜物種可以在

成長之後，使用像離子佈植和擴散之技術引入。

有利地，摻雜物種包含一個 p 型摻雜物。

在更進一步的較佳實施例中，第二層中之半導體材料具有第二濃度之第二極性的超量電荷載子，第一和第二濃度與選擇性自第一層移除半導體材料之深度被安排協力合作，使得在活性層中佔有優勢之超量電荷載子的濃度，沿著第一方向，從第一極性的濃度改變為第二極性的濃度。在本實施例中，活性層和第二層係相同的。

在此情形下，該方法包含將第二濃度之第二極性的超量電荷載子，傳輸到堆疊結構的第二層半導體材料之中間步驟。例如，傳輸第二極性的超量電荷載子之步驟，包含將摻雜物引入半導體結構之步驟。

摻雜物可被引引包含第二層之半導體材料。

引入摻雜物之步驟，至少包含厚片摻雜和 δ 摻雜其中之一。

有利地，摻雜物包含 n 型摻雜。

有利地，第一和第二濃度與選擇性自第一層移除半導體材料之深度被安排協力合作，使得可以在活性層中，沿著第一方向，在具有第一極性的超量電荷載子佔優勢之區域和具有第二極性的超量電荷載子佔優勢之區域的中間，提供大致沒有超量電荷載子之區域。

可選擇地，在表面下方的深度，第一、第二和活性層的厚度，及其間距，被安排與第一和第二濃度，及選擇性自第一層移除半導體材料之深度協力合作，使得可以在活

性層中，沿著第一方向，在具有第一極性的超量電荷載子佔優勢之區域和具有第二極性的超量電荷載子佔優勢之區域的中間，提供大致沒有超量電荷載子之區域。

因為選擇性自第一層移除材料的結果，使本方法有利於選擇適當的第一和第二層超量載子，而自然產生 p-i-n 側面半導體接面。該方法可以確保沿著第一方向之元件，可以達成正確的摻雜縱曲線，而不用考慮材料被移除之深度(只要第一層沒有完全自元件移除)。實際上，第一層可以移除沿著第一方向的部分。此外，結構位在第一層下方的部分(如第二層)可以被移除，而不會傷害元件的性能。

為了清楚起見，具有大致沒有超量電荷載子之區域，可以包含本質或外質半導體。

上述包含在活性層中形成半導體結構之方法，宜將活性層安排在第一和第二層之間，而活性層的能隙則小於第一和第二層的能隙。在此情形下，設計結構，使得第一和第二層中的超量電荷可以轉移進入活性層。

有利地，活性層包含大致為本質的半導體材料。藉由消除可以當作複合中心、載子陷阱和散射中心之施體/受體雜質，可以改善活性層之載子移動率。於是可以增強元件的高頻和光學性能。在此組態下，超量載子最好可以自第一和第二層引入活性層。

有利地，活性層藉由具有與第一和第二層相同的能隙之未摻雜間隔層，與第一和第二層分隔。因此，摻雜離子在空間上係與活性層中的移動載子分隔，於是這些離子的

散射可以最小化。

在另一實施例中，半導體結構包含排列成量子井組態之雙異質結構。

方便地，安排逐漸變小製程，使堆疊結構的外表面與其中各層之平面有一個傾斜角度。

在較佳實施例中，安排逐漸變小製程，使堆疊結構的外表面與堆疊結構中之各層平面具有 10^{-1} 到 10^{-5} 弧角度的傾斜。

在另一較佳實施例中，逐漸變小製程至少包含機械減薄、雷射剝離、電漿斜切、離子束斜切、化學機械研磨、和化學斜切其中之一。

有利地，逐漸變小製程包含使用溴乙二醇蝕刻液之化學斜切。

溴水的濃度宜為 1%-10%。蝕刻速率方便安排在 $0.1\mu\text{m}/\text{分}$ 至 $1\mu\text{m}/\text{分}$ 之範圍內。實際上，該方法最好包含將半導體結構以 $0.25\text{mm}/\text{分}$ 至 $100\text{mm}/\text{分}$ 之範圍的控制速率，放入蝕刻液中之步驟。

在較佳實施例中，該方法還包含將連接裝置安裝到該結構之步驟。該連接裝置可至少包含電性連接和光學連接其中之一。

根據本發明之第二觀點，提出一種側面接面半導體元件，其中包含：藉由許多排成一串大致平行的平面之半導體材料層，形成具有堆疊結構之半導體異質結構，其中之第一層具有沿著大致平行各層平面之第一方向漸小的厚度

，該第一層包含具有第一濃度之第一極性超量電荷載子之半導體材料，其中第一濃度和漸小的厚度被安排協力合作，使得可以在活性層中，沿著第一方向，提供第一極性的電荷載子之濃度梯度。

在較佳實施例中，第一濃度和漸小的厚度被安排協力合作，使得第一極性之超量電荷載子的濃度，從大致為零的最小值漸增。第一極性之超量電荷載子的濃度，最好沿著第一方向，從最小值大致線性地漸變到最大值。

在另一較佳實施例中，第二層中之半導體材料具有第二濃度之第二極性的超量電荷載子，第一和第二濃度與漸小的厚度被安排協力合作，使得在活性層中佔有優勢之超量電荷載子的濃度，沿著第一方向，從第一極性的濃度改變為第二極性的濃度。

在再一實施例中，第一和第二濃度與漸小的厚度被安排協力合作，使得可以在活性層中，沿著第一方向，在具有第一極性的超量電荷載子佔優勢之區域和具有第二極性的超量電荷載子佔優勢之區域的中間，提供大致沒有超量電荷載子之區域。

爲了清楚起見，具有大致沒有超量電荷載子之區域，可以包含本質或外質半導體。

在本發明之實施例中，半導體元件宜包含一種半導體結構，其中之活性層係位在第一和第二層之間，而活性層的能隙則小於第一和第二層的能隙。

有利地，活性層包含大致爲本質的半導體材料。藉由

消除可以當作複合中心、載子陷阱和散射中心之施體/受體雜質，可以改善活性層之載子移動率。於是可以增強元件的高頻和光學性能。在此組態下，超量載子最好可以自第一和第二層引入活性層。

有利地，活性層藉由具有與第一和第二層相同的能隙之未摻雜間隔層，與第一和第二層分隔。因此，摻雜離子在空間上係與活性層中的移動載子分隔，於是這些離子的散射可以最小化。

方便地，半導體結構包含排列成量子井組態之雙異質結構。

漸小的厚度最好可以使堆疊結構的外表面與其中各層之平面有一個傾斜角度。外表面與堆疊結構中各層平面的最佳傾斜弧角為 10^{-1} 至 10^{-5} 度。

根據本發明之第三觀點，提出一種具有根據本發明第二方向之側面接面半導體元件的光子源，其中還包含：用以產生沿著第一方向行進的表面聲波之裝置，使得在使用時移動載子可以藉由表面聲波沿著第一方向傳輸；及用以控制藉由表面聲波所造成的載子傳輸，使得可以傳輸之移動載子的數量可以很精確地控制到單一載子。

根據本發明第二觀點之側面接面半導體元件，只具有單一極性之超量電荷載子，光子源最好至少還要包含電性裝置和光學裝置其中之一，用以將移動載子引入元件。因此，具有和第一層極性相反之移動載子，至少可以藉由電性和光學裝置其中之一引入元件。

有利地，用以控制載子傳輸之裝置，至少包含可偏壓狹縫柵和量子點狀接觸其中之一。

【實施方式】

現在參考第 1 圖和第 2 圖，說明包含單一光子源元件及其製造方法之本發明第一實施例。元件 2 係以磊晶成長在單晶基板上之半導體層為基礎，而成長之後的元件橫截面圖示於第 1 圖。成長之頂層 4 和底層 6 具有大於中間層 8 之能隙。此可以藉由成長不同組成的各層達成，例如，頂層和底層為 AlGaAs ，而中間層為 GaAs 。其他適合的材料系統包含 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 和 InGaAs/InGaAsP ，但不限於此。

示於第 1 圖之元件 2 係使用量子井結構，其中在遠離中間層時，載子的波函數會快速降為零。藉由在垂直量子井平面的方向，主要佔據最低能量駐波，在量子井中的電子(或電洞)可以形成 2D 薄片。但是，下面的討論不侷限於量子井結構，而且也可以應用於異質接面之載子漸少結構。

元件 2 的頂層 4 在成長時為 p 摻雜，其受體係位在足夠靠近量子井的薄片 10(常稱為 δ 摻雜)之中，以確保電荷載子轉移到量子井中。然後傾斜蝕刻元件，如第 2 圖所示，使得移除部分的 δ 摻雜層 10。此只留下摻雜量子井的部分 12，如第 2 圖所示的右邊。典型係使用濕式化學蝕刻，以產生傾斜，所以會對量子井造成輕微的物理性損傷。但是，本發明之方法並不侷限於濕式蝕刻，對於熟悉此項技術之人明顯可以使用其他製程產生傾斜，例如，離子束研

磨、機械研磨或化學機械研磨。

在許多情形下，化學傾斜蝕刻比較有吸引力，因其不會粗化已成長材料，設備相當簡單，而且很容易應用到某些種類的材料，其中包含 CdTe、Inp、GaAs 和 InGaN。化學傾斜蝕刻係藉由將試片漸漸沉入蝕刻溶液中，或漸漸用蝕刻溶液覆蓋試片而完成。典型的斜切角度非常小(範圍為 10^{-1} 至 10^{-5} 弧度)，但是可以藉由變更蝕刻條件而改變。試片係有不同蝕刻速率的各層構成時，或是當蝕刻液之成份的蝕刻速率改變時，會導致非線性斜切。但是，這可以藉由使用電腦控制系統補償。

斜切角再設計到夠小，以確保可以保留很大範圍(數十微米)之未摻雜量子井。最後，在元件左手側遠端的表面上沉積交叉指狀轉換器(未圖示)，並且在未摻雜區之量子井的表面上沉積狹縫柵 14，如第 2 圖所示。

為了操作元件，使用交叉指狀轉換器激發表面聲波(SAW)16，其會從元件 2 的左手側行進到右手側，同時，電荷會沿著量子井傳輸。在一種形式的元件中，藉由應用光線 18 到量子井中之結構 2(例如，使用雷射)，而可以光學激發電子和電洞，而且被侷限在與 SAW 相關之移動的側面電位井中。在另外形式的元件中，在傾斜蝕刻之後，將元件 20 的左手側摻雜為 n 型，例如使用離子佈植法。此處應該注意，離子佈植可以在元件的局部區域上，對著交叉指狀轉換器的左側執行，以避免傷害到量子井。在此情形下，SAW 16 只傳輸電子，但是兩種形式的元件所有的操作

都很類似。在使用時，狹縫柵 14 被施以負偏壓，使得在每一個 SAW 周期，只有電子被允許通過。此偏壓可以改變，以補償會發生在狹縫柵 14 之任何被堵塞的電洞。 δ 摻雜層 10 所選擇之摻雜量要夠大，使得當 SAW 16 進入元件的右手側時，其可以藉由電洞快速衰減，因此可以允許被捕捉的電子脫離。電子複合會發射單一光子 22。在元件之區域 12 中，量子井的高 p 摻雜可以確保輻射複合過程夠快。若 $\tau \ll T$ ，則實現一連串單一光子的產生是很重要的，其中 τ 為複合時間，而 T 為 SAW 周期 (典型為 ns)。因此，若電洞摻雜量夠大則足以衰減 SAW，以確量有大量的電子-電洞波函數重複，此會產生抗群聚光子，而且還會展現快速複合時間 (正比於電洞數)。但是，在元件的不同部分之中，可以使用集波和散波的 SAW 16，以改變 SAW 振幅。斜切角度也可被用以控制複合過程。最後，n 和 p 區需要製作歐姆接觸，以防止電荷堵塞。

現在參考第 3 圖和第 4 圖，說明本發明之第二實施例，其包含不同於之前所說明之單一光子源元件 2，但是製造方法相同。為了避色不必要的重複，已參考第 1 圖和第 2 圖說明之相似的特徵，給予相同的參考數字。

真正的光子源之發展係基礎科學，而且也是很重要的技術，在本發明的第二實施例中，單一電子被注入側面 p-i-n 接面的 p 型區中。在本實施例中，單一光子源 2 係以電性驅動。對於傳統光子源，該元件具有電位上的優點，換言之，就是以相當高頻的電位操作，其能夠產生許多平

行光子鏈，又可能發射已知極化之單一光子（後兩者係量子密碼非常期望之特性）。

根據第二實施例之單一光子源 2 包含一般性的雙異質結構組態，如第 3 圖所示。以下所說明之元件係使用 III-V 族材料或 II-VI 族材料所建構的。以示於第 3 圖之一般性的結構為基礎，使用自調和 Schrodinger-Poisson 方程式的解設計 InSb 和 HgCdTe 量子井元件層。元件 2 的頂層 4 係在成長時使用厚片摻雜或調變摻雜之 p 摻雜層 24。元件 2 的底層 6 在成長時為 n 摻雜，其中施體係位在足夠靠近量子井的薄片 26（常稱為 δ 摻雜）之中，以確保電荷載子轉移到量子井中。謹慎選擇 p 和 n 摻雜的程度，使得量子井的每一個地方在開始時都是 p 型。在傾斜蝕刻之後的元件橫截面圖示於第 4 圖。如在剛成長好的結構中，井的一端 30 仍然為 p 摻雜，而在靠近 p 摻雜物被去除之處 35，井的區域 32 則變成 n 型。在兩者之間的區域，n 和 p 摻雜互相抵消，而留下大致上為本質之區域 34。元件之摻雜程度和傾斜蝕刻上層 4 之淺角度，可以提供元件緩慢改變之電位，其可以確保當單一電子從 n 區傳輸到 p 區時，它們仍然會被捕捉在與 SAW 相關之最低電位中。

第 5 圖為 InSb 和 HgCdTe 元件結構之細部橫截面圖。在此案例中，HgCdTe 量子井 8 具有被設計可以發射中紅外線之組成，例如發射 $1.55\mu\text{m}$ 的光，雖然 HgCdTe 的晶格匹配系統很容易改變。

在第 6a 圖和第 6c 圖中，其繪製當作量子井之第一電

子能帶最小能量的電子位分別與 InSb 和 HgCdTe 案例之蝕刻深度的函數圖。這些圖式說明，在傾斜蝕刻之後，量子井含有 n 型和 p 型區。在第 6b 圖中，其繪製量子井之片電荷密度與 InSb 結構之蝕刻深度的關係圖。此可以確認，在此案例中，在傾斜蝕刻之後所形成的 n 型和 p 型區係藉由近本質區分隔。

和上述各實施例一樣，雖然如同上述可應用另外的製程技術，使用化學傾斜蝕刻將斜切角引入測試片的局部區域內。

第 7 圖為用以製造上述元件之設備 40 的架構圖。電動馬達 42 被用以經由齒輪箱 46，使要被蝕刻之試片 50 裝在其上的升降桿 44 可以上升和下降。電動馬達 42 使用電流驅動，而齒輪比例 46 可以使用控制器 48 改變，使升降桿 44 可以以 $\sim 0.25\text{mm/分}$ 和 $\sim 100\text{mm/分}$ 之間的速率，很平順地下降。升降桿 44 下降的速率由斜切的長度和斜切的深度，及化學蝕刻速率一起決定。典型使用 $\sim 3\text{mm/分}$ 之速率。

蝕刻液 52 係在燒杯 54 之中調製，並且在蝕刻之前，在室溫下放置 20 分。在蝕刻之前，先緩慢吸收一層溶劑 56 在蝕刻液 52 上。此可以防止蒸氣蝕刻及在試片 50 上形成新月狀圖案。溶劑 56 和蝕刻液 52 要選用不能相混合的，使得在層之間有一個很小的混合層。對於 InSb 和 HgCdTe 的蝕刻而言，我們分別使用乙二醇和溴乙二醇當作溶劑和蝕刻液。

溴的濃度決定蝕刻速率，但是我們使用的濃度典型介於 1%和 10%之間，其表現的蝕刻速率則介於 $0.1\mu\text{m}/\text{分}$ 和 $1\mu\text{m}/\text{分}$ 之間。

要被蝕刻的試片被放置在載玻片 58 上，然後再裝到升降桿 46 上。然後將試片 50 降入燒杯 56 中，到達溶劑/蝕刻液介面 60，以開始蝕刻。

第 8 圖為使用溴水/乙二醇傾斜蝕刻製作圖案之 HgCdTe 測試元件 62 的 2D 表面輪廓。藉由量測使用光阻遮蔽之元件片和斜切最深部分之間的步階高度，決定蝕刻深度，而且為 $\sim 4\mu\text{m}$ 。斜切的長度為 $\sim 3\text{mm}$ (注意，在斜切方向的影像已被壓縮，使得可以很清楚地看到斜切)。被蝕刻表面之平均表面粗糙度測得為 20nm ，此大約和未蝕刻表面相同。對於不同的材料，可以使用不同的蝕刻液和溶劑，雖然溴乙二醇組係習知的，但是當用於 InGaAs/InP 時，也可以展現很好的結果。

第 9 圖為使用根據本發明之技術製造之元件的電流-電壓特性曲線。接續著示於第 5 圖的設計，使用分子束磊晶法，在 GaAs 基板上，成長 InSb 晶圓，然後使用示於第 7 圖之傾斜蝕刻設備處理。在蝕刻之後，在元件的表面上，沉積歐姆接觸陣列，而第 9 圖為根據一對歐姆接觸所量測得之 I-V 特性曲線，其中一個歐姆接觸係接觸量子井的 p 區，而另一個歐姆接觸係接觸量子井的 n 型區。對應在 p 側上之歐姆接觸的正電壓，係相較於在 n 側上之歐姆接觸為正，而且在此情形下，電流一開始就與外加電壓呈指數

性增加的關係。相對地，當電壓為逆向偏壓時，電流非常小，而且幾乎與外加電壓無關。電流與外加電壓的極性有強烈的相關性，此與已形成側面 p-n 接面之事實相符。

雷射顯微鏡也可用以描述上述 InSb 量子井元件之側面接面。使用可見光 (633nm) 和中紅外線 (mid-IR) (1.4 μ m) 雷射之微米級解析度光響應度掃描，可以圖示位在 n 型和 p 型接觸之高振幅訊號的區域，而證實側面 p-i-n 接面的存在。當使用 mid-IR 雷射時，高振幅訊號的空間分佈小於使用可見光照射時的分佈。由於 mid-IR 可以只激發量子井中的電晶體，所以此暗示接面要位在量子井之中。

本發明上述之實施例已根據雙異質結構元件，尤其是單光子源，詳細說明，但是熟悉本發明的方法之人士，明顯也可以將其用以製造其他元件，例如半導體雷射。該方法也可選用以製造單異質結構元件，例如 p-n 接面元件，如發光二極體。

【圖式簡單說明】

下面將參考附圖舉例說明本發明，其中：

第 1 圖為根據本發明第一實施例之部分製造的側面接面半導體元件橫截面圖。該圖圖示在執行結構上層漸小處理之前的半導體結構；

第 2 圖為根據本發明第一實施例之完成的側面接面半導體元件橫截面圖。示於第 2 圖之元件包含單一光子源；

第 3 圖為根據本發明另一實施例之部分製造的雙異質結構元件橫截面圖。在本實施例中，側面接面元件係以量

子井組態為基礎；

第 4 圖為第 3 圖的雙異質結構元件在傾斜蝕刻之後的橫截面圖；

第 5 圖為本發明再一實施例的橫截面圖，其中包含分別以銻化銾 (InSb) 和碲化鎘汞 (HgCdTe) 為基礎之側面發光二極體的設計；

第 6a 圖和第 6c 圖為示於第 5 圖之實施例，其電子位能變化對蝕刻深度的關係圖。尤其，第 6a 圖係對於銻化銾 (InSb) 元件，而第 6c 圖為碲化鎘汞 (HgCdTe) 元件之電子位能變化圖。第 6b 圖為電荷密度與銻化銾 (InSb) 結構之蝕刻深度的關係圖；

第 7 圖為用在根據本發明之方法的某一實施例中之傾斜蝕刻設備圖；

第 8 圖為使用化學傾斜蝕刻製作圖案之 HgCdTe 測試元件的 2 維表面截面；及

第 9 圖為根據示於第 5 圖之設計，由 InSb 製造之側面 p-n 接面的電流-電壓特性區域，量測結果係為溫度的函數。高度的非線性特性暗示側面接面已經形成。

【主要元件符號說明】

2	元件
4	第一層
6	第二層
8	活性層
10	δ 摻雜層

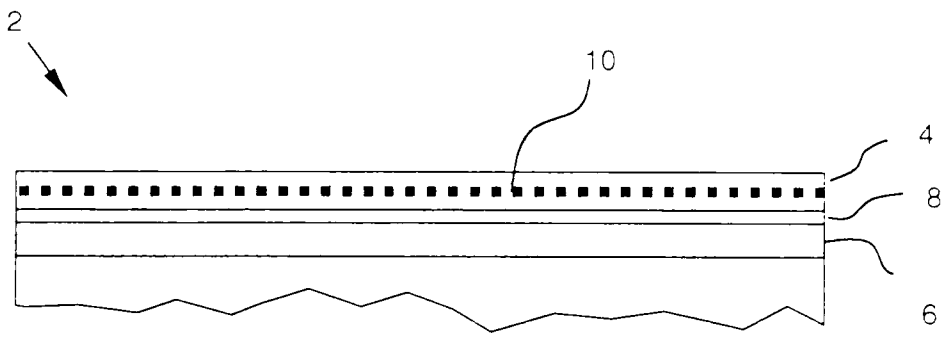
12	部 分 量 子 井
14	狹 縫 柵
16	表 面 聲 波
18	照 光
20	元 件
22	單 光 子
24	p 摻 雜
26	薄 片
30	量 子 井 p 摻 雜 端
32	n 型 區
34	本 質 區
35	p 摻 雜 物 被 移 除 區
40	設 備
42	馬 達
44	升 降 桿
46	齒 輪 箱
48	控 制 器
50	試 片
52	蝕 刻 液
54	燒 杯
56	燒 杯
58	載 玻 片
60	溶 劑 / 蝕 刻 液 介 面
62	測 試 元 件

五、中文發明摘要：

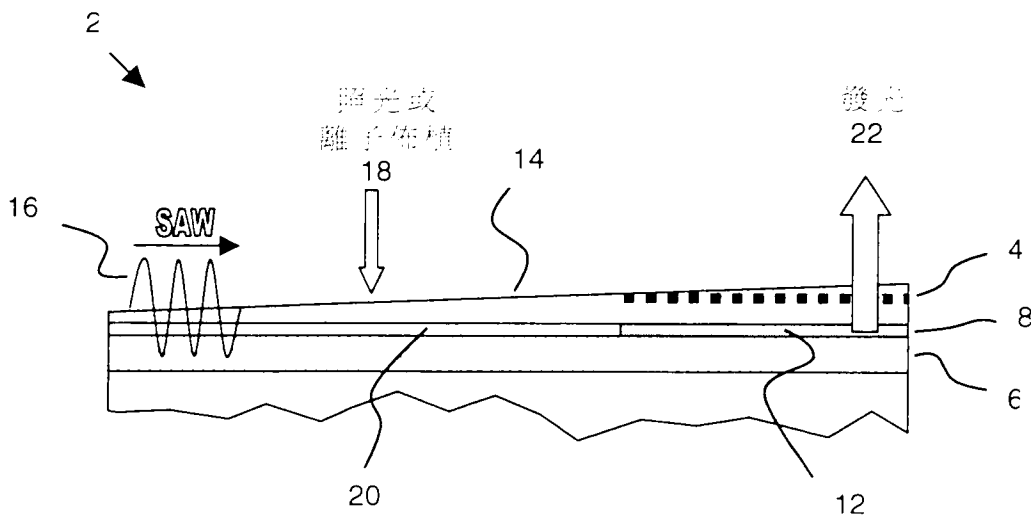
一種側面接面半導體元件及其製造方法，包含下列步驟：藉由許多排成一串大致平行的平面之半導體材料層，形成具有堆疊結構之半導體結構(2)，其中第一層(4)之半導體材料具有第一濃度之第一極性的超量電荷載子；及選擇性移除第一層(4)的半導體材料，其深度係沿著大致平行結構的各層平面之第一方向改變，使得可以在活性層(8)中，沿著第一方向，提供第一極性的電荷載子之濃度梯度。光子源包含該側面接面半導體元件。

六、英文發明摘要：

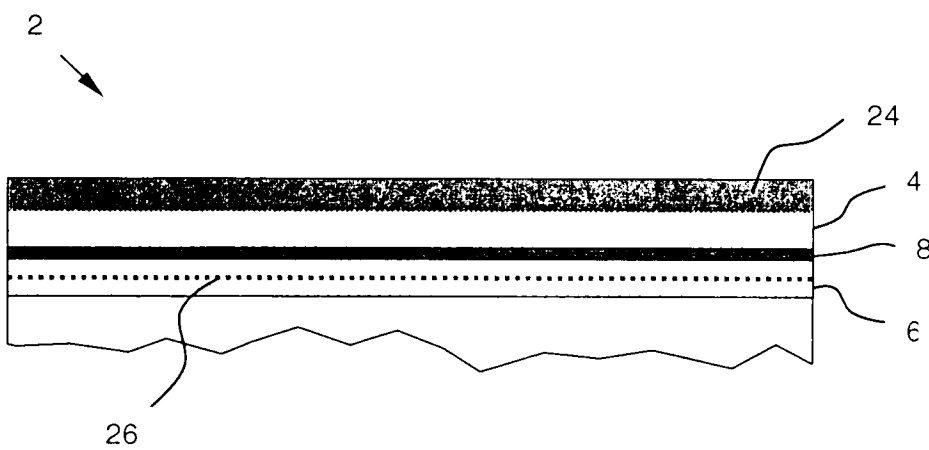
A lateral junction semiconductor device and method for fabricating the same comprising the steps of taking a semiconductor structure (2) having a stack formed by a plurality of layers of semiconductor material arranged in a series of substantially parallel planes, the semiconductor material within a first layer (4) having an excess of charge carriers of a first polarity at a first concentration, and selectively removing semiconductor material from the first layer (4) to a depth which varies along a first direction substantially parallel with the planes of the layers within the structure, so as to provide a gradation of the concentration of charge carriers of first polarity within an active layer (8) along the first direction. A photon source comprising said lateral junction semiconductor device.



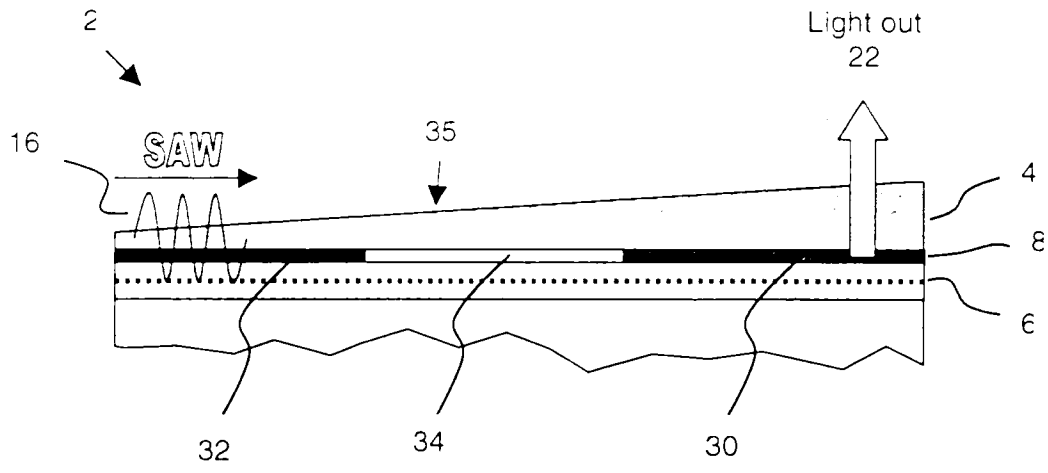
第 1 圖



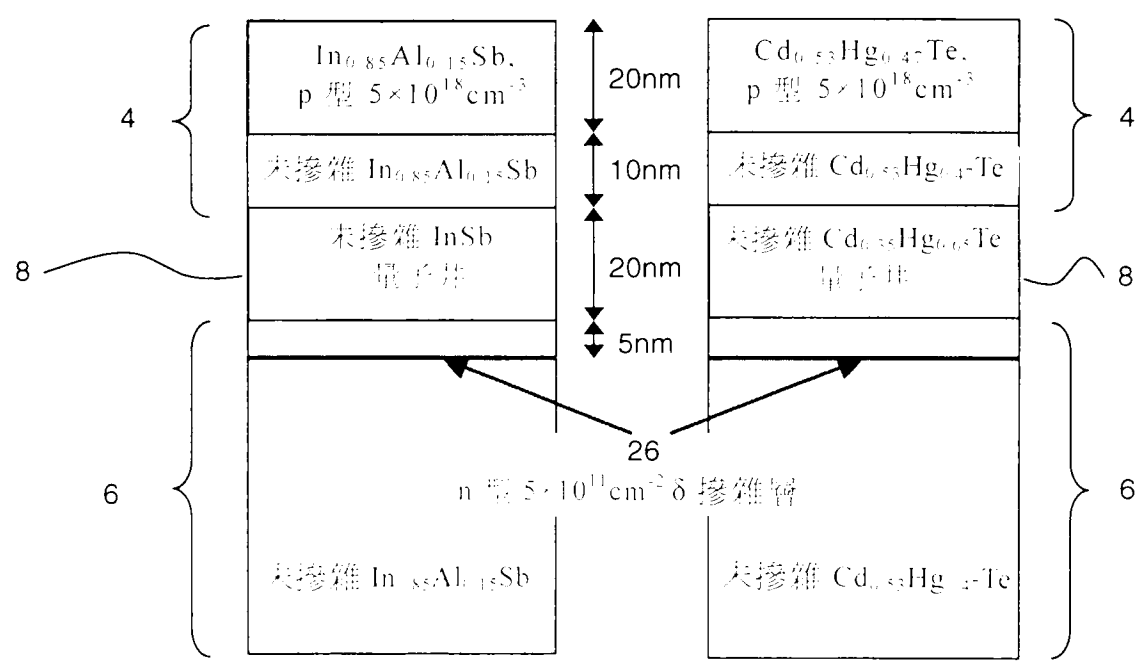
第 2 圖



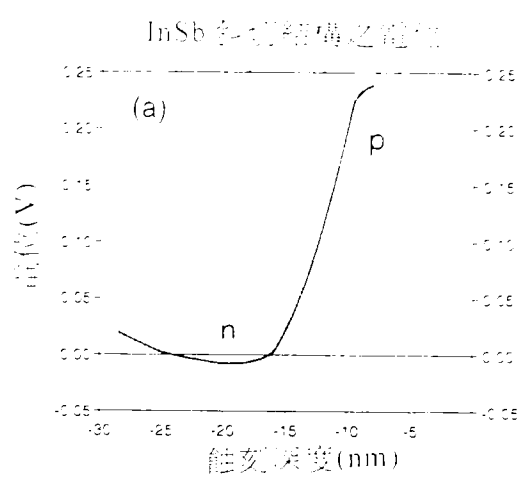
第 3 圖



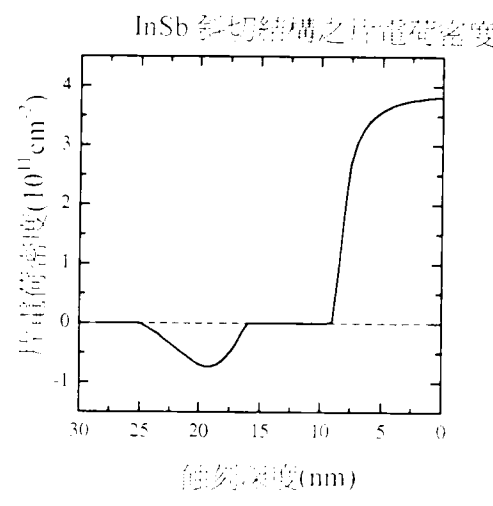
第 4 圖



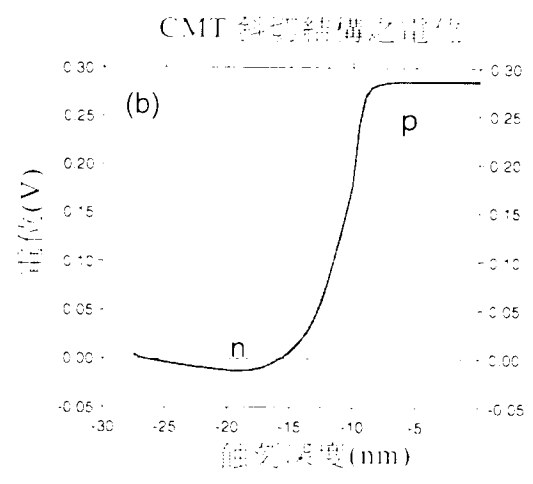
第 5 圖



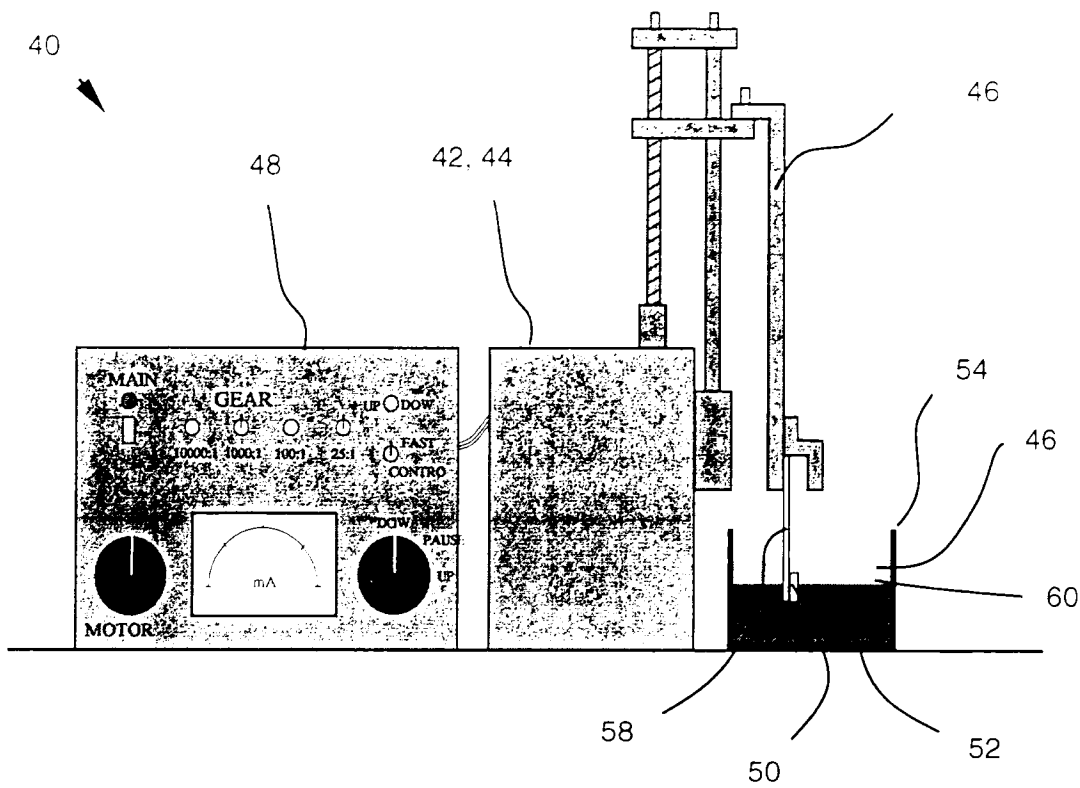
第 6a 圖



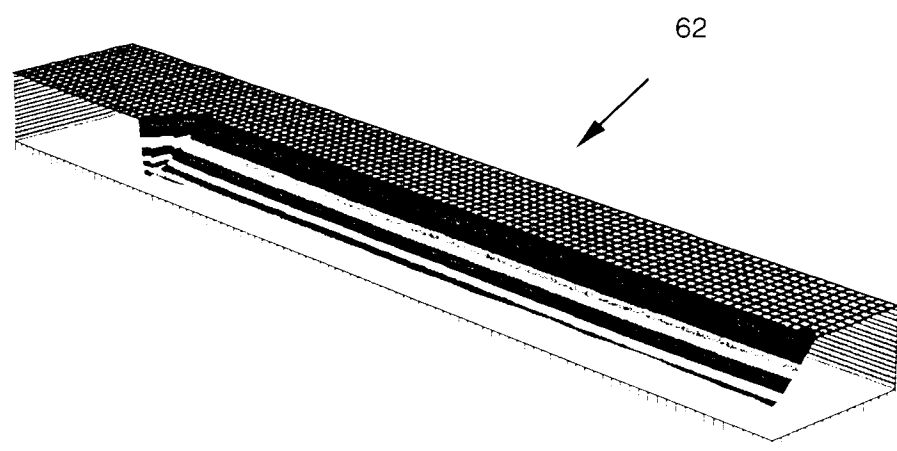
第 6b 圖



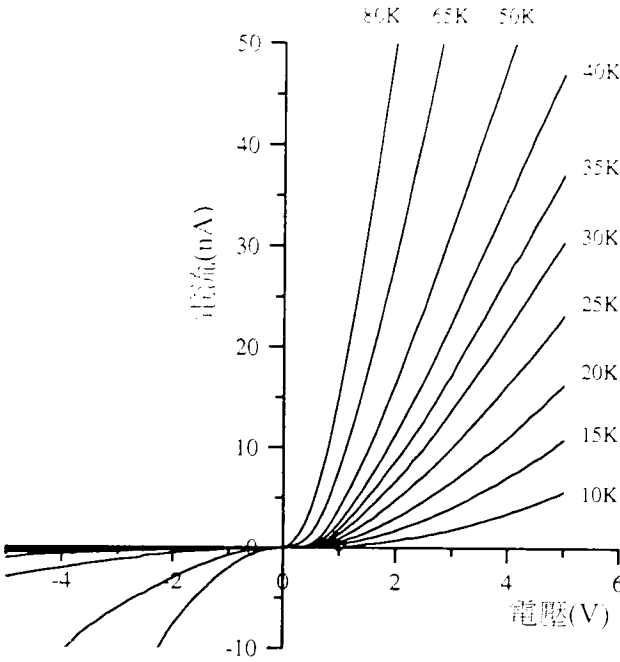
第 6c 圖



第 7 圖



第 8 圖



第 9 圖

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

2	元 件
4	第 一 層
6	第 二 層
8	活 性 層
12	部 分 量 子 井
14	狹 縫 柵
16	表 面 聲 波
18	照 光
20	元 件
22	單 光 子

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

第 94126330 號「製造側面半導體元件的方法」專利案

(2008 年 8 月修正)

十、申請專利範圍：

1. 一種側面接面半導體元件之製造方法，包含下列步驟：

(i) 藉由許多排成一串大致平行的平面之半導體材料層(4, 6, 8)，形成具有堆疊結構之半導體結構(2)，在第一層(4)內之半導體材料具有第一濃度之第一極性的超量電荷載子，及

(ii) 選擇性自第一層(4)移除半導體材料，其深度係沿著大致平行在結構內的各層平面之第一方向改變，使得可以在活性層(8)中，沿著第一方向，提供第一極性的電荷載子之濃度梯度。

2. 如申請專利範圍第 1 項之方法，其中選擇性自第一層(4)移除半導體材料之步驟，包含沿著第一方向，使第一層(4)的厚度漸小之步驟。

3. 如申請專利範圍第 1 項之方法，其中在堆疊結構內的各層半導體材料(4, 6, 8)被排列，以至少形成一個異質結構。

4. 如申請專利範圍第 1 項之方法，其中第一濃度和選擇性移除半導體材料之深度被協力安排，使得在梯度內第一極性之超量電荷載子的濃度，從大致為零的最小值增加。

5. 如申請專利範圍第 2 項之方法，其中第一濃度和選擇性移除半導體材料之深度被協力安排，使得在梯度內第一

極性之超量電荷載子的濃度，從大致為零的最小值增加。

6. 如申請專利範圍第 1 項之方法，其中在梯度內第一極性之超量電荷載子的濃度，沿著第一方向，從最小值大致線性地漸變到最大值。
7. 如申請專利範圍第 1 項之方法，其中獲得半導體結構(2)之步驟，包含中間步驟將第一濃度之第一極性的超量電荷載子，傳輸到在堆疊結構的第一層(4)內半導體材料。
8. 如申請專利範圍第 7 項之方法，其中傳輸第一極性的超量電荷載子之步驟，包含將摻雜物種引入半導體結構(2)之步驟。
9. 如申請專利範圍第 1 項之方法，其中在第二層(6)中之半導體材料具有第二濃度之第二極性的超量電荷載子，第一和第二濃度與選擇性自第一層(4)移除半導體材料之深度被協力安排，使得在活性層(8)中佔有優勢之超量電荷載子的濃度，沿著第一方向，從第一極性的濃度改變為第二極性的濃度。
10. 如申請專利範圍第 9 項之方法，其中包含中間步驟將第二濃度之第二極性的超量電荷載子，傳輸到堆疊結構的第二層(6)半導體材料。
11. 如申請專利範圍第 10 項之方法，其中傳輸第二極性的超量電荷載子之步驟，包含將摻雜物引入半導體結構(2)之步驟。
12. 如申請專利範圍第 9 項之方法，其中第一和第二濃度與

選擇性自第一層(4)移除半導體材料之深度被協力安排，使得可以在活性層(8)中，沿著第一方向，在具有第一極性的超量電荷載子佔優勢之區域和具有第二極性的超量電荷載子佔優勢之區域間，提供大致沒有超量電荷載子之區域。

13. 如申請專利範圍第 12 項之方法，其中包含形成半導體結構(2)，活性層(8)被安排在第一和第二層(4, 6)之間，而活性層(8)的能隙則被安排要小於第一和第二層(4, 6)的能隙。

14. 如申請專利範圍第 1 至 13 項中任一項之方法，其中活性層(8)包含大致為本質的半導體材料。

15. 如申請專利範圍第 13 項之方法，其中半導體結構(2)包含排列成量子井組態之雙異質結構。

16. 如申請專利範圍第 14 項之方法，其中半導體結構(2)包含排列成量子井組態之雙異質結構。

17. 如申請專利範圍第 2 至 13 項中任一項之方法，其中安排逐漸變小製程，使得堆疊結構的外表面與其中各層之平面有一個傾斜角度。

18. 如申請專利範圍第 17 項之方法，其中安排逐漸變小製程，使得堆疊結構的外表面與堆疊結構中之各層平面具有 10^{-1} 到 10^{-5} 弧角度的傾斜。

19. 如申請專利範圍第 1 至 13 項中任一項之方法，其中逐漸變小製程至少包含機械研磨、雷射剝離、電漿斜切、離子束斜切、化學機械拋光、和化學斜切中至少一者。

20. 如申請專利範圍第 17 項之方法，其中逐漸變小製程至少包含機械研磨、雷射剝離、電漿斜切、離子束斜切、化學機械拋光、和化學斜切中至少一者。
21. 如申請專利範圍第 18 項之方法，其中逐漸變小製程至少包含機械研磨、雷射剝離、電漿斜切、離子束斜切、化學機械拋光、和化學斜切中至少一者。
22. 如申請專利範圍第 19 項之方法，其中逐漸變小製程包含使用溴乙二醇蝕刻液之化學斜切。
23. 如申請專利範圍第 20 項之方法，其中逐漸變小製程包含使用溴乙二醇蝕刻液之化學斜切。
24. 如申請專利範圍第 21 項之方法，其中逐漸變小製程包含使用溴乙二醇蝕刻液之化學斜切。
25. 如申請專利範圍第 22 項之方法，其中溴水的濃度為 1% - 10%。
26. 如申請專利範圍第 23 項之方法，其中溴水的濃度為 1% - 10%。
27. 如申請專利範圍第 24 項之方法，其中溴水的濃度為 1% - 10%。
28. 如申請專利範圍第 25 項之方法，其中具有 $0.1\mu\text{m}/\text{分}$ 至 $1\mu\text{m}/\text{分}$ 之蝕刻速率。
29. 如申請專利範圍第 26 項之方法，其中具有 $0.1\mu\text{m}/\text{分}$ 至 $1\mu\text{m}/\text{分}$ 之蝕刻速率。
30. 如申請專利範圍第 27 項之方法，其中具有 $0.1\mu\text{m}/\text{分}$ 至 $1\mu\text{m}/\text{分}$ 之蝕刻速率。

31. 如申請專利範圍第 1 至 13 項中任一項之方法，其中還包含將連接裝置安裝到該結構(2)之步驟。
32. 如申請專利範圍第 15 項之方法，其中還包含將連接裝置安裝到該結構(2)之步驟。
33. 如申請專利範圍第 16 項之方法，其中還包含將連接裝置安裝到該結構(2)之步驟。
34. 如申請專利範圍第 31 項之方法，其中連接裝置可至少包含電性連接和光學連接中至少一者。
35. 如申請專利範圍第 32 項之方法，其中連接裝置可至少包含電性連接和光學連接中至少一者。
36. 如申請專利範圍第 33 項之方法，其中連接裝置可至少包含電性連接和光學連接中至少一者。
37. 一種側面接面半導體元件，包含藉由許多排成一串大致平行的平面之半導體材料層(4, 6, 8)所形成具有堆疊結構之半導體異質結構(2)，其中第一層(4)具有沿著大致平行各層平面之第一方向漸小的厚度，該第一層(4)包含具有第一濃度之第一極性超量電荷載子之半導體材料，其中第一濃度和漸小的厚度被協力安排，使得可以在活性層中，沿著第一方向，提供第一極性的電荷載子之濃度梯度。
38. 如申請專利範圍第 37 項之側面接面半導體元件，其中第一濃度和漸小的厚度被協力安排，使得在梯度內第一極性之超量電荷載子的濃度，從大致為零的最小值增加。
39. 如申請專利範圍第 38 項之側面接面半導體元件，其中在

梯度內第一極性之超量電荷載子的濃度，沿著第一方向，從最小值大致線性地漸變到最大值。

40. 如申請專利範圍第 37 至 39 項中任一項之側面接面半導體元件，其中在第二層(6)中之半導體材料具有第二濃度之第二極性的超量電荷載子，第一和第二濃度與漸小的厚度被協力安排，使得在活性層(8)中佔有優勢之超量電荷載子的濃度，沿著第一方向，從第一極性的濃度改變為第二極性的濃度。
41. 如申請專利範圍第 40 項之側面接面半導體元件，其中第一和第二濃度與漸小的厚度被安排協力合作，使得可以在活性層(8)中，沿著第一方向，在具有第一極性的超量電荷載子佔優勢之區域和具有第二極性的超量電荷載子佔優勢之區域的中間，提供大致沒有超量電荷載子之區域。
42. 如申請專利範圍第 41 項之側面接面半導體元件，包含一種半導體結構(2)，其中之活性層(8)係位在第一和第二層(4, 6)之間，而活性層(8)的能隙則小於第一和第二層(4, 6)的能隙。
43. 如申請專利範圍第 42 項之側面接面半導體元件，其中活性層(8)包含大致為本質的半導體材料。
44. 如申請專利範圍第 42 項之側面接面半導體元件，其中半導體結構(2)包含排列成量子井組態之雙異質結構。
45. 如申請專利範圍第 43 項之側面接面半導體元件，其中半導體結構(2)包含排列成量子井組態之雙異質結構。

46. 如申請專利範圍第 37 至 39 項中任一項之側面接面半導體元件，其中漸小的厚度使堆疊結構的外表面與其中各層之平面有一個傾斜角度。
47. 如申請專利範圍第 40 項之側面接面半導體元件，其中漸小的厚度使堆疊結構的外表面與其中各層之平面有一個傾斜角度。
48. 如申請專利範圍第 41 項之側面接面半導體元件，其中漸小的厚度使堆疊結構的外表面與其中各層之平面有一個傾斜角度。
49. 如申請專利範圍第 46 項之側面接面半導體元件，其中外表面與堆疊結構中各層平面的傾斜弧角為 10^{-1} 至 10^{-5} 度。
50. 如申請專利範圍第 47 項之側面接面半導體元件，其中外表面與堆疊結構中各層平面的傾斜弧角為 10^{-1} 至 10^{-5} 度。
51. 如申請專利範圍第 48 項之側面接面半導體元件，其中外表面與堆疊結構中各層平面的傾斜弧角為 10^{-1} 至 10^{-5} 度。
52. 一種具有如申請專利範圍第 37 至 51 項中任一項之側面接面半導體元件的光子源，包含用以產生沿著第一方向行進的表面聲波(16)之裝置，使得在使用時移動載子可以藉由表面聲波(16)沿著第一方向傳輸；及用以控制藉由表面聲波所造成的載子傳輸，使得可以傳輸之移動載子的數量可以很精確地控制到單一載子。

97.8.20	修正
年 月 日	補充

53. 如申請專利範圍第 52 項之光子源，其中當直接或間接跟申請專利範圍第 37 至 39 項中任一項時，包含電裝置和光學裝置中至少一者，用以將移動載子引入元件。

54. 如申請專利範圍第 52 項或第 53 項之光子源，其中用以控制載子傳輸之裝置，包含可偏壓狹縫柵 (14) 和量子點狀接觸中至少一者。