



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

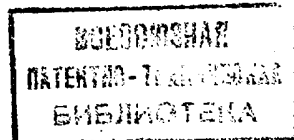
(19) **SU** (11) **1700539** **A1**

(51) **G 05 F 1/46, H 02 M 3/337**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

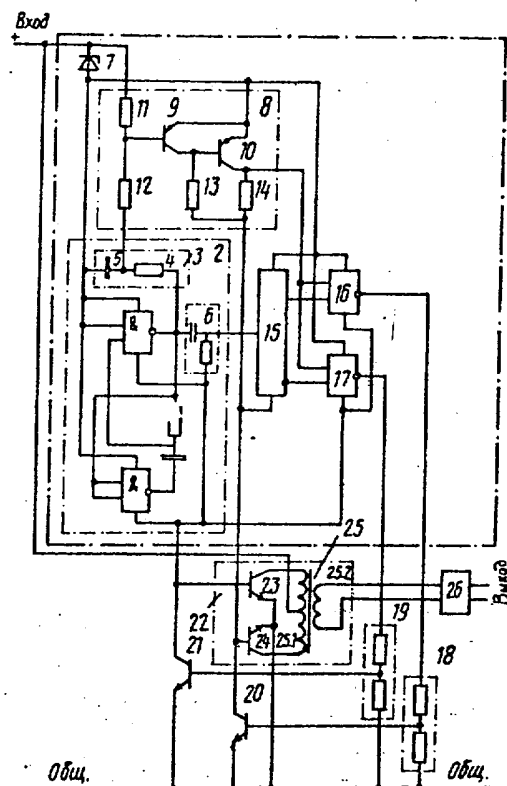
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1
(21) 4747201/07
(22) 09.10.89
(46) 23.12.91. Бюл. № 47
(71) Научно-исследовательский институт "Квант"
(72) В.Н.Скачко и В.А.Гринько
(53) 621.316.722.1(088.8)
(56) Авторское свидетельство СССР № 936286, кл. H 02 M 3/337// 05 1/46, 1980.

Авторское свидетельство СССР № 479101, кл. G 05 F 1/46, 1973.

2
(54) СТАБИЛИЗИРОВАННЫЙ ПРЕОБРАЗОВАТЕЛЬ ПОСТОЯННОГО НАПЯЖЕНИЯ
(57) Изобретение относится к электротехнике, в частности к технике маломощных преобразователей электрической энергии, и может быть использовано в качестве источника вторичного электропитания. Цель изобретения - повышение КПД. В преобразователе имеется блок 1 управления с задающим узлом 2, формирующим пилообразное напряжение и синхронизиру-



Фиг. 1

09 **SU** (11) **1700539** **A1**

щие импульсы, подаваемые на счетный триггер 15 стабилитрон 7, широтно-импульсный модулятор (ШИМ) 8, логические элементы 16 и 17 совпадения сигналов ШИМ 8 и триггера 15 и силовой инвертор 22 с трансформатором 25, вторичная обмотка 25.2 которого через выпрямитель с фильтром 26 подключена к выходным выводам. Стабилитрон 7 включен последовательно с цепями питания узлов блока 1 управления, которые разделены на две ветви. В каждую из этих ветвей включены базозмиттерные переходы транзисторов 23 и 24 силового инвертора 22.

5 которые зашунтированы переходами коллектор - эмиттер ключевых транзисторов 21 и 22 соответственно. Ток стабилитрона 7, использованного в качестве источника опорного напряжения, является одновременно током, питающим узлы, блока 1 управления и базовым током транзисторов 23 и 24 силового инвертора 22. Входной ток, потребляемый от первичного источника, протекает последовательно через них, приводя их в действие и обуславливая экономию электрической энергии, расходуемой на внутренние нужды преобразователя. 2 з.п.ф-лы, 4 ил.

Изобретение относится к электротехнике, в частности к преобразователям параметров электрической энергии при одновременной их стабилизации, и может быть использовано при проектировании источников вторичного электропитания радиоэлектронной аппаратуры небольшой мощности (до 20 Вт) и напряжении первичной сети 7-30 В постоянного тока, а именно в случаях повышенных требований к КПД в процессе преобразования и стабилизации.

Целью изобретения является повышение КПД, а также исключение сквозных токов в транзисторах силового инвертора и стабилизация выходного напряжения при изменении тока нагрузки или стабилизация выходного тока.

На фиг. 1 представлена схема стабилизированного преобразователя постоянного напряжения; на фиг. 2 и 3 - то же, соответственно для устранения сквозных токов и для стабилизации постоянного выходного напряжения, на фиг. 4 - эпюры напряжений в характерных точках схемы.

Устройство содержит блок 1 управления, состоящий из задающего узла 2, в состав которого входят интегрирующая RC-цепь 3, включающая в себя резистор 4 и конденсатор 5, причем выход этой RC-цепи является первым выходом задающего узла 2, и дифференцирующая цепь 6, выход которой является вторым выходом задающего узла 2, из источника опорного напряжения, выполненного на стабилитроне 7, из широтно-импульс-

ного модулятора 8, выполненного на транзисторах 9 и 10, первом 11, втором 12, третьем 13 и четвертом 14 резисторах, из счетного триггера 15, первого 16, второго 17 логических элементов совпадения, например 2И-НЕ, первый 18 и второй 19 резистивные делители, первый 20, второй 21 ключевые транзисторы, силовой инвертор 22, включающий в себя два однотипных транзистора 23 и 24 и трансформатор 25 с первичной 25.1 и вторичной 25.2 обмотками, а также выпрямитель с фильтром 26.

Между положительным и отрицательным входными выводами включены последовательно стабилитрон 7 и две ветви тока, в первую из которых входят задающий узел 2, логические элементы 16 и 17 совпадения, которые соединены между собой по цепям питания параллельно, а также переход база - эмиттер транзистора 23, причем параллельно этому переходу включен переход коллектор - эмиттер транзистора 21. Вторая ветвь тока стабилитрона 7 состоит из цепи питания триггера 14, широтно-импульсного модулятора 8 и последовательно соединенным с ней переходом база - эмиттер транзистора 24, параллельно которому подключен переход коллектор - эмиттер транзистора 20.

Задающий узел 2 выполнен на типовом генераторе прямоугольных колебаний, к выходу которого подключены интегрирующая 3 и дифференцирующая 6 RC-цепи.

Общая точка стабилитрона 7, цепи питания задающего узла 2 и логических элементов 16 и 17 совпадения подключена к эмиттеру транзистора 9, к базе которого через резистор 11 подключен противоположный вывод стабилитрона 7, а через резистор 12 - первый выход узла 2.

База и коллектор транзистора 10 через резисторы соответственно 13 и 14 подключены к общей точке базы транзистора 24 и коллектора транзистора 20. Коллектор транзистора 10, являющийся выходом широтно-импульсного модулятора 8, подключен одновременно к первым входам логических элементов совпадения 2И-НЕ 16 и 17, вторые входы которых подключены соответственно к прямому и инверсному выходам счетного триггера 15. Выход логического элемента 16 через резистивный делитель 18, а выход логического элемента 17 через резистивный делитель 19 подключены соответственно к базам транзисторов 20 и 21. Коллекторы транзисторов 23 и 24 подключены к крайним выводам первичной обмотки 25.1, трансформатора 25, средняя точка которой подключена к входному выводу положительной полярности. Вторичная обмотка 25.2 через выпрямитель с фильтром 26 соединена с выходными выводами.

В устройстве (фиг.2) между выходами триггера 15 и вторыми входами логических элементов 16 и 17 совпадения установлены резисторы 27 и 28 соответственно. К указанным входам логических элементов 16 и 17 подключены аноды диодов 29 и 30, катоды которых подключены соответственно к коллекторам транзисторов 23 и 24.

В устройстве (фиг.3) со стабилизацией выходного напряжения при изменении тока нагрузки в узле 31 обратной связи, выполненном на операционном усилителе 32, к выходному выводу подключены источник 33 эталонного напряжения и резистивный делитель 34, выходы которых подключены к входам дифференциального усилителя 32. К выходу этого усилителя 32 через эмиттерный повторитель на транзисторе 35 и токоограничительный резистор 36 подключен светодиод оптрона 37, фоторезистор которого использован в качестве резистора RC-цепи 3.

Эпюры на фиг.4 показывают: 38 - прямоугольное напряжение, формируемое в задающем узле 2; 39 - опорное напряжение (относительно входного вывода положительной полярности), 40 - напряжение на выходе RC-цепи 3 (также относительно того же входного выхода), 41 - напряжение на выходе широтно-импульсного модулятора 8; 42 - напряжение на прямом выходе триггера 15; 43 - напряжение на инверсном выходе триггера 15; 44 - напряжение на выходе элемента 2И-НЕ 16; 45 - напряжение на выходе элемента 2И-НЕ 17; 46 - напряжение на обмотке 25.2 трансформатора 25; 47 - напряжение на входе элемента 2И-НЕ 16 с стороны триггера 15 в режиме наименьшего напряжения питания; 48 - напряжение на входе элемента 2И-НЕ 17 с стороны триггера 15 в режиме наименьшего напряжения питания; 49 - напряжение на обмотке 25.2 трансформатора 25 в режиме наименьшего напряжения питания.

Стабилизированный преобразователь работает следующим образом.

От первого входного вывода питания положительной полярности через стабилитрон 7 протекает суммарный ток потребления задающего узла 2, широтно-импульсного модулятора 8, триггера 15 и логических элементов совпадения 2И-НЕ 16 и 17. Ток стабилитрона 7 через цепи питания перечисленных элементов разделяется на две ветви. В первую входят задающий узел 2 и логические элементы 16 и 17, а во вторую - широтно-импульсный модулятор 8 и триггер 15. Ток первой ветви замыкается на второй входной вывод питания (отрицательной полярности) через база-эмиттерный переход транзистора 23 либо через переход коллектор-эмиттер транзистора 21 в зависимости от состояния выхода логического элемента 17. Соответственно, ток второй ветви замыкается на второй входной вывод питания через база-эмиттерный переход транзистора 24, либо переход коллектор-эмиттер транзистора 20 в зависимости от состояния выхода логического элемента 16.

В исходном состоянии на выходах логических элементов 16 и 17 имеется напряжение логической единицы и, так как эти выходы через резистивные

делители 18 и 19 соединены с базами транзисторов 20 и 21, оба эти транзистора открыты. Токи указанных ветвей проходят через транзисторы 20 и 21.

В задающем узле 2 формируется прямоугольное напряжение 38 (фиг.4), которое используется для получения пилообразного напряжения 40 посредством интегрирующей RC-цепи 3 и для переключения триггера 15, осуществляемого через дифференцирующую цепь 6. На выходе триггера 15 получают также прямоугольные импульсы, но вдвое меньшей частоты относительно исходного прямоугольного напряжения 38. Пилообразное напряжение 40, максимальный уровень которого приходится на середину полупериодов выходных напряжений триггера 15, прикладывается к базе транзистора 9 широтно-импульсного модулятора 8 через резистор 12. Через резистор 11 на эту базу поступает опорное напряжение 39 для сравнения затем с пилообразным напряжением 40 (фиг.4), уровень переменной и постоянной составляющих которого пропорционально зависит от уровня входного напряжения. В моменты времени, когда пилообразное напряжение превышает по абсолютной величине опорное, транзистор 9 закрывается, а транзистор 10 открывается, его базовый ток проходит через резистор 13 и широтно-импульсный модулятор 8 формирует широтно-модулированный сигнал, выделяемый в виде логической единицы, на резисторе 14 (эпюры 41). В результате логического сложения и инвертирования элементами 16 и 17 напряжений 41, 42 и 43, вырабатываемых широтно-импульсным модулятором 8 и триггером 15, создаются попеременно логические нули (эпюры 44 и 45). Транзисторные ключи 20 и 21, базовые токи которых на время появления логических нулей исчезают, попеременно выключаются.

Прекращение тока через любой из транзисторов 21 и 20 приводит к прекращению тока первой или второй ветвей тока стабилитрона 7 на переход база-эмиттер транзистора 23 либо соответственно транзистора 24. Токи через эти транзисторы окажутся таким образом модулированными по скважности. Выходное напряжение статического

преобразователя, снимаемое с выпрямителя с фильтром 26, будет стабилизировано при изменении входного напряжения, так как скважность импульсов, широтно-импульсного модулятора 8 и импульсов напряжения 46 на вторичной обмотке 25.2. трансформатора 25 изменяются пропорционально текущему уровню входного напряжения от первичного источника.

Дополнительная функция устройства - задержка операции логического сложения прямоугольного напряжения с широтно-модулированным сигналом до спада к нулю коллекторного тока выключаемого транзистора 23 или 24 инвертора 2, реализуется (фиг.2) за счет того, что выходы триггера 15 подключены к входам логических элементов 16 и 17 через резисторы 27 и 29 и одновременно эти входы через диоды 29 и 30 подключены к коллекторам транзисторов 23 и 24. До тех пор, пока любой из этих транзисторов включен (например 23), другой транзистор 24 не сможет включиться потому, что несмотря на появление логической единицы на выходе триггера 15, соединенном с логическим элементом 16, управляющим другим транзистором 24 через резистивный делитель 18 и транзистор 20, она не может достигнуть входа этого логического элемента (эпюру 47), так как через не успевший еще запереться транзистор 23 и диод 29, подключенный к его коллектору, на указанном входе логического элемента 16 искусственно поддерживается логический нуль. Аналогично задерживается появление логической единицы на входе другого логического элемента 17, управляющего транзистором 23, который должен включиться в следующем полупериоде. Через транзистор 24, еще удерживающийся во включенном состоянии из-за протекающего в нем процесса рассасывания, и подключенный к его коллектору диод 30 подготовленная триггером 15 логическая единица ограничивается (эпюра 48) на резисторе 28, включенном между данным выходом триггера и логическим элементом 17.

Усовершенствование устройства (фиг.3) позволяет достичь на выходных выводах поддержание стабилизируемого параметра с большей точно-

стью при воздействии на него других дестабилизирующих факторов (например, тока нагрузки при стабилизации напряжения, или наоборот, напряжения при стабилизации тока). В примере конкретной реализации (фиг.3) стабилизируется напряжение. Здесь действует обратная связь с нагрузки. С помощью узла 31 стабилизируемый параметр сравнивается с заданным его значением и производится дополнительно к описанным процессам управление фоторезистором 4 оптрона 37, проводимость которого зависит от степени отклонения выходного напряжения от номинального значения.

В предлагаемом преобразователе экономится электрическая энергия, расходуемая на внутренние нужды: получение опорного и пилообразного напряжения, придание последнему амплитудной зависимости от уровня входного напряжения, формирование широтно-модулированного сигнала с скважностью, пропорциональной входному напряжению, поочередной коммутации в цепь тока источника опорного напряжения (стабилитрона) управляющей цепи (база-эмиттерного перехода) одного из транзисторов двухтактного силового инвертора - достигается общим током источника опорного напряжения (стабилитрона).

Устранение сквозных токов в транзисторах силового инвертора также достигается без дополнительных затрат электрической энергии. Автоматически выполняемые операции задержки логического сложения прямоугольных напряжений с широтно-модулированными сигналами производятся пассивными элементами (резисторы 27 и 28, диоды 29 и 30 совместно с транзисторами силового инвертора) в процессе их работы по основному назначению.

При стабилизации выходного параметра с использованием обратной связи с нагрузки достигается дополнительное полезное свойство: улучшаются динамические характеристики при всплесках и провалах входного напряжения. В самом деле при изменении входного напряжения отслеживается ширина управляющих импульсов за счет непосредственного изменения амплитуды пилообразного напряжения без участия обратной связи, благодаря

чему устраняется задержка регулирования из-за инерционности элементов, входящих в контур регулирования (главным образом в фильтре).

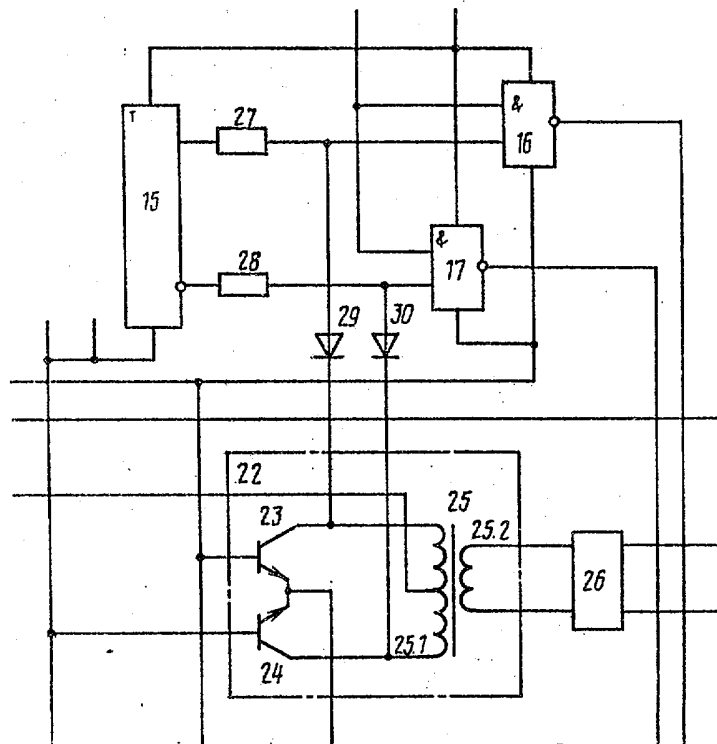
Ф о р м у л а и з о б р е т е н и я

1. Стабилизированный преобразователь постоянного напряжения, содержащий блок управления, состоящий из задающего узла, формирующего пилообразное напряжение на первом выходе и синхронизирующие импульсы на втором выходе, из счетного триггера, первого и второго логических элементов совпадения, из источника опорного напряжения и из широтно-импульсного модулятора, причем входы широтно-импульсного модулятора соединены соответственно с источником опорного напряжения и первым выходом задающего узла, а выход подключен к первым входам первого и второго логических элементов совпадения, вторые входы которых соединены соответственно с прямым и инверсным выходами счетного триггера, входом подключенного к второму выходу задающего узла, и силовой инвертор, включающий в себя первый и второй транзисторы и трансформатор, первичная обмотка которого крайними выводами подключена к коллекторам транзисторов силового инвертора, средняя точка первичной обмотки и эмиттеры транзисторов силового инвертора подключены соответственно к первому и второму входным выводам, а вторичная обмотка через выпрямитель и фильтр соединена с выходными выводами, отличающийся тем, что, с целью повышения КПД, в него введены первый и второй ключевые транзисторы того же типа проводимости, что и транзисторы силового инвертора, и первый и второй резистивные делители, а в качестве источника опорного напряжения использован стабилитрон, причем стабилитрон включен между первым входным выводом и цепями питания остальных узлов блока управления, которые разделены на две ветви, каждая из которых соединена с вторым входным выводом через базэмиттерный переход первого или второго транзисторов силового инвертора, при этом эмиттеры первого и второго ключевых транзисторов соединены с первыми и вторыми входами первого и второго логических элементов совпадения, вторые входы которых соединены соответственно с прямым и инверсным выходами счетного триггера, входом подключенного к второму выходу задающего узла, и силовой инвертор, включающий в себя первый и второй транзисторы и трансформатор, первичная обмотка которого крайними выводами подключена к коллекторам транзисторов силового инвертора, средняя точка первичной обмотки и эмиттеры транзисторов силового инвертора подключены соответственно к первому и второму входным выводам, а вторичная обмотка через выпрямитель и фильтр соединена с выходными выводами.

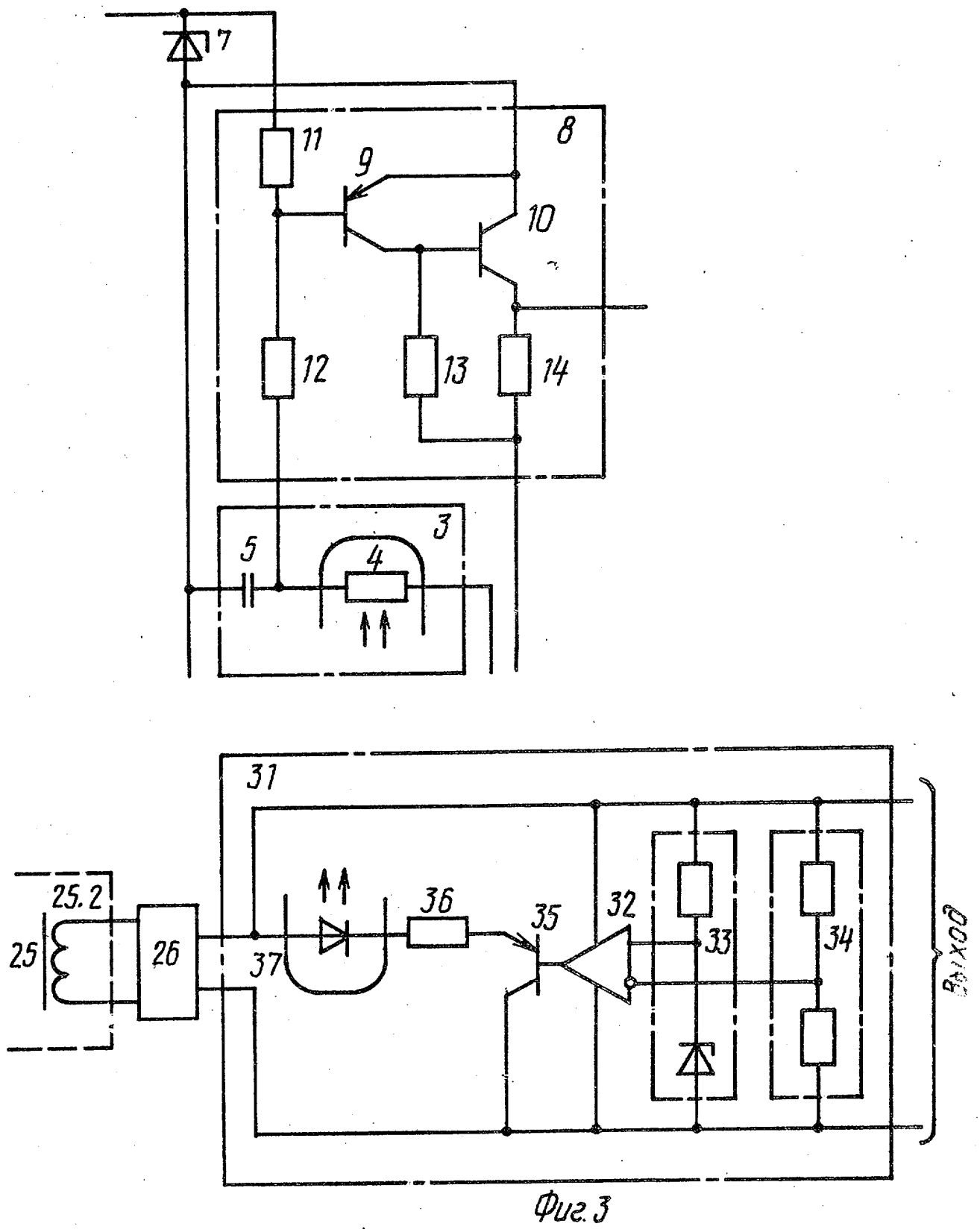
чевых транзисторов соединены с вторым входным выводом, коллекторы - с базами соответственно второго и первого транзисторов силового инвертора, а базы - с выходами соответственно первого и второго резистивных делителей, входы которых подключены к выходам соответственно первого и второго элементов совпадения.

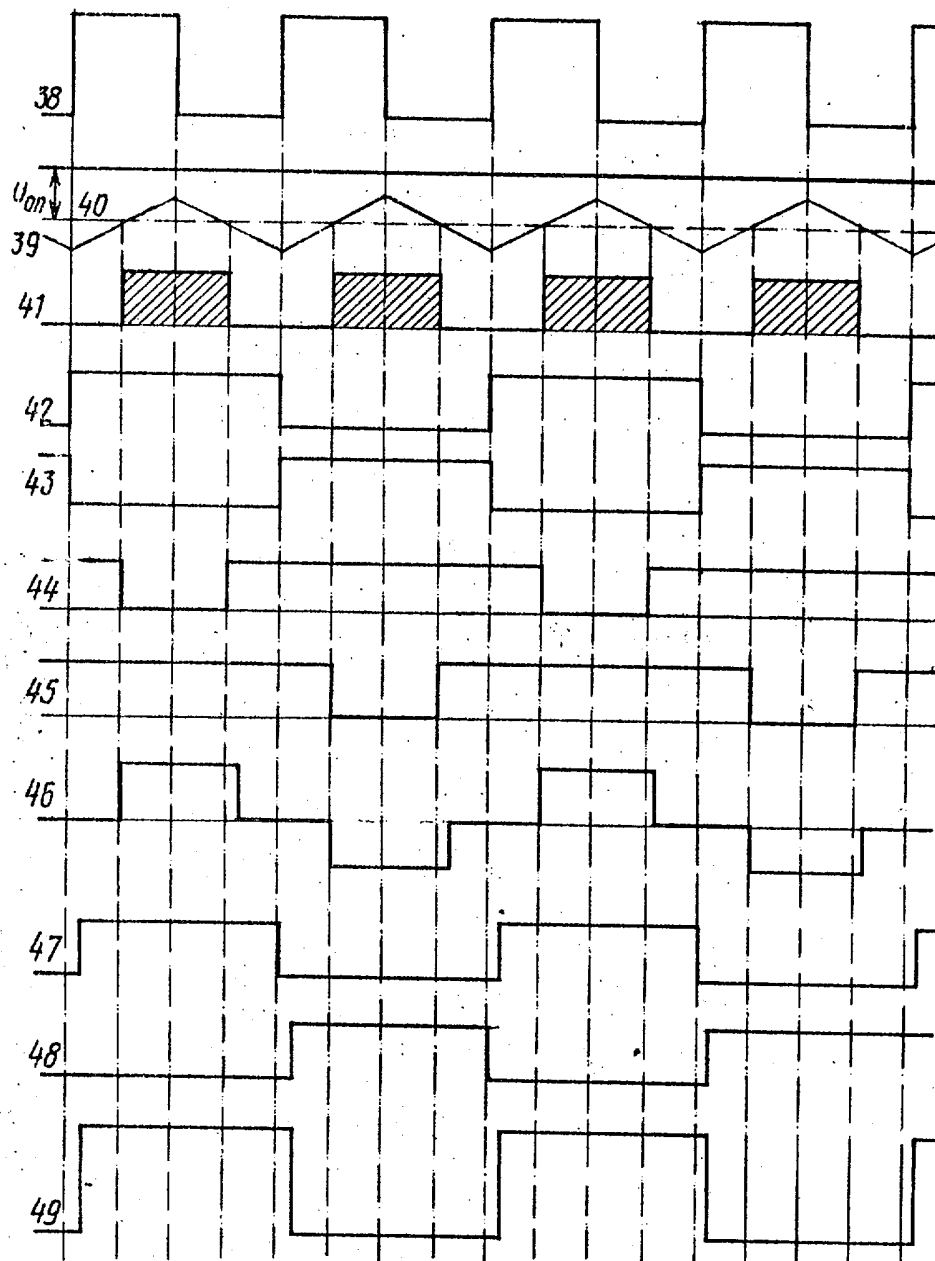
2. Преобразователь по п. 1, отличающийся тем, что, с целью исключения сквозных токов в транзисторах силового инвертора при наименьшем напряжении питания, соединение вторых входов первого и второго логических элементов совпадения соответственно с прямым и инверсным выходами счетного триггера осуществлено через введенные первый и второй резисторы, кроме того, вторые входы первого и второго логических элементов совпадения соединены с коллекторами соответственно первого и второго транзисторов силового инвертора через введенные первый и второй диоды, включенные в проводящем направлении.

3. Преобразователь по п. 1 или 2, отличающийся тем, что, с целью стабилизации выходного напряжения при изменении тока нагрузки, в него введен узел обратной связи, входом подключенный к выходным выводам и состоящий из источника эталонного напряжения, резистивного делителя напряжения, дифференциального усилителя, транзистора, третьего резистора и оптотары, причем вход резистивного делителя напряжения использован в качестве входа узла обратной связи и соединен с входом источника эталонного напряжения, а выходы резистивного делителя напряжения и источника эталонного напряжения подключены к соответствующим входам дифференциального усилителя, выход которого соединен с управляющим входом транзистора, включенного по схеме эмиттерного повторителя, эмиттер этого транзистора через третий резистор и светодиод оптотары соединен с одним из выходных выводов, а фотоприемник оптотары, в качестве которого использован оптронный резистор, включен в цепь формирования пилообразного напряжения задающего узла.



Фиг. 2





Фиг. 4

Составитель А. Волкова
 Редактор М. Микович Техред А. Кравчук Корректор С. Шекмар

Заказ 4467 Тираж Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101