

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5114793号
(P5114793)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月26日 (2012.10.26)

(51) Int.Cl.	F I
HO 1 F 21/12 (2006.01)	HO 1 F 21/12
HO 3 B 5/12 (2006.01)	HO 3 B 5/12 B
HO 3 B 5/08 (2006.01)	HO 3 B 5/08 A

請求項の数 28 (全 32 頁)

(21) 出願番号	特願2009-49948 (P2009-49948)	(73) 特許権者	303046277
(22) 出願日	平成21年3月3日 (2009.3.3)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2010-205938 (P2010-205938A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成22年9月16日 (2010.9.16)	(74) 代理人	100077481
審査請求日	平成22年10月13日 (2010.10.13)		弁理士 谷 義一
		(72) 発明者	宮下 清
			神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内
		審査官	右田 勝則

最終頁に続く

(54) 【発明の名称】 可変インダクタ及び電圧制御発振器

(57) 【特許請求の範囲】

【請求項 1】

インダクタと容量性素子の並列共振による電圧制御発振器において、
線対称軸を有し、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備える可変インダクタと、
前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、
前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部と
を備え、
前記第2の端子、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、
前記共有部、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、
前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、
前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、

10

20

前記共有部は、前記線対称軸上の第 1 の点 (Z) を中心点とした第 1 の円周上の円弧であり、

前記第 1 の線路および前記第 3 の線路は、それぞれ前記線対称軸上の第 2 の点 (Z D) を中心点とした、前記第 1 の端子および前記第 2 の端子を通る第 2 の円周上の円弧であり、

前記第 2 の線路および前記第 4 の線路は、それぞれ前記線対称軸上の第 3 の点 (Z E) を中心点とした、前記第 1 の端子および前記第 2 の端子を通る第 3 の円周上の円弧であり、

前記第 2 の円周の半径は、前記第 3 の円周の半径よりも短く、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であり、

前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする電圧制御発振器。

【請求項 2】

インダクタと容量性素子の並列共振による電圧制御発振器において、

線対称軸を有し、前記線対称軸に関して線対称な共有部と、前記共有部の第 1 の端子に接続された第 1 及び第 2 の線路と、前記共有部の第 2 の端子に接続された第 3 及び第 4 の線路とを備える可変インダクタと、

前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、

前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部と

を備え、

前記第 2 の端子、前記第 3 の線路、および前記第 4 の線路はそれぞれ、前記第 1 の端子、前記第 1 の線路、および前記第 2 の線路と前記線対称軸に関して線対称であり、

前記共有部、前記第 1 の線路、および前記第 3 の線路は、第 1 のインダクタ部を構成し、

前記共有部、前記第 2 の線路、および前記第 4 の線路は、第 2 のインダクタ部を構成し、

前記第 1 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、

前記共有部は、前記線対称軸上の第 1 の点 (Z) を中心点とした第 1 の円周上の円弧であり、

前記第 1 の線路および前記第 3 の線路は、それぞれ前記線対称軸上の第 2 の点 (Z D) を中心点とした、前記第 1 の端子および前記第 2 の端子を通る第 2 の円周上の円弧であり、

前記第 2 の線路および前記第 4 の線路は、それぞれ前記線対称軸上の第 3 の点 (Z E) を中心点とした、前記第 1 の端子および前記第 2 の端子を通る第 3 の円周上の円弧であり、

前記第 2 の円周の半径は、前記第 3 の円周の半径よりも短く、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であり、

前記共有部の第 1 の端子に接続された第 5 の線路と、

前記共有部の第 2 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

をさらに備え、

10

20

30

40

50

前記共有部、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、
 前記第 5 の線路および前記第 6 の線路は、それぞれ前記線対称軸上の第 4 の点 (Z F) を中心点とした、前記第 1 の端子および前記第 2 の端子を通る第 4 の円周上の円弧であり、
 前記第 3 の円周の半径は、前記第 4 の円周の半径よりも短く、
 前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、
 前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 3】

10

線対称軸を有する可変インダクタであって、
 前記線対称軸に関して線対称な共有部と、
 前記共有部の第 1 の端子に接続された第 1 及び第 2 の線路と、
 前記共有部の第 2 の端子に接続された第 3 及び第 4 の線路と
 を備え、
 前記第 2 の端子、前記第 3 の線路、および前記第 4 の線路はそれぞれ、前記第 1 の端子、前記第 1 の線路、および前記第 2 の線路と前記線対称軸に関して線対称であり、
 前記共有部、前記第 1 の線路、および前記第 3 の線路は、第 1 のインダクタ部を構成し、

前記共有部、前記第 2 の線路、および前記第 4 の線路は、第 2 のインダクタ部を構成し、

20

前記第 1 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、
 前記共有部は、第 1 の点 (Z L) を中心点とした第 1 の円周上の円弧、および、前記第 1 の点 (Z L) と前記線対称軸に関して線対称な第 2 の点 (Z R) を中心点とした、前記第 1 の円周と同一半径の第 2 の円周上の円弧を有し、
 前記第 1 の円周上の円弧と前記第 2 の円周上の円弧とは、前記線対称軸上の第 3 の点 (B) で結合しており、
 前記第 1 の線路は、前記線対称軸上の第 4 の点 (D) および前記共有部の前記第 1 の端子を通る第 3 の円周上の円弧であり、
 前記第 2 の線路は、前記線対称軸上の第 5 の点 (E) および前記共有部の前記第 1 の端子を通る第 4 の円周上の円弧であり、
 前記第 4 の点 (D) と前記第 3 の点 (B) との間の距離は、前記第 5 の点 (E) と前記第 3 の点 (B) との間の距離よりも長いことを特徴とする可変インダクタ。

30

【請求項 4】

インダクタと容量性素子の並列共振による電圧制御発振器において、
 請求項 3 に記載の可変インダクタと、
 前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、
 前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部と
 を備え、

40

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、
 前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 5】

前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする請求項 4 に記載の電圧制御発振器。

【請求項 6】

50

前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする請求項 4 に記載の電圧制御発振器。

【請求項 7】

前記共有部の第 1 の端子に接続された第 5 の線路と、

前記共有部の第 2 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

をさらに備え、

前記共有部、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、

前記第 5 の線路は、前記線対称軸上の第 6 の点 (F) および前記共有部の前記第 1 の端子を通る第 5 の円周上の円弧であり、

前記第 6 の線路は、前記第 5 の線路と前記線対称軸に関して線対称であり、

前記第 5 の点 (E) と前記第 3 の点 (B) との間の距離よりは、前記第 6 の点 (F) と前記第 3 の点 (B) との間の距離よりも長く、

前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、

前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする請求項 4 に記載の電圧制御発振器。

【請求項 8】

線対称軸を有する可変インダクタであって、

前記線対称軸に関して線対称な共有部と、

前記共有部の第 1 の端子に接続された第 1 及び第 2 の線路と、

前記共有部の第 2 の端子に接続された第 3 及び第 4 の線路と

を備え、

前記第 2 の端子、前記第 3 の線路、および前記第 4 の線路はそれぞれ、前記第 1 の端子、前記第 1 の線路、および前記第 2 の線路と前記線対称軸に関して線対称であり、

前記共有部、前記第 1 の線路、および前記第 3 の線路は、第 1 のインダクタ部を構成し

、

前記共有部、前記第 2 の線路、および前記第 4 の線路は、第 2 のインダクタ部を構成し

、

前記第 1 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、

前記共有部は、第 1 の点 (Z L) を中心点とした第 1 のソレノイド、および、前記第 1 の点 (Z L) と前記線対称軸に関して線対称な第 2 の点 (Z R) を中心点とした、前記第 1 のソレノイドと同一半径の第 2 のソレノイドを有し、

前記第 1 のソレノイドと前記第 2 のソレノイドとは、それぞれの始点が、前記線対称軸上の第 3 の点 (B) を通って前記線対称軸と直交する結線部を介して結合しており、

前記第 1 の線路は、前記線対称軸上の第 4 の点 (D) および前記共有部の前記第 1 の端子を通る第 1 の円周上の円弧であり、

前記第 2 の線路は、前記線対称軸上の第 5 の点 (E) および前記共有部の前記第 1 の端子を通る第 2 の円周上の円弧であり、

前記第 4 の点 (D) と前記第 3 の点 (B) との間の距離は、前記第 5 の点 (E) と前記第 3 の点 (B) との間の距離よりも長いことを特徴とする可変インダクタ。

【請求項 9】

インダクタと容量性素子の並列共振による電圧制御発振器において、

請求項 8 に記載の可変インダクタと、

前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、

10

20

30

40

50

前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部とを備え、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 10】

前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする請求項 9 に記載の電圧制御発振器。

10

【請求項 11】

前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする請求項 9 に記載の電圧制御発振器。

【請求項 12】

前記共有部の第 1 の端子に接続された第 5 の線路と、

前記共有部の第 2 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

20

をさらに備え、

前記共有部、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、

前記第 5 の線路は、前記線対称軸上の第 6 の点 (F) および前記共有部の前記第 1 の端子を通る第 3 の円周上の円弧であり、

前記第 6 の線路は、前記第 5 の線路と前記線対称軸に関して線対称であり、

前記第 5 の点 (E) と前記第 3 の点 (B) との間の距離よりは、前記第 6 の点 (F) と前記第 3 の点 (B) との間の距離よりも長く、

前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、

前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする請求項 9 に記載の電圧制御発振器。

30

【請求項 13】

線対称軸を有する可変インダクタであって、

前記線対称軸に関して線対称な共有部と、

前記共有部の第 1 の端子に接続された第 1 及び第 2 の線路と、

前記共有部の第 2 の端子に接続された第 3 及び第 4 の線路と

を備え、

前記第 2 の端子、前記第 3 の線路、および前記第 4 の線路はそれぞれ、前記第 1 の端子、前記第 1 の線路、および前記第 2 の線路と前記線対称軸に関して線対称であり、

前記共有部、前記第 1 の線路、および前記第 3 の線路は、第 1 のインダクタ部を構成し

40

、

前記共有部、前記第 2 の線路、および前記第 4 の線路は、第 2 のインダクタ部を構成し

、

前記第 1 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、

前記共有部は、前記線対称軸上の第 1 の点 (B) を通って前記線対称軸と直交する、前記線対称軸に関して線対称な第 1 の線分部、前記第 1 の線分部の一端と接続され、前記線対称軸と平行に延在する第 2 の線分部、および、前記第 1 の線分部の他端と接続され、前記線対称軸と平行に延在する第 3 の線分部を有し、

前記第 1 の線路および前記第 3 の線路は、それぞれ前記線対称軸上の第 2 の点 (D) を通って前記線対称軸と直交する直線上の線分を有し、

50

前記第 2 の線路および前記第 4 の線路は、それぞれ前記線対称軸上の第 3 の点 (E) を通って前記線対称軸と直交する直線上の線分を有し、

前記第 2 の点 (D) と前記第 1 の点 (B) との間の距離は、前記第 3 の点 (E) と前記第 1 の点 (B) との間の距離よりも長いことを特徴とする可変インダクタ。

【請求項 1 4】

インダクタと容量性素子の並列共振による電圧制御発振器において、

請求項 1 3 に記載の可変インダクタと、

前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、

10

前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部と

を備え、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 1 5】

前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする請求項 1 4 に記載の電圧制御発振器。

20

【請求項 1 6】

前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする請求項 1 4 に記載の電圧制御発振器。

【請求項 1 7】

前記共有部の第 1 の端子に接続された第 5 の線路と、

前記共有部の第 2 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

30

をさらに備え、

前記共有部、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、

前記第 5 の線路および前記第 6 の線路は、それぞれ前記線対称軸上の第 4 の点 (F) を通って前記線対称軸と直交する直線上の線分を有し、

前記第 3 の点 (E) と前記第 1 の点 (B) との間の距離は、前記第 4 の点 (F) と前記第 1 の点 (B) との間の距離よりも長く、

前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、

前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする請求項 1 4 に記載の電圧制御発振器。

40

【請求項 1 8】

線対称軸を有する可変インダクタであって、

前記線対称軸に関して線対称な共有部であって、第 1 の点 (Z L) を中心点とした第 1 のソレノイド、および、前記第 1 の点 (Z L) と前記線対称軸に関して線対称な第 2 の点 (Z R) を中心点とした、前記第 1 のソレノイドと同一半径の第 2 のソレノイドを有し、前記第 1 のソレノイドと前記第 2 のソレノイドとは、それぞれの始点が、前記線対称軸上の第 3 の点 (B) を通って前記線対称軸と直交する結線部を介して結合するものである共有部と、

前記第 1 のソレノイドの前記始点より下層に存在する第 1 の端子 (A) に接続された第 1 の線路と、

50

前記第 1 のソレノイドの前記第 1 の端子 (A) より下層に存在する第 2 の端子 (G) に接続された第 2 の線路と、

前記第 2 のソレノイドの前記始点より下層に存在する第 3 の端子 (C) に接続された第 3 の線路と、

前記第 2 のソレノイドの前記第 3 の端子 (C) より下層に存在する第 4 の端子 (H) に接続された第 4 の線路と

を備え、

前記第 3 の端子 (C)、前記第 4 の端子 (H)、前記第 3 の線路、および前記第 4 の線路はそれぞれ、前記第 1 の端子 (A)、前記第 2 の端子 (G)、前記第 1 の線路、および前記第 2 の線路と前記線対称軸に関して線対称であり、

前記共有部のうちの前記第 1 の端子 (A) から前記第 3 の端子 (C) の間の部分、前記第 1 の線路、および前記第 3 の線路は、第 1 のインダクタ部を構成し、

前記共有部のうちの前記第 2 の端子 (G) から前記第 4 の端子 (H) の間の部分、前記第 3 の線路、および前記第 4 の線路は、第 2 のインダクタ部を構成し、

前記第 2 のインダクタ部の線路長は、前記第 1 のインダクタ部の線路長よりも長いことを特徴とする可変インダクタ。

【請求項 19】

インダクタと容量性素子の並列共振による電圧制御発振器において、

請求項 18 に記載の可変インダクタと、

前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、

前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部と

を備え、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 20】

前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする請求項 19 に記載の電圧制御発振器。

【請求項 21】

前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする請求項 19 に記載の電圧制御発振器。

【請求項 22】

前記第 1 のソレノイドの前記第 2 の端子 (G) より下層に存在する第 5 の端子に接続された第 5 の線路と、

前記第 2 のソレノイドの前記第 4 の端子 (H) より下層に存在する第 6 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

を備え、

前記共有部のうちの前記第 5 の端子から前記第 6 の端子の間の部分、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、

前記第 3 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、

前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、

前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする請求項 19 に記載の電圧制御発振器。

【請求項 2 3】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の負性抵抗素子を備え、

前記第 1 および第 2 の容量性素子部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の容量性素子を備えることを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

【請求項 2 4】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、

制御信号が入力される入力端子と、

第 1 の出力端子および第 2 の出力端子と、

ドレインが前記第 1 の出力端子に接続され、ソースが接地され、ゲートが前記第 2 の出力端子に接続され、入力された前記制御信号によりオンオフ制御される第 1 のトランジスタと、

ドレインが前記第 2 の出力端子に接続され、ソースが接地され、ゲートが前記第 1 の出力端子に接続され、前記入力端子からの前記制御信号によりオンオフ制御される第 2 のトランジスタと

を備え、

前記第 1 および第 2 のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

【請求項 2 5】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、

制御信号が入力される入力端子と、

第 1 および第 2 の出力端子と、

ドレインが前記第 1 の出力端子に接続され、ゲートが前記第 2 の出力端子に接続される第 1 のトランジスタと、

ドレインが前記第 2 の出力端子に接続され、ソースが前記第 1 のトランジスタのソースに接続され、ゲートが前記第 1 の出力端子に接続される第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタの前記ソースと接地との間に接続され、前記入力端子からの前記制御信号によりオンオフ制御されるスイッチと

を備え、

前記第 1 および第 2 のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

【請求項 2 6】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、

制御信号が入力される入力端子と、

第 1 および第 2 の出力端子と、

ドレインが前記第 1 の出力端子に接続され、ゲートが前記第 2 の出力端子に接続される第 1 のトランジスタと、

ドレインが前記第 2 の出力端子に接続され、ソースが前記第 1 のトランジスタのソースに接続され、ゲートが前記第 1 の出力端子に接続される第 2 のトランジスタと、

ドレインが前記第 1 および第 2 のトランジスタのソースに接続されて A C _ _ C O M 端子を形成し、ソースが接地され、ゲートに前記入力端子からの前記制御信号により制御される制御電圧が印加された第 3 のトランジスタと

を備え、

前記第 1 および第 2 のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

【請求項 2 7】

前記第 1 および第 2 の容量性素子部はそれぞれ、
 制御信号が入力される入力端子と、
 第 1 および第 2 の出力端子と、
 一方の端子が前記第 1 の出力端子に接続され、他方の端子に前記入力端子が接続される
 第 1 の MOS バラクタと、
 一方の端子が前記第 2 の出力端子に接続され、他方の端子に前記第 1 のバラクタの他方
 の端子及び前記入力端子が接続される第 2 の MOS バラクタと
 を備え、

前記第 1 および第 2 のバラクタは、前記線対称軸に関して線対称の位置に配置されてい
 ることを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

10

【請求項 28】

前記第 1 および第 2 の容量性素子部はそれぞれ、
 制御信号が入力される入力端子と、
 第 1 および第 2 の出力端子と、
 前記入力端子からの前記制御信号にオンオフ制御されるスイッチとキャパシタとからな
 り、一方の端子が前記第 1 の出力端子に接続される 1 つ以上の第 1 の容量部と、
 前記入力端子からの前記制御信号にオンオフ制御されるスイッチとキャパシタとからな
 り、一方の端子が前記第 2 の出力端子に接続され、他方の端子が前記第 1 の容量部の他方
 の端子に接続される 1 つ以上の第 2 の容量部と
 を備え、

20

前記第 1 および第 2 の容量部は、前記線対称軸に関して線対称の位置に配置されている
 ことを特徴とする請求項 1、4、9、14、19 のいずれかに記載の電圧制御発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変インダクタ及び電圧制御発振器に関する。

【背景技術】

【0002】

近年の通信トラフィックの増加に伴い通信機器の動作周波数は増加し、それに伴って通
 信機器で用いられる電圧制御発振器の動作周波数も高くなる一方である。

30

【0003】

このような状況の中、電圧制御発振器の構成要素であり、その物理的大きさ及び素子値可
 変の容易さから、ほとんどの電圧制御発振器において周波数可変素子として用いられてい
 る容量性素子の等価回路を図 20 (a) 及び (b) に示す。この図から容量性素子の良さを表す Q 値 Q_c を求めると、

$$Q_c = 1 / (R_{SA} \times W \times C_{SA}) = R_{PA} \times W \times C_{PA} \quad (1)$$

となり、ここで、 w は周波数であり、

$$C_{SA} = C_{PA} = C_A \quad (2)$$

$$R_{PA} = 1 / (R_{SA} \times (W \times C_A)^2) \quad (3)$$

である。

40

【0004】

さらに、もう一つの構成要素のインダクタに関しても、その等価回路図 21 (a) 及び
 (b) を基に、インダクタの良さの指数 Q_l を求めると以下の式 (4) ~ (6) を得る。

【0005】

$$Q_l = (W \times L_{SB}) / R_{SB} = R_{PB} / (W \times L_{PB}) \quad (4)$$

$$L_{SB} = L_{PB} = L_B \quad (5)$$

$$R_{PB} = (W \times L_B)^2 / R_{SB} \quad (6)$$

【0006】

これらの式 (1) ~ (6) より、 Q_c は周波数に比例して低くなり、 Q_l は周波数に比
 例して大きくなることが分かった。このことを図示したのが図 22 である。従って LC (

50

インダクタと容量性素子)の並列共振による電圧制御発振器を想定した場合、ある周波数より高い領域では容量性素子(キャパシタ)のQ値 Q_c がLC共振器のQ値の支配的要因となることが分かった。なお、5~10GHzで $Q_c = Q_l$ の点が存在すると言われているが(非特許文献1参照)、これはインダクタンスの値・構成法、キャパシタの種類、形状等によって変化する多次元の関数であり製造条件に依存する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-266700号公報

【非特許文献】

【0008】

【非特許文献1】J. Victory, et. al., "PSP-Based Scalable MOS Varactor Model," IEEE 2007 Custom Integrated Circuit Conference (CICC 2007)

【非特許文献2】Cjang-Tsung Fu, et. al., "A 2.4-5.4-GHz Wide Turning-Range CMOS Reconfigurable Low-Noise Amplifier," IEEE MTT, VOL. 56, NO. 12, pp. 2754-2763, December 2008

【非特許文献3】J. Craninckx and M. Steyaert, "Wireless CMOS Frequency Synthesizer Design," pp. 90, Kluwer Academic Publishers, 1998

【発明の概要】

【発明が解決しようとする課題】

【0009】

周波数可変素子として、容量性素子ではなくインダクタを用いることは、特にIC分野では従来ほとんど行われてこなかった。その理由としては、容量性素子は実装面積が小さいため一定面積の制約条件の中で共振周波数範囲をインダクタよりも広く取ることができる等が挙げられるが、非特許文献2に可変インダクタの一例が開示されている。非特許文献2に記載の可変インダクタは、インダクタにタップを設けて、そのタップと直列に切り替えスイッチを挿入したものであり、共振周波数の調整を容易にするインダクタンスの単調性が保証されているものの、直列に挿入された切り替えスイッチの抵抗成分がインダクタのQ値を劣化させるので電圧制御発振器の用途には適していない。

【0010】

また、特許文献1に記載の技術では、可変インダクタを得るために1つのインダクタ間の相互インダクタンスを用いているため、回路規模およびそれに伴うコストの上昇といった問題がある。

【0011】

本発明は、このような問題点に鑑みてなされたものであり、第1の目的は、LC(インダクタと容量性素子)の並列共振による電圧制御発振器を構成するための可変インダクタであって、小型かつQ値の劣化を抑制した可変インダクタを提供することにある。

【0012】

また、本発明の第2の目的は、小型かつQ値の劣化を抑制した可変インダクタを備えるLCの並列共振による電圧制御発振器を提供することにある。

【課題を解決するための手段】

【0015】

また、本発明の第1の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、線対称軸を有し、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備える可変インダクタと、前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第2の端子、前記第3

10

20

30

40

50

の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、前記共有部は、前記線対称軸上の第1の点(Z)を中心点とした第1の円周上の円弧であり、前記第1の線路および前記第3の線路は、それぞれ前記線対称軸上の第2の点(ZD)を中心点とした、前記第1の端子および前記第2の端子を通る第2の円周上の円弧であり、前記第2の線路および前記第4の線路は、それぞれ前記線対称軸上の第3の点(ZE)を中心点とした、前記第1の端子および前記第2の端子を通る第3の円周上の円弧であり、前記第2の円周の半径は、前記第3の円周の半径よりも短く、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であり、前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする。

【0018】

また、本発明の第2の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、線対称軸を有し、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備える可変インダクタと、前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第2の端子、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、前記共有部は、前記線対称軸上の第1の点(Z)を中心点とした第1の円周上の円弧であり、前記第1の線路および前記第3の線路は、それぞれ前記線対称軸上の第2の点(ZD)を中心点とした、前記第1の端子および前記第2の端子を通る第2の円周上の円弧であり、前記第2の線路および前記第4の線路は、それぞれ前記線対称軸上の第3の点(ZE)を中心点とした、前記第1の端子および前記第2の端子を通る第3の円周上の円弧であり、前記第2の円周の半径は、前記第3の円周の半径よりも短く、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であり、前記共有部の第1の端子に接続された第5の線路と、前記共有部の第2の端子に接続された、前記第5の線路と前記線対称軸に関して線対称な第6の線路と、前記第5の線路と前記第6の線路との間に接続され、第3の制御信号により動作状態と非動作状態との間の切り替えが制御される第3の容量性素子部および第3の負性抵抗発生部とをさらに備え、前記共有部、前記第5の線路、および前記第6の線路は、第3のインダクタ部を構成し、前記第5の線路および前記第6の線路は、それぞれ前記線対称軸上の第4の点(ZF)を中心点とした、前記第1の端子および前記第2の端子を通る第4の円周上の円弧であり、前記第3の円周の半径は、前記第4の円周の半径よりも短く、前記第3の容量性素子部は前記第1および第2の容量性素子部と同一であり、前記第3の負性抵抗発生部は前記第1および第2の負性抵抗発生部と同一であることを特徴とする。

【0019】

また、本発明の第3の態様は、線対称軸を有する可変インダクタであって、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備え、前記第2の端子、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部、前記第1

10

20

30

40

50

の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、前記共有部は、第1の点（Z L）を中心点とした第1の円周上の円弧、および、前記第1の点（Z L）と前記線対称軸に関して線対称な第2の点（Z R）を中心点とした、前記第1の円周と同一半径の第2の円周上の円弧を有し、前記第1の円周上の円弧と前記第2の円周上の円弧とは、前記線対称軸上の第3の点（B）で結合しており、前記第1の線路は、前記線対称軸上の第4の点（D）および前記共有部の前記第1の端子を通る第3の円周上の円弧であり、前記第2の線路は、前記線対称軸上の第5の点（E）および前記共有部の前記第1の端子を通る第4の円周上の円弧であり、前記第4の点（D）と前記第3の点（B）との間の距離は、前記第5の点（E）と前記第3の点（B）との間の距離よりも長いことを特徴とする。

10

【0020】

また、本発明の第4の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第3の態様の可変インダクタと、前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であることを特徴とする。

20

【0021】

また、本発明の第5の態様は、第4の態様において、前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする。

【0022】

また、本発明の第6の態様は、第4の態様において、前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする。

【0023】

また、本発明の第7の態様は、第4の態様において、前記共有部の第1の端子に接続された第5の線路と、前記共有部の第2の端子に接続された、前記第5の線路と前記線対称軸に関して線対称な第6の線路と、前記第5の線路と前記第6の線路との間に接続され、第3の制御信号により動作状態と非動作状態との間の切り替えが制御される第3の容量性素子部および第3の負性抵抗発生部とをさらに備え、前記共有部、前記第5の線路、および前記第6の線路は、第3のインダクタ部を構成し、前記第5の線路は、前記線対称軸上の第6の点（F）および前記共有部の前記第1の端子を通る第5の円周上の円弧であり、前記第6の線路は、前記第5の線路と前記線対称軸に関して線対称であり、前記第5の点（E）と前記第3の点（B）との間の距離よりは、前記第6の点（F）と前記第3の点（B）との間の距離よりも長く、前記第3の容量性素子部は前記第1および第2の容量性素子部と同一であり、前記第3の負性抵抗発生部は前記第1および第2の負性抵抗発生部と同一であることを特徴とする。

30

【0024】

また、本発明の第8の態様は、線対称軸を有する可変インダクタであって、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備え、前記第2の端子、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、前記共有部は、第1の点（Z L）を中心点とした第1のソレノイド、および、前記第1の点（Z L）と前記線対称軸に関して線対称な第2の点（Z R）を中心点とした、前記第1のソレノイドと同一半径の第

40

50

2のソレノイドを有し、前記第1のソレノイドと前記第2のソレノイドとは、それぞれの始点が、前記線対称軸上の第3の点(B)を通過して前記線対称軸と直交する結線部を介して結合しており、前記第1の線路は、前記線対称軸上の第4の点(D)および前記共有部の前記第1の端子を通る第1の円周上の円弧であり、前記第2の線路は、前記線対称軸上の第5の点(E)および前記共有部の前記第1の端子を通る第2の円周上の円弧であり、前記第4の点(D)と前記第3の点(B)との間の距離は、前記第5の点(E)と前記第3の点(B)との間の距離よりも長いことを特徴とする。

【0025】

また、本発明の第9の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第8の態様の可変インダクタと、前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であることを特徴とする。

【0026】

また、本発明の第10の態様は、第9の態様において、前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする。

【0027】

また、本発明の第11の態様は、第9の態様において、前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする。

【0028】

また、本発明の第12の態様は、第9の態様において、前記共有部の第1の端子に接続された第5の線路と、前記共有部の第2の端子に接続された、前記第5の線路と前記線対称軸に関して線対称な第6の線路と、前記第5の線路と前記第6の線路との間に接続され、第3の制御信号により動作状態と非動作状態との間の切り替えが制御される第3の容量性素子部および第3の負性抵抗発生部とをさらに備え、前記共有部、前記第5の線路、および前記第6の線路は、第3のインダクタ部を構成し、前記第5の線路は、前記線対称軸上の第6の点(F)および前記共有部の前記第1の端子を通る第3の円周上の円弧であり、前記第6の線路は、前記第5の線路と前記線対称軸に関して線対称であり、前記第5の点(E)と前記第3の点(B)との間の距離よりは、前記第6の点(F)と前記第3の点(B)との間の距離よりも長く、前記第3の容量性素子部は前記第1および第2の容量性素子部と同一であり、前記第3の負性抵抗発生部は前記第1および第2の負性抵抗発生部と同一であることを特徴とする。

【0029】

また、本発明の第13の態様は、線対称軸を有する可変インダクタであって、前記線対称軸に関して線対称な共有部と、前記共有部の第1の端子に接続された第1及び第2の線路と、前記共有部の第2の端子に接続された第3及び第4の線路とを備え、前記第2の端子、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部、前記第2の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第1のインダクタ部の線路長は、前記第2のインダクタ部の線路長よりも長く、前記共有部は、前記線対称軸上の第1の点(B)を通過して前記線対称軸と直交する、前記線対称軸に関して線対称な第1の線分部、前記第1の線分部の一端と接続され、前記線対称軸と平行に延在する第2の線分部、および、前記第1の線分部の他端と接続され、前記線対称軸と平行に延在する第3の線分部を有し、前記第1の線路および前記第3の線路は、それぞれ前記線対称軸上の第2の点(D)を通過して前記線対称軸と直交する直線上の線分を有し、前記第2の線路および前記第4の線路は、それぞれ前記線対称軸上の第3の点(E)を通過して前記線対称

軸と直交する直線上の線分を有し、前記第2の点(D)と前記第1の点(B)との間の距離は、前記第3の点(E)と前記第1の点(B)との間の距離よりも長いことを特徴とする。

また、本発明の第14の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第13の態様の可変インダクタと、前記第1の線路と前記第3の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第2の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であることを特徴とする。

10

【0030】

また、本発明の第15の態様は、第14の態様において、前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする。

【0031】

また、本発明の第16の態様は、第14の態様において、前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする。

【0032】

また、本発明の第17の態様は、第14の態様において、前記共有部の第1の端子に接続された第5の線路と、前記共有部の第2の端子に接続された、前記第5の線路と前記線対称軸に関して線対称な第6の線路と、前記第5の線路と前記第6の線路との間に接続され、第3の制御信号により動作状態と非動作状態との間の切り替えが制御される第3の容量性素子部および第3の負性抵抗発生部とをさらに備え、前記共有部、前記第5の線路、および前記第6の線路は、第3のインダクタ部を構成し、前記第5の線路および前記第6の線路は、それぞれ前記線対称軸上の第4の点(F)を通して前記線対称軸と直交する直線上の線分を有し、前記第3の点(E)と前記第1の点(B)との間の距離は、前記第4の点(F)と前記第1の点(B)との間の距離よりも長く、前記第3の容量性素子部は前記第1および第2の容量性素子部と同一であり、前記第3の負性抵抗発生部は前記第1および第2の負性抵抗発生部と同一であることを特徴とする。

20

【0033】

また、本発明の第18の態様は、線対称軸を有する可変インダクタであって、前記線対称軸に関して線対称な共有部であって、第1の点(ZL)を中心点とした第1のソレノイド、および、前記第1の点(ZL)と前記線対称軸に関して線対称な第2の点(ZR)を中心点とした、前記第1のソレノイドと同一半径の第2のソレノイドを有し、前記第1のソレノイドと前記第2のソレノイドとは、それぞれの始点が、前記線対称軸上の第3の点(B)を通して前記線対称軸と直交する結線部を介して結合するものである共有部と、前記第1のソレノイドの前記始点より下層に存在する第1の端子(A)に接続された第1の線路と、前記第1のソレノイドの前記第1の端子(A)より下層に存在する第2の端子(G)に接続された第2の線路と、前記第2のソレノイドの前記始点より下層に存在する第3の端子(C)に接続された第3の線路と、前記第2のソレノイドの前記第3の端子(C)より下層に存在する第4の端子(H)に接続された第4の線路とを備え、前記第3の端子(C)、前記第4の端子(H)、前記第3の線路、および前記第4の線路はそれぞれ、前記第1の端子(A)、前記第2の端子(G)、前記第1の線路、および前記第2の線路と前記線対称軸に関して線対称であり、前記共有部のうちの前記第1の端子(A)から前記第3の端子(C)の間の部分、前記第1の線路、および前記第3の線路は、第1のインダクタ部を構成し、前記共有部のうちの前記第2の端子(G)から前記第4の端子(H)の間の部分、前記第3の線路、および前記第4の線路は、第2のインダクタ部を構成し、前記第2のインダクタ部の線路長は、前記第1のインダクタ部の線路長よりも長いことを特徴とする。

30

40

【0034】

50

また、本発明の第 19 の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第 18 の態様の可変インダクタと、前記第 1 の線路と前記第 3 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生部と、前記第 2 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部とを備え、前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする。

【0035】

また、本発明の第 20 の態様は、第 19 の態様において、前記共有部と前記線対称軸との接点に正電源電圧が供給されていることを特徴とする。

10

【0036】

また、本発明の第 21 の態様は、第 19 の態様において、前記共有部と前記線対称軸との接点に電流が供給されていることを特徴とする。

【0037】

また、本発明の第 22 の態様は、第 19 の態様において、前記第 1 のソレノイドの前記第 2 の端子 (G) より下層に存在する第 5 の端子に接続された第 5 の線路と、前記第 2 のソレノイドの前記第 4 の端子 (H) より下層に存在する第 6 の端子に接続された、前記第 5 の線路と前記線対称軸に関して線対称な第 6 の線路と、前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部とを備え、前記共有部のうちの前記第 5 の端子から前記第 6 の端子の間の部分、前記第 5 の線路、および前記第 6 の線路は、第 3 のインダクタ部を構成し、前記第 3 のインダクタ部の線路長は、前記第 2 のインダクタ部の線路長よりも長く、前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする。

20

【発明の効果】

【0038】

本発明によれば、複数のインダクタ部に共有される共有部を有する可変インダクタにおいて、共有されない複数の線路の間に容量性素子部を接続し、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LC の並列共振による電圧制御発振器の構成要素として使用でき、このとき、可変インダクタに直列に抵抗成分が挿入されることがないため、Q 値の劣化を抑制した可変インダクタとして機能させることができる。さらに、共有部の存在により小型の可変インダクタが得られる。

30

【図面の簡単な説明】

【0039】

【図 1】本発明の第 1 の実施形態の可変インダクタ構成を示す図である。

【図 2】第 1 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示す図である。

【図 3】図 2 のブロックの回路例を示す図である。

40

【図 4】図 3 に示した負性抵抗発生部の回路例を示す図である。

【図 5】図 3 に示した負性抵抗発生部の回路例を示す図である。

【図 6】図 3 に示した負性抵抗発生部の回路例を示す図である。

【図 7】(a) 及び (b) は、図 3 に示した容量性素子部の回路例を示す図である。

【図 8】第 3 の実施形態の電圧制御発振器 (VCO) を示す図である。

【図 9】本発明の第 4 の実施形態の可変インダクタを示す図である。

【図 10】第 4 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示す図である。

【図 11】第 6 の実施形態の電圧制御発振器 (VCO) を示す図である。

【図 12】第 7 の実施形態の可変インダクタで使用するソレノイドを説明するための図で

50

ある。

【図 1 3】第 7 の実施形態の可変インダクタを示す図である。

【図 1 4】第 7 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示す図である。

【図 1 5】第 9 の実施形態の電圧制御発振器 (VCO) を示す図である。

【図 1 6】第 1 0 の実施形態の可変インダクタを示す図である。

【図 1 7】第 1 0 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示す図である。

【図 1 8】(a) 及び (b) は、第 1 2 の実施形態の可変インダクタを示す図である。

【図 1 9】第 1 2 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示す図である。

【図 2 0】電圧制御発振器において周波数可変素子として用いられている容量性素子の等価回路を示す図である。

【図 2 1】電圧制御発振器において周波数可変素子として用いられているインダクタの等価回路を示す図である。

【図 2 2】容量性素子およびインダクタの Q 値と周波数の関係を示す図である。

【発明を実施するための形態】

【0040】

以下、本発明の実施の形態について図面を参照して説明する。本明細書において、同一の符号は、同一または対応する構成要素を指す。

【0041】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の可変インダクタ構成を示している。可変インダクタ 100 は、線対称軸 Y - Y' を有し、線対称軸 Y - Y' に関して線対称な共有部である円弧 ABC と、円弧 ABC の第 1 の端子 A に接続された第 1 の線路 AD' 及び第 2 の線路 AE' と、円弧の第 2 の端子 C に接続された第 3 の線路 CD' 及び第 4 の線路 CE' とを備える。第 2 の端子 C と第 1 の端子 A は、線対称軸 Y - Y' に関して線対称である。また、第 3 の線路 CD' 及び第 4 の線路 CE' はそれぞれ、第 1 の線路 AD' 及び第 2 の線路 AE' と線対称軸 Y - Y' に関して線対称である。円弧 ABC、第 1 の線路 AD'、および第 3 の線路 CD' は、第 1 のインダクタ部 Ind1 を構成し、円弧 ABC、第 2 の線路 AE'、および第 4 の線路 CE' は、第 2 のインダクタ部 Ind2 を構成する。

【0042】

第 1 の実施形態において、共有部である円弧 ABC は、線対称軸 Y - Y' 上の第 1 の点 Z を中心点とした第 1 の円周上の円弧である。第 1 の線路 AD' および第 3 の線路 CD' は、それぞれ線対称軸 Y - Y' 上の第 2 の点 ZD と中心点とした第 1 の端子 A および第 2 の端子 C を通る第 2 の円周上の円弧であり、第 2 の線路 AE' および第 4 の線路 CE' は、それぞれ線対称軸 Y - Y' 上の第 3 の点 ZE と中心点とした、第 1 の端子 A および第 2 の端子 C を通る第 3 の円周上の円弧である。図 1 には、線対称軸 Y - Y' 上の第 4 の点 ZF と中心点とした第 4 の円周上の円弧と共有部である円弧 ABC で構成される第 3 のインダクタ部 Ind3 も示されており、可変インダクタ 100 は 3 つのインダクタ部を有するが、インダクタ部の数は 2 以上であればよい。

【0043】

可変インダクタ 100 は、第 1 の線路 AD' と第 3 の線路 CD' との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号 (詳細は後述する。) により切り替えることにより、LC の並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献 2 に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部も円弧 ABC を共有部として用いるため小型の可変インダクタが得られる。

【 0 0 4 4 】

なお、隣接するインダクタ部の線路長が単調に変化するように円弧 A B C 以外の線路を設計すると、制御信号により動作状態にあるインダクタ部を 1 つずつ隣接するものに切り替えたときに、インダクタンスも単調に変化する。可変インダクタが制御信号に対して単調性を有すれば、制御信号を大から小（又は小から大）へと単純にスweepして共振周波数を調整できるのに対し、単調性がない可変インダクタを使用した場合は、探索結果をすべて保存したりする手間が増える。線路長とインダクタンスの関係は非特許文献 3 で説明されており、 l = 導体の長さ [mm]、 r = 導体の半径 [mm] とした時の線路の自己インダクタンス L_{self} は、

$$L_{self} = (l/5) \times \{ \ln(2 \times l/r) - 0.75 + (r/l) \} \text{ [nH]} \quad (7)$$

10

で表される。すなわち、太さ一定の線路の自己インダクタンスは線路長 l のみの関数となる。

【 0 0 4 5 】

隣接するインダクタ部の線路長が単調に変化するような円弧 A B C 以外の線路の設計としては、図 1 において中心点 Z D、Z E、Z F が異なり、それぞれの円周の半径が異なるようにすればよい。第 1 の線路 A D' と第 3 の線路 C D'' との間等に接続する容量性素子部（図 2 参照）はすべてのインダクタ部で同一のものを使用するので、第 1 のインダクタ部 I n d 1、第 2 のインダクタ部 I n d 2、第 3 のインダクタ部 I n d 3 の順で線路長が短くなる。

【 0 0 4 6 】

20

本実施形態の可変インダクタは、差動構成の回路への適用を想定しているため線対称軸を有するが、この線対称軸で折り返して得られる構成をシングルエンド回路に対して応用することも可能である。この点は、以下の実施形態において同様である。

【 0 0 4 7 】

（第 2 の実施形態）

図 2 は、第 1 の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示している。VCO 200 は、インダクタと容量性素子の並列共振によるものであり、第 1 の実施形態の可変インダクタ 100 と、第 1 の線路 A D' と第 3 の線路 C D'' との間に接続され、第 1 の制御信号 CONTROL_1 により動作状態と非動作状態との間の切り替えが制御される第 1 のブロック B 1 と、第 2 の線路 A E' と第 4 の線路 C E'' との間に接続され、第 2 の制御信号 CONTROL_2 により動作状態と非動作状態との間の切り替えが制御される第 2 のブロック B 2 とを備える。第 1 のブロック B 1 と第 2 のブロック B 2 は同一の構成とする。第 3 のブロック B 3 も示してあり、これも同一の構成とする。円弧 A B C 上の点 B が正電源 VDD に接続してある。

30

【 0 0 4 8 】

各ブロックは、負性抵抗発生部および容量性素子部を有する。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第 1 の実施形態で上述したように、ブロック B 1 ~ B 3 を接続しても可変インダクタ 100 に直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。

40

【 0 0 4 9 】

図 3 に、ブロックの回路例を示す。第 1 のブロック B 1 を例に考えると、容量性素子部 310 および負性抵抗発生部 320 がそれぞれ可変インダクタ 100 と並列に接続され、制御信号 CONTROL_1 が第 1 のブロック B 1 の動作状態を決定する。容量性素子部 310 は、容量性素子 311 及び 312 を備え、負性抵抗発生部 320 は、負性抵抗素子 321 及び 322 を備える。容量性素子 311 及び 312 は同一の構成であり、線対称軸 Y - Y' に関して線対称の位置に配置されている。負性抵抗素子 321 及び 322 は同一の構成であり、線対称軸 Y - Y' に関して線対称の位置に配置されている。LC 並列共振器を VCO のタンク回路として用いる場合、VCO の発振には、図 20 に示す容量性素子の損失分 R_{SA} または R_{PA} と、図 21 に示すインダクタの損失成分 R_{SB} または R_{PB} の損失

50

を補うことが発振持続の条件となる。負性抵抗発生部はこの損失を補い、VCOの発振を持続させる為に存在する。以下、容量性素子部310および負性抵抗発生部320の詳細を説明する。

【0050】

負性抵抗発生部320について

図4に、図3に示した負性抵抗発生部の回路例を示す。負性抵抗発生部に対する制御信号とスイッチの開閉状態に関する真理値表を表1に示す。この例では、CONTROL__1がHの時にSA1及びSC1がONするので、NMOSトランジスタMA及びMCのゲートは最も低い電位である基準電位に固定され、MA及びMCは遮断される。この時、SA1B及びSC1BはOFFしている。他方、CONTROL__1がLの時にSA1B及びSC1BがONで、NMOSトランジスタMAのゲートはMCのドレインと短絡し、MCのゲートはMAのドレインと短絡され、MA及びMCは負性抵抗を生成する。このときSA1及びSC1はOFFしている。

【0051】

【表1】

表1 図4の負性抵抗発生部の真理値表

CONTROL__1	SA1及びSC1	SA1B及びSC1B
L	OFF	ON
H	ON	OFF

【0052】

負性抵抗発生部320は、図5に示されるような構成でも構わない。図5の負性抵抗発生部の動作を表2の真理値表を用いつつ説明する。NMOSトランジスタMA及びMCのソースは短絡され、VLOW端子を形成する。このVLOW端子は、スイッチS2を介して基準電位VSSとつながっている。他方、MAのゲートはMCのドレインと、MCのゲートはMAのドレインと繋がりS2がONしている時に負性抵抗を発生する。すなわち、CONTROL__1がLの時にS2はOFFしているためMA及びMCとの基準電位への電流パスは遮断され、負性抵抗発生部は遮断状態となる。逆に、CONTROL__1がHになるとS2はONし電流パスが形成されるので、図5の回路は負性抵抗を発生する。

【0053】

【表2】

表2 図5の負性抵抗発生部の真理値表

CONTROL__1	S2
L	OFF
H	ON

【0054】

また、図6のような構成でも実現できる。図6の負性抵抗発生部の動作を表3の真理値表を用いつつ説明する。NMOSトランジスタMA及びMCのソースは短絡されてAC__COM端子を形成する。このAC__COM端子と基準電位VSSとの間に電流源動作をするMI1が挿入され、MI1とMI0はカレントミラーを形成する。正電源VDDとMI0のドレインとの間には電流源が挿入され、MI0のドレインとゲートとの間にスイッチS3Aが、またMI0のゲートと基準電位との間にスイッチS3Bが挿入されている。

【0055】

【表 3】

表 3 図 6 の負性抵抗発生部の真理値表

CONTROL__1	S 3 A	S 3 B
L	ON	OFF
H	OFF	ON

【 0 0 5 6 】

図 6 において、CONTROL__1 が L になると S 3 A が ON するので M I 0 のドレイン - ゲートが短絡され M I 0 のダイオード接続を形成する。従って M I 0 と M I 1 のペア間で電流がミラーされる。このとき S 3 B は OFF なので回路動作に影響を与えない。従って M I 1 は M A と M C に電流を供給し、この回路は負性抵抗を発生する。逆に CONTROL__1 が H になると、S 3 B が ON するので M I 0 と M I 1 のゲート電位は、基準電位に固定されるため遮断状態となる。従って M A と M C にも電流が供給されず M A 及び M C も遮断状態となる。この時、S 3 A は OFF なので回路動作に影響を与えない。

【 0 0 5 7 】

容量性素子部 3 1 0 について

図 7 (a) 及び (b) に、図 3 に示した容量性素子部の回路例を示し、その動作を説明する。図 7 (a) は、制御信号 CONTROL__1 としてアナログ信号を用いる場合の回路例で、可変容量性素子の代表として MOS バラクタを用いて説明する。MOS バラクタ V C A のゲートを端子 D '、MOS バラクタ V C C のゲートを端子 D ' ' とし、V C A のソースとドレインを短絡して制御信号 CONTROL__1 と接続し、V C C のソースとドレインを短絡して同じく制御信号 CONTROL__1 と接続する。端子 D ' 及び D ' ' を可変インダクタ 1 0 0 と並列に接続されることで LC の共振回路となる。この LC 共振回路は、CONTROL__1 の電圧を変えることで V C A 及び V C C の動作状態が変化し、それに伴って端子 D ' 及び D ' ' から見たキャパシタンスが変化して、その共振周波数を可変することができる。しかしながら、V C A 及び V C C の Q 値が、並列の可変インダクタ 1 0 0 の Q 値より低い周波数領域においては、バラクタの Q 値が最大となる動作状態を取るよう制御信号 CONTROL__1 の電圧を固定し、インダクタを切り替える方が V C O の位相ノイズ最適化の観点からは好ましい。

【 0 0 5 8 】

バラクタとして、MOS バラクタ以外にもダイオード、B J T および任意の可変容量性素子を使うことも可能である。

【 0 0 5 9 】

なお、この回路例も差動構成の回路用途であるため、図 7 (a) の線対称軸 Y - Y ' で折り返すことで、シングルエンド用途に適用することもできる。

【 0 0 6 0 】

次に、図 7 (b) を参照して、制御信号としてデジタル信号を用いる場合の回路例を説明する。デジタル制御信号 2 本の場合を代表例として以下で説明していくが、並列パスを増やすことで N 本のデジタル制御信号にも対応することができる。まず、キャパシタ C 0 A の一方を端子 D ' とし他方を C 0 C の一方と接続し、C 0 C のもう一方の端子を端子 D ' ' とする。この端子 D ' にスイッチ S 1 A の片側を接続し、他方をキャパシタ C 1 A に接続する。C 1 A のもう一方をキャパシタ C 1 C の片側に接続し、C 1 C のもう一方の端子をスイッチ S 1 C の片側に接続し、S 1 C の残りの端子を端子 D ' ' に接続する。スイッチ S 1 A 及び S 1 C は同一の制御信号 C N T __ 1 でその開閉が制御される。同様に、端子 D ' にスイッチ S 2 A の片側接続し、他方をキャパシタ C 2 A に接続する。C 2 A のもう一方をキャパシタ C 2 C の片方に接続し、C 2 C のもう一方をスイッチ S 2 C の片側に接続し、S 2 C の残りの端子を端子 D ' ' に接続する。スイッチ S 2 A 及び S 2 C は同一の制御信号 C N T __ 2 でその開閉が制御される。

【 0 0 6 1 】

換言すると、図 7 の容量性素子部は、制御信号が入力される入力端子と、第 1 2 の出力端子 D' および第 2 の出力端子 D'' と、入力端子からの制御信号 CNT__1、CNT__2 によりオンオフ制御されるスイッチ S1A、S2A とキャパシタ C1A、C2A とからなり、一方の端子が第 1 の出力端子 D' に接続される 2 つの第 1 の容量部と、入力端子からの制御信号 CNT__1、CNT__2 によりオンオフ制御されるスイッチ S1C、S2C とキャパシタ C1C、C2C とからなり、一方の端子が第 2 の出力端子 D'' に接続され、他方の端子が第 1 の容量部の他方の端子に接続される 2 つの第 2 の容量部とを備え、第 1 および第 2 の容量部は、線対称軸 Y - Y' に関して線対称の位置に配置されている。

【0062】

スイッチ制御の真理値表は表 4 の通りである。この切り替えによって端子 D' 及び D'' から見たキャパシタンス、すなわちインピーダンスが変化することが分かる。

10

【0063】

【表 4】

表 4 真理値表

CNT__1	CNT__2	S2A及びS2C	S1A及びS1C
L	L	OFF	OFF
L	H	OFF	ON
H	L	ON	OFF
H	L	ON	ON

20

【0064】

図 7 (b) に示すキャパシタ及びスイッチの場所は可換であり、また、アナログ制御の場合と同様に図 7 (b) の線対称軸 Y - Y' で折り返すことでシングルエンド用途に適用することもできる。

【0065】

(第 3 の実施形態)

図 8 は、第 3 の実施形態の電圧制御発振器 (VCO) を示している。VCO800 は、可変インダクタ 100 及び第 1 ~ 第 3 のブロック B1 ~ B3 に関しては第 2 の実施形態の VCO200 と同様であるが、点 B に電流が供給されている点で異なる。円弧 ABC と線対称軸 Y - Y' との交点 B は、VCO200 では低インピーダンス点であったが、VCO800 では、点 B に正電源 VDD ではなく電流源 MP1 を接続することで正電源 VDD からの電圧信号除去比 (Power Supply Rejection Ratio) を向上させ、高インピーダンス点となっている。

30

【0066】

電流源 MP1 は、正電源 VDD に PMOS トランジスタ MP0 のソースを接続し、MP0 のゲートとドレインを短絡して端子 VBP1 とし、MP0 のドレインと基準電位 VSS との間に電流源 I0 を挿入し、正電源 VDD にソースを接続したもう 1 つの PMOS トランジスタ MP1 のゲートに端子 VBP1 を接続することで得られる、MP0・MP1 間のカレントミラーで構成されている。カレントミラーの出力は一般に、インピーダンスが高いことで知られており、第 3 の実施形態では MP1 のドレインがそれにあたる。なお、交流グランドとも呼ばれる AC__COM1 は、直流的には接地ではないものの信号に対しては接地点と同様の働きをする。図 8 における AC__COM1 端子は LC タンクの最低次の共振状態では信号振幅がゼロとなる点であることから、ここは交流的に接地と等価であると言える。

40

【0067】

(第 4 の実施形態)

図 9 は、本発明の第 4 の実施形態の可変インダクタを示している。可変インダクタ 900 は、線対称軸 Y - Y' を有し、線対称軸 Y - Y' に関して線対称な共有部 ABC と、共有部 ABC の第 1 の端子 A に接続された第 1 の線路 AD' 及び第 2 の線路 AE' と、円弧

50

の第2の端子Cに接続された第3の線路CD' '及び第4の線路CE' 'とを備える。第2の端子Cと第1の端子Aは、線対称軸Y-Y'に関して線対称である。また、第3の線路CD' '及び第4の線路CE' 'はそれぞれ、第1の線路AD' '及び第2の線路AE' 'と線対称軸Y-Y'に関して線対称である。共有部ABC、第1の線路AD' '、および第3の線路CD' 'は、第1のインダクタ部Ind1を構成し、共有部ABC、第2の線路AE' '、および第4の線路CE' 'は、第2のインダクタ部Ind2を構成する。

【0068】

第4の実施形態において、共有部ABCは、第1の点ZLを中心点とした第1の円周上の円弧、および、第1の点ZLと線対称軸Y-Y'に関して線対称な第2の点ZRを中心点とした、第1の円周と同一半径の第2の円周上の円弧を有する。第1の円周上の円弧と第2の円周上の円弧とは、線対称軸Y-Y'上の第3の点Bで結合している。第1の線路AD' 'は、線対称軸Y-Y'上の第4の点Dおよび第1の端子Aを通る第3の円周上の円弧であり、第3の線路CD' 'は、第1の線路AD' 'と線対称軸Y-Y'に関して線対称な円弧である。第2の線路AE' 'は、線対称軸Y-Y'上の第5の点Eおよび第1の端子Aを通る第4の円周上の円弧であり、第4の線路CE' 'は、第2の線路AE' 'と線対称軸Y-Y'に関して線対称な円弧である。図9には、線対称軸Y-Y'上の第6の点Fとおよび第1の端子Aを通る第5の円周上の円弧であって、第1の端子Aに接続された第5の線路AF' 'と、第2の端子Cに接続され、第5の線路AF' 'と線対称軸Y-Y'に関して線対称な第6の線路CF' 'と、共有部ABCとで構成される第3のインダクタ部Ind3も示されており、可変インダクタ900は3つのインダクタ部を有するが、インダクタ部の数は2以上であればよい。

【0069】

可変インダクタ900は、第1の実施形態で説明した可変インダクタ100と同様に、第1の線路AD' 'と第3の線路CD' 'との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部もABCを共有部として用いるため小型の可変インダクタが得られる。

【0070】

なお、BF間、BE間、BD間の線対称軸Y-Y'上の距離がこの順で長くなる場合、隣接するインダクタ部の線路長が単調に変化する。ここで、単調性が保証されるためには、第1～第6の線路が共有部ABCに対して上に凸か下に凸かのいずれかである必要があり、混在してはならない。

【0071】

(第5の実施形態)

図10は、第4の実施形態の可変インダクタを備える電圧制御発振器(VCO)を示している。VCO1000は、インダクタと容量性素子の並列共振によるものであり、第4の実施形態の可変インダクタ900と、第1の線路AD' 'と第3の線路CD' 'との間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、第2の線路AE' 'と第4の線路CE' 'との間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。第3のブロックB3も示してあり、これも同一の構成とする。共有部ABC上の点Bが正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロックB1～B3を接続しても可変インダクタ900に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能

させることができる。

【0072】

(第6の実施形態)

図11は、第6の実施形態の電圧制御発振器(VCO)を示している。VCO1100は、可変インダクタ900及び第1～第3のブロックB1～B3に関しては第5の実施形態のVCO1000と同様であるが、点Bに電流が供給されている点で異なる。共有部ABCと線対称軸Y-Y'との交点Bは、VCO1000では低インピーダンス点であったが、VCO1100では、点Bに正電源VDDではなく電流源MP1を接続することで正電源VDDからの電圧信号除去比(Power Supply Rejection Ratio)を向上させ、高インピーダンス点となっている。電流源MP1の構造は、第3

10

【0073】

(第7の実施形態)

図12は、第7の実施形態の可変インダクタで使用するソレノイドを説明するための図である。ソレノイドとは、図12に示すような、一本の導体から構成されるインダクタで、巻き始めの点Wと巻き終りの点WWを有し、その間を中心を同じくする半径rの平面インダクタをn回巻きした縦積み構造である。半径rの平面インダクタの自己インダクタンスがLのとき、半径rの平面インダクタをn回巻いたソレノイドの自己インダクタンスが $n^2 \times L$ となるような特徴を有するインダクタの一種と定義する。ただし、基準となる1回巻き部分の形は特に円形でなくても良いが、平面図上は同一の(identical)インダクタで構成されなければならない。

20

【0074】

図13は、第7の実施形態の可変インダクタを示している。可変インダクタ1300は、図9に示した可変インダクタ900と共有部が異なるものである。共有部ABCは、第1の点ZLを中心点とした第1のソレノイド、および、第1の点ZLと線対称軸Y-Y'に関して線対称な第2の点ZRを中心点とした、第1のソレノイドと同一半径の第2のソレノイドを有する。そして、第1のソレノイドと第2のソレノイドとは、それぞれの始点B'及びB''が、線対称軸Y-Y'上の第3の点Bを通過して線対称軸Y-Y'と直交する結線部を介して結合している。図13では、始点B'及びB''からソレノイドの最上層が始まり、その一層だけ下に存在する点を共有部ABCの第1の端子A及び第2の端子Cとしているが、より下の層に存在する点を選んでもよい。

30

【0075】

可変インダクタ1300は、第1の実施形態で説明した可変インダクタ100と同様に、第1の線路AD'と第3の線路CD''との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部もABCを共有部として用いるため小型の可変インダクタが得られる。

40

【0076】

なお、第7の実施形態では、上層の始点B'及びB''を結線部で結合したが、始点B'及びB''の下層に存在する点A及びCを結線部で結合し、点B'及びB''をそれぞれ共有部の第1及び第2の端子としてもよい。

【0077】

(第8の実施形態)

図14は、第7の実施形態の可変インダクタを備える電圧制御発振器(VCO)を示している。VCO1400は、インダクタと容量性素子の並列共振によるものであり、第7の実施形態の可変インダクタ1300と、第1の線路AD'と第3の線路CD''との間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切

50

り替えが制御される第1のブロックB1と、第2の線路AE'と第4の線路CE''との間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。第3のブロックB3も示してあり、これも同一の構成とする。共有部ABC上の点Bが正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロックB1～B3を接続しても可変インダクタ1300に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。

10

【0078】

(第9の実施形態)

図15は、第9の実施形態の電圧制御発振器(VCO)を示している。VCO1500は、可変インダクタ1300及び第1～第3のブロックB1～B3に関しては第8の実施形態のVCO1400と同様であるが、点Bに電流が供給されている点で異なる。点Bは、VCO1400では低インピーダンス点であったが、VCO1500では、点Bに正電源VDDではなく電流源MP1を接続することで正電源VDDからの電圧信号除去比(Power Supply Rejection Ratio)を向上させ、高インピーダンス点となっている。電流源MP1の構造は、第3の実施形態で説明したものと同一であり、ここでは説明しない。

20

【0079】

(第10の実施形態)

図16は、第10の実施形態の可変インダクタを示している。インダクタ1600は、線対称軸Y-Y'を有し、線対称軸Y-Y'に関して線対称な共有部ABCと、共有部ABCの第1の端子Aに接続された第1の線路AD'及び第2の線路AE'と、共有部ABCの第2の端子Cに接続された第3の線路CD''及び第4の線路CE''とを備える。第2の端子Cと第1の端子Aは、線対称軸Y-Y'に関して線対称である。また、第3の線路CD''及び第4の線路CE''はそれぞれ、第1の線路AD'及び第2の線路AE'と線対称軸Y-Y'に関して線対称である。共有部ABC、第1の線路AD'、および第3の線路CD''は、第1のインダクタ部Ind1を構成し、共有部ABC、第2の線路AE'、および第4の線路CE''は、第2のインダクタ部Ind2を構成する。

30

【0080】

第10の実施形態において、共有部ABCは、線対称軸Y-Y'上の第1の点Bを通過して線対称軸Y-Y'と直交する、線対称軸Y-Y'に関して線対称な第1の線分部A'C'、第1の線分部A'C'の一端A'と接続され、線対称軸Y-Y'と平行に延在する第2の線分部A'A、および、第1の線分部A'C'の他端C'と接続され、線対称軸Y-Y'と平行に延在する第3の線分部C'Cを有する。第1の線路AD'および第3の線路CD''は、それぞれ線対称軸Y-Y'上の第2の点Dを通過して線対称軸と直交する直線IJ上の線分を有し、第2の線路AE'および前記第4の線路CE''は、それぞれ線対称軸Y-Y'上の第3の点Eを通過して線対称軸Y-Y'と直交する直線GH上の線分を有する。第2の点Dと第1の点Bとの間の距離は、第3の点Eと第1の点Bとの間の距離よりも長い。図16には、直線AC上の線分である第5の線路AF'および第6の線路AF''と、共有部ABCで構成される第3のインダクタ部Ind3も示されており、可変インダクタ1600は3つのインダクタ部を有するが、インダクタ部の数は2以上であればよい。

40

【0081】

可変インダクタ1600は、第1の実施形態で説明した可変インダクタ100と同様に、第1の線路AD'と第3の線路CD''との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特

50

許文献 2 に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部も A B C を共有部として用いるため小型の可変インダクタが得られる。

【 0 0 8 2 】

なお、B F 間、B E 間、B D 間の線対称軸 Y - Y ' 上の距離がこの順で長くなる場合、隣接するインダクタ部の線路長が単調に変化する。

【 0 0 8 3 】

また、図 1 6 では、面積の有効利用の観点から各線分が直交する実施形態を示してあるが、必ずしも線分 I D ' 等が線分 A ' I 等と直交している必要はない。

【 0 0 8 4 】

(第 1 1 の実施形態)

図 1 7 は、第 1 0 の実施形態の可変インダクタを備える電圧制御発振器 (V C O) を示している。V C O 1 7 0 0 は、インダクタと容量性素子の並列共振によるものであり、第 1 0 の実施形態の可変インダクタ 1 6 0 0 と、第 1 の線路 A D ' と第 3 の線路 C D ' ' との間に接続され、第 1 の制御信号 C O N T R O L _ 1 により動作状態と非動作状態との間の切り替えが制御される第 1 のブロック B 1 と、第 2 の線路 A E ' と第 4 の線路 C E ' ' との間に接続され、第 2 の制御信号 C O N T R O L _ 2 により動作状態と非動作状態との間の切り替えが制御される第 2 のブロック B 2 とを備える。第 1 のブロック B 1 と第 2 のブロック B 2 は同一の構成とする。第 3 のブロック B 3 も示してあり、これも同一の構成とする。共有部 A B C 上の点 B が正電源 V D D に接続してある。各ブロックの詳細は、第 2 の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第 1 の実施形態で上述したのと同様に、ブロック B 1 ~ B 3 を接続しても可変インダクタ 1 6 0 0 に直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。

【 0 0 8 5 】

なお、第 1 1 の実施形態では、点 B を低インピーダンス端子の正電源 V D D に接続したが、この点に高インピーダンス素子の電流源をつないでも構わない。

【 0 0 8 6 】

また、第 1 1 の実施形態では差動構成の回路への適用を想定しているため線対称軸を有するが、この線対称軸で折り返して得られる構成をシングルエンド回路に対して応用することも可能である。

【 0 0 8 7 】

(第 1 2 の実施形態)

図 1 8 (a) 及び (b) は、第 1 2 の実施形態の可変インダクタを示している。図 1 8 (a) は平面図、(b) は線対称軸 Y - Y ' の左側部分の斜視図である。本実施形態では、図 1 2 に示したソレノイドを用いるものの、1つのタップから複数のインダクタを構成した第 7 の実施形態とは異なり、各ソレノイド上に複数のタップ (線路) を配置する。可変インダクタ 1 8 0 0 は、線対称軸 Y - Y ' を有する共有部を備え、この共有部は、第 1 の点 Z L を中心点とした第 1 のソレノイド S O L L 、および、第 1 の点 Z L と線対称軸 Y - Y ' に関して線対称な第 2 の点 Z R を中心点とした、第 1 のソレノイド S O L L と同一半径の第 2 のソレノイド S O L R を有し、第 1 のソレノイド S O L L と第 2 のソレノイド S O L R とは、それぞれの始点 W L 及び W R が、線対称軸 Y - Y ' 上の第 3 の点 B を通って線対称軸 Y - Y ' と直交する結線部を介して結合する。可変インダクタ 1 8 0 0 はさらに、第 1 のソレノイド S O L L の始点 W L より下層に存在する第 1 の端子 A に接続された第 1 の線路 A D ' と、第 1 のソレノイド S O L L の第 1 の端子 A より下層に存在する第 2 の端子 G に接続された第 2 の線路 G E ' と、第 2 のソレノイド S O L R の始点 W R より下層に存在する第 3 の端子 C に接続された第 3 の線路 C D ' ' と、第 2 のソレノイド S O L R の第 3 の端子 C より下層に存在する第 4 の端子 H に接続された第 4 の線路 H E ' ' とを

備える。第3の端子C、第4の端子H、第3の線路CD'、および第4の線路HE'はそれぞれ、第1の端子A、第2の端子G、第1の線路AD'、および第2の線路GE'と線対称軸Y-Y'に関して線対称である。共有部のうちの第1の端子Aから第3の端子Cの間の部分、第1の線路AD'、および第3の線路CD'は、第1のインダクタ部Ind1を構成し、共有部のうちの第2の端子Gから第4の端子Hの間の部分、第3の線路GE'、および第4の線路HE'は、第2のインダクタ部Ind2を構成する。第2のインダクタ部Ind2の線路長は、第1のインダクタ部Ind1の線路長よりも長い。図18に示されたインダクタ部の数は2であるが、2より多くてもよい。

【0088】

可変インダクタ1800は、第1の実施形態で説明した可変インダクタ100と同様に、D'D'間に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部もソレノイドの一部を共有するため小型の可変インダクタが得られる。

【0089】

ソレノイドは原理的に1本の導体から構成されているため、物理的に異なる2点のインダクタンスは等しくないことが保証されると共に、自己インダクタンス＝(平面インダクタのインダクタンス)×(巻数)²という特徴も有していて、最上層に存在する始点WL及びWRを基準とした場合の自己インダクタンスが下層に下りていくほど大きくなり、単調性も保証される。

【0090】

第12の本実施形態は、インダクタンスの単調性に起因する回路制御の簡便性のみならず、面積の縮小・コスト低減の観点からも好ましい実施形態である。ソレノイドを用いると、巻いた数の二乗に比例して自己インダクタンスが増える。これによって面積の縮小、すなわちコストの削減が図れる。また、同一の自己インダクタンスを得るための銅線長を短縮できるので、Q値の増大が図れる。インダクタのQ値は配線の抵抗値で制限を受ける為、自己インダクタンスが同じで配線抵抗が減ればQ値は高くなるからである。

【0091】

なお、図18(a)及び(b)では、点Aで段差を有するソレノイドを図示したが、このような構造に限らず、導線を巻いたソレノイドと等価のものであればよい。段差なく導線を巻いたソレノイドを用いる場合は、第1の端子Aが第2の端子Gよりも始点WLに近いという関係にあればよい。

【0092】

(第13の実施形態)

図19は、第12の実施形態の可変インダクタを備える電圧制御発振器(VCO)を示している。VCO1900は、インダクタと容量性素子の並列共振によるものであり、第12の実施形態の可変インダクタ1800と、D'D'間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、E'E'間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。共有部上の点Bが正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロックB1及びB2を接続しても可変インダクタ1800に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。

【符号の説明】

【0093】

100 可変インダクタ

B1、B2、B3 ブロック(「容量性素子部」および「負性抵抗発生部」に対応)

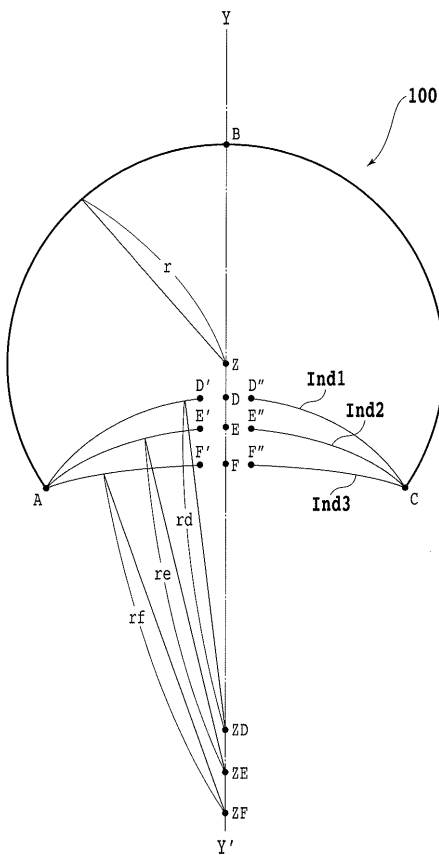
Ind1、Ind2、Ind3 インダクタ部

Y-Y' 線線対称軸

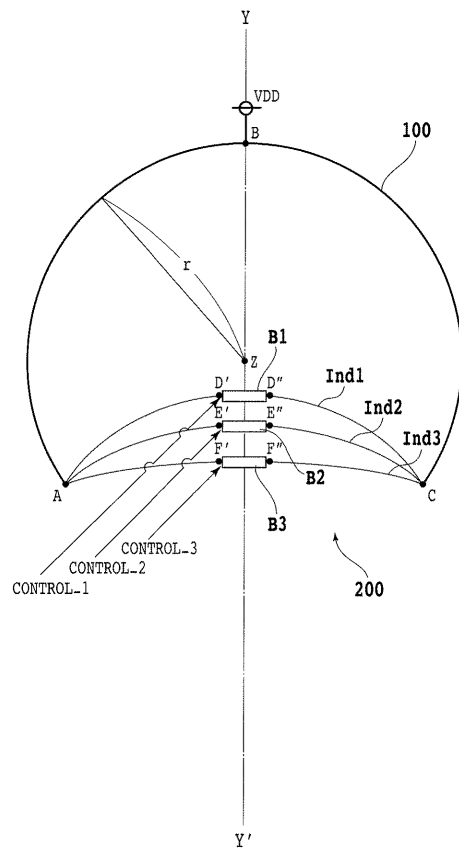
CONTROL_1、CONTROL_2、CONTROL_3 制御信号

VDD 正電源

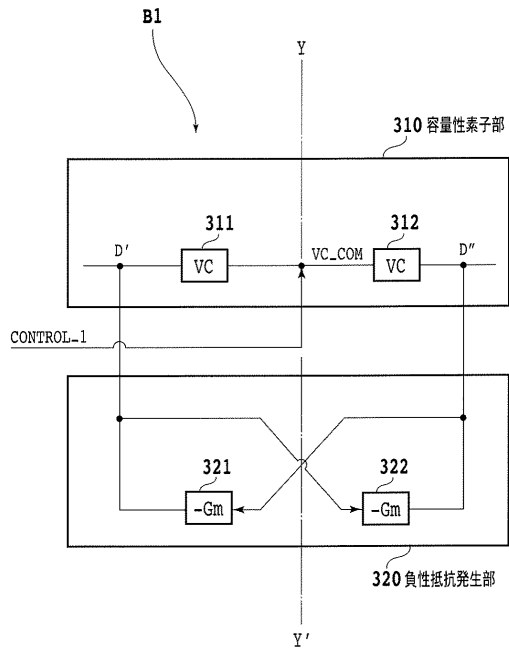
【図1】



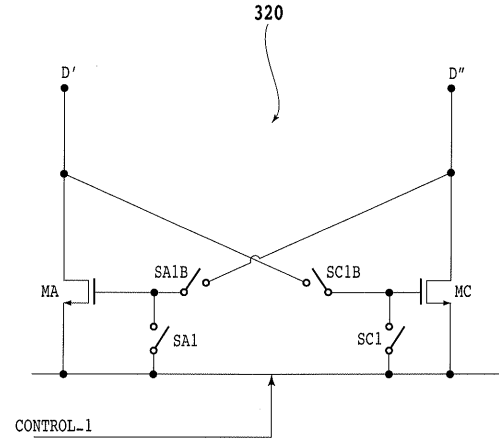
【図2】



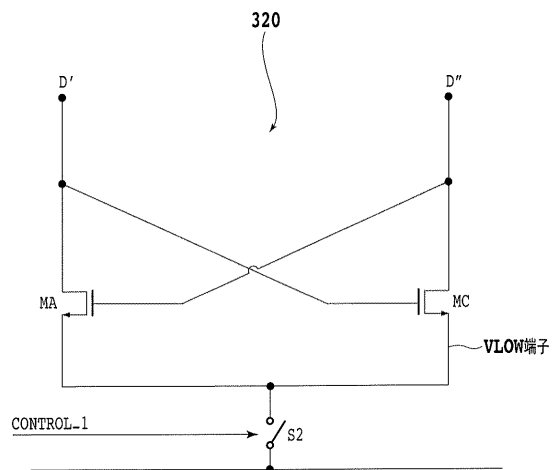
【図 3】



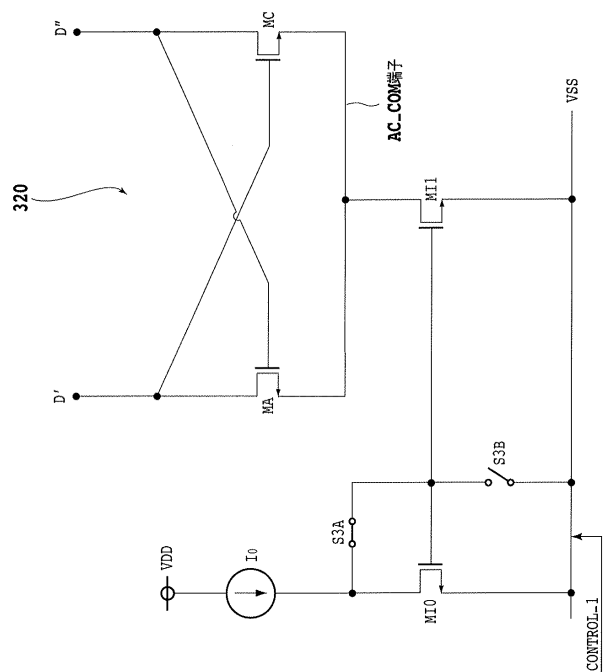
【図 4】



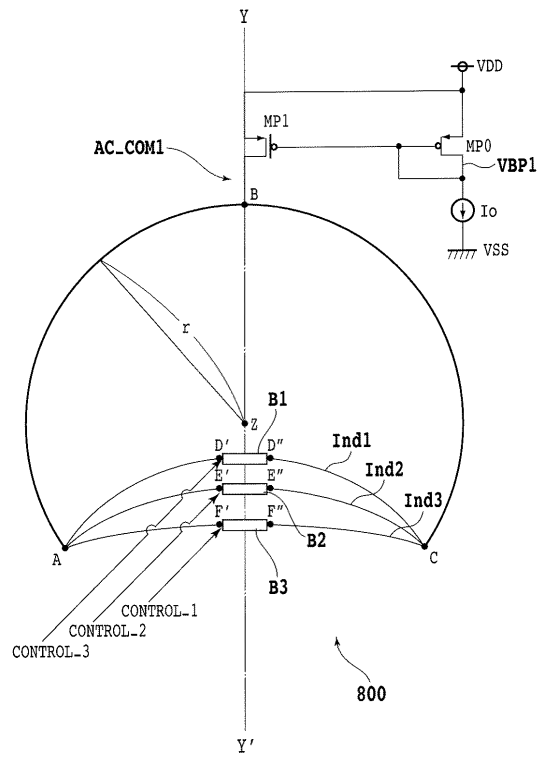
【図 5】



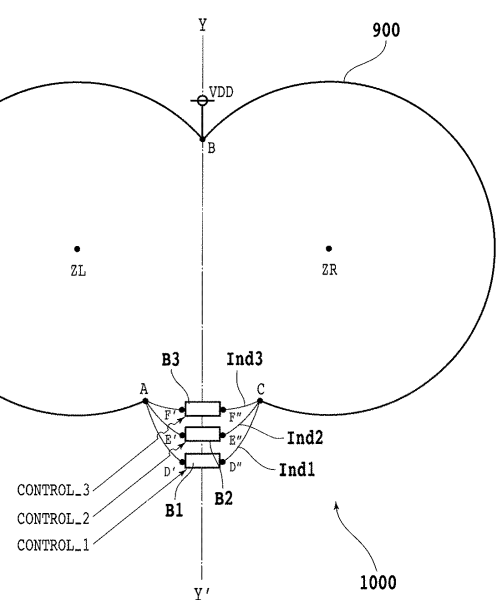
【図 6】



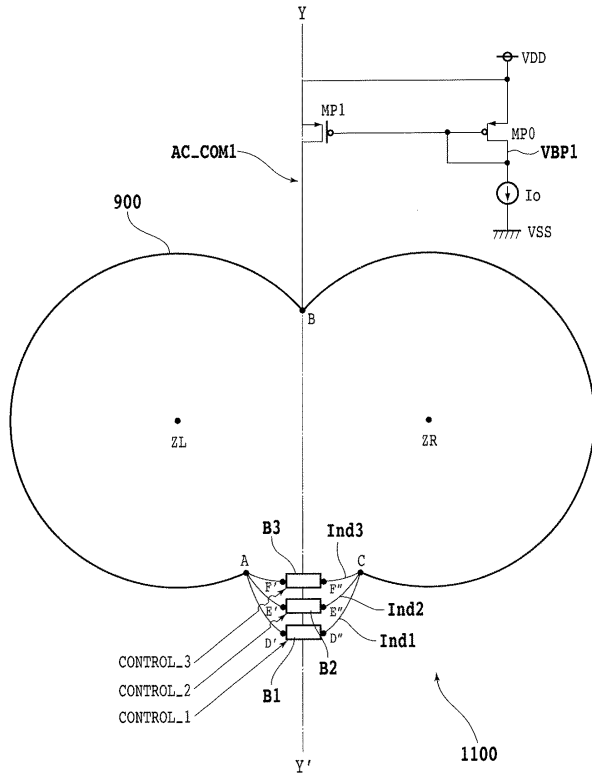
【 図 8 】



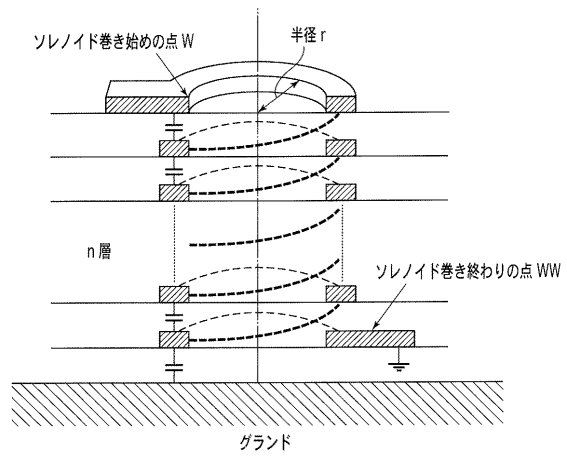
【 図 1 0 】



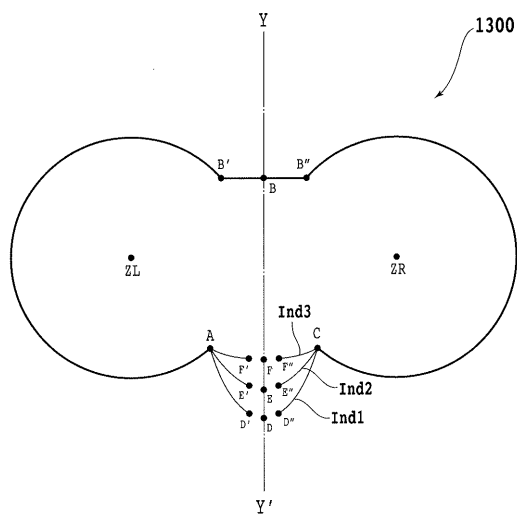
【図 1 1】



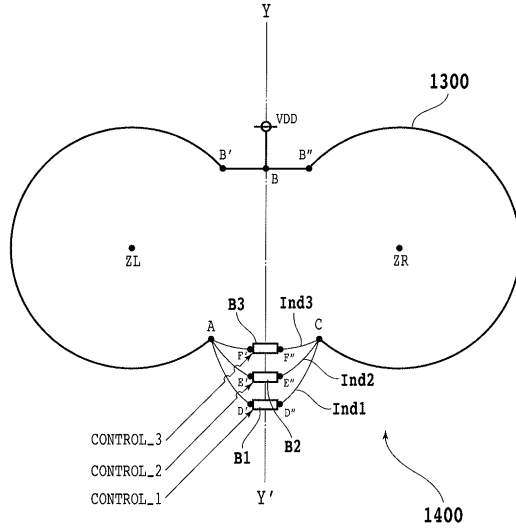
【図 1 2】



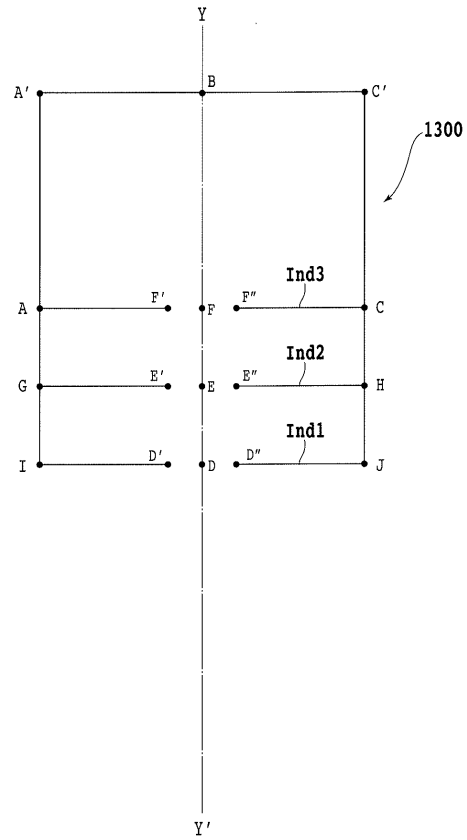
【図 1 3】



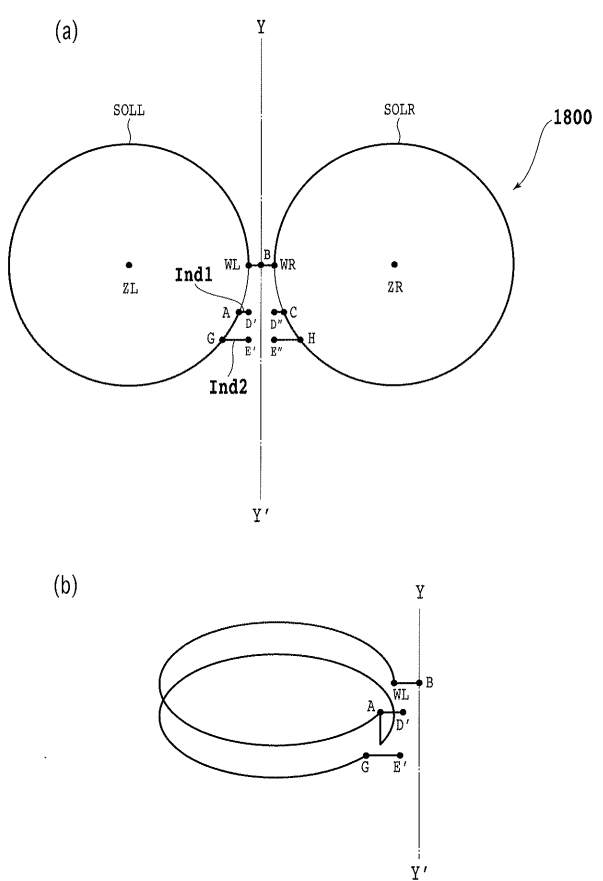
【図 1 4】



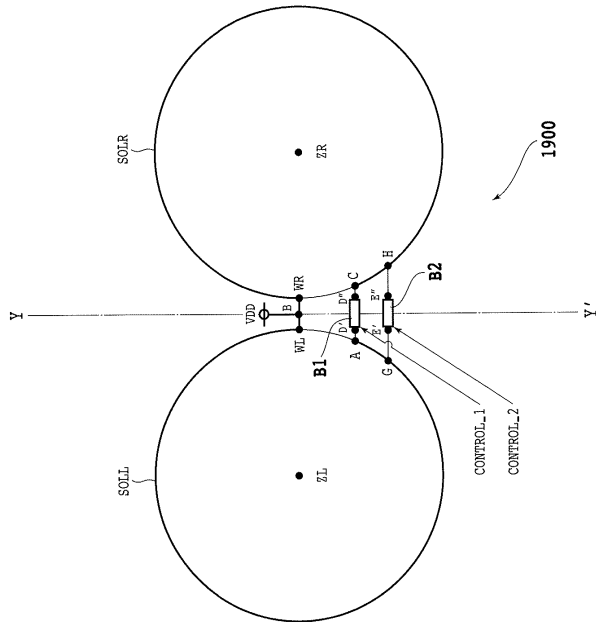
【 図 1 6 】



【 図 1 8 】



【図 19】

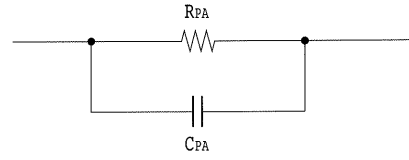


【図 20】

(a)



(b)

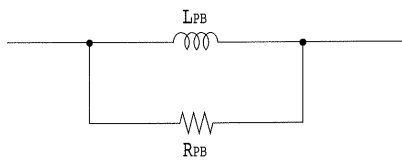


【図 21】

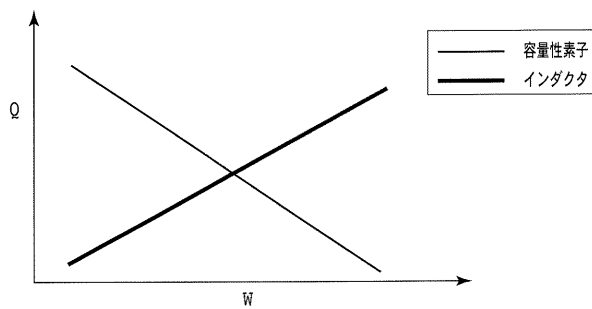
(a)



(b)



【図 22】



フロントページの続き

- (56)参考文献 特表2005-534218(JP,A)
米国特許出願公開第2002/0013134(US,A1)
特開2005-303839(JP,A)
特開2008-148210(JP,A)
特開2003-229718(JP,A)
特開2003-229485(JP,A)
特開平11-260646(JP,A)
特開2001-291615(JP,A)
特開平11-144964(JP,A)
特開2002-016493(JP,A)
特開2003-347844(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01F 21/12
H03B 5/08