

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-123733
(P2014-123733A)

(43) 公開日 平成26年7月3日(2014.7.3)

| | | |
|------------------------|----------------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| HO 1 L 21/60 (2006.01) | HO 1 L 21/60 3 1 1 S | 5 F 0 4 4 |
| HO 1 L 23/12 (2006.01) | HO 1 L 23/12 5 0 1 P | |

審査請求 有 請求項の数 20 O L (全 17 頁)

(21) 出願番号 特願2013-261008 (P2013-261008)
 (22) 出願日 平成25年12月18日 (2013.12.18)
 (31) 優先権主張番号 13/719, 836
 (32) 優先日 平成24年12月19日 (2012.12.19)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. GSM

(71) 出願人 593096712
 インテル コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州 サンタ クララ ミッション カ
 レッジ ブールバード 2200
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (72) 発明者 チュワン ホウ
 アメリカ合衆国 85249 アリゾナ州
 チャンドラー イースト グランド キ
 ャニオン ドライブ 1965
 最終頁に続く

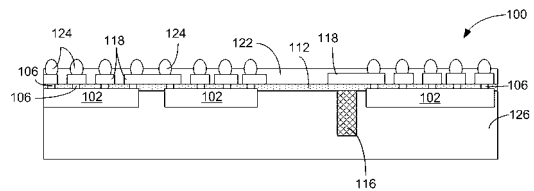
(54) 【発明の名称】 誘電性又は異方性導電性フィルム (ACF) ビルドアップレイヤーを有するパッケージ

(57) 【要約】

【課題】 正確なコンポーネント対コンポーネントアライメントを有する集積回路 (IC) パッケージの技術及び構成に提供する。

【解決手段】 本願開示の実施態様は、界面層により集積回路基板に接続された1個もしくはそれ以上のダイを有する集積回路 (IC) パッケージの技術及び構成に向けられている。一実施態様において、界面層は、1個もしくはそれ以上のコンポーネント、例えばダイ及び集積回路基板、の間で面外方向に電気信号を伝えるように構成された異方性部分を包含してよい。さらに別の実施態様において、界面層は、2個のコンポーネントの間のインターコネクタとして働く異方性部分、誘電性もしくは絶縁性部分、及び誘電性もしくは絶縁性部分により包囲され、同一もしくは別のコンポーネントとの間のインターコネクタとして働く1個もしくはそれ以上のインターコネクタを包含してよい。その他の実施態様記載及び/又はクレームされてもよい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

集積回路基板、
ダイ、及び
前記ダイと前記集積回路基板との間に置かれた界面層、
を有する集積回路パッケージであって、
界面層は、ダイと集積回路基板との間で、界面層により形成された面に対して面外方向に
電気信号を伝えるよう構成した異方性導電部分を有する、
前記集積回路パッケージ。

【請求項 2】

集積回路基板とダイとの間に置かれたインターコネクト構造をさらに有する請求項 1 に
記載の集積回路パッケージであって、界面層はインターコネクト構造の一部を包囲し、イ
ンターコネクト構造はダイと集積回路基板との間に電気信号を送るように構成されている
、前記集積回路パッケージ。

【請求項 3】

界面層が異方性導電フィルムを有する、請求項 1 に記載の集積回路パッケージ。

【請求項 4】

前記ダイは第 1 のダイであり、装置はさらに第 2 のダイを有し、界面層は対抗する第 1
と第 2 の表面を有し、第 1 のダイと第 2 のダイのうち少なくとも一方は第 1 の表面に接続
され、集積回路基板は第 2 の表面に接続されている、請求項 1 に記載の集積回路パッケ
ージ。

【請求項 5】

第 1 のダイを集積回路基板に接続する第 1 のインターコネクト構造、及び第 2 のダイを
集積回路基板に接続する第 2 のインターコネクト構造をさらに有し、界面層は第 1 のイン
ターコネクト構造と第 2 のインターコネクト構造との間に置かれている、請求項 4 に記載
の集積回路パッケージ。

【請求項 6】

界面層の異方性導電部分に結合された電子部品をさらに有する請求項 1 に記載の装置で
あって、異方性導電部分は電子部品から集積回路基板へ電気信号を伝えるよう構成されて
いる、前記装置。

【請求項 7】

1 個もしくはそれ以上のダイを第 1 の支持体上で位置決めすることすること、ただし前
記 1 個もしくはそれ以上のダイは第 1 の表面と第 1 の表面に対抗する第 2 の表面を有する
；

1 個もしくはそれ以上のダイの第 1 の表面に界面層を置くこと、ただし界面層は第 2 の支
持体に結合されている；

第 1 の支持体と第 2 の支持体との間で 1 個もしくはそれ以上のダイ及び界面層を一緒に圧
縮すること；

1 個もしくはそれ以上のダイから第 1 の支持体を解放すること；及び
型取り材料を 1 個もしくはそれ以上のダイの第 2 の表面に塗布すること、
を有する集積回路パッケージを製造する方法。

【請求項 8】

第 1 の支持体と第 2 の支持体との間の 1 個もしくはそれ以上のダイを圧縮している間、
界面層を硬化させることをさらに含む、請求項 7 に記載の方法。

【請求項 9】

型取り材料を 1 個もしくはそれ以上のダイの第 2 の表面に塗布する過程は、第 2 の支持
体を裏返すこと、及び第 2 の支持体が裏返される間、1 個もしくはそれ以上のダイの第 2
の表面に型取り材料を塗布することを有する、請求項 7 に記載の方法。

【請求項 10】

第 2 の支持体が裏返される間に界面層に電子部品を結合することをさらに含む請求項 9

10

20

30

40

50

に記載の方法であって、型取り材料の塗布はさらに電子部品への型取り材料を塗布することをさらに含む、前記方法。

【請求項 11】

電子部品の界面層への結合は、電子部品を界面層の誘電性部分の上へ置くことを有し、当該方法はさらに誘電性部分を通して電子部品へ至るビアを作ることさらに含む、請求項 10 に記載の方法。

【請求項 12】

界面層を置く前に、1個もしくはそれ以上のダイの少なくとも1個の第1の表面に第1のインターコネクト構造を形成すること；
界面層から第2の支持体を解放すること；及び
第1のインターコネクト構造を露出させるように界面層を平坦化すること、
を含む請求項 7 に記載の方法。

10

【請求項 13】

界面層は、界面層によって形成された平面に対して面外方向に電気信号を伝えるように構成された異方性部分を有する、請求項 7 に記載の方法。

【請求項 14】

1個もしくはそれ以上のダイは少なくとも2個のダイを有し、界面層は前記少なくとも2個のダイの表面と結合した異方性導電フィルムを有する、請求項 7 に記載の方法。

【請求項 15】

当該方法は、異方性導電フィルムに集積回路基板を直接結合することをさらに含み、異方性導電フィルムは、集積回路基板と少なくとも2個のダイのうち1個もしくはそれ以上との間に電気信号を送るように構成されている、請求項 14 に記載の方法。

20

【請求項 16】

マザーボード；
マザーボードに搭載されたコミュニケーションチップ；及び
マザーボードに搭載されたプロセッサ
を有するコンピューティングデバイスであって、
プロセッサもしくはコミュニケーションチップは、
集積回路基板；
ダイ；及び

30

ダイと集積回路基板との間に置かれた界面層
を有し、界面層は、ダイと集積回路基板との間に、界面層によって形成された平面に対して面外方向に電気信号を送るように構成された異方性導電部分を有する、
コンピューティングデバイス。

【請求項 17】

集積回路基板とダイとの間に配置されたインターコネクト構造をさらに有する請求項 16 に記載のコンピューティングデバイスであって、界面層はインターコネクト構造の一部を包囲し、インターコネクト構造はダイと集積回路基板との間に電気信号を伝えるように構成されている、コンピューティングデバイス。

【請求項 18】

界面層が異方性導電性フィルムを有する、請求項 16 に記載のコンピューティングデバイス。

40

【請求項 19】

ダイは第1のダイであり、プロセッサもしくはコミュニケーションチップは第2のダイをさらに有し、界面層は対向する第1及び第2の表面を有し、第1のダイ及び第2のダイの少なくとも1個は第1の表面に接続され、集積回路基板は第2の表面に接続されている、請求項 16 に記載のコンピューティングデバイス。

【請求項 20】

界面層の異方性導電性部分に結合した電子部品をさらに有する、請求項 16 に記載のコンピューティングデバイスであって、異方性導電性部分は電子部品から集積回路基板に電

50

気信号を伝えるように構成されている、コンピューティングデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本願開示の実施態様は一般に集積回路分野に関するもので、かつ特に正確なコンポーネント対コンポーネントアライメントを有する集積回路（IC）パッケージの技術及び構成に関するものである。

【背景技術】

【0002】

ウエハ・レベル・ボール・グリッド・アレイ（WLB）技術はシリコンウエハ上に集積回路パッケージを形成するのに使われてきた。WLBパッケージにおいてインターコネクはファンイン構成にある。対照的に組み込み型ウエハ・レベル・ボール・グリッド・アレイ（eWLB）技術は、一列にした（singulated）チップおよび注型コンパウンドから製造された人造ウエハ上にパッケージを形成するのに使われる。典型的には、ピックアップアンドプレース（PnP）ツールでダイを下向きに支持台の上に載せ、オーバーモールドし、硬化させる。そして支持体を取り除き、インターコネクをダイの露出面上にファンアウト構成で形成する。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

ファンアウト構成は、従来のWLBパッケージにおけるよりもインターコネク・ルーティングのためにより多くの空間を与える。しかしながら現在のeWLB技術にはいくつかの欠点がある。第一に、コンポーネントを置くのに使われるピックアップアンドプレース（PnP）ツールは高価であり、限られた単位時間当たりの処理能力を有し、またすべてのコンポーネントが同じ装着精度を必要とするわけではない。加えて、コンポーネントは型取りおよび硬化過程の間にずれることがある。不十分なダイ（コンポーネント）対ダイ（コンポーネント）アライメント精度のせいで、高密度/高帯域幅ルーティングは実行不可能である。第二に、PnPツールを使っての支持体上のダイアタッチフィルム（DAF）の上へダイ又は他のコンポーネントの配置は、前記ダイ又はコンポーネントの下に閉じ込められた空隙を残すことがある。最後に、インターコネクはレーザ加工したビア（vias）もしくは光画成ビア（photo defined vias）のいずれかによって作られるが、これらはコストもしくは性能において最適ではありえない。

20

30

【課題を解決するための手段】

【0004】

集積回路基板、ダイ、及び前記ダイと前記集積回路基板との間に置かれた界面層、を有する集積回路パッケージであって、界面層は、ダイと集積回路基板との間で、界面層により形成された面に対して面外方向に電気信号を伝えるよう構成した異方性導電部分を有する、前記集積回路パッケージ。

【図面の簡単な説明】

【0005】

添付の図面と組み合わせての以下の詳細説明により実施形態は容易に理解されよう。この説明を容易にするため、類似参照番号は類似の構造要素を表す。実施形態は例示目的で説明されるのであって、添付の図面の形状に限定する目的ではない。

40

【図1】いくつかの実施形態による集積回路（IC）パッケージアセンブリ例の断面図を概略的に表す。

【図2】いくつかの実施形態によるICパッケージアセンブリの別の例の断面図を概略的に表す。

【図3】いくつかの実施形態による回路基板に結合したICパッケージアセンブリの一例の断面図を概略的に表す。

【図4】いくつかの実施形態によるICパッケージアセンブリの製造方法に関するフロー

50

図である。

【 0 0 0 6 】

図 5 から図 1 3 は様々な製造操作中又は操作後の I C パッケージアセンブリを概略的に表す。

【 図 5 】いくつかの実施形態による I C パッケージアセンブリの一例の製造で使用する支持体上に配置されたダイの断面図を概略的に表す。

【 図 6 】いくつかの実施形態による I C パッケージアセンブリの製造における使用のための支持体と界面層の一例の断面図を概略的に表す。

【 図 7 】いくつかの実施形態による一個もしくはそれ以上のダイを覆う界面層を配置した後の I C パッケージアセンブリの一例のコンポーネントの断面図を概略的に表す。

【 図 8 】いくつかの実施形態による一個もしくはそれ以上のダイを覆う界面層を配置した後、支持体の間で圧縮されたダイと界面層の断面図を概略的に表す。

【 図 9 】いくつかの実施形態による I C パッケージアセンブリのコンポーネントから支持体 1 個を除去した後の I C パッケージアセンブリの一例を概略的に表す。

【 図 1 0 】いくつかの実施形態による電子部品の追加後 I C パッケージアセンブリの一例を概略的に表す。

【 図 1 1 】いくつかの実施形態による型取り材料を追加した後の I C パッケージアセンブリの一例を概略的に表す。

【 図 1 2 】いくつかの実施形態による一個の支持体を除去した後の I C パッケージアセンブリの一例を概略的に表す。

【 図 1 3 】いくつかの実施形態による界面層を平滑化した後の I C パッケージアセンブリの一例を概略的に表す。

【 図 1 4 】いくつかの実施形態によるコンピューティングデバイスを概略的に表す。

【 0 0 0 7 】

詳細説明

本願開示の実施態様は、正確なコンポーネント対コンポーネントアライメントを有する集積回路 (I C) パッケージの技術及び構成を表す。以下の記載において、当業者が自らの仕事の骨子を他の当業者に伝達するために通常使用する用語を用いて、説明に役立つ実施の様々な面が述べられよう。しかしながら、記載された態様のごく一部に関して本願発明を実施してよいことは当業者には明らかであろう。実施例の完全な理解をもたらすため、説明のために、特定番号、材料及び構成が述べられる。ただし、その特定の詳細なしに本願発明を実施してよいことは当業者に明らかとなろう。別の例において、実施例をわかり難くしないように、周知の態様は省略ないし単純化する。

【 0 0 0 8 】

以下の詳細説明において、明細書の一部を構成する添付の図面を参照する。図面中、全体にわたり類似の番号は類似の部分の意味し、例示目的で実施態様が示されているなら、本願開示の対象を実施してよい。了解すべきは、その他の実施形態を利用してよいこと、また本願開示の範囲から逸脱することなしに構造的もしくは論理的变化を加えてよいことである。従って、以下の詳細説明は限定の意味と取るべきではなく、また実施形態の範囲は、添付の請求項およびそれに相当するものによって定義される。

【 0 0 0 9 】

本願開示の意図において、文言「 A 及び / 又は B 」は (A) 、 (B) 又は (A 及び B) を意味する。本願開示の意図において、文言「 A 、 B 及び / 又は C 」は (A) 、 (B) 、 (C) 、 (A 及び B) 、 (A 及び C) 、 (B 及び C) 、又は (A 、 B 及び C) を意味する。

【 0 0 1 0 】

記載は、視点に基づく記載、例えば「上部 / 底部 (t o p / b o t t o m) 」、「内 / 外 (i n / o u t) 」、「上 / 下 (o v e r / u n d e r) 」などを用いてよい。このような記載は単に検討を容易にするために使用するものであり、ここに記載した実施態様のいかなる特定方面への応用を制限することを意図するのではない。

10

20

30

40

50

【発明を実施するための形態】

【0011】

記載は「一つの実施態様で (in an embodiment)」もしくは「複数の実施態様で (in embodiments)」という語句を使用してよく、一個以上の同一もしくは異なる実施態様をそれぞれ示してよいとする。さらに本願開示の実施態様に関して使用されているような、語句「有する (comprising)」、「包含する (including)」、「有する (having)」および同様の語句は同義である。

【0012】

語句「結合した (coupled with)」とその派生語をここで使用してよい。「結合した (Coupled)」は以下に記載のもの一つもしくはそれ以上を意味してよい。「結合した」は2個もしくはそれ以上の要素が直接物理的もしくは電氣的に接触していることを意味してよい。ただし、「結合した」は2個もしくはそれ以上の要素が間接的に互いに接触しているが、依然として協同しあるいは相互に作用していることを意味してもよい。また、1個もしくはそれ以上の他の要素が、相互に結合しているとされる要素間を結合ないし接続していることを意味してよい。語句「直接結合した (directly coupled)」は、2個以上の要素が直接接触していることを意味してよい。

10

【0013】

多様な実施形態において、界面層 (interface layer) は、ダイと集積回路基板との間に形成、堆積もしくは配置された連続もしくは非連続の層を意味してよい。前記界面層、すなわちその界面層の何らかの部分、は1個もしくはそれ以上のダイおよび集積回路基板と直接接触 (例えば直接物理的及び/又は電氣的接触) もしくは間接的に接触 (例えば1個もしくはそれ以上の他の層によって分離される) してもよい。

20

【0014】

本願開示の実施態様は、集積回路 (IC) パッケージのための技術及び構成を説明する。実施態様によっては、ICパッケージは界面層により集積回路基板と接続した1個もしくはそれ以上のダイを有してよい。実施態様によっては、界面層は、1個もしくはそれ以上のコンポーネントの間 (例えばダイと集積回路基板との間) で、界面層により形成/定義される平面に対して面外方向に電気信号を伝えるよう構成した異方性部分を有してよい。例えば、界面層は、1個もしくはそれ以上のダイ及び集積回路基板との間でインターコネクタとして働く完全/連続的異方性界面層であってよい。あるいは、界面層は誘電性もしくは絶縁層であってよい。またあるいは、界面層は異方性部分、誘電性もしくは絶縁性部分、及び誘電性もしくは絶縁部分に包囲された1個もしくはそれ以上のインターコネクタ構造を有してよい。異方性部分はダイ/コンポーネントと集積回路基板との間でインターコネクタとして働いてよく、誘電性もしくは絶縁部分は同一もしくは異なるダイと集積回路基板との間でインターコネクタとして働いてよい。界面層についてここに記載した原則は、これらの実施例に限定されず、別の実施態様におけるほかのタイプの基板 (例えば回路板) に応用してよい。

30

【0015】

図1は、いくつかの実施態様による集積回路 (IC) パッケージアセンブリ100の例を概略的に説明する。ICパッケージアセンブリ100は、界面層112を介して集積回路基板122と結合した1個もしくはそれ以上のダイ (以降、「ダイ102」とする) を有していてもよい。実施態様によっては、1個もしくはそれ以上のダイ相互接続構造 (以降、「インターコネクタ構造106」とする) は、ダイ102を集積回路基板122に接続してもよい。様々な実施態様において、ダイ102及び集積回路基板122はそれぞれ「IC基板」として言及されてよい。

40

【0016】

ダイ102は半導体材料からなる基板を有してよく、その半導体材料の上に電子部品、例えばトランジスタ及び関連の電気回路が形成される。ダイ102の活性側は、その上に1個もしくはそれ以上のトランジスタ素子を形成させてよい。実施態様によっては、ダイ102は別個のチップに相当してもよく、そしてプロセッサ、メモリ又はASICを包含

50

もしくはその一部分であってもよい。

【0017】

集積回路基板122は、ポリマー例えばエポキシからなる積層基板を包含してよく、積層基板の上に配線もしくは他の電気回路構成要素を形成してよい。実施態様によっては、集積回路基板122は、コア及び/または1個もしくはそれ以上のビルドアップ(BU)層例えば味の素ビルドアップフィルム(ABF)基板を有する、エポキシ系積層基板である。集積回路基板122は、例えばガラス、セラミックもしくは半導体材料から形成される基板を含む他の実施態様における基板の他の適当なタイプを包含してよい。実施態様によっては、集積回路基板122はインタポーザであってよい。ダイ102及び集積回路基板122は、これら例示材料に限定されず、他の実施態様での他の適当な周知材料を包含してよい。

10

【0018】

界面層112は異方性層、誘電性もしくは電気絶縁層、または1個もしくはそれ以上の異方性部分及び1個もしくはそれ以上の誘電性部分を有する層でよい。実施態様によっては、界面層112は5~30 μm の範囲(例えば5~25 μm 、6~20 μm 、7~15 μm)の厚さを有してよい。ダイ102の第1の表面もしくは側(例えば活性側)は界面層112の一方の側に取り付けられてよく、そして集積回路基板は集積回路基板122の対向する第2の側に取り付けられてよい。

【0019】

実施態様によっては、ダイ102は1個もしくはそれ以上のインターコネク構造106例えばパンプ、ピラーもしくはその他の適当な構造を介して集積回路基板122に接続されてよい。実施態様によっては、インターコネク構造106は、ダイ102が着点もしくは起点の電気信号を送るように構成されてよい。電気信号は例えば入力/出力(I/O)信号及び/又はダイ102の操作に関係するパワーもしくは接地信号を包含してよい。実施態様によっては、インターコネク構造106はダイ102の活性側上のボンダパッドに接続されたはんだ付け可能材料(例えばソルダパンプ)を包含可能である。実施態様によっては、インターコネク構造106はパンプアレイとして構成されてよい。

20

【0020】

集積回路基板122は、ダイ102が着点もしくは起点の電気信号を送るように構成されたインターコネク要素118を包含してよい。インターコネク要素118は、例えば集積回路基板122の1個もしくはそれ以上の表面上に配置された配線(図示せず)及び/又は内部構造、例えばトレンチ、ビア又は集積回路基板122に電気信号を送るためのその他のインターコネク構造を包含してよい。例えば実施態様によっては、インターコネク要素118は、ダイとのインターコネク構造106を受容し、且つダイ102と集積回路基板122との間に電気信号を伝えるよう構成した構造自体であるか、そのような構造を包含してもよい。インターコネク構造106もしくはその部分(例えばはんだ付け可能材料)は、ダイ102と集積回路基板122との間で導電結合を形成するように集積回路基板122上の対応するインターコネク要素118(例えばダイボンダパッド)と接続可能である。

30

【0021】

集積回路基板122は、1個もしくはそれ以上のパッケージインターコネク構造(以下「インターコネク構造124」とする)を使用する別の外部コンポーネント(例えば回路板、例えば図3の回路板130及び/又は図14のマザーボード1402)と電氣的に結合するように構成されていてよい。インターコネク構造124は、例えばインターコネク要素118と結合したはんだ付け可能材料(例えばはんだボール)を包含してよい。インターコネク構造124は、集積回路基板122を着点もしくは起点とする電気信号(例えばI/O及び/又はパワー)を送るように構成されてよい。インターコネク構造124は、いくつかの実施態様によってはボール・グリッド・アレイ(BGA)構成中に配置してよい。

40

【0022】

50

インターコネク構造 106、124 及びインターコネク要素 118 は、金属例えば金、銅、アルミニウム、銀、スズ、パラジウムもしくはニッケルを包含する広範囲の導電性材料のいずれかから構成されてよい。インターコネク構造 106、124 及び / 又はインターコネク要素 118 は、他の実施態様で描写されている以外の他の適当な構造もしくは構成、例えばポスト (p o s t s) 又は他の周知の構造もしくは構成を包含する。

【 0 0 2 3 】

実施態様によっては、例えば図 3 でみられるように、中間層 112 は、ダイ 102 と集積回路基板 122 との間のギャップ、及びインターコネク構造 106 どうしの間のギャップを実質的に満たしてよい。あるいは、中間層 112 は、ダイ 102 と集積回路基板 122 との間のギャップ、及び / 又はインターコネク構造 106 どうしの間のギャップを部分的に満たしてよく、前記ギャップの残部はアンダーフィル材料、誘電性 / 異方性フィルムの層もしくは別の材料で満たしてよい。実施態様によっては、ギャップの残部を満たすのに使われるアンダーフィル材料は、ポリマー例えばアクリル酸系もしくはエポキシ系材料、例えば樹脂材料からなるものでよい。

10

【 0 0 2 4 】

実施態様によっては、例えば図 1 に示すように、中間層 112 は誘電性フィルムを包含してよい。実施態様によっては、例えば図 1 に示すように、中間層 112 は異方性フィルムを包含してよい。実施態様によっては、中間層 112 は誘電性部分及び異方性部分を包含してよく、前記異方性部分はコンポーネントどうしの間のインターコネクとして働き、またインターコネク構造 106 は他のコンポーネントどうしの間でインターコネクとして働く。前記異方性フィルムもしくは異方性部分は、ダイと集積回路基板との間で、界面層によって形成された平面に対し面外方向に電気信号を伝えるよう構成されてよい。

20

【 0 0 2 5 】

図 3 は、いくつかの実施態様による回路板と結合した IC パッケージアセンブリの一例の断面図を概略的に表す。実施態様によっては、回路板 130 は、電気絶縁性材料例えばエポキシラミネートからなるプリント基板 (P C B) でよい。例えば回路板 130 は、例えばのポリテトラフルオロエチレンのような材料、フェノールコットン紙材料例えば難燃剤タイプ 4 (F l a m e R e t a r d a n t 4、F R - 4)、F R - 1、コットン紙およびエポキシ材料、例えば C E M - 1 もしくは C E M - 3、またはエポキシ樹脂プレプレグ材料を使用して一緒に積層されたガラス繊維織物材料からなる電気絶縁性層を包含してよい。回路板 130 にダイ 102 の電気信号を伝えるように、(図示されない) 構造例えば配線、トレンチ、ビアが電気絶縁性層に形成されてよい。回路板 130 は、他の実施態様における他の適当な材料からなってもよい。

30

【 0 0 2 6 】

回路板 130 のごく一部分が図 3 に描かれていてもよい。回路板 130 は、回路板に結合した他の電気デバイスを包含してよく、当該電気デバイスは回路板 130 じゅうにダイ 102 を着点もしくは起点とする電気信号を伝えるように構成されている。実施態様によっては、回路板 130 はマザーボードであってよい (例えば図 1 4 のマザーボード 140 2)。

【 0 0 2 7 】

図 4 は、いくつかの実施態様による IC パッケージアセンブリ (例えば図 1 もしくは図 2 の IC パッケージアセンブリ 100) を製造する方法のフロー図である。方法 400 は図 1 ~ 図 3 および図 5 ~ 図 1 4 とつなげて記載された実施態様と一致してよい。

40

【 0 0 2 8 】

402 において、方法 400 は 1 個もしくはそれ以上のダイの第 1 の面上にインターコネク構造 (例えばインターコネク構造 106) を形成することを包含してよい。例えば図 2 に示すように、他の実施態様では 402 を欠いてもよい。例えば、界面層 112 として異方性フィルムを包含する実施態様では 402 を省いてよい。

【 0 0 2 9 】

404 において、方法 400 は第 1 の支持体 (例えば支持体 104) 上の 1 個もしくは

50

それ以上のダイ（例えばダイ102）を位置決めすることを包含してよい。図5に示すように、ダイ102は第1の支持体上に「表を上にして」位置決めされてよいので、もしあればインターコネク構造106を有するダイの活性第1表面もしくは側面が露出され、ダイの対抗する第2の表面もしくは側面は支持体104と接触する。実施態様によっては、支持体104は結合/接着材料の層を有してよく、層の上にダイ104が所望の位置に配置され保持される。実際態様によっては、ダイ102を支持体104上に位置決めするのにチャッキングシステム（例えば真空式もしくは静電式）を使用してよい。例えば支持体104は多孔材料からなるものでよく、支持体104上の所望の位置にダイ102を保持するために真空を適用してよい。第1の支持体104上のダイ102を位置決めする前に、ダイ102の対抗する第2の表面を磨いてよい。

10

【0030】

406において、方法400はダイ102の第1の表面上に界面層を配置することをさらに包含してよい。例えば図6に示すように、界面層112は第2の支持体120と結合してよい。実施態様によっては、界面層112はダイアタッチフィルム（DAF）そのものであるか、もしくはDAFを包含してよい。実施態様によっては、界面層112は誘電性フィルム、異方性フィルム、誘電性部分と異方性部分を有するフィルム、及び/又は接着剤（例えば熱可塑性、エポキシ、樹脂）を包含してよい。界面層112は連続層（例えば図2を参照）もしくは不連続層（例えば図1参照）であってもよい。実施態様によっては、界面層112は、連続フィルム層として第2の支持体120に張り付けられ、次いで不連続層になるように加工されてもよい（例えばレーザ、エッチング及び/又は界面層を平坦化することにより）。

20

【0031】

実施態様によっては、中間層114を第2の支持体120と界面層112の間に配置してよい。特定の条件に反応して第2の支持体120から界面層112を解放するように、中間層114を構成してよい。実施態様によっては、中間層114は、特定の条件にさらされると（例えば光、熱、化学作用、pHの変化、溶剤）溶解、分解、劣化及び/又は液体もしくは半液体になる材料であっても、もしくはそのような材料を包含してもよい。実施態様によっては、中間層114は1個もしくはそれ以上のポリマー（例えば超分子ポリマー、 dendrimer、高分岐ポリマー、 copolymer）を包含してよい。実施態様によっては、中間層114は、あらかじめ決めた温度で軟化する、低粘度液体になる、昇華するもしくは気化する dendrimer もしくは高分岐ポリマーを包含してよい。実施形態によっては、中間層114は極性もしくは非極性溶媒に溶解可能であってもよい。他の実施態様は中間層114を欠いていてよい。これらの実施態様において、真空圧、静電力もしくはその他の知られた方法によって界面層112を第2の支持体120に結合してよい。

30

【0032】

界面層112及び/又は中間層114を、既知の方法（例えば熱、圧縮）で第2の支持体120の表面へ張り付けてよい。実施態様によっては、非連続の層を形成するように、界面層112及び/又は中間層114を選択的/非連続的に堆積させてよい。実施態様によっては、吹付、スピンコート、積層もしくは他の既知の方法により中間層114を第2の支持体120に張り付けてよく、そして引き続き別個のプロセスにおいて界面層112を中間層114に張り付けてよい。他の実施態様では、単一のプロセスで界面層112及び中間層114を第2の支持体120に張り付けてよい。例えば界面層112及び中間層114を第2の支持体120に張り付ける前に、界面層112の上に中間層114を形成してよい。

40

【0033】

実施態様によっては、中間層114内もしくは中間層114と隣接構造（例えば界面層112、第2の支持体120、ハンドリング層）との間に、温度の上昇に応じて膨張する物質を設けてもよい。例えば、第2の支持体120の表面周辺に中間層114を堆積させてよく、第2の支持体120の表面と界面層112との間にエアポケットを残しながら、界面層112を中間層114と結合させてもよい。中間層114の熱処理はエアポケット

50

の膨張の原因となり得、その結果界面層 1 1 2 からの第 2 の支持体 1 2 0 が分離する。

【 0 0 3 4 】

4 0 8 において、方法 4 0 0 は、第 1 の支持体と第 2 の支持体との間で 1 個もしくはそれ以上のダイ及び界面層を圧縮することをさらに包含してよい。例えば図 7 及び図 8 に示すように、ダイ 1 0 2 および界面層 1 1 2 を第 1 の支持体 1 0 4 と第 2 の支持体 1 2 0 との間に配置してよい。ダイ 1 0 2 と界面層 1 1 2 を一緒に圧縮するために、一方もしくは両方の支持体 1 0 4 / 1 2 0 に力を加えてよい。実施態様によっては、第 1 の支持体 1 0 4 の底にたいして上向きの方に、及び / 又は第 2 の支持体 1 2 0 の上面に対して下向きの方向に力を加えてよい。実施例によっては、圧力調整チャンバ内（例えばオートクレーブもしくは他のタイプのバッチオープン）で圧縮を行ってもよく、圧縮はチャンバ内での昇圧もしくは減圧を包含してよい（例えば 0 . 0 1 a t m 以下の低真空圧から約 1 0 a t m の高圧までの範囲内）。

10

【 0 0 3 5 】

4 1 0 において、方法 4 0 0 は界面層の硬化を包含してよい。界面層硬化は、第 1 と第 2 の支持体 1 0 4 / 1 2 0 との間のダイ 1 0 2 及び界面層 1 1 2 の圧縮中もしくは圧縮後の熱処理を包含してもよい。例えばコンポーネントを所定の温度もしくは温度範囲で（例えば 8 0 ~ 2 0 0 、 1 0 0 ~ 1 8 0 、 1 5 0 ~ 1 7 0 、 1 7 0 ~ 2 3 0 ）チャンバ内で加熱してよい（圧縮中もしくは圧縮後に）。加熱継続時間は実際態様によって様々であってよい（例えば素材の選択に依存し 1 0 0 秒から数時間まで）。支持体 1 0 4 / 1 2 0 からの及び / 又はチャンバ内の圧力は、圧縮 / 加熱の間第 1 の支持体 1 0 4 上の所望の位置からダイ 1 0 2 がずれるのを減ずるもしくは防止することがある。コンポーネントへの熱処理は、ダイ 1 0 2 と界面層 1 1 2 との間の空隙を減ずるもしくは除去することがある。実施態様によっては、ダイ 1 0 2 どうしの間、及び / 又はダイ 1 0 2 と他のコンポーネント（例えば集積回路基板 1 2 2 ）との間の空間を満たすように、界面層 1 1 2 は十分な容積を有してよい。あるいは 1 個もしくはそれ以上の他の材料（例えばアンダーフィル材料、型取り材料、D A F フィルム等）を残りの空間を満たすのに使用してよい。

20

【 0 0 3 6 】

4 1 2 において、方法 4 0 0 は 1 個もしくはそれ以上のダイ（例えば図 9 を参照）から第 1 の支持体を解放することをさらに包含してよい。実施態様によっては、1 個もしくはそれ以上のダイからの第 1 の支持体 1 0 4 の解放は、第 2 の支持体 1 2 0 及びそれに結合したコンポーネント（例えば界面層 1 1 2 、ダイ 1 0 2 ）を第 1 の基板 1 0 4 から離して持ち上げることを包含してよい。実施態様によっては、界面層 1 1 2 の圧縮 / 硬化の最中 / 後に正圧を付与するまでは、負圧 / 真空圧によって第 1 の支持体 1 0 4 をダイ 1 0 2 に結合してよい。負圧 / 真空圧の解放により、第 1 の支持体 1 0 4 をダイ 1 0 2 から取り除いてよい。他の実施態様において、第 1 の支持体 1 0 4 の表面とダイ 1 0 2 の対向する第 2 の側との間に配置された結合層もしくは接着剤を、ダイ 1 0 2 から第 1 の支持体 1 0 4 を除去するように加熱、光、レーザ、溶剤もしくは機械的な力によって除去してよい。

30

【 0 0 3 7 】

4 1 4 において、方法 4 0 0 は、電子部品を界面層に結合することを包含してよい。例えば図 1 0 に示すように、第 2 の支持体 1 2 0 の上にダイ 1 0 2 を位置決めするよう、第 2 の支持体 1 2 0 を回転もしくは上下を逆にしてよい。1 個もしくはそれ以上の電子部品（例えばクロック、水晶、キャパシタ）を界面層 1 1 2 の上に置いてよい。例えば、高い装着精度を要求しないコンポーネントをピックアンドブレース（P n P）ツール（例えばチップシュータ）によりもしくは他の知られた方法 / 装置により界面層 1 1 2 の上に置いてよい。

40

【 0 0 3 8 】

4 1 6 において、方法 4 0 0 はさらに、1 個もしくはそれ以上のダイの対向する第 2 の表面に型取り材料を塗布することを包含してよい。型取り材料（例えば型取り材料 1 2 6 ）は I C パッケージアセンブリ 1 0 0 の電氣的諸特性を絶縁するために、例えばエポキシ材料もしくは他の適当な材料を包含してよい。記載した実施態様において、型取り材料 1

50

26は、ダイ102の露出した表面の封入材として働く。図11に示すように、型取り材料126は、ダイ102の対向する第2の側を部分的もしくは完全に封入してよい。

【0039】

418において、方法400はさらに、界面層から第2の支持体を除去することを包含してよい。上述のように、中間層114は、特定の条件に反応して第2の支持体120から界面層112を解放するように構成されていてよい。従って、界面層112からの第2の支持体120除去は、光、熱、化学作用、pHの変化、溶剤及び/又は機械的な力で、第2の支持体120に付随する中間層及び/又は1個もしくはそれ以上のコンポーネントを処理することを包含してよい。界面層112から第2の支持体120を解放するように、中間層114は処置に反応して溶解、分解、劣化/変質、軟化、低粘度液体化、昇華又は気化してよい。中間層114を欠く実施態様によっては、第2の支持体の除去は、負圧を解除すること、機械的な力を付加すること、または静電力を中和することを包含してよい。図12は、いくつかの実施態様による第2の支持体120の除去の直後のICパッケージアセンブリの一例を模式的に説明する。

10

【0040】

420において、方法400はダイ上のインターコネク要素を露出するように、界面層を平坦化することを包含してよい。例えば図13に示すように、型取り材料126の上に界面層112を配置するように、ユニットとしてコンポーネントを裏返すもしくは上下を逆にしてよい。ダイ102上のインターコネク要素106を露出させるのに必要な程度まで中間層112を平坦化してよい。実施態様によっては、インターコネク要素106の一部及び/又はインターコネク要素106上のコーティングもしくは他の表面処理を除去するのに必要な深さまで、界面層を平坦化してよい。

20

【0041】

420を欠く実施態様もある。例えば、実施態様によっては界面層112は、界面層の平面に対して面外方向に信号を伝える異方性層であり、インターコネク要素106は省略される。他の実施態様では、硬化の結果(例えば加熱により界面層112を融解及び流出させることにより)インターコネク要素106を露出させてよい。

【0042】

422において、方法400は集積回路基板を界面層と結合することを包含してよい。上述のように、集積回路基板122は1個もしくはそれ以上のインターコネク要素118(例えばボンドパッド)を包含してよい。実施例によっては、ダイ102はインターコネク構造106を欠いてよく、集積回路基板122の界面層112への結合は、集積回路基板122に界面層112を押し当てること、及びこれらコンポーネントに熱及び/又は圧力を付加することを包含してよい。例えば、界面層112に対して集積回路基板を圧縮するために、型取り材料126及び/又は集積回路基板に圧力を加えてよい。別の例としては、集積回路基板122を界面層112と結合させるように、コンポーネントを熱処理してよい(例えばオートクレーブもしくは他のタイプのオープンで)。あるいは加熱および加圧の両方を同時にもしくは非同時に行ってよい。

30

【0043】

他の実施態様においては、インターコネク構造106を界面層112の表面に沿って露出させてよく、集積回路基板122を界面層112と結合させることは、インターコネク構造106をインターコネク要素118と整列させることおよびインターコネク構造106を軟化もしくは溶解させるためにICパッケージを加熱することを包含してよい。これにより、インターコネク構造106がインターコネク要素118に結合されてよい。実施態様によっては、ICパッケージの加熱中及び/又は直後に集積回路基板122に対してインターコネク構造106及び界面層112を圧縮するように加圧してよい。

40

【0044】

実施態様によっては、方法400はさらに、界面層112中に1個もしくはそれ以上のビアを形成することを包含してよい。例えば実施態様によっては、界面層112は電子部

50

品もしくはダイ 102 の一部分に配置された誘電性部分を包含してよい。コンポーネントもしくはダイの一部分を集積回路基板 122 に接続させるために、ビアを既知の方法（例えばレーザ）によってその誘電性部分に形成してよい。あるいは実施態様によっては、ビアを省略してよい。例えば、各ダイ / 電子部品を集積回路基板に接続させる、異方性である及び / 又は異方性部分を有する界面層 112 についての実施態様において、ビアを省略してよい。

【0045】

実施態様によっては、方法 400 はさらに、回路板を IC パッケージアセンブリに結合することを包含する。例えば図 3 に示すように、回路板（例えば回路板 130）を集積回路基板 122 に結合してよい。実施態様によっては、回路板 130 の IC パッケージアセンブリ（例えば IC パッケージアセンブリ 100）への結合は、インターコネクト構造 124（例えばはんだボール）を集積回路基板 122 のインターコネクト要素 118、及び回路板 130 の対応するインターコネクト要素 132（例えばボンドパッド）に結合すること包含してよく、ダイ 102 の電気信号を回路板 130 にさらに伝えるように構成された対応するはんだ接続を形成する。

10

【0046】

特許請求の対象を理解するに十分に役立つように、様々な操作が複数の別個の操作として順番に記載される。しかしながら、これらの操作が必ずしも順序に依存することを意味していると、記載の順番を解釈するべきではない。本願開示の実施態様は、好きなように構成すべき、いずれか適当なハードウェア及び / 又はソフトウェアを使用するシステムに実施してよい。図 14 は、発明の一実施形態によるコンピューティングデバイス 1400 を図式的に説明する。コンピューティングデバイス 1400 は、マザーボード 1402 のようなボードを収容してよい。マザーボード 1402 は、プロセッサ 1404 及び少なくとも 1 個のコミュニケーションチップ 1406 を限定せずを含む、多数のコンポーネントを包含してよい。プロセッサ 1404 は物理的且つ電氣的にマザーボード 1402 に結合されてよい。実施形態によっては、少なくとも 1 個のコミュニケーションチップ 1406 をも物理的且つ電氣的にマザーボード 1402 に結合してよい。さらなる実施形態によっては、コミュニケーションチップ 1406 はプロセッサ 1404 の一部であってよい。

20

【0047】

その応用形態によっては、コンピューティングデバイス 1400 は、マザーボード 1402 に物理的且つ電氣的に結合してもしなくてもよい他のコンポーネントを包含してよい。これら他のコンポーネントは、揮発メモリ（例えば DRAM）、不揮発メモリ（例えば ROM）、フラッシュメモリ、グラフィックスプロセッサ、デジタルシグナルプロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、オーディオコーデック、ビデオコーデック、パワーアンプ、グローバル・ポジショニング・システム（GPS）装置、コンパス、加速度計、ジャイロスコープ、スピーカ、カメラ、大容量記憶装置（例えばハードディスクドライブ、コンパクトディスク（CD）、デジタル多目的ディスク（DVD）、その他）を限定せずに包含してよい。

30

【0048】

コミュニケーションチップ 1406 は、コンピューティングデバイス 1400 を着点および起点とするデータ転送のための無線通信を可能にしてよい。「無線」という用語は、変調電磁放射を使用することにより非個体媒体までデータを伝える回路、デバイス、システム、方法、テクニック、通信回線等を記述するのに使用されてよい。用語は、関係するデバイスがワイヤを何ら有しないということの意味するのではないが、実施態様によっては、デバイスはワイヤを有しない。コミュニケーションチップ 1406 は、Wi-Fi（IEEE 802.11 ファミリー）、IEEE 802.16 標準規格（例えば IEEE 802.16-2005 修正版）、ロングタームエボリューション（LTE）プロジェクトを何らかの修正、アップデート及び / 又はリビジョン（例えばアドバンスド LTE プロジェクト、ウルトラモバイルブロードバンド（UMB）プロジェクト（「3GPP2」とも

40

50

称する)等)と一緒に包含する、Institute for Electrical and Electronic Engineers (IEEE) 標準規格を限定しないで包含する多数ある無線標準規格もしくはプロトコルのいずれかを実施してよい。IEEE 802.16 互換性 BWA ネットワークを一般に WiMAX ネットワーク (World Wide Interoperability for Microwave Access を意味する頭字語である) と称し、これは IEEE 802.16 標準規格の適合及び相互運用性試験にパスしている製品のための証明マークである。コミュニケーションチップ 1406 は、GSM (Global System for Mobile Communication)、汎用パケット無線システム (GPRS)、UMTS (Universal Mobile Telecommunications System)、HSPA (High Speed Packet Access)、HSPA+ (Evolved HSPA) もしくは LTE ネットワークのとおり作動してよい。コミュニケーションチップ 1406 は、EDGE (Enhanced Data for GSM Evolution)、GSM EDGE 無線アクセスネットワーク (GERAN)、UMTS 地上波無線アクセスネットワーク (UTRAN) もしくは E-UTRAN (Evolved UTRAN) のとおり作動してよい。コミュニケーションチップ 1406 は符号分割多重接続 (CDMA)、時分割多元接続 (TDMA)、DECT (Digital Enhanced Cordless Telecommunications)、EV-DO (Evolution-Data Optimized)、それらの派生技術、並びに 3G、4G、5G およびそれ以降と称するその他のいずれかの無線プロトコルのとおり作動してよい。コミュニケーションチップ 1406 は、他の実施態様における他の無線プロトコルのとおり作動してよい。

10

20

30

40

50

【0049】

コンピューティングデバイス 1400 は複数のコミュニケーションチップ 1406 を包含してよい。例えば、第 1 のコミュニケーションチップ 1406 は Wi-Fi および Bluetooth のような短距離無線通信に使用されてよく、第 2 のコミュニケーションチップ 1406 は GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO その他などの長距離無線通信に使用されてよい。

【0050】

コンピューティングデバイス 1400 のプロセッサ 1404 は、ここに記載されているように IC パッケージアセンブリ (例えば図 1 もしくは図 2 の IC パッケージアセンブリ 100) 中のダイ (例えば図 1 もしくは図 2 の第 1 のダイ 102 もしくは第 2 のダイ 102) を包含してよい。用語「プロセッサ」は、レジスタ及び / 又はメモリからの電子データを処理して、レジスタ及び / 又はメモリからのその電子データをレジスタ及び / 又はメモリに貯蔵されてもよい他の電子データに変換する、いずれかのデバイスもしくはデバイスの一部を指す。

【0051】

コミュニケーションチップ 1406 はまた、ここに記載されているように IC パッケージアセンブリ (例えば図 1 もしくは図 2 の IC パッケージアセンブリ 100) 中のダイ (例えば図 1 もしくは図 2 の第 1 のダイ 102 もしくは第 2 のダイ 102) を包含してよい。さらなる実施において、コンピューティングデバイス 1400 内に収容された別のコンポーネント (例えばメモリ素子もしくは他の集積回路素子) は、ここに記載のように IC パッケージアセンブリ (例えば図 1 もしくは図 2 の IC パッケージアセンブリ 100) 中にダイ (例えば図 1 もしくは図 2 の第 1 のダイ 102 もしくは第 2 のダイ 102) を含んでよい。

【0052】

コンピューティングデバイス 1400 は、いろいろなアクションを行うために、ここに記載された記憶媒体に記憶された命令を実行するように構成されてよい。様々な実施において、コンピューティングデバイス 1400 は、ラップトップ、ネットブック、ノートブック、ウルトラブック、スマートフォン、タブレット、携帯情報端末 (PDA)、ウルト

ラモバイルPC、携帯電話、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、娯楽制御ユニット、デジタルカメラ、ポータブル音楽プレイヤーもしくはデジタルビデオレコーダーであってよい。さらなる実施において、コンピューティングデバイス1400は、データを処理するいずれか他の電子デバイスでよい。

【0053】

本願開示の実施態様は、向上した性能、低いコスト及び/又は減じたサイズ(例えばより小さいフォームファクタのため)を有するICパッケージを提供してよい。ここに記載の実施態様による技術及び構成を、CPU/プロセッサ、チップセット、グラフィックデバイス、ワイヤレスデバイス、及び/又は1個もしくはそれ以上の他のデバイスと組み合わせたCPUを含むマルチチップ/3Dパッケージに応用してよい。従来の技術及び構成と比較して、ここに開示の実施態様はチップ/ダイ間のより高いピッチ密度、チップ/ダイ間のより高いルーティング密度、及び/又は向上したコンポーネント(チップ/ダイ)対コンポーネント(チップ/ダイ)アライメント(例えば15 μ mの標準偏差から5 μ m未満まで、もしくは15 μ mの標準偏差から約2 μ mまで)を提供してよい。

10

【0054】

本発明の詳細な実施についての上記述は、要約書に記載されていることも含めて、包括的であることを意図したものでなければ、発明を開示された正確な姿に限定することを意図するものでもない。本発明の特定の実施及び例示が説明目的でここに記述されている一方で、当業者ならばわかるように、本発明の範囲内で様々な同等の改変が可能である。

20

【0055】

上記の詳細な説明にかんがみ、これらの改変が本発明に対してなされてよい。以下に記載の請求項に用いられる用語は、明細書及び請求項で開示された特定の実施に本発明を限定するように解釈すべきではない。もちろん、本発明の範囲は全体として以下に記載の請求項によって決定されるべきであり、請求項はクレーム解釈の確立された見解に従って解釈されるべきである。

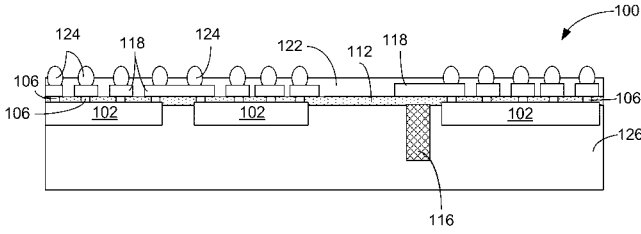
【符号の説明】

【0056】

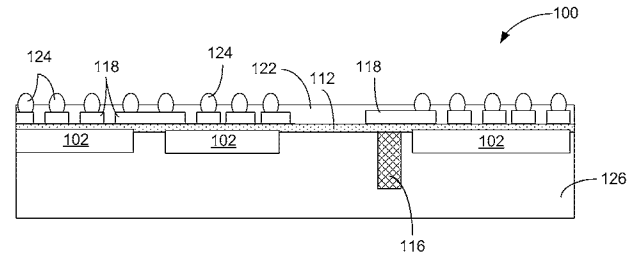
- 100 集積回路(IC)パッケージアセンブリ
- 112 界面層
- 122 集積回路基板
- 102 ダイ
- 106、124 インターコネクト構造
- 118 インターコネクト要素118
- 112 中間層

30

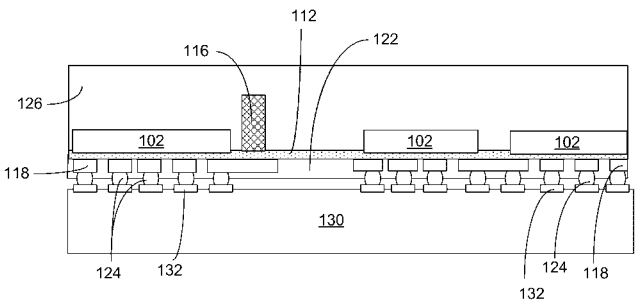
【図1】



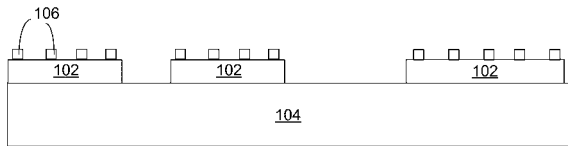
【図2】



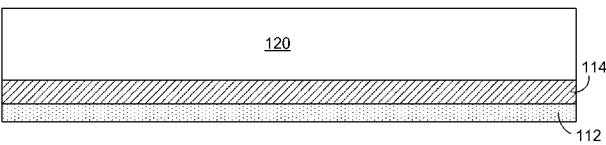
【図3】



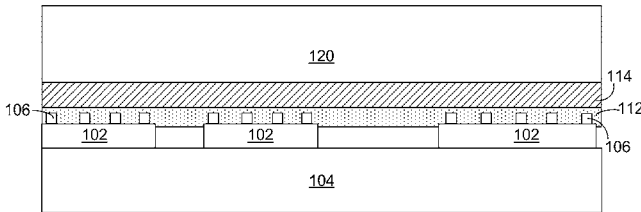
【図5】



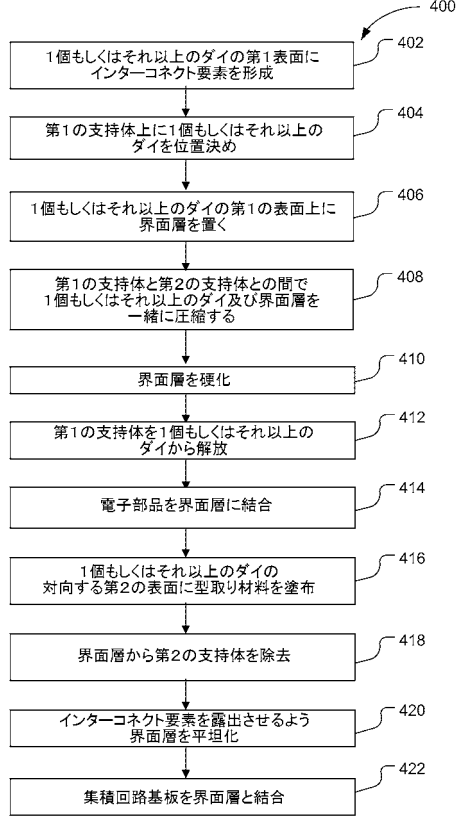
【図6】



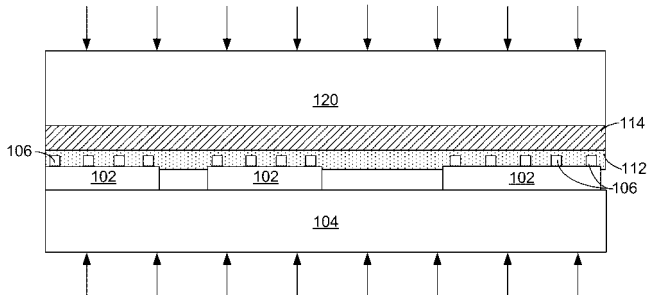
【図7】



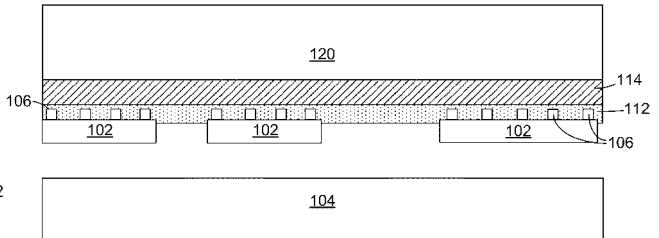
【図4】



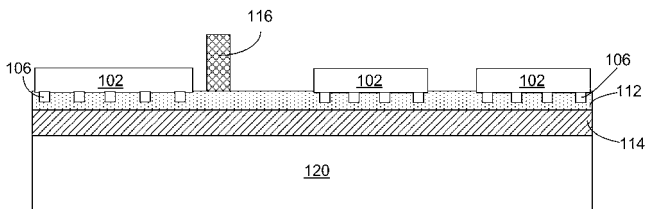
【図8】



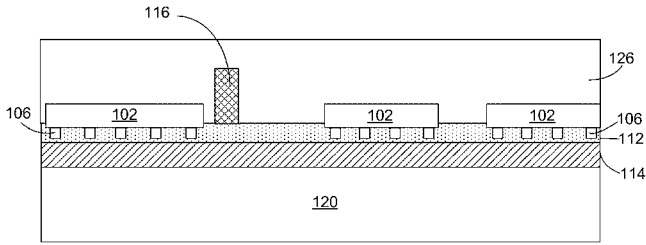
【図9】



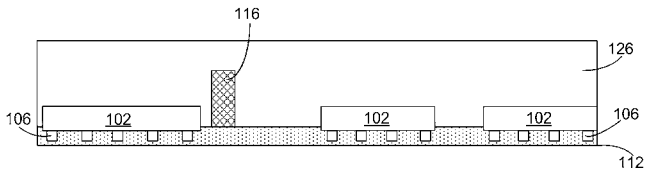
【図10】



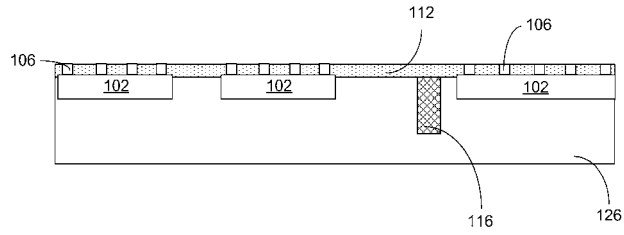
【図11】



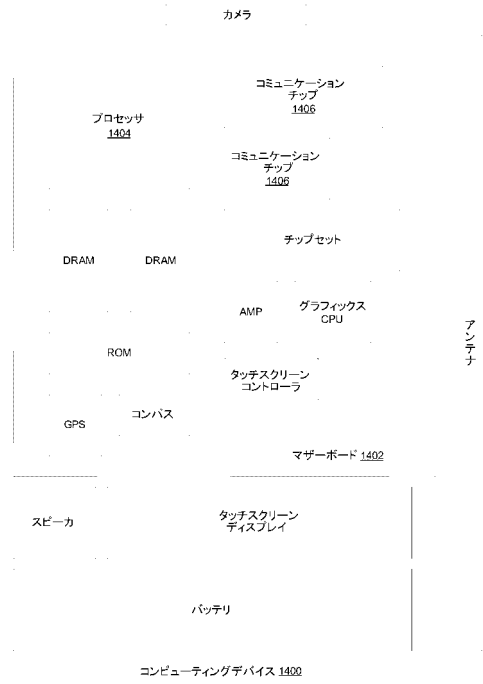
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 ディーンイーン シュイ

アメリカ合衆国 8 5 2 3 8 アリゾナ州 マリコパ ウェスト パーメン ドライヴ 4 4 2 6
3

(72)発明者 富田 至洋

茨城県つくば市吾妻 1 - 1 3 - 4 - 9 0 1

Fターム(参考) 5F044 KK02 KK04 KK05 KK07 KK16 LL09