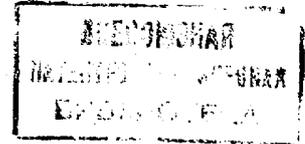




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

2

(21) 4610360/24

(22) 28.11.88

(46) 30.01.91. Бюл. № 4

(71) Институт кибернетики им. В.М. Глушкова
и Институт проблем моделирования в энергетике АН УССР

(72) Е.А. Смичкус и В.Л. Баранов

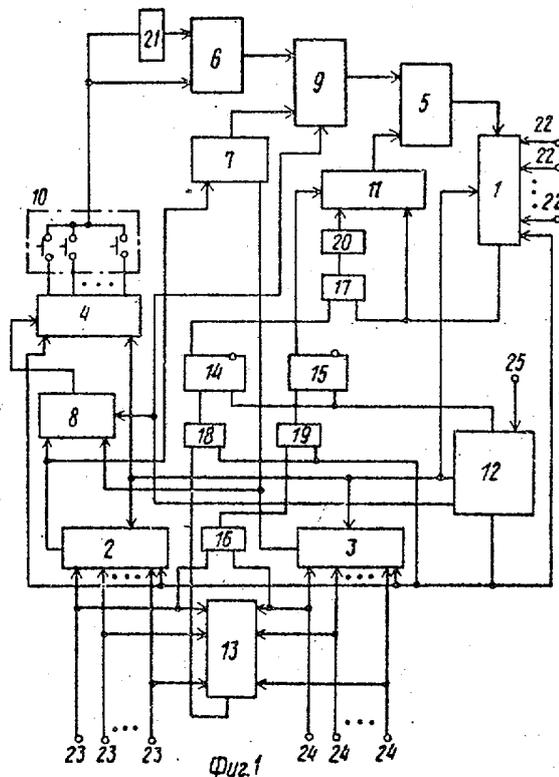
(53) 681.3(088.8)

(56) Авторское свидетельство СССР
№ 1228290, кл. Н 03 М 7/18, 1984.

Авторское свидетельство СССР
№ 1388997, кл. Н 03 М 7/18, 1986.

(54) ПРЕОБРАЗОВАТЕЛЬ КОДА СИСТЕМЫ
ОСТАТОЧНЫХ КЛАССОВ В ПОЗИЦИОН-
НЫЙ КОД

(57) Изобретение относится к вычислительной технике и предназначено для преобразования кода из системы остаточных классов в позиционный код. Цель изобретения состоит в упрощении преобразователя. Преобразователь кода системы остаточных классов в позиционный код содержит четыре регистра 1-4 сдвига, два вычитателя 8 и 9, три сумматора 5-7, переключатель 10 основания системы остаточных классов, коммутатор 11, блок 12 синхронизации, схему 13 сравнения кодов, два триггера 14 и 15, три элемента И 17-19, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 16, два элемента 20 и 21 задержки. 4 ил.



Изобретение относится к вычислительной технике, предназначено для преобразования кода из системы остаточных классов в позиционный код и может быть использовано в цифровых системах автоматики и телемеханики.

Цель изобретения – упрощение преобразователя.

На фиг.1 изображена структурная схема преобразователя кода системы остаточных классов в позиционный код; на фиг.2 – структурная схема блока синхронизации; на фиг.3 – схема сравнения кодов; на фиг.4 – временная диаграмма синхронизирующих сигналов.

Преобразователь кода системы остаточных классов в позиционный код содержит регистры 1–4 сдвига, сумматоры 5–7, вычитатели 8 и 9, переключатель 10 основания системы остаточных классов, коммутатор 11, блок 12 синхронизации, схему 13 сравнения кодов, триггеры 14 и 15, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 16, элементы И 17–19, элементы 20 и 21 задержки, группу входов 22 задания диапазона представления чисел, две группы информационных входов 23 и 24 и вход 25 запуска преобразователя.

Блок 12 синхронизации (фиг.2) содержит генератор 26 импульсов, генератор 27 одиночных импульсов, делитель 28 частоты, триггер 29, элемент И 30 и выходы 31–34 блока 12 синхронизации, причем прямой выход генератора 26 импульсов соединен с первым входом элемента И 30, выход которого соединен с входом делителя 28 частоты, инверсный выход генератора 26 импульсов соединен с тактовым входом генератора 27 одиночных импульсов, управляющий вход которого соединен с входом 25 запуска преобразователя, выход генератора 27 одиночных импульсов соединен с входом установки в единицу триггера 29, прямой выход которого соединен с вторым входом элемента И 30, выход делителя 28 частоты соединен с входом установки в "0" триггера 29, выходы 31, 32, 33 и 34 являются соответственно первым, вторым, третьим и четвертым выходами блока 12 синхронизации и соединены соответственно с выходом генератора 27 одиночных импульсов, с прямым выходом триггера 29, выходом элемента И 30 и выходом делителя 28 частоты.

Схема 13 сравнения кодов (фиг.3) содержит поразрядные узлы сравнения, каждый из которых содержит элемент И-ИЛИ-НЕ 35 и элемент НЕ 36, причем первые входы первой и второй групп входов элемента И-ИЛИ-НЕ 35 в нечетных разрядах соединены непосредственно, а в четных разрядах – через элемент НЕ 36 с информационными вхо-

дами 24, второй вход второй группы входов и первый вход третьей группы входов элемента И-ИЛИ-НЕ 35 в нечетных разрядах соединены через элемент НЕ 36, а в четных разрядах – непосредственно с информационными входами 23, вторые входы первой и третьей групп входов элемента И-ИЛИ-НЕ 35 всех разрядов, кроме первого, соединены с выходами элементов И-ИЛИ-НЕ 35 предыдущих разрядов, вторые входы первой и третьей групп входов элемента И-ИЛИ-НЕ 35 первого разряда соединены с входом логического нуля преобразователя, выход элемента И-ИЛИ-НЕ 35 старшего разряда соединен с выходом 37 схемы 13 сравнения кодов. Временная диаграмма на выходах блока 12 синхронизации (фиг.4), составлена для импульсов положительной полярности, при коэффициенте деления делителя 28 частоты $2n = 8$, т.е. при $n = 4$.

Преобразователь кода системы остаточных классов в позиционный код (фиг.1) работает следующим образом.

В исходном состоянии триггеры 14, 15 и триггер 29 блока 12 синхронизации находятся в нулевом состоянии, в которые они устанавливаются в результате предыдущего цикла преобразования.

На группу входов 22 подается двоичный код диапазона представления чисел, равный $P_1 \cdot P_2$, где основания системы остаточных классов $P_1 = 6N - 1$ и $P_2 = 6N + 1$; $N = 2^i$, $i = 0, 1, 2, 3, \dots$ – натуральный ряд чисел. С помощью переключателя 10 задают основание системы остаточных классов.

Регистр 1 сдвига содержит $2n$ разрядов, а регистры 2 и 3 сдвига – n -разрядов, где n – количество разрядов представления остатков α_1 и α_2 по основаниям P_1 и P_2 системы остаточных классов. Регистр 4 сдвига содержит m разрядов, где $m < n - 3$.

Параллельные n -разрядные коды остатков α_1 и α_2 подаются соответственно на группы 23 и 24 информационных входов преобразователя.

Запуск преобразователя осуществляется путем подачи сигнала "1" на вход 25 запуска преобразователя, который запускает генератор 27 одиночных импульсов блока 12 синхронизации. По сигналу запуска генератор 27 одиночных импульсов вырабатывает одиночный импульс в паузе между тактовыми импульсами, формируемыми генератором 26 импульсов. Выходной импульс генератора 27 одиночных импульсов устанавливает триггер 29 в единичное состояние и поступает с выхода 31 блока 12 синхронизации на входы разрешения записи регистров 1, 2, 3 и 4 сдвига, а также на

входы элементов И 18 и 19. По этому сигналу в регистры 1, 2 и 3 сдвига вводится исходная информация в виде параллельных двоичных кодов, регистр 4 сдвига устанавливается в нулевое состояние, так как его входы ввода данных соединены со входом "0", а триггеры 14 и 15 устанавливаются в состояния, определяющие режим работы преобразователя.

Параллельные n -разрядные двоичные коды остатков α_1 и α_2 считываются соответственно с информационных входов 23 и 24 преобразователя и по импульсу генератора 27 одиночных импульсов блока 12 синхронизации записываются соответственно в регистры 2 и 3 сдвига. Параллельный $2n$ -разрядный двоичный код $P_1 \cdot P_2$ диапазона представления чисел считывается с группы входов 22 задания диапазона представления чисел и по импульсу генератора 27 одиночных импульсов блока 12 синхронизации записывается в регистр 1 сдвига.

Схема 13 сравнения кодов сравнивает два n -разрядных параллельных двоичных кода остатков, действующих соответственно на информационных входах 23 и 24 преобразователя и формирует сигнал "1" при $\alpha_2 > \alpha_1$. В случае $\alpha_2 \leq \alpha_1$ на выходе схемы 13 сравнения кодов действует сигнал "0".

Если $\alpha_2 > \alpha_1$, сигнал "1" на выходе схемы 13 сравнения кодов открывает элемент И 18, через который проходит импульс генератора 27 одиночных импульсов блока 12 синхронизации и устанавливает триггер 14 в единичное состояние.

В случае $\alpha_2 \leq \alpha_1$ нулевой сигнал на выходе схемы 13 сравнения кодов блокирует элемент И 18 и триггер 14 сохраняет нулевое состояние.

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ сравнивает младшие разряды двоичных кодов остатков α_1 и α_2 , действующих на первых информационных входах 23 и 24 преобразователя. Когда в младших разрядах двоичных кодов остатков действуют различные сигналы (комбинации кодов младших разрядов "01" или "10"), то на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ формируется сигнал "1", который открывает элемент И 19. Выходной импульс генератора 27 одиночных импульсов блока 12 синхронизации проходит через элемент И 19 и устанавливает триггер 15 в единичное состояние.

В случае комбинации кодов младших разрядов остатков α_1 и α_2 "00" и "11" на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ формируется сигнал "0", который блокирует элемент И 19 и триггер 15 сохраняет нулевое состояние.

После установки триггера 29 блока 12 синхронизации в единичное состояние тактовые импульсы, формируемые генератором 26 импульсов, поступает через элемент И 30 на выход 33 блока 12 синхронизации и далее на входы разрешения сдвига регистров 1, 2, 3 и 4 сдвига.

Под действием тактовых импульсов генератора 26 импульсов блока 12 синхронизации двоичные коды остатков α_1 и α_2 сдвигаются, начиная с младших разрядов, с выходов регистров 2 и 3 сдвига соответственно. На выходе сумматора 7 формируется последовательный двоичный код суммы остатков $\alpha_1 + \alpha_2$, а на выходе вычитателя 8 — разности остатков $\alpha_2 - \alpha_1$. Отрицательная разность формируется на выходе вычитателя 8 в дополнительном коде. Двоичный код разности остатков с выхода вычитателя 8 поступает на информационный вход регистра 4 сдвига и под действием тактовых импульсов генератора 26 импульсов блока 12 синхронизации спустя один, два, ..., m тактов начинает сдвигаться соответственно с выходов первого, второго, ..., m -го разрядов регистра 4 сдвига. Поскольку задержка последовательного кода на один такт эквивалентна умножению на два, то на выходах первого, второго, ..., m -го разрядов регистра 4 сдвига формируются соответственно последовательные двоичные коды величин $2(\alpha_2 - \alpha_1), 2^2(\alpha_2 - \alpha_1), \dots, 2^m(\alpha_2 - \alpha_1)$. Выбор одной из этих величин осуществляется с помощью переключателя 10 основания системы остаточных классов. Предположим, что основание системы остаточных классов $P_2 = 6N+1$, где $N = 2^k$, $k < m$, то выход $k+1$ -го разряда регистра 4 сдвига через переключатель 10 соединяют с входами элемента 21 задержки и сумматора 6. Следовательно, на выходе переключателя 10 формируется последовательный двоичный код величины $2^{k+1}(\alpha_2 - \alpha_1)$, который задерживается на такт элементом 21 задержки, что эквивалентно умножению этой величины на два. Таким образом, на выходе элемента 21 задержки действует последовательный двоичный код величины $2^{k+2}(\alpha_2 - \alpha_1)$, который суммируется, начиная с младших разрядов, в сумматоре 6 с последовательным двоичным кодом величины $2^{k+1}(\alpha_2 - \alpha_1)$, формируемым на выходе переключателя 10 основания системы остаточных классов. На выходе сумматора 6 действует последовательный двоичный код величины $6 \cdot 2^k(\alpha_2 - \alpha_1)$, который вычитается вычи-

тателем 9 из последовательного двоичного кода суммы остатков $\alpha_1 + \alpha_2$, действующего на выходе сумматора 7. На выходе вычитателя 9 последовательно во времени, начиная с младшего разряда, формируется последовательный двоичный код величины $(\alpha_1 + \alpha_2) - 6 \cdot 2^k (\alpha_2 - \alpha_1)$, который поступает на один из входов сумматора 5, поступление информации на другой вход которого зависит от состояния коммутатора 11. Если триггер 15 находится в единичном состоянии, то коммутатор 11 подключает выход регистра 1 сдвига к входу сумматора 5. Если триггер 15 сохраняет нулевое состояние, то к входу сумматора 5 подключается выход элемента 20 задержки на такт. Элемент И 17 блокирует вход элемента 20 задержки, если триггер 14 находится в нулевом состоянии, либо подключает выход регистра 1 сдвига к входу элемента 20 задержки, когда триггер 14 находится в единичном состоянии.

После запуска преобразователя, двоичный код величины $P_1 \cdot P_2$ сдвигается под действием тактовых импульсов генератора 26 импульсов блока 12 синхронизации из регистра 1 сдвига, и, начиная с младшего разряда, поступает через коммутатор 11 на вход сумматора 5 в случае единичного состояния триггера 15. В этом случае на выходе сумматора 5 формируется последовательный двоичный код величины

$P_1 \cdot P_2 + [(\alpha_1 + \alpha_2) - 6 \cdot 2^k (\alpha_2 - \alpha_1)]$, который равен удвоенному значению преобразованного числа.

Когда триггер 15 находится в нулевом состоянии, а триггер 14 – в единичном состоянии, то двоичный код $P_1 \cdot P_2$ сдвигается из регистра 1 сдвига через элемент И 17, элемент 20 задержки на такт и коммутатор 11 на вход сумматора 5. Элемент 20 задержки на такт реализует операцию умножения на два последовательного двоичного кода величины $P_1 \cdot P_2$. В этом случае на выходе сумматора 5 формируется последовательный двоичный код величины

$2P_1 \cdot P_2 + [(\alpha_1 + \alpha_2) - 6 \cdot 2^k (\alpha_2 - \alpha_1)]$, который равен удвоенному значению преобразованного числа.

В том случае, когда триггеры 14 и 15 сохраняют нулевые состояния, элемент И 17 закрыт сигналом прямого выхода триггера 14 и на выходе коммутатора 11 действует нулевой двоичный код. В этом случае двоичный код величины

$$(\alpha_1 - \alpha_2) - 6 \cdot 2^k (\alpha_2 - \alpha_1),$$

формируемый на выходе вычитателя 9 и равный удвоенному значению преобразованного числа, проходит через сумматор 5 без изменения. Последовательный двоичный код удвоенного значения преобразованного числа с выхода сумматора 5 за $2n$ тактов записывается в регистр 1 сдвига под действием тактовых импульсов, поступающих с выхода элемента И 30 блока 12 синхронизации.

Спустя $2n$ тактов после запуска преобразователя на выходе делителя 28 частоты формируется импульс, который устанавливает триггер 29 блока 12 синхронизации (фиг.2) в нулевое состояние. Импульс, формируемый на выходе делителя 28 частоты, поступает на выход 34 блока 12 синхронизации и устанавливает триггеры 14 и 15 в нулевые состояния. Триггер 29 блока 12 синхронизации в нулевом состоянии формирует на прямом выходе сигнал "0", который поступает на выход 32 блока 12 синхронизации и прекращает вычисления в вычитателях 8 и 9. Нулевой сигнал прямого выхода триггера 29 блокирует также элемент И 30 и на выходе 33 блока 12 синхронизации формируется нулевой сигнал, который прекращает процесс сдвига информации в регистрах 1, 2, 3 и 4 сдвига.

Таким образом, спустя $2n$ тактов после запуска преобразователя в разрядах регистра 1 сдвига со второго разряда по $2n$ -й сформировался двоичный код преобразованного числа, имеющего остатки α_1 и α_2 по основаниям $P_1 = 6 \cdot 2^k - 1$ и $P_2 = 6 \cdot 2^k + 1$ соответственно. Двоичный код преобразованного числа может быть считан с выходов разрядов регистра 1 сдвига со второго разряда по $2n$ -й в виде параллельного двоичного кода.

Схема 13 сравнения кодов (фиг.3) работает следующим образом. На входы 23 и 24 поступают соответственно параллельные n -разрядные коды остатков α_1 и α_2 .

Первая, начиная со старшего разряда, комбинация кодов в i -м разряде $\alpha_{1i} = 0, \alpha_{2i} = 1$ формирует на выходе элемента И-ИЛИ-НЕ 35 четного разряда сигнал "1", а на выходе элемента И-ИЛИ-НЕ 35 нечетного разряда – сигнал "0". Этот сигнал при любой другой комбинации кодов в старших разрядах последовательно проходит через элементы И-ИЛИ-НЕ 35 на выход 37 схемы 13 сравнения кодов в виде сигнала "1". Например, допустим в $n-1$ -м разряде действует первая, начиная со старшего разряда комбинация кодов $\alpha_{1(n-1)} = 0, \alpha_{2(n-1)} = 1$. В этом случае на выходе элемента И-ИЛИ-НЕ 35 ($n-1$)-го

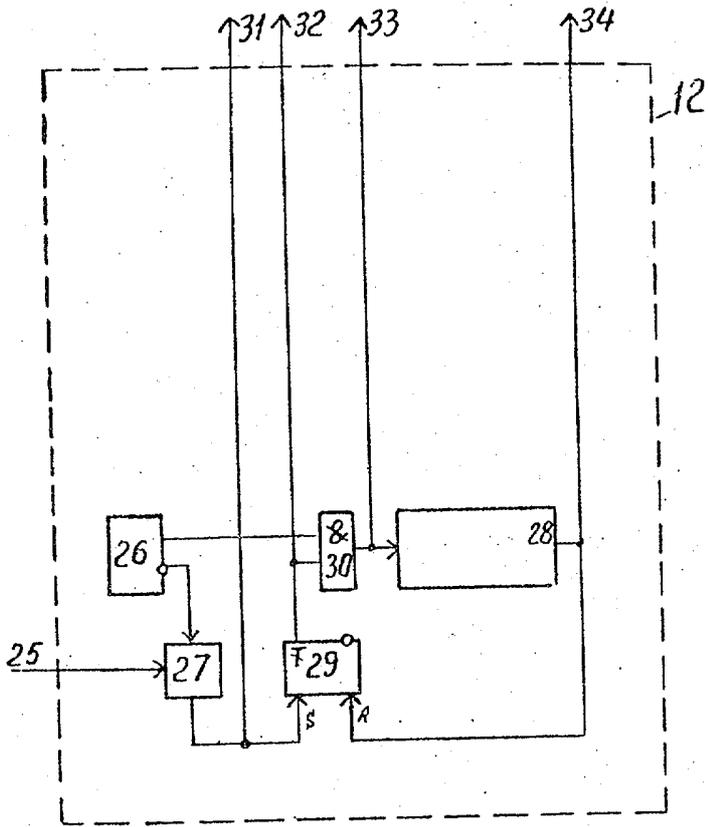
разряда (нечетного) формируется сигнал "0", который блокирует первую и третью группу входов элемента И-ИЛИ-НЕ 35 n-го разряда, вторая группа входов которого блокируется в случае любой комбинации кодов в n-м разряде, кроме комбинации $\alpha_2(n) = 0, \alpha_1(n) = 1$. Следовательно, на выходе элемента И-ИЛИ-НЕ 35 n-го разряда (четного) формируется сигнал "1", который поступает на выход 37 схемы 13 сравнения кодов как сигнал результата сравнения для случая $\alpha_2 > \alpha_1$.

Если во всех разрядах остатков α_1 и α_2 отсутствует комбинация кодов $\alpha_1(i) = 0, \alpha_2(i) = 1$, то в четных разрядах на выходах элементов И-ИЛИ-НЕ 35 действует сигнал "0", а в нечетных разрядах - "1". На выходе n-го (четного) разряда элемента И-ИЛИ-НЕ 35 действует сигнал "0", который поступает на выход 37 схемы 13 сравнения кодов.

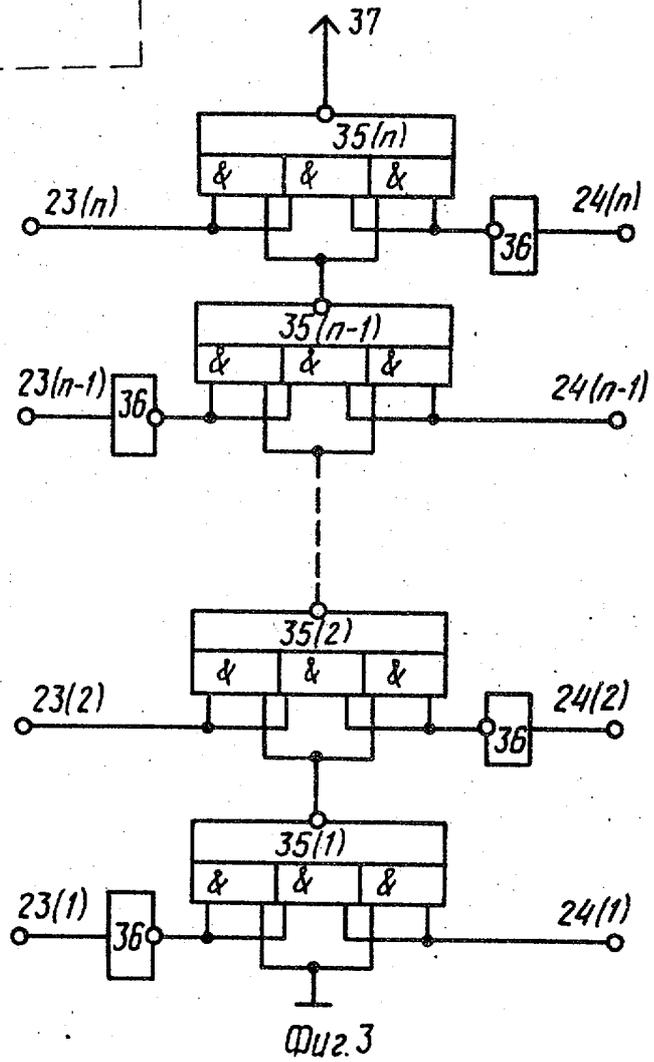
Формула изобретения

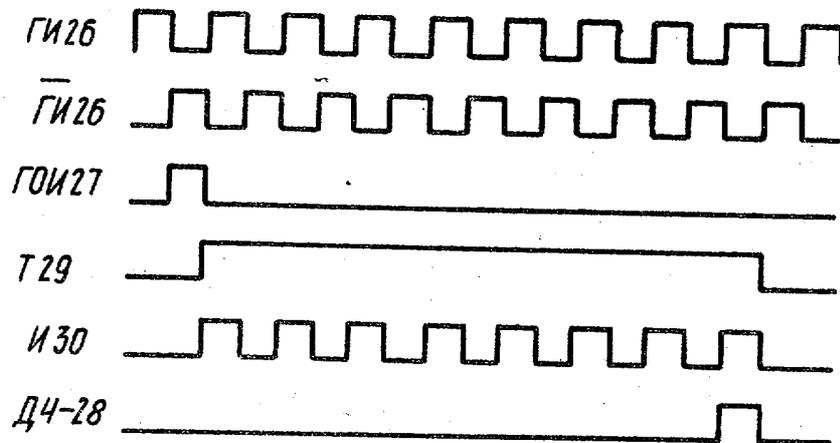
Преобразователь кода системы остаточных классов в позиционный код, содержащий четыре регистра сдвига, три сумматора, два вычитателя, переключатель основания системы остаточных классов, коммутатор, блок синхронизации, схему сравнения кодов, два триггера, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, три элемента И и два элемента задержки, причем входы разрешения записи первого - четвертого регистров сдвига соединены с первым выходом блока синхронизации, второй выход которого соединен с входом разрешения первого вычитателя, третий выход блока синхронизации соединен с входами разрешения сдвига первого - четвертого регистров сдвига, группа входов задания диапазона представления чисел преобразователя соединена соответственно с группой входов ввода данных первого регистра сдвига, информационный вход которого соединен с выходом первого сумматора, выход первого регистра сдвига соединен с первым входом первого элемента И и с первым информационным входом коммутатора, второй информационный вход которого соединен с выходом элемента задержки, группа входов ввода данных второго регистра сдвига объединена с первой группой информационных входов схемы сравнения кодов и является первой группой информационных входов

преобразователя, группа входов ввода данных третьего регистра сдвига объединена с второй группой информационных входов схемы сравнения кодов и является второй группой информационных входов преобразователя, выходы второго и третьего регистров сдвига соединены соответственно с входами вычитаемого и уменьшаемого первого вычитателя, выходы разрядов четвертого регистра сдвига соединены соответственно с входами переключателя основания системы остаточных классов, выход которого соединен с входом первого слагаемого второго сумматора и входом второго элемента задержки, выход которого соединен с входом второго слагаемого второго сумматора, прямой выход первого триггера соединен с вторым входом первого элемента И, выход которого соединен с входом первого элемента задержки, прямой выход второго триггера соединен с управляющим входом коммутатора, выход которого соединен с входом первого слагаемого первого сумматора, входы установки в "1" первого и второго триггеров соединены соответственно с выходами второго и третьего элементов И, первые входы которых соединены с первым выходом блока синхронизации, вход запуска которого соединен с входом запуска преобразователя, четвертый выход блока синхронизации соединен с входами установки в "0" первого и второго триггеров, выход схемы сравнения кодов соединен с вторым входом второго элемента И, второй вход третьего элемента И соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй входы которого соединены соответственно с первыми входами первой и второй групп информационных входов преобразователя, отличающийся тем, что, с целью упрощения преобразователя, входы вычитаемого и уменьшаемого второго вычитателя соединены соответственно с выходами второго и третьего сумматоров, информационный вход четвертого регистра сдвига соединен с выходом первого вычитателя, вход второго слагаемого первого сумматора соединен с выходом второго вычитателя, вход разрешения которого соединен с вторым выходом блока синхронизации, входы первого и второго слагаемых третьего сумматора соединены соответственно с выходами второго и третьего регистров сдвига.



$\Phi_{u2.2}$





Фиг. 4

Редактор В. Ковтун Составитель А. Ключев Корректор Т. Палий
Техред М.Моргентал

Заказ 203 Тираж Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101