



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

224 145

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 14 04 82
(21) PV 2623 - 82

(51) Int. Cl.³ G 11 C 11/34

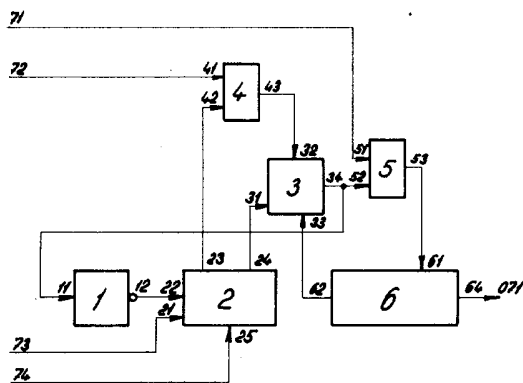
(40) Zveřejněno 31 12 82
(45) Vydáno 01 11 84

(75)
Autor vynálezu

ŠMÍD ZBYNĚK ing., BRNO

(54) Zapojení pro obnovování informace v dynamické polovodičové paměti

227 145



Obr. 1

Vynález se týká zapojení pro obnovování informace v dynamické polovodičové paměti.

Vedle řady předností, současných dynamických polovodičových pamětí, jako jsou malé rozměry a potřeba malého příkonu, mají tyto paměti i jednu podstatnou nevýhodu, kterou je nutnost obnovování zaznamenané informace v určitých časových intervalech. U operačních pamětí se po dobu obnovování informace zastaví činnost procesoru výpočetního prostředku. U dosud známých zapojení se však při tomto způsobu obnovování informace vyskytuje jedna nežádoucí vlastnost. Při práci v režimu přímého přístupu do dynamické polovodičové paměti, kdy se často vyžaduje, aby se přenos dat mezi operační pamětí a jejím okolím uskutečňoval synchronně konstantní rychlostí, nastává nežádoucí asynchronismus, způsobený zastavováním činnosti procesoru po dobu potřebnou pro obnovení informace v dynamické polovodičové paměti.

Uvedenou nevýhodu odstraňuje zapojení pro obnovování informace v dynamické polovodičové paměti podle vynálezu, jehož podstatou je, že první vstup druhého dvouvstupového součinnového hradla tvoří současně první vstup zapojení pro hradlovací signál, první vstup prvního dvouvstupového součinnového hradla tvoří současně druhý vstup zapojení pro signál čtení nebo zápisu do paměti, nastavovací vstup n -bitového posuvného registru tvoří současně třetí vstup zapojení pro nastavovací signál, hodinový vstup n -bitového posuvného registru tvoří současně čtvrtý vstup zapojení pro hodinové impulsy, výstup paměti požadavku obnovení je připojen na druhý vstup druhého dvouvstupového součinnového hradla a na spouštěcí vstup monostabilního klopného obvodu, jehož výstup je připojen na nulovací vstup n -bitového registru, výstup prvního bitu n -bitového posuvného registru je připojen na druhý vstup prvního dvouvstupového součinnového

hradla, jehož výstup je připojen na nastavovací vstup paměti požadavku obnovení, výstup n -tého bitu n -bitového posuvného registru je připojen na hodinový vstup paměti požadavku obnovení, výstup druhého dvouvstupového součinnového hradla je připojen na spouštěcí vstup časovacích obvodů obnovení informace, jejichž první výstup pro signál obnovení tvoří současně výstup zapojení a jejich druhý výstup je připojen na nulovací vstup paměti požadavku obnovení.

Výhodou zapojení pro obnovování informace v dynamické polovodičové paměti, podle vynálezu je, že jednoduchým způsobem odstraňuje nežádoucí asynchronismus a umožňuje přímý přístup do dynamické polovodičové paměti.

Příklad zapojení pro obnovování informace v dynamické polovodičové paměti podle vynálezu je znázorněn na připojených výkresech, na nichž

obr. 1 představuje blokové schéma zapojení,
obr. 2, 3 a 4 časové diagramy činnosti zapojení.

První vstup 51 druhého dvouvstupového součinnového hradla 5 tvoří současně první vstup 71 zapojení pro hradlovací signál, pro připojení na neznázorněný procesor. První vstup 41 prvního dvouvstupového součinnového hradla 4 tvoří současně druhý vstup 72 zapojení pro signál čtení nebo zápisu do paměti, pro připojení na procesor. Nastavovací vstup 21 šestibitového posuvného registru 2 tvoří současně třetí vstup 73 zapojení pro nastavovací signál, pro připojení na procesor. Hodinový vstup 25 šestibitového posuvného registru 2 tvoří současně čtvrtý vstup 74 zapojení pro hodinové impulsy, pro připojení na procesor. Jedničkový výstup 34 paměti 3 požadavku obnovení je připojen na druhý vstup 52 druhého dvouvstupového součinnového hradla 5 a na spouštěcí vstup 11 monostabilního klopného obvodu 1, jehož nulový výstup 12 je připojen na nulovací vstup 22 šestibitového posuvného registru 2. Výstup 23 prvního bitu šestibitového posuvného registru 2 je připojen na druhý vstup 42 prvního dvouvstupového součinnového hradla 4, jehož výstup 43 je připojen na nastavovací vstup 32 paměti 3 požadavku obnovení. Výstup 24 šestého bitu šestibitového posuvného registru 2 je připojen na hodinový vstup 31 paměti 3 požadavku obnovení. Výstup 53 druhého dvouvstupového součinnového hradla 5 je připojen na spouštěcí vstup 61 časovacích obvodů 6 obnovení informace, jejichž první výstup 64 pro signál obnovení tvoří současně výstup 071 zapoje-

ní pro připojení na neznázorněnou řídicí jednotku dynamické polovodičové paměti a jejich druhý výstup 62 je připojen na nulovací vstup 33 paměti 3 požadavku obnovení. V konkrétním případě je použito šestibitového posuvného registru. Je však možné použít i vícebitového posuvného registru.

V případě, že není požadován přímý přístup do dynamické polovodičové paměti s konstantní rychlostí dat, dochází k přidělování dynamické polovodičové paměti procesoru nahodile podle požadavku na čtení nebo zápis informace. Monostabilní klopný obvod 1 určuje základní dobu mezi dvěma obnoveními dynamické polovodičové paměti. Po ukončení činnosti tohoto obvodu se začne plnit šestibitový posuvný registr 2, a to synchronně s časovým zdrojem procesoru vlivem hodinových impulsů na hodinovém vstupu 25. Na výstupu 23 prvního bitu šestibitového posuvného registru 2 se objeví úroveň logické jedničky po dobu delší, než je doba jednoho cyklu synchronního přímého přístupu do dynamické polovodičové paměti. Po uplynutí této doby, to znamená po příchodu šesti hodinových impulsů na hodinový vstup 25 šestibitového posuvného registru 2 se objeví signál logické jedničky na výstupu 24 šestého bitu tohoto registru 2. Signálem na výstupu 24 šestého bitu šestibitového posuvného registru 2 se nastaví paměť 3 požadavku obnovení do stavu logické jedničky. Druhé dvouvstupové součinné hradlo 5 je otevřeno a signálem na spouštěcím vstupu 61 jsou uvedeny v činnost časovací obvody 6 obnovení informace. Současně je uveden v činnost monostabilní klopný obvod 1, který nuluje signálem, přicházejícím na nulovací vstup 22 šestibitového posuvného registru 2, tento registr 2. Po nastavení paměti 3 požadavku obnovení, je procesor informován o tom, že jeho následující požadavek na přístup do dynamické polovodičové paměti nebude uspokojen až do doby ukončení činnosti časovacích obvodů 6 obnovení informace. Během činnosti časovacích obvodů 6 obnovení informace je signálem, přicházejícím na nulovací vstup 33, vynulována paměť 3 požadavku obnovení. V případě, že během nenulového stavu šestibitového posuvného registru 2 vyžaduje procesor přidělení dynamické polovodičové paměti, je po tuto dobu přidělení první vstup 41 prvního dvouvstupového součinného hradla 4 nastaven do stavu logické jedničky a první vstup 51 druhého dvouvstupového součinného hradla 5 do stavu logické nuly. Prvním dvouvstupovým součinným hradlem 4 je paměť 3 požadavku obnovení nastavena do stavu logické jedničky.

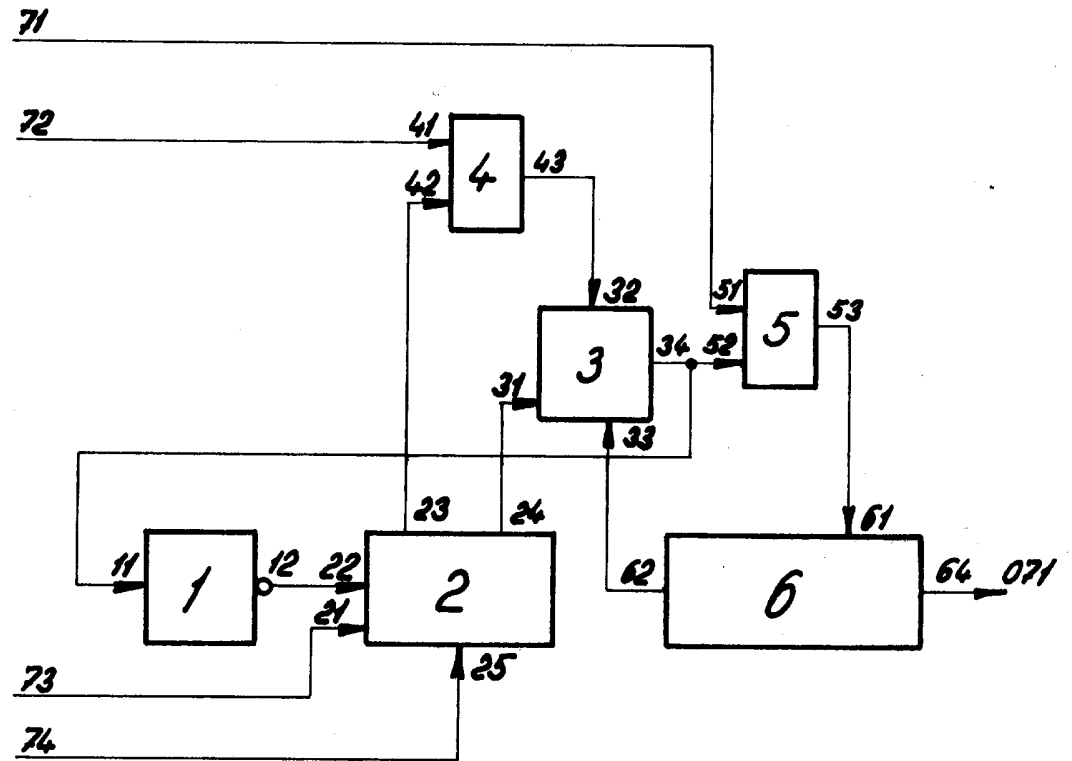
ky. Jedničkový výstup 34 paměti 3 požadavku obnovení je však hradlován druhým dvouvstupovým součinným hradlem 5 po celou dobu přidělení dynamické polovodičové paměti procesoru. Po uspokojení procesoru je první vstup 51 druhého dvouvstupového součinného hradla 5 nastaven do stavu logické jedničky a druhé dvouvstupové součinné hradlo 5 je otevřeno. Informace o nastavení paměti 3 požadavku obnovení se dostane na spouštěcí vstup 61 časovacích obvodů 6 obnovení informace a signálem obnovení na jejich výstupu 61 se provede obnovení informace v dynamické polovodičové paměti. Během přímého přístupu do dynamické polovodičové paměti synchronním způsobem nastává tento případ vždy, neboť počet bitů šestibitového posuvného registru 2 je zvolen tak, že nastavení jeho šestého bitu do stavu logické jedničky by nastalo za čas delší než doba jedné periody synchronního přístupu do dynamické polovodičové paměti. Obnovení informace v tomto případě, nastává vždy po uspokojení procesoru a přenos informace mezi dynamickou polovodičovou pamětí a jejím okolím je synchronní. Počet bitů posuvného registru 2 závisí na periodě signálu na hodinovém vstupu 25 a na délce jednoho cyklu synchronního přímého přístupu do dynamické polovodičové paměti. Obecně je tedy nutné zvolit počet bitů posuvného registru 2 tak, aby se informace logické jedničky posunula na výstup jeho posledního bitu za dobu delší, než je maximální doba jedné periody synchronního přístupu do dynamické polovodičové paměti. Činnost zapojení je dále zřejmá z časových diagramů dle obr. 2, 3 a 4, na nichž jsou uvedeny průběhy signálů na vybraných vstupech a výstupech některých bloků zapojení. Na obr. 2 je znázorněna situace, kdy procesor během činnosti šestibitového posuvného registru 2 nevyžaduje styk s operační dynamickou polovodičovou pamětí. V tomto případě nastane obnovení dynamické polovodičové paměti po nastavení šestého bitu šestibitového posuvného registru 2 do stavu logické jedničky. Tato situace nastane náhodně při normálním styku procesoru s dynamickou polovodičovou pamětí. Na obr. 3 a 4 je znázorněna situace, kdy k nastavení šestého bitu posuvného registru 2 do stavu logické jedničky nedojde, neboť dříve nastane cyklus dynamické polovodičové paměti vyžádaný procesorem. Obnovení se provede po ukončení tohoto styku. Tato situace nastane, vždy při režimu synchronního přístupu do dynamické polovodičové paměti a náhodně při normálním styku procesoru s dynamickou polovodičovou pamětí.

Zapojení pro obnovování informace v dynamické polovodičové paměti podle vynálezu, lze použít u operační paměti malých výpočetních prostředků s možností přímého přístupu do paměti.

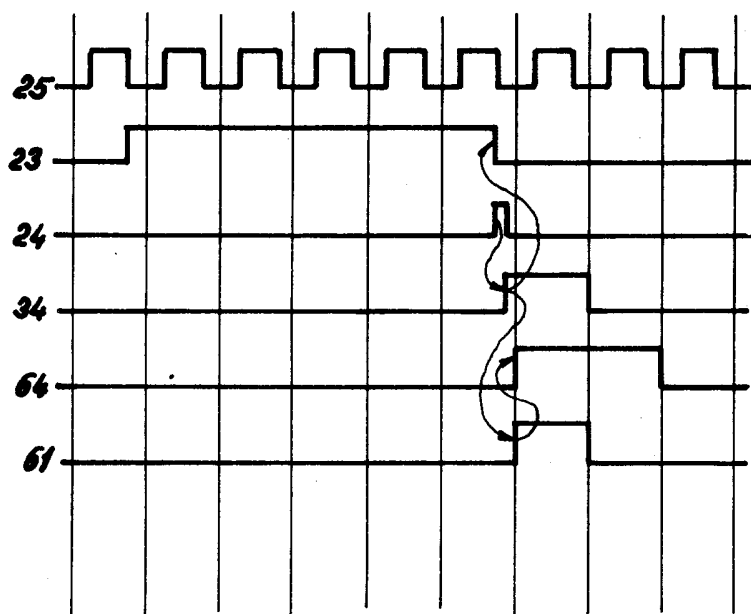
PŘEDMĚT VYNÁLEZU

227 145

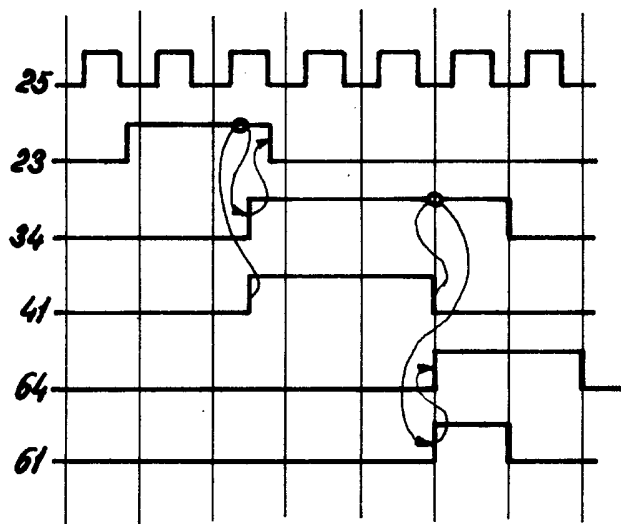
Zapojení pro obnovování informace v dynamické polovodičové paměti, s časovacími obvody obnovení informace, vyznačené tím, že první vstup (51) druhého dvouvstupového součinnového hradla (5) tvoří současně první vstup (71) zapojení pro hradlovací signál, první vstup (41) prvního dvouvstupového součinnového hradla (4) tvoří současně druhý vstup (72) zapojení pro signál čtení nebo zápisu do paměti, nastavovací vstup (21) n-bitového posuvného registru (2) tvoří současně třetí vstup (73) zapojení pro nastavovací signál, hodinový vstup (25) n-bitového posuvného registru (2) tvoří současně čtvrtý vstup (74) zapojení pro hodinové impulsy, výstup (34) paměti (3) požadavku obnovení je připojen na druhý vstup (52) druhého dvouvstupového součinnového hradla (5) a na spouštěcí vstup (11) monostabilního klopného obvodu (1), jehož výstup (12) je připojen na nulovací vstup (22) n-bitového posuvného registru (2), výstup (23) prvního bitu n-bitového posuvného registru (2) je připojen na druhý vstup (42) prvního dvouvstupového součinnového hradla (4), jehož výstup (43) je připojen na nastavovací vstup (32) paměti (3) požadavku obnovení, výstup (24) n-tého bitu n-bitového posuvného registru (2) je připojen na hodinový vstup (31) paměti (3) požadavku obnovení, výstup (53) druhého dvouvstupového součinnového hradla (5) je připojen na spouštěcí vstup (61) časovacích obvodů (6) obnovení informace, jejichž první výstup (64) pro signál obnovení tvoří současně výstup (071) zapojení a jejichž druhý výstup (62) je připojen na nulovací vstup (33) paměti (3) požadavku obnovení.



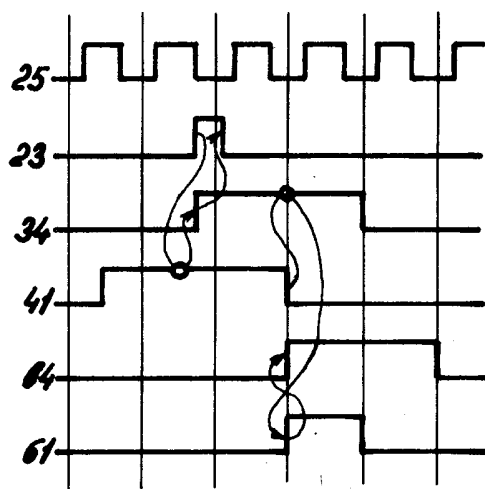
Obr. 1



Obr. 2



Obr. 3



Obr. 4

O P R A V E N K A

V popisech vynálezů k autorským osvědčením č. 224 101-224 150 je tisková chyba v označení čísla autorského osvědčení na stránkách popisu vynálezu.

Místo: 227 101 - 227 150
správně má být: 224 101 - 224 150

Na titulních stranách jsou čísla uvedena správně.

Tiskárna se omlouvá
