

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/28

H01L 21/3205



[12] 发明专利说明书

[21] ZL 专利号 98120147.4

[45] 授权公告日 2003 年 10 月 29 日

[11] 授权公告号 CN 1126151C

[22] 申请日 1998.10.9 [21] 申请号 98120147.4

[30] 优先权

[32] 1997.10.9 [33] JP [31] 277604/1997

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 松原义久 石上隆史 山田义明

绵贯真一

审查员 王 燕

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

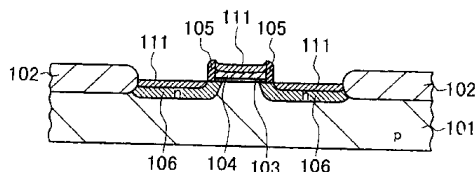
代理人 穆德骏

权利要求书 4 页 说明书 20 页 附图 13 页

[54] 发明名称 有硅化物层的半导体器件的制造方法

[57] 摘要

本发明提供了一种半导体器件制造方法，在一个硅区上形成一第一难熔金属薄膜。在其上形成第二难熔金属薄膜。第二难熔金属薄膜含有与第一难熔金属薄膜相同的难熔金属以及氮元素。第一和第二难熔金属薄膜在不含氮的保护气中被热处理，从而在硅区与第一难熔金属薄膜之间的界面上发生硅化反应而形成一个难熔金属硅化物层。对第二难熔金属薄膜的应力值进行设置，使其在硅化反应期间难熔金属硅化物层所发生的塑性变形不影响。



ISSN 1008-4274

1. 一种半导体器件制造方法，其特征在于包括如下步骤：

(a) 在一个硅区上形成一层第一难熔金属薄膜；

5 (b) 在所述第一难熔金属薄膜上形成一层第二难熔金属薄膜；

所述第二难熔金属薄膜包含与所述第一难熔金属薄膜相同的难熔金属以及氮元素；

将所述第二难熔金属薄膜的应力控制为一个特殊值或更低；及

10 (c) 在不含氮的保护气中对所述第一难熔金属薄膜和所述第二难熔金属薄膜进行热处理，由此在所述硅区和所述第一难熔金属薄膜之间的界面上，由于所述第一难熔金属薄膜与所述硅区发生硅化反应，而形成一个难熔金属硅化物层；

其中对所述第二难熔金属薄膜的所述应力的值进行设置，使得所述第二难熔金属薄膜不影响在步骤(c)中的硅化反应期间所述难熔金属硅化物层所发生的塑性变形。

15

2. 如权利要求 1 所述的方法，其特征在于所述第二难熔金属薄膜的所述应力的特殊值为 $3 \times 10^9 \text{ dyne/cm}^2$ 。

20 3. 如权利要求 1 所述的方法，其特征在于在步骤(c)中由于包含于所述第二难熔金属薄膜中的所述氮元素扩散进所述第一难熔金属薄膜之中，所述第一难熔金属薄膜被转化为第三难熔金属薄膜；

其中所述第三难熔金属薄膜含有与所述第一难熔金属薄膜相同的难熔金属及氮元素。

25

4. 如权利要求 3 所述的方法，另外包括如下步骤：

(d) 选择性地清除所述第一难熔金属薄膜和所述未参加反应的难熔金属薄膜以暴露出所述难熔金属硅化物层；

所述难熔金属硅化物层具有第一物相；及

30 (e) 热处理所述难熔金属硅化物层，使其通过发生物相转变而具有第二物相；

5. 如权利要求 1 所述的方法，其特征在于形成所述第二难熔金属薄膜的步骤(b)是在含有与所述第一难熔金属薄膜相同的难熔金属和氮的保护气中，利用能量密度为 2.5 W/cm^2 或低于 2.5 W/cm^2 的反应溅射

35

工艺来实现的。

5 6. 如权利要求 1 所述的方法，其特征在于形成所述第二难熔金属薄膜的步骤(b)是在含有与所述第一难熔金属薄膜相同的难熔金属和氮，压力为 8mTorr 或高于 8mTorr 的保护气中利用反应溅射工艺来实现的。

10 7. 如权利要求 1 所述的方法，其特征在于形成所述第二难熔金属薄膜的步骤(b)是利用在含有与所述第一难熔金属薄膜相同的难熔金属和氮的保护气中，在所述硅区的温度被保持在 400°C 或高于 400°C 的条件下利用反应溅射工艺来实现的。

15 8. 如权利要求 1 所述的方法，其特征在于在对所述第一和第二难熔金属薄膜进行热处理的步骤(c)中的所述不含氮的保护气是一种惰性气体或真空环境。

9. 如权利要求 1 所述的方法，其特征在于所述第一难熔金属薄膜为一层钛薄膜。

20 10. 如权利要求 1 所述的方法，其特征在于所述第一难熔金属薄膜为一层钛薄膜，而所述第二难熔金属薄膜为一层钛氮化物薄膜。

25 11. 一种半导体器件的制造方法，其特征在于包括如下步骤：
(a)选择性地在硅衬底的表面上形成一个隔离绝缘体，从而定义出一个器件区；
(b)在所述器件区中所述衬底的表面上形成一个栅绝缘体；
(c)在所述栅绝缘体上形成一个栅电极；
(d)在所述栅电极的每一侧处的所述衬底的表面上形成侧壁隔离层；
30 所述侧壁隔离层与所述栅电极的对应侧面接触；
(e)通过将一种杂质引入到所述衬底的所述器件区中，在所述栅电极的每一侧的所述衬底中形成源/漏区；
(f)与所述隔离绝缘体、所述绝缘侧壁隔离层，以及所述源/漏区相互接触地形成一层第一难熔金属薄膜；
35 (g)在所述第一难熔金属薄膜上形成一层第二难熔金属薄膜；
所述第二难熔金属薄膜含有与所述第一难熔金属薄膜相同的难熔

金属以及氮；

将所述第二难熔金属薄膜的应力控制为一个特殊值或更低；及

(h)在不含氮的保护气中对所述第一难熔金属薄膜和所述第二难熔金属薄膜进行热处理，由此在所述第一难熔金属薄膜与所述源/漏区之间的界面上形成一个难熔金属硅化物层；

其中对所述第二难熔金属薄膜的所述应力的值进行设置，使得所述第二难熔金属薄膜不影响在步骤(c)中的硅化反应期间所述难熔金属硅化物层所发生的塑性变形。

10 12. 如权利要求 11 所述的方法，其特征在于所述第二难熔金属薄膜的所述应力的特殊值为 3×10^9 dyne/cm²。

15 13. 如权利要求 11 所述的方法，其特征在于在步骤(h)中由于包含于所述第二难熔金属薄膜中的所述氮扩散进所述第一难熔金属薄膜之中，所述第一难熔金属薄膜被转化为第三难熔金属薄膜；

其中所述第三难熔金属薄膜含有与所述第一难熔金属薄膜相同的难熔金属及氮。

14. 如权利要求 11 所述的方法，另外包括如下步骤：

20 (i)选择性地清除所述第一难熔金属薄膜和所述未参加反应的难熔金属薄膜以暴露出所述难熔金属硅化物层；

所述难熔金属硅化物层具有第一物相；及

(j)热处理所述难熔金属硅化物层，使其通过发生物相转变而具有第二物相；

25 15. 如权利要求 11 所述的方法，其特征在于形成所述第二难熔金属薄膜的步骤(g)是利用在含有与所述第一难熔金属薄膜相同的难熔金属和氮的保护气中，利用能量密度为 2.5 W/cm^2 或低于 2.5 W/cm^2 的反应溅射工艺来实现的。

30 16. 如权利要求 11 所述的方法，其特征在于形成所述第二难熔金属薄膜的步骤(g)是在含有与所述第一难熔金属薄膜相同的难熔金属和氮，压力为 8mTorr 或高于 8mTorr 的保护气中利用反应溅射工艺来实现的。

35 17. 如权利要求 11 所述的方法，其特征在于形成所述第二难熔金

属薄膜的步骤(g)是在包含与所述第一难熔金属薄膜相同的难熔金属和氮的保护气中,在所述硅区的温度被保持在 400℃或高于 400℃的条件下利用反应溅射工艺来实现的。

5 18. 如权利要求 11 所述的方法,其特征在于在对所述第一和第二难熔金属薄膜进行热处理的步骤(h)中的所述不含氮的保护气是一种惰性气体或真空环境。

10 19. 如权利要求 11 所述的方法,其特征在于所述第一难熔金属薄膜为一层钛薄膜。

 20. 如权利要求 11 所述的方法,其特征在于所述第一难熔金属薄膜为一层钛薄膜而所述第二难熔金属薄膜为一层钛氮化物薄膜。

有硅化物层的半导体器件的制造方法

5 本发明涉及半导体器件的一种制造方法,更具体地说是涉及一种有诸如钛硅化物的金属硅化物层的半导体器件的制造方法,其中优选地应用了所谓的自对准硅化物(SALICIDE)工艺。

10 近年来,半导体器件变得越来越小,集成规模越来越高。在这种情况下,在 0.15 到 0.25 的 μm 设计规则下所设计的大量电子器件,诸如存储器或逻辑器件被集成在同一半导体芯片上。在这些高度集成化的器件中,通常所使用的是金属氧化物半导体场效应晶体管(MOSFET)。

15 为了适应不断发展的微型化和不断增长的集成趋势,迫切需要将 MOSFET 栅电极的长度及源/漏区的宽度降低。然而,栅电极长度和源/漏区宽度的降低将会使其电阻增加,从而延迟器件的操作速度。

20 因此,在如此微型化和集成化的电子器件中,流行的作法是在栅电极和源/漏区的表面区域中额外地形成硅化物层以降低其电阻。MOSFET 的这些硅化物层通常是利用所谓的“SALICIDE”工艺形成的。

图 1A 到 1E 所示为这种常规的制造方法的第一示例。

25 很明显在一个半导体衬底上形成并集成有大量的 MOSFET。然而,为了简化,在本说明书和附图中仅对这些 MOSFET 中的一个进行说明。

30 首先,如图 1A 所示,利用硅局部氧化(LOCOS)处理在一个多晶硅衬底 1101 的表面区域上选择性地形成隔离氧化物 1102,从而定义出一个其中用于形成一个 MOSFET 的器件区 1101A。将一种杂质离子注入进衬底 1101 中以形成沟道截断区,由此提高绝缘击穿电压。利用一次热氧化处理在器件区 1101A 中的衬底 1101 的整个暴露表面上形成一层二氧化硅(SiO_2)薄膜 1103。

35 随后,利用化学气相淀积(CVD)处理在整个衬底 1101 上方的 SiO_2

薄膜 1103 上淀积一层厚度大约为 150nm 多晶硅薄膜(未示出)。所形成的多晶硅薄膜随后被掺入一种诸如磷(P)的杂质以降低其电阻。电阻被降低的多晶硅薄膜随后被图形化成一个特殊的设计形状,从而在器件区 1101A 中的 SiO_2 薄膜上形成一个栅电极 1104。

5

利用 CVD 处理在整个衬底 1101 上淀积一层 SiO_2 薄膜(未示出)以覆盖多晶硅栅电极 1104, SiO_2 薄膜 1103 以及由 SiO_2 构成的隔离氧化物 1102。随后,利用各向异性腐蚀处理将所淀积的 SiO_2 薄膜, SiO_2 薄膜 1103 和隔离氧化物 1102 腐蚀掉,从而在栅电极 1104 的每一侧形成一对侧壁隔离层 1105。侧壁隔离层 1105 由 SiO_2 构成。在腐蚀处理的过程中,衬底 1101 的表面上用作源/漏区的位置没有被覆盖。所剩的 SiO_2 薄膜 1103 用作栅氧化物薄膜。栅电极 1104 位于所形成的栅氧化物薄膜 1103 之上。

10

接着,通过离子注入将一种诸如砷的杂质选择性地注入到衬底 1101 的器件区 1101A 中。随后对衬底 1101 进行一次温度为 800 到 1000 $^{\circ}\text{C}$ 的热处理,从而在器件区 1101A 中的栅电极 1104 的每一侧形成一对源/漏区 1106。该对源/漏区 1106 是以与栅电极 1104 和两个侧壁隔离层 1105 自对准的方式形成的。该阶段的状态如图 1A 所示。

15

20

在本步骤之后,利用溅射处理在整个衬底 1101 上淀积一层厚度大约为 50nm 的钛(Ti)薄膜,如图 1B 所示。随后利用激光退火装置对其上淀积有 Ti 薄膜 1107 的衬底 1101 在压强为大气压,温度为 600 到 650 $^{\circ}\text{C}$ 的氮气(N_2)保护气中进行第一热处理 30 到 60 秒钟。

25

因此,如图 1C 所示,在 Ti 薄膜 1107 与单晶硅源/漏区 1106 和多晶硅栅电极 1104 的界面的附近发生硅化反应,由此形成了钛硅化物(TiSi_x)层 1109,其中 x 大约等于 2。这些 TiSi_2 层 1109 处于具有相对较高的电阻率(大约为 $60\mu\Omega\cdot\text{cm}$)的 C-49 物相。在硅化反应的同时,由于保护气中所包含的氮原子扩散到 Ti 薄膜中, Ti 薄膜 1107 被氮化而形成一个钛氮化物(Ti_xN)薄膜 1107',其中 x 等于或大于 1(即 $x\geq 1$)。

30

接着,用氨水(NH_3)和过氧化氢(H_2O_2)的混和水溶液作为腐蚀剂,通过一次湿法腐蚀处理将未参加反应的 Ti_xN 薄膜 1107'除去。其结果是, TiSi_2 层 1109 被分别留在两个源/漏区 1106 和栅电极 1104 的表面区域上,如图 1D 所示。

35

另外, 利用激光退火装置对具有 TiSi_2 层 1109 的衬底 1101 在压强为大气压, 温度为 850°C 的氮气(N_2)保护气中进行第二热处理大约 60 秒钟。结果, 具有 C-49 物相的 TiSi_2 层 1109 被转变为具有相对较低的电阻率 $20\ \mu\ \Omega\cdot\text{cm}$ 的 C-54 物相的 TiSi_2 , 如图 1E 所示。

接下来将对形成具有 C-49 物相的 TiSi_2 薄膜 1109 的上述第一热处理为何要在氮气 N_2 保护气中进行的原因进行说明。

具体地说, 在 Ti 与 Si 的上述硅化反应中, Si 是作为一种扩散物质。因此, Si 原子不仅被引入栅电极 1104 和源/漏区 1106 中, 还由于其在此硅化反应处理过程中的扩散被引入到隔离氧化物 1102 中。如果扩散进隔离氧化物 1102 的这些 Si 原子与 Ti 发生反应, 则在隔离氧化物 1102 上将形成一个 TiSi_2 层, 由此降低了隔离氧化物 1102 的电气绝缘性能。这种在隔离氧化物 1102 上形成所不需要的 TiSi_2 层的现象称为“过度生长”。正是为了避免这种“过度生长”现象, 所以才在氮气 N_2 保护气中进行第一热处理以使 Ti 与 N 发生反应, 从而形成 Ti_xN 薄膜 1107’。

由于 Ti_xN 的反应温度低于 TiSi_2 的反应温度, 所以在硅化反应过程中隔离氧化物 1102 上的全部 Ti 薄膜 107 均被 Ti_xN 的生成反应所消耗掉。这意味着隔离氧化物 1102 上的 Ti 薄膜不与 Si 发生反应, 因而避免了在隔离氧化物 1102 上形成 TiSi_2 。这意味着其能够在两个源/漏区 1106 和栅电极 1104 以与栅电极 1104, 侧壁隔离层对 1105 和所需的隔离氧化物 1102 自对准的方式形成 C-49 物相的 TiSi_2 薄膜 1109。

图 2A 到 2F 所示为这种常规制造方法的第二示例, 其中避免了“过度生长”现象。本示例在对应于出版于 1997 年 7 月的日本未决专利出版物 Nos.9-186194 和 9-186195 的日本专利申请 No.7-303928 中被公开。

首先, 如图 2A 所示, 以与图 1A 到 1E 所示的第一示例相同的方式, 在多晶硅衬底 1101 的表面区域上形成隔离氧化物 1102 以定义出器件区 1101A。多晶硅栅电极 1104 被形成在穿过栅氧化物薄膜 1103 的衬底 1101 的表面上。在栅电极 1104 的每一侧衬底 1101 的表面上形成两个侧壁隔离层 1105。两个源/漏区 1106 被形成在器件区 1101A 中栅电极 1104 两侧的位置上。该阶段的状态如图 2A 所示。

接着,利用溅射处理在整个衬底 1101 上淀积一层厚度大约为 20nm 的 Ti 薄膜,如图 2B 所示。随后,利用溅射处理在所淀积的 Ti 薄膜 1107 上淀积厚度大约为 50nm 的 Ti_xN 薄膜 1108 并覆盖整个 Ti 薄膜 1107, 如图 2C 所示。

5

该步骤之后,在压强为大气压,温度为 700℃的氩气保护气中利用激光退火装置对其上淀积有 Ti 薄膜 1107 和 Ti_xN 薄膜 1108 的衬底 1101 进行第一热处理 30 秒钟。因此,如图 2D 所示,在 Ti 薄膜 1107 与两个源/漏区 1106 和栅电极 1104 界面的附近发生硅化反应,由此形成了 $TiSi_2$ 层 1109。这些 $TiSi_2$ 层 1109 处于具有大约 $60 \mu \Omega \cdot cm$ 的相对较高电阻率的 C-49 物相。

10

15

在硅化反应的同时,由于存在于上层的 Ti_xN 薄膜 1108 中的氮原子扩散到 Ti 薄膜中,使得由于发生氮化反应而将 Ti 薄膜 1107 转化为 Ti_xN 薄膜 1107'。

20

接着,用氨水(NH_3)和过氧化氢(H_2O_2)的混和水溶液作为腐蚀剂,通过湿法腐蚀处理将整个 Ti_xN 薄膜 1108 和未参加反应的 Ti_xN 薄膜 1107' 除去。其结果是,具有 C-49 物相的 $TiSi_2$ 层 1109 被留在两个源/漏区 1106 和栅电极 1104 的表面区域上,如图 2E 所示。

25

另外,利用激光退火装置对其上形成有 C-49 物相的 $TiSi_2$ 层 1109 的衬底 1101 在压强为大气压,温度为 800℃的氩气 Ar 保护气中进行第二热处理大约 10 秒钟。因此,具有 C-49 物相的 $TiSi_2$ 层 1109 被转化为具有相对较低电阻率 $20 \mu \Omega \cdot cm$ 的 C54-物相的 $TiSi_2$ 层,如图 2F 所示。

30

图 1A 到 1E 所示的常规制造方法的第一示例可以有效地以自对准方式形成 C54 物相的 $TiSi_2$ 层 1111。然而,其产生一个问题在于,当这些 $TiSi_2$ 层 1111 的厚度被降低大约 30nm 或更小时,这些层 1111 将不会按期望的那样形成。

35

具体地说,随着半导体器件微型化的不断发展,Ti 薄膜 1107 需要变得越来越薄。然而,发生于 Ti 薄膜 1107 中的氮化和硅化反应在第一热处理的过程中将会相互竞争。特别是将砷(As)掺入源/漏区 1106 和栅电极 1104 中时,硅化反应的速率将降低,而与此同时氮化反应的速率将增加。其结果是, $TiSi_2$ 层 1109 的厚度将变得极小。在极少数的情况

中，在 Ti 薄膜 1107 中将只发生氮化反应而没有 TiSi_2 层被形成。

另外，由于 TiSi_2 层 1109 是利用第一热处理在 N_2 气中形成的，所以接下来将对应用于 TiSi_2 层 1109 的物相转变的效果进行说明。

5

图 3 所示为 Ti 薄膜从 C-49 物相转变为 C-54 物相时，物相转变温度随 Ti 薄膜 1107 的厚度变化的关系。从图 3 中可见，当 Ti 薄膜 1107 的厚度大约为 30nm 或更小时，物相转变温度将突然升高，这是由于存在于 Ti 薄膜 1107 中的 N 的浓度不断增加而发生氮化反应所引起的。因此，需要将用于降低 C-49 物相 TiSi_2 层 1109 的电阻的第二热处理的温度设置得更高。第二热处理的高温对源/漏区 1106 有负面的影响，从而降低了半导体器件(即 MOSFET)的性能。另外，这个较高温度降低了 TiSi_2 的凝结反应的温度裕度。

10

另一方面，图 2A 到 2F 所示的常规制造方法的第二示例可在抑制 N 元素扩散的同时有效地激励硅化反应。因此，第一示例中的上述问题将被解决。

15

具体地说，在第二示例中，如上所述，第一热处理是在 Ar 气中进行的。因此，N 原子从 Ti_xN 薄膜 1108 中扩散到 Ti 薄膜 1107 中，使得 Ti_xN 薄膜 1108 中的 N 的浓度变低。而且，N 原子扩散进入 Ti 薄膜的深度也变得比图 1A 到 1E 所示第一示例的情况中的深度要浅。换句话说，N 原子的扩散行为被有效地抑制了。

20

由于 N 原子到 Ti 薄膜 1107 的扩散得到了抑制，Ti 薄膜 1107 与源/漏区 1106 接触的底侧上的 Ti 的氮化反应被抑制。因此，即使 Ti 薄膜的厚度被降低到大约 30nm 或更小，也会在 Ti 薄膜 1107 的底侧上发生所需要的硅化反应，从而形成了具有满意厚度的硅化物层 1109。

25

然而根据图 2A 到 2F 所示的常规制造方法的第二示例，由于 Ti_xN 薄膜 1108 被淀积在 Ti 薄膜 1107 之上而存在如下的问题。

30

具体地说，由于第一热处理是在 Ti_xN 薄膜 1108 形成之后进行的，在该热处理的过程中 Ti_xN 薄膜 1108 容易被烧结。其结果是， Ti_xN 薄膜 1108 容易具有较高的应力和较高的密度。在此情况中，尽管通过使用 NH_3 和 H_2O_2 的混和水溶液的湿法腐蚀处理对 Ti 薄膜 1107 进行了清

35

除，但在同样的腐蚀处理中将难于将烧结的 Ti_xN 薄膜清除掉。

5 为了解决腐蚀中的困难，可以将 Ti_xN 薄膜 1108 过度腐蚀以使其在上述的湿法腐蚀处理中被完全地腐蚀掉，或可以在湿法腐蚀处理之后通过附加的干法腐蚀处理将其腐蚀掉。然而在这两种情况中，其均会产生一个问题在于，在过度腐蚀或附加的干法腐蚀处理的过程中，由于 $TiSi_2$ 和 Ti_xN 之间的腐蚀区分度较低，将会使下层的 $TiSi_2$ 层 1109 很容易地被腐蚀掉。

10 因此，所生成的具有 C-54 物相的 $TiSi_2$ 层 1111 的薄膜电阻将会发生剧烈地波动，同时降低 $TiSi_2$ 层 1111 的电阻的目的将变得难于实现。

15 而且，如果在一个由一个绝缘体所包围的 Si 区上形成有一个 Ti 薄膜，将会由于发生硅化反应而在靠近 Ti 薄膜与该 Si 区之间界面的地方形成一个 $TiSi_2$ 层。在此情况下，所形成的 $TiSi_2$ 层将容易随着硅化反应的进行而从其初始水平面陷入到 Si 区中。这种沉陷现象是由于存在于 Si 区中的 Si 原子扩散到 Ti 薄膜中所引起的。由于 $TiSi_2$ 层在硅化反应的过程中的沉陷行为，Ti 薄膜自身将被塑性变形。

20 如果 Ti_xN 薄膜位于 Ti 膜之上，则 Ti_xN 薄膜中将会发生塑性变形，并且随着 $TiSi_2$ 层的沉陷现象的不断发展， Ti_xN 的变形也将不断增加。

25 如果 Si 区具有一个细长的形状且宽度又较小如 $0.5\mu m$ 或更小(即一个条纹形状)时，则由环绕四周的绝缘体所支撑的 Si 区的跨度将比较短。因此，该 Si 区变得难于被塑性变形。

30 位于细长 Si 区上的 Ti_xN 薄膜将使 Si 区难于被 Ti_xN 薄膜的应力值塑性变形。因此，硅化反应的速率变得比 Si 区没有一个细长形状的情况中的速率要低。这意味着与硅化反应竞争的氮化反应将变得显著。因 $TiSi_2$ 层将难于被形成或根本就没有 $TiSi_2$ 层被形成。

如上所述，尽管图 2A 到 2F 所示的第二示例能够解决 $TiSi_2$ 层简单变薄的问题，其不适用于薄且细长的 Si 区的硅化。

35 因此，本发明的一个目的便是提供半导体器件的一种制造方法，其可以在防止过度生长现象的同时还能够形成一个薄且细长的难熔金属

硅化物层。

5 本发明的另一个目的是提供半导体器件的一种制造方法,即使难熔金属硅化物层是薄且细长的,其也可以形成一个具有均匀厚度的难熔金属硅化物层。

10 本发明的再一个目的是提供半导体器件的一种制造方法,其能够防止带有一个薄且细长的难熔金属硅化物层的半导体器件的性能和特性的降低。

从接下来的说明中,对于那些技术熟练者来说,上述和其它没有具体提及的目的将变得显而易见。

15 根据本发明的第一方面的半导体器件的制造方法由如下的步骤(a)到(c)组成:

在步骤(a)中,在一个硅区上形成一层第一难熔金属薄膜;

在步骤(b)中,在第一难熔金属薄膜上形成一层第二难熔金属薄膜。第二难熔金属薄膜含有与第一难熔金属薄膜相同的难熔金属和氮元素。第二难熔金属薄膜的应力被控制为一个特殊值或更低;

20 在步骤(c)中,在不含氮的保护气中对第一难熔金属薄膜和第二难熔金属薄膜进行热处理,由此在硅区和第一难熔金属薄膜之间的界面上由于第一难熔金属薄膜与硅区发生硅化反应而形成一个难熔金属硅化物层。

25 对第二难熔金属薄膜的应力值进行设置,使得在步骤(c)中第二难熔金属薄膜不会对在硅化反应期间难熔金属硅化物层所发生的塑性变形施加影响。

30 利用根据本发明的第一方面的半导体器件制造方法,在步骤(a)中在硅区上形成第一难熔金属薄膜之后,在步骤(b)中将在第一难熔金属薄膜上形成含有与第一难熔金属薄膜相同的难熔金属和氮元素的第二难熔金属薄膜。接着,在不含氮的保护气中对第一和第二难熔金属薄膜进行热处理,由此在硅区和第一难熔金属薄膜之间的界面上由于第一难熔金属薄膜与硅区发生硅化反应而形成一个难熔金属硅化物层。

35 第二难熔金属薄膜的应力值被控制为特殊值或更低,使得在步骤(c)

中第二难熔金属薄膜不会对在硅化反应期间难熔金属硅化物层所发生塑性变形施加影响。

5 因此，由于对第二难熔金属薄膜的应力如上所述地进行控制，在硅化反应期间难熔金属硅化物层所发生的塑性变形没有第二难熔金属薄膜的“贡献”。这意味着由于第二难熔金属薄膜的存在，硅化反应的速率将不会和难于降低。

10 其结果是，即使硅化物层的厚度大约为 30nm 或小于 30nm 而宽度大约为 $0.5\ \mu\text{m}$ 或小于 $0.5\ \mu\text{m}$ 时，也能够硅区上形成一个薄且细长的难熔金属硅化物层。

15 另外，不需要附加的腐蚀处理来清除第二难熔金属薄膜，同时硅化反应的速率没有被降低或难于被降低。因此，即使难熔金属硅化物层是薄且细长的，该硅化物层也会具有均匀的厚度。

20 另外，由于步骤(c)中第一和第二难熔金属薄膜的热处理是在不含氮元素的保护气中进行的，因此即使难熔金属硅化物层的厚度小到 30nm 或小于 30nm，引起难熔金属硅化物层的物相转变的物相转变温度也不会升高。

因此，通过用于物相转变的热处理防止了半导体器件的性能和特性的降低。

25 另外，在步骤(b)中在第一难熔金属薄膜上形成含有氮的第二难熔金属薄膜后，在步骤(c)中在不含氮的保护气中对第一和第二难熔金属薄膜进行热处理，由此在硅区和第一难熔金属薄膜之间的界面处形成了难熔金属硅化物层。因此，氮原子从第二难熔金属薄膜(而不是从保护气)中扩散进第一难熔金属薄膜中，从而在步骤(c)中将第一难熔金属薄膜氮化。因此，位于硅区外测的一个绝缘体上的难熔金属硅化物层的过度生长现象将被避免。

30

35 在根据本发明的第一方面的方法的一个优选实施例中，第二难熔金属薄膜的应力的具体值为 $3 \times 10^9\ \text{dyne/cm}^2$ 。该值可确保其获得本发明的这些优点。

在根据本发明的第一方面的另一个优选实施例中，在步骤(c)中，由于第二难熔金属薄膜中所包含的氮扩散进第一难熔金属薄膜中，第一难熔金属薄膜被转化为一层第三难熔金属薄膜。该第三难熔金属薄膜含有与第一难熔金属薄膜相同的难熔金属。在此实施例中，可有效地获得本发明的优点。

在此情况中，其优选地提供如下的附加步骤(d)和(e)。

步骤(d)中，第一难熔金属薄膜和未参加反应的第三难熔金属薄膜被选择性地清除以暴露出难熔金属硅化物层。该难熔金属硅化物层具有第一物相。

步骤(e)中，对该难熔金属硅化物层进行热处理使其由于发生物相转变而具有第二物相。

在根据本发明第一方面的方法的另一个实施例中，形成第二难熔金属薄膜的步骤(b)是在含有与第一难熔金属薄膜相同的金属元素和氮元素的保护气中，利用能量密度为 $2.5\text{W}/\text{cm}^2$ 或低于 $2.5\text{W}/\text{cm}^2$ 的一次反应溅射处理来进行的。

除了使溅射能量密度为 $2.5\text{W}/\text{cm}^2$ 或低于 $2.5\text{W}/\text{cm}^2$ ，反应溅射处理还可以在压强为 8mTorr 或高于 8mTorr 的，含有与第一难熔金属薄膜相同的难熔金属和氮气的保护气中进行，或在硅区温度被保持在 400°C 或高于 400°C 的条件下进行。

在根据本发明第一方面的方法的另一优选实施例中，步骤(c)中用于对第一和第二难熔金属薄膜进行热处理的不含氮的保护气为一种惰性气体或真空环境。

为了有效地获得本发明的优点，其最优选的是用一层钛薄膜作为第一难熔金属薄膜，而用一层钛氮化物薄膜作为第二难熔金属薄膜。

根据本发明的第二方面的半导体器件制造方法包括如下步骤(a)到(g)：

步骤(a)中，一个隔离绝缘体被选择性地形成在一个硅衬底的表面上，由此定义出一个器件区。

步骤(b)中, 一个栅绝缘体被形成在器件区中的衬底表面上。

步骤(c)中, 一个栅电极被形成在栅绝缘体上。

步骤(d)中, 绝缘侧壁隔离层被形成在栅电极的每一侧的衬底表面上, 该侧壁隔离层与该栅电极的相应侧面接触。

5 步骤(e)中, 通过将一种杂质引入到衬底的器件区中, 在栅电极的每一侧的衬底中形成源/漏区。

步骤(f)中, 与隔离绝缘体, 绝缘侧壁隔离层和源/漏区相接触地形成一层第一难熔金属薄膜。

10 步骤(g)中, 在第一难熔金属薄膜上形成一层第二难熔金属薄膜。第二难熔金属薄膜含有与第一难熔金属薄膜相同的难熔金属和氮。第二难熔金属薄膜的应力被控制为一个特殊值或更低。

步骤(h)中, 在不含氮的保护气中对第一难熔金属薄膜和第二难熔金属薄膜进行热处理, 由此在第一难熔金属薄膜与源/漏区的界面处形成了一个难熔金属硅化物层。

15

对第二难熔金属薄膜的应力值进行设置, 使得在步骤(c)中第二难熔金属薄膜对在硅化反应期间难熔金属硅化物层所发生的塑性变形不施加影响。

20

根据本发明的第二方面的半导体器件制造方法具有与根据本发明的第一方面的方法相同的优点, 这是因为根据本发明的第二方面的方法相当于将根据本发明的第一方面的方法应用于一个 MOSFET 的制造所获得的方法。

25

在根据本发明的第二方面的方法的一个优选实施例中, 第二难熔金属薄膜的应力的具体值为 3×10^9 dyne/cm²。该值可确保获得本发明的这些优点。

30

在根据本发明的第二方面的另一优选实施例中, 在步骤(h)中, 由于第二难熔金属薄膜中所包含的氮扩散进第一难熔金属薄膜, 第一难熔金属薄膜被转化为一层第三难熔金属薄膜。该第三难熔金属薄膜含有与第一难熔金属薄膜相同的难熔金属。在此实施例中, 可有效地获得本发明的优点。

35

在此情况中, 其优选地提供如下的附加步骤(i)和(j)。

步骤(i)中,第一难熔金属薄膜和未参加反应的第三难熔金属薄膜被选择性地清除以暴露出难熔金属硅化物层。该难熔金属硅化物层具有第一物相。

5 步骤(j)中,对该难熔金属硅化物层进行热处理使其由于发生物相转变而具有第二物相。

10 在根据本发明的第二方面的方法的另一个实施例中,形成第二难熔金属薄膜的步骤(g)是在含有与第一难熔金属薄膜相同的金属元素和氮元素的保护气中,利用能量密度为 2.5 W/cm^2 或低于 2.5 W/cm^2 的一个反应溅射处理来进行的。

15 除了使溅射能量密度为 2.5 W/cm^2 或低于 2.5 W/cm^2 , 反应溅射处理还可以在压强为 8mTorr 或高于 8mTorr , 含有与第一难熔金属薄膜相同的难熔金属和氮气的保护气中进行,或在硅区温度被保持在 400°C 或高于 400°C 的条件下进行。

20 在根据本发明的第二方面的方法的另外优选实施例中,步骤(h)中用于对第一和第二难熔金属薄膜进行热处理的不含氮元素的保护气为一种惰性气体或真空环境。

为了最有效地获得本发明的优点,其最优选地用一层钛薄膜作为第一难熔金属薄膜,而用一层钛氮化物薄膜作为第二难熔金属薄膜。

25 为了使本发明更易于被实施,现在将参照附图对其进行详细地说明。

图 1A 到 1E 所示分别为常规半导体器件制造方法的第一示例的各处理步骤的部分剖面简图。

30 图 2A 到 2F 所示分别为常规半导体器件制造方法的第二示例的各处理步骤的部分剖面简图。

图 3 所示为钛硅化物的物相转变温度与其厚度之间的关系图。

图 4A 到 4F 所示分别为根据本发明的第一实施例的半导体器件制造方法的各处理步骤的部分剖面简图。

35 图 5 所示为在根据第一实施例的制造方法中钛氮化物薄膜的压缩应力与溅射能量或溅射能量密度之间的关系图。

图 6 所示为在根据第一实施例的制造方法中钛氮化物薄膜的压缩腐蚀速率与溅射能量或溅射能量密度之间的关系图。

图 7 所示为在根据第一实施例的制造方法中钛氮化物层的薄膜电阻与溅射能量或溅射能量密度之间的关系图。

5 图 8A 到 8C 所示分别为根据本发明的第二实施例的半导体器件制造方法的各处理步骤的部分剖面简图。

图 9 所示为在根据第二实施例的制造方法中钛氮化物薄膜的压缩应力与溅射能量或溅射能量密度之间的关系图。

10 图 10A 到 10C 所示分别为根据本发明的第三实施例的半导体器件制造方法的各处理步骤的部分剖面简图。

图 11 所示为在根据第三实施例的制造方法中钛氮化物薄膜的压缩应力与溅射能量或溅射能量密度之间的关系图。

接下来将参照附图对本发明的优选实施例进行详细说明。

15

第一实施例

图 4A 到图 4F 所示为根据本发明的第一实施例，用于具有一种 MOSFET 的半导体器件的制造方法的示意图。

20

在本方法中，首先，如图 4A 所示，利用 LOCOS 处理在一个 p 型多晶硅衬底 101 表面区域上选择性地形成一个由 SiO₂ 构成的隔离氧化物 102，由此定义出一个其中用于形成 MOSFET 的器件区 101A。一种杂质被选择性地离子注入进衬底 101 中以形成沟道截断区，由此提高绝缘击穿电压。

25

除了 p 型衬底 101 之外，也可以使用一个具有一种 p 型阱的 n 型多晶硅衬底。

30 通过一次热氧化处理在器件区 101A 中的衬底 101 的整个暴露表面上形成一层厚度大约为 8nm 的 SiO₂ 薄膜 103。

35

随后，利用 CVD 处理在整个衬底 101 的 SiO₂ 薄膜 103 上淀积厚度大约为 100nm 的一层多晶 Si（即多晶硅）薄膜（未示出）。所形成的多晶硅薄膜被掺入一种诸如磷（P）的杂质以降低其电阻。电阻被降低的多晶硅薄膜随后被摹制一个具体设计的形状，由此在器件区 101A 中的 SiO₂ 薄膜 103 上形成一个栅电极 104。

利用 CVD 处理, 在整个衬底 101 上淀积一层厚度大约为 100nm 的 SiO₂ 薄膜 (未示出) 以覆盖多晶硅栅电极 104, SiO₂ 薄膜 103 和由 SiO₂ 构成的隔离氧化物 102。随后, 利用各向异性腐蚀处理将所淀积的 SiO₂ 薄膜, SiO₂ 薄膜 103 和隔离氧化物 102 腐蚀掉, 由此在栅电极 104 的每侧处的衬底 101 的表面上形成一对侧壁隔离层。由 SiO₂ 构成的这两个侧壁隔离层 105 与栅电极 104 的对应侧面相互接触。

在该各向异性腐蚀处理的过程中, 衬底 101 上对应于两个源/漏区位置上的表面被清除掉。所剩的 SiO₂ 薄膜 103 被用作一个栅氧化物薄膜。栅电极 104 位于所形成的栅氧化物薄膜之上。

接着, 利用离子注入处理将一种诸如砷的 n 型杂质选择性地注入到衬底 101 的器件区 101A 中。n 型杂质的剂量被设置为, 例如 1×10^{15} atoms/cm²。随后对衬底 101 进行温度大约为 900°C 的热处理。从而在器件区 101 中栅电极 104 的每一侧形成了一对源/漏区 106。所形成的两个源/漏区 106 自对准于栅电极 104, 侧壁隔离层对 105, 以及隔离氧化物 102。本阶段的状态如图 4A 所示。

如图 4B 所示, 在本步骤形成源/漏区 106 之后, 利用反应溅射处理在整个衬底 101 上淀积一层厚度大约为 20nm 的钛 (Ti) 薄膜 107。该溅射处理是通过 Ti 靶和氩气 (Ar) 保护气来进行的。

在 Ti 薄膜 107 上, 利用反应溅射处理在整个衬底 101 上淀积一层厚度大约为 20nm 的钛氮化物 (Ti_xN) 薄膜 108a, 如图 4C 所示, 其中 $X \geq 1$ 。该溅射处理是在如下的条件下进行的。

- (i) 靶: 直径为 30Cm 的 Ti 靶
- (ii) 保护气: Ar 和 N₂ 的混和气体
- (iii) Ar 和 N₂ 的流速: 相等
- (iv) 大气压强: 3mTorr
- (v) 衬底温度: 大约 200°C
- (vi) 溅射能量: 0.5 到 1.5kW

其优选地将溅射能量设置为最低值 0.5kW, 其原因由图 5 中可见。

图 5 所示为在第一实施例中 Ti_xN 薄膜 108a 的压缩应力与溅射能量或溅射能量密度之间的关系图。正如从图 5 可看出的, Ti_xN 薄膜 108a 的压缩应力随着溅射能量和溅射能量密度的降低而降低。这意味着随着溅射能量或溅射能量密度的降低不仅 Ti_xN 薄膜 108a 的溅射速率降低, 其压缩应力也随之降低。 Ti_xN 薄膜 108a 的压缩应力单调地从 $4.5kW (= 6.3W/cm^2)$ 的 8.5×10^9 dyne/cm² 降低到 $0.5kW (= 0.7W/cm^2)$ 的 0.5×10^{19} dyne/cm²。在 $1.5kW (= 2.1W/cm^2)$ 处压缩应力为 3.0×10^9 dyne/cm²。

接着, 利用激光退火装置在 $700^\circ C$ 的 Ar 气中对其上以淀积有 Ti 和 Ti_xN 薄膜 107 和 108a 的衬底 101 进行一次 30 秒钟的第一热处理。因此, 如图 4D 所示, 在 Ti 薄膜 107 与多晶硅源/漏区 106 和多晶硅栅电极 104 的界面附近将发生硅化反应, 由此形成钛硅化物 ($TiSi_2$) 层 109。这些 $TiSi_2$ 层 109 处于具有大约等于 $60 \mu \Omega \cdot cm$ 的相对较高电阻率的 C-49 物相。

在第一热处理的过程中, Ti_xN 薄膜 108a 的压缩应力将变为拉伸应力。第一热处理之后的 Ti_xN 薄膜 108a 的拉伸应力随着溅射能量的降低而变得更低。Ti 的硅化反应是一个体积减小的反应, 因此 Ti_xN 薄膜 108a 拉伸应力增加得越高, 硅化反应的速率降低的越低。因此, 其优选地将溅射能量密度设置为一个尽可能低的值, 以使 Ti_xN 薄膜 108a 的最终拉伸应力变得尽可能的低。

在硅化反应的同时, 存在于上层 Ti_xN 薄膜 108a 中的 N 原子被扩散进 Ti 薄膜 107 中, 因此由于发生氮化反应而将 Ti 薄膜 107 转化为一层 Ti_xN 薄膜 107'。由于 Ti_xN 薄膜 107' 的存在, 使得在隔离氧化物 102 上将不会生长出 $TiSi_2$ 层 109, 其意味着避免了过度生长现象的发生。

接着, 利用氨水 (NH_3) 和过氧化氢 (H_2O_2) 的混和水溶液作为腐蚀剂, 通过一次湿法腐蚀处理将整个 Ti_xN 薄膜 108a 和未参加反应的 Ti_xN 薄膜 107' 清除掉。其结果是, 如图 4E 所示, $TiSi_2$ 层 109 被分别留在源/漏区 106 和栅电极 104 的表面区域中。

图 6 所示为在该湿法腐蚀处理中 Ti_xN 薄膜 108a 的腐蚀速率与溅射能量或溅射能量密度之间的关系图。正如由图 6 可看出的, 当溅射能量为 $2kW$ 或溅射能量密度为 $2.8W/cm^2$ 或更高时, Ti_xN 薄膜 108a 的腐蚀速率看不出大的变化。然而, 当溅射能量为 $1.5kW$ 或溅射能量密度为

2.1W/cm² 或更低时, Ti_xN 薄膜 108a 的腐蚀速率却增加为大约两倍。这意味着如果对 Ti_xN 薄膜 108a 的溅射处理是在溅射能量密度等于 2.1 kW/cm² 或更低的情况下进行的, Ti_xN 薄膜 108a 的腐蚀速率将会过高。在 2.1 kW/cm² 和 2.8kW/cm² 之间似乎存在一个临界点。发明者发现在大约 2.5kW/cm² 处存在一个临界点。

接下来将考虑为何 Ti_xN 薄膜 108a 会有如此高的腐蚀速率。

由于溅射能量密度较低, 从 Ti 靶溅射出来的 Ti 粒子的动能将变低, 其降低了 Ti_xN 薄膜 108a 的结合能量。这个较低的结合能量将导致一个较低的密度和大量空洞, 从而使得 Ti_xN 薄膜 108a 具有较低的应力和较高的腐蚀速率。

Ti_xN 薄膜 108a 应力的降低等价于其厚度的降低, 其将有助于 TiSi₂ 层 109 在硅化反应期间发生沉陷行为并防止硅化反应的速率降低。

在根据本发明的第一实施例的方法中, 溅射能量等于 0.5kW, 即溅射能量密度等于 0.7W/cm²。因此, Ti_xN 薄膜 108a 的腐蚀速率大约与 40angstroms/cm² 一样高, 其大约等于在 2.1W/cm² 溅射能量密度处的腐蚀速率的两倍。因此可以优选地获得本发明的优点。

在湿法腐蚀处理之后, 利用激光退火装置在 800°C 的 Ar 气中对其上已形成有 SiN_x 层 109 的衬底 101 进行一次 10 秒钟的第二热处理。因此, 如图 4F 所示, 具有 C-49 物相的 TiSi₂ 层 109 被转变为具有电阻率大约为相对较低的 20 μΩ·cm 的 C54 物相的 TiSi₂ 层 111。

图 7 所示为具有 C-54 物相的 TiSi₂ 层 111 的薄膜电阻与溅射能量或溅射能量密度之间的关系图。正如由图 7 可看出的, 当对 Ti_xN 薄膜 108a 的溅射处理是在溅射能量密度等于 2.1W/cm² 或更低的情况下进行时, 其中 Ti_xN 薄膜 108a 的腐蚀速率较高, TiSi₂ 层 111 的电气薄膜电阻将非常低。

如上所述, 利用根据本发明的第一实施例的半导体器件制造方法, 在衬底 101 上形成 Ti 薄膜 107 之后, Ti_xN 薄膜 108a 被形成在 Ti 薄膜 107 上。接着, Ti 和 Ti_xN 薄膜 107 和 108a 在 Ar 气中被热处理, 从而由于 Ti 薄膜 107 发生硅化反应而在源/漏区 106 和栅电极 104 之间的界

面处形成 TiSi_2 层 109。

对 Ti_xN 薄膜 108a 的应力值进行设置, 使得 Ti_xN 薄膜 108a 在硅化反应期间不对 TiSi_2 层 109 的塑性变形施加影响。

5

因此, 由于 Ti_xN 薄膜 108a 的应力较低, 在硅化反应期间 TiSi_2 层 109 所发生的塑性变形没有难熔金属薄膜的“贡献”。这意味着由于存在着 Ti_xN 薄膜 108a, 硅化反应的速率将不会或难于被降低。

10

其结果是, 即使 TiSi_2 层 109 厚度较小, 大约为 30nm 或更低; 宽度较窄, 大约为 $0.5\ \mu\text{m}$ 或更少, 其也能够被形成在源/漏区 106 和栅电极 104 上。

15

另外, 不需要附加的腐蚀处理以清除 Ti_xN 薄膜 108, 同时硅化反应的速率不会或难于被降低。因此, 即使 TiSi_2 层 109 是薄且细长的, 其也能够具有均匀的厚度。

20

而且, 由于对 Ti_xN 薄膜 107 和 108a 的第一热处理是在 Ar 气中进行的, 因此即使 TiSi_2 层 109 的厚度小到大约 30nm 或更低, 引起 TiSi_2 层 109 的塑性变形的塑性变形温度也不会升高。

因此, 用于物相转变的热处理避免了半导体器件的性能和特性的降低。

25

另外, 在在 Ti 薄膜上形成 Ti_xN 薄膜 108a 之后, Ti 薄膜和 Ti_xN 薄膜 107 和 108a 在 Ar 气中被热处理, 从而形成 TiSi_2 层 109。因此, 氮原子从 Ti_xN 薄膜 108a (而不是保护气) 中扩散进 Ti 薄膜 107 中, 从而在此处理中将 Ti 薄膜氮化。因此, 将避免隔离氧化物 102 上的 TiSi_2 层 109 的过度生长现象。

30

第二实施例

图 8A 到图 8C 所示为根据本发明的第二实施例的用于具有一种 MOSFET 的半导体器件的制造方法的示意图。

35

除了在对 Ti_xN 薄膜 108a 的溅射处理中是对溅射压强进行控制而不是对溅射能量密度进行控制外, 根据本发明的第二实施例的方法包括与

根据本发明的第一实施例的方法相同的处理步骤。因此，出于简化的目的，在此通过在 8A 到 8C 中相同元件标注相同的参考字符对与第一实施例相同的处理步骤的说明进行了省略。

5 首先，以与第一实施例相同的方式，在衬底 101 中，上或上方形成隔离氧化物 102，栅氧化物薄膜 103，栅电极 104，绝缘侧壁隔离层 105 及源/漏区 106。随后，利用反应溅射处理以与第一实施例相同的方式在整个衬底 101 的上方淀积一层厚度大约为 20nm 的 Ti 薄膜 107。本阶段的状态如图 8A 所示。

10

接着，如图 8B 所示，利用如下条件下的反应溅射处理在整个衬底 101 上淀积一层厚度大约为 20nm 的 Ti_xN 薄膜 108a。

(i) 靶：直径为 30cm 的 Ti 靶

(ii) 保护气：Ar 和 N_2 的混和气体

15

(iii) Ar 和 N_2 的流速：相等

(iv) 大气压强：3mTorr 到 12mTorr

(v) 衬底温度：大约 200°C

(vi) 溅射能量：4.5kW ($\approx 6.4W/cm^2$)

20

通过在保持 Ar 气和 N_2 的各自流速相等的情况下改变 Ar 和 N_2 混和气体的总流速来改变溅射压强。

其优选地将溅射压强设置为大约 12mTorr，其原因可从图 9 中看出。

25

图 9 所示为在第二实施例中 Ti_xN 薄膜 108b 的压缩应力与溅射压强之间的关系图。正如从图 9 可看出的， Ti_xN 薄膜 108b 的压缩应力随着溅射压强的增加而降低。 Ti_xN 薄膜 108b 的压缩应力单调地从 3mTorr 的 8.0×10^9 dyne/cm² 降低到 12mTorr 的 0.5×10^9 dyne/cm²。在 8mTorr 处压缩应力为 3.0×10^9 dyne/cm²。

30

接下来将考虑为何 Ti_xN 薄膜 108b 具有较低的压缩应力的原因。

35 由于溅射压强较高，溅射电压将变得很低，其将从 Ti 靶溅射出来的 Ti 粒子的动能降低。这等价于在第一实施例中溅射能量和溅射能量密度的降低。因此 Ti_xN 薄膜 108b 具有较低的压缩应力及较高的腐蚀速

率。

接着，以与第一实施例相同的方式在 Ar 气中对其上以形成有 Ti
和 Ti_xN 薄膜 107 和 108b 的衬底进行一次第一热处理，由此如图 8B 所
5 示形成了具有 C-49 物相的 $TiSi_2$ 层 109。

以与第一实施例相同的方式将整个 Ti_xN 薄膜 108b 和未参加反应的
 Ti_xN 薄膜 107' 清除掉，由此将 $TiSi_2$ 层 109 分别留在源/漏区 106 和栅电
10 极 104 的表面区域中。

最后，以与第一实施例相同的方式在 Ar 气中对其上已形成有 $TiSi_2$
层 109 的衬底 101 进行第二热处理。从而将 C-49 物相的 $TiSi_2$ 层 109 转
变为 C-54 物相的 $TiSi_2$ 层 111。

很明显，根据本发明的第二实施例的方法具有与第一实施例相同的
15 优点。

其还有一个附加的优点在于，可以发挥溅射装置的最大性能，使所
需的溅射时间要比根据本发明的第一实施例的时间短一些（即溅射速率
20 要高一些）。

比如，在根据本发明的第一实施例的方法中，在溅射能量密度大约
等于 $0.7W/cm^2$ 的情况下，其将花费 3 分钟或更长的时间来生长厚度为
20nm 的 Ti_xN 薄膜 108a。另一方面，在根据本发明第二实施例的方法中，
25 其只需 20 秒钟或更短的时间便可以生长出具有相同厚度的 Ti_xN 薄膜
108b。

第三实施例

图 10A 到图 10C 所示为根据本发明的第三实施例的用于具有一种
30 MOSFET 的半导体器件的制造方法的示意图。

除了在对 Ti_xN 薄膜 108a 的溅射处理中是对衬底的温度进行控制而
不是对溅射能量密度进行控制外，根据本发明的第三实施例的方法包括
与根据本发明的第一实施例的方法相同的处理步骤。因此，出于简化的
35 目的，在此通过在 10A 到 10C 中对相同元件附注相同的参照字符对与
第一实施例相同的处理步骤的说明进行了省略。

首先，以与第一实施例相同的方式，在衬底 101 中，上或上方形成隔离氧化物 102，栅氧化物薄膜 103，栅电极 104，绝缘侧壁隔离层 105 及源/漏区 106。随后，利用反应溅射处理以与第一实施例相同的方式在整个衬底 101 的上方淀积一层厚度大约为 20nm 的 Ti 薄膜 107。此阶段的状态如图 10A 所示。

接着，如图 10B 所示，利用如下条件下的反应溅射处理在整个衬底 101 上方的 Ti 薄膜 107 上淀积一层厚度大约为 20nm 的 Ti_xN 薄膜 108c。

- (i) 靶：直径为 30Cm 的 Ti 靶
- (ii) 保护气：Ar 和 N_2 的混和气体
- (iii) Ar 和 N_2 的流速：相等
- (iv) 大气压强：3mTorr
- (v) 衬底温度：大约 50°C 到 450°C
- (vi) 溅射能量：4.5kW ($\approx 6.4W/cm^2$)

其优选地将衬底 101 的温度设置为 400°C 或更高，其原因可从图 11 中看出。

图 11 所示为在第三实施例中 Ti_xN 薄膜 108c 的压缩应力与衬底 101 的温度之间的关系图。正如从图 11 可看出的， Ti_xN 薄膜 108c 的压缩应力随着衬底 101 温度的升高而降低。 Ti_xN 薄膜 108c 的压缩应力单调地从 50°C 的 11.0×10^9 dyne/cm² 降低到 450°C 的 0.5×10^9 dyne/cm²。在 400°C 处的压缩应力为 3.0×10^9 dyne/cm²。

接下来将考虑为何 Ti_xN 薄膜 108c 具有较低压缩应力的原因。

由于的温度衬底 101 较高， Ti_xN 薄膜 108c 的结合能量将变得很低。较低的结合能量将导致较低的密度和大量空洞，从而使得 Ti_xN 薄膜 108c 具有较低的应力和较高的腐蚀速率。

接着，以与第一实施例相同的方式在 Ar 气中对其上已淀积有 Ti 和 Ti_xN 薄膜 107 和 108c 的衬底 101 进行第一热处理，由此如图 11B 所示形成了具有 C-49 物相的 $TiSi_2$ 层 109。

以与第一实施例相同的方式将整个 Ti_xN 薄膜 108c 和未参加反应的 Ti_xN 薄膜 107' 清除掉, 由此将 $TiSi_2$ 层 109 分别留在源/漏区 106 和栅电极 104 的表面区域中。

5

最后, 以与第一实施例相同的方式在 Ar 气中对其上已形成有 $TiSi_2$ 层 109 的衬底 101 进行第二热处理。从而将 C-49 物相的 $TiSi_2$ 层 109 转变为 C-54 物相的 $TiSi_2$ 层 111。

10

很明显, 根据本发明的第三实施例的方法具有与第一实施例相同的优点。

15

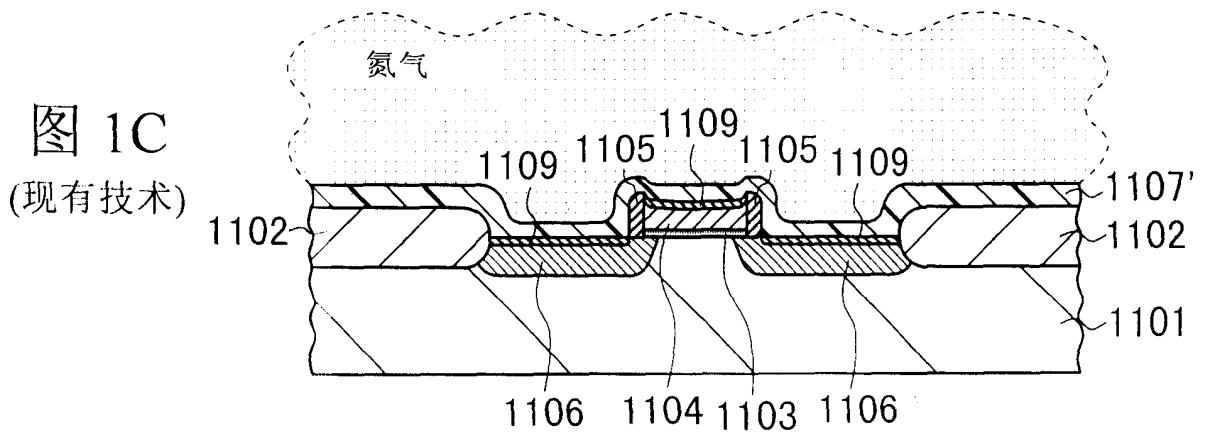
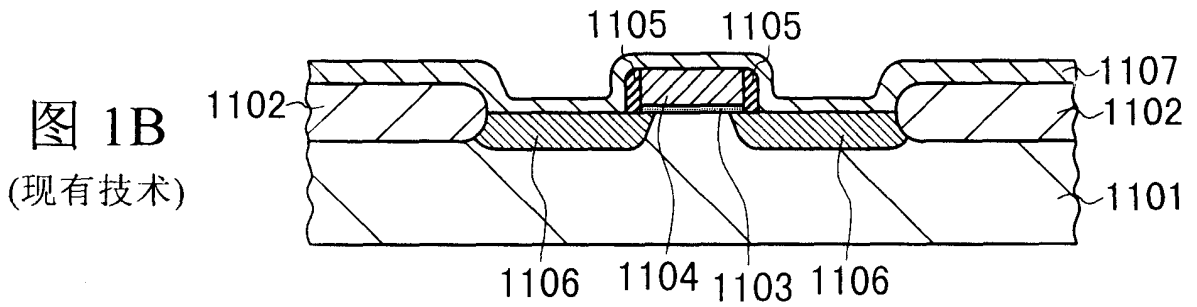
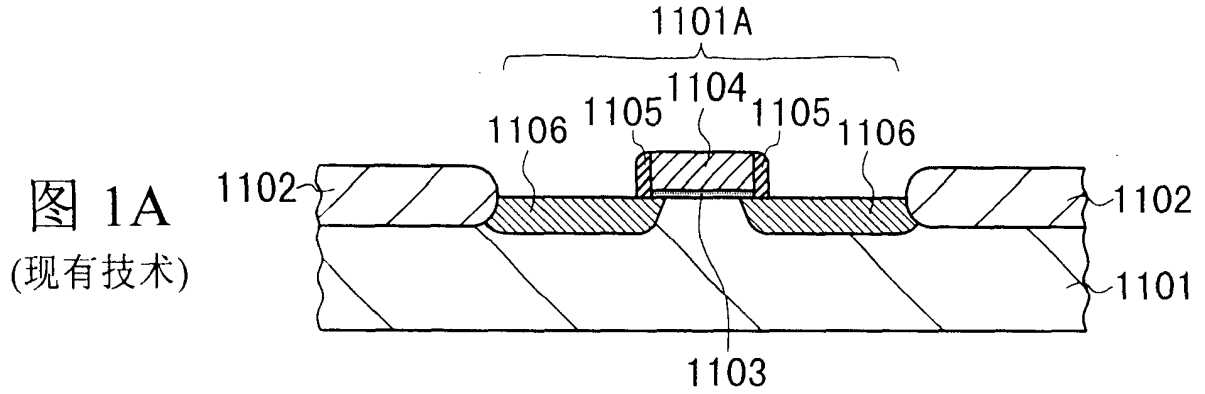
其也有一个与第二实施例相同的附加优点, 即可以发挥溅射装置的最大性能, 从而使所需的溅射时间要比根据本发明的第一实施例的时间短一些 (即溅射速率要高一些)。

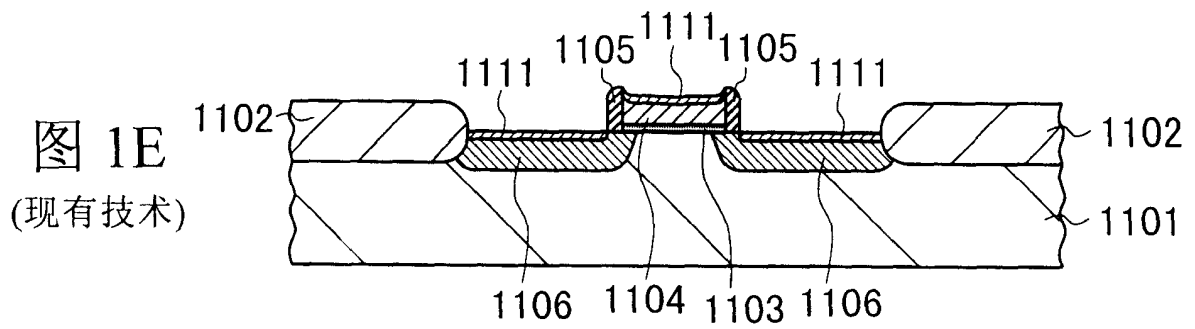
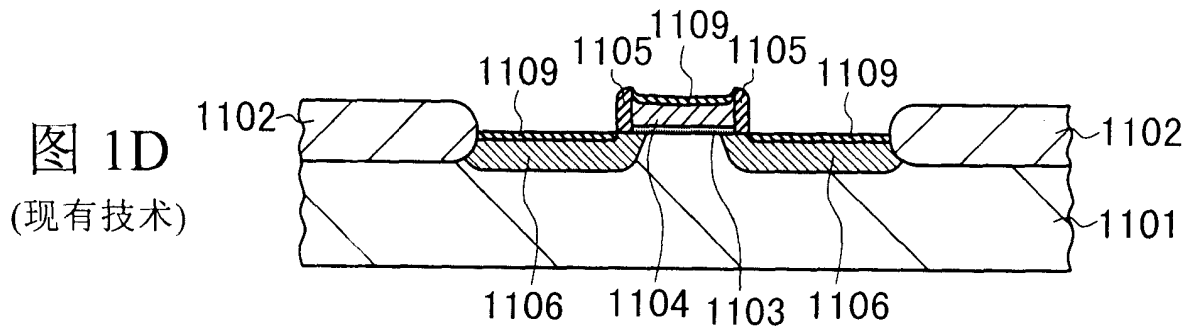
20

尽管在第一到第三实施例中是用 Ti 作为难熔金属, 但本发明并不局限于 Ti。很明显任何其它的难熔金属如钨 (W) 或钴 (Co) 均可用于本发明中。

25

尽管已对本发明的优选实施例进行了详细地说明, 但对于那些技术熟练者来说应被理解的是, 很明显可以在不背离本发明的精神的情况下对其进行多种修改。因此, 本发明的范围仅由如下的权利要求唯一地确定。





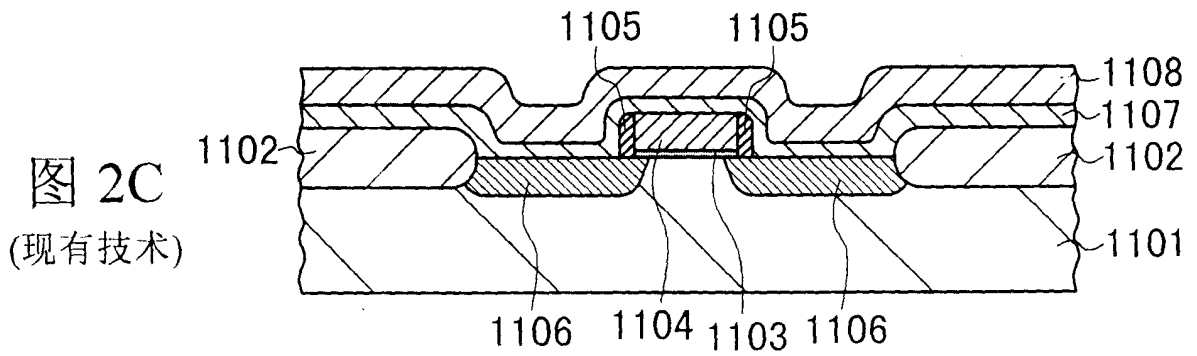
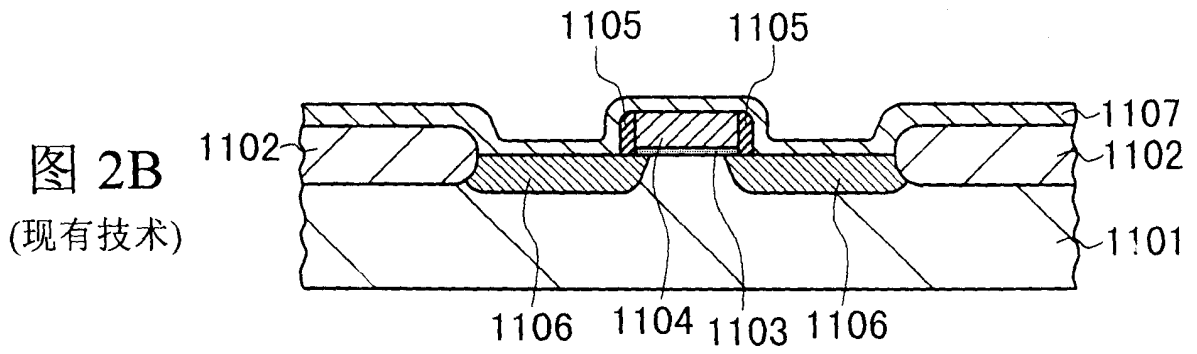
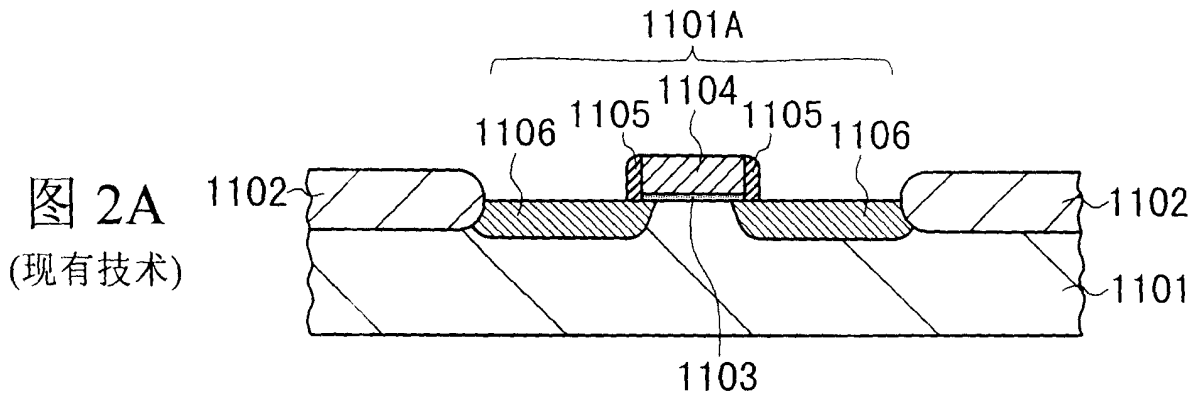


图 2D
(现有技术)

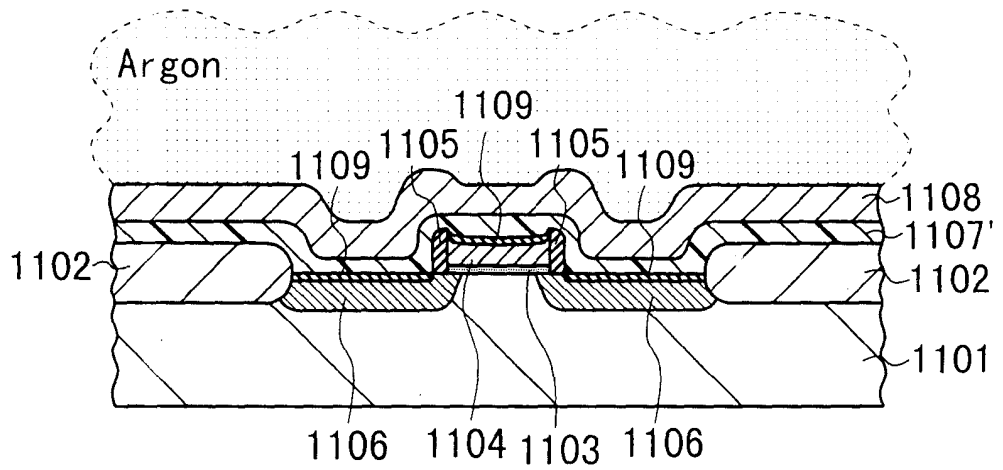


图 2E
(现有技术)

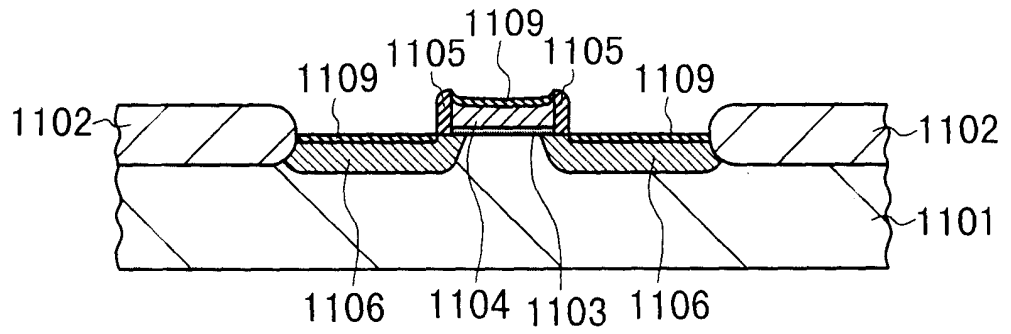


图 2F
(现有技术)

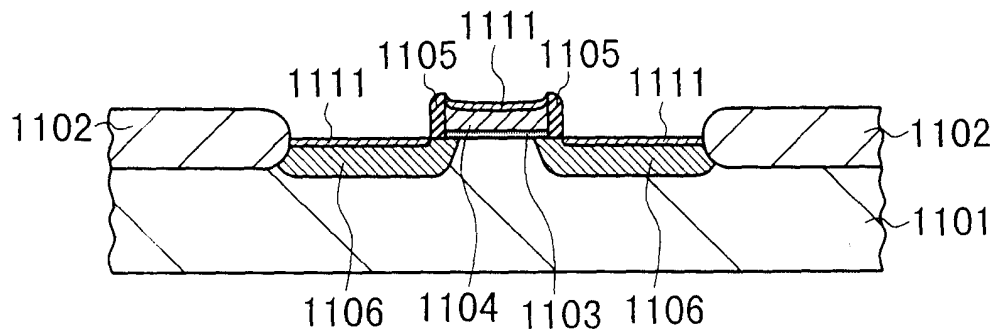
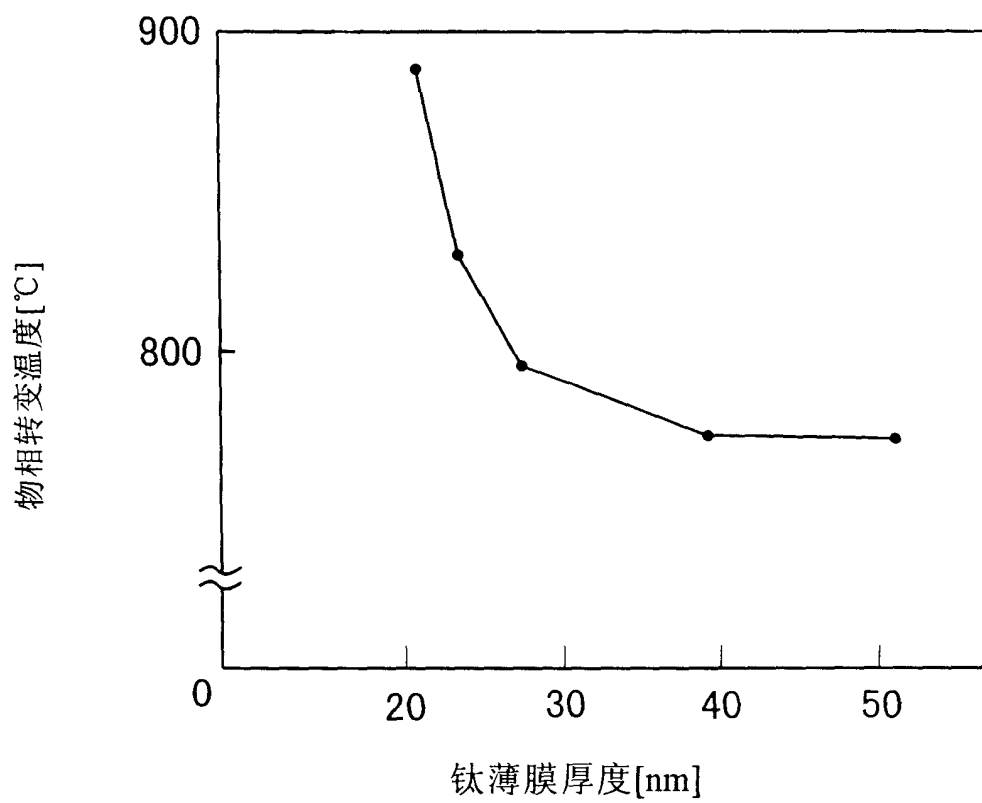
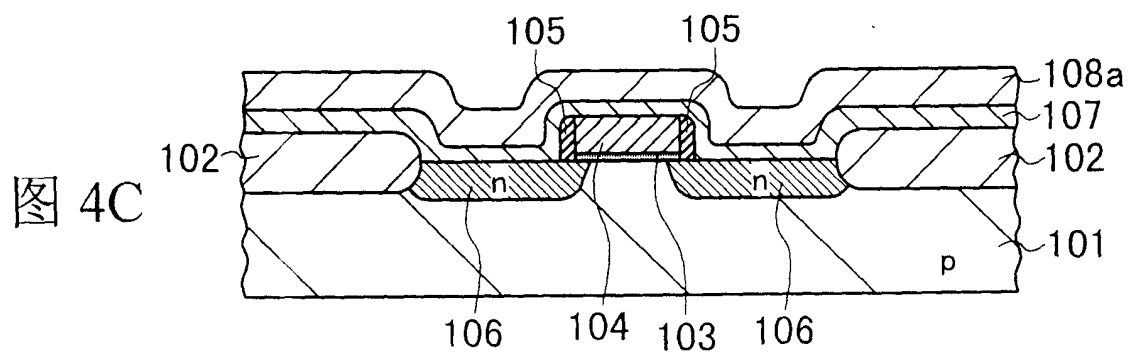
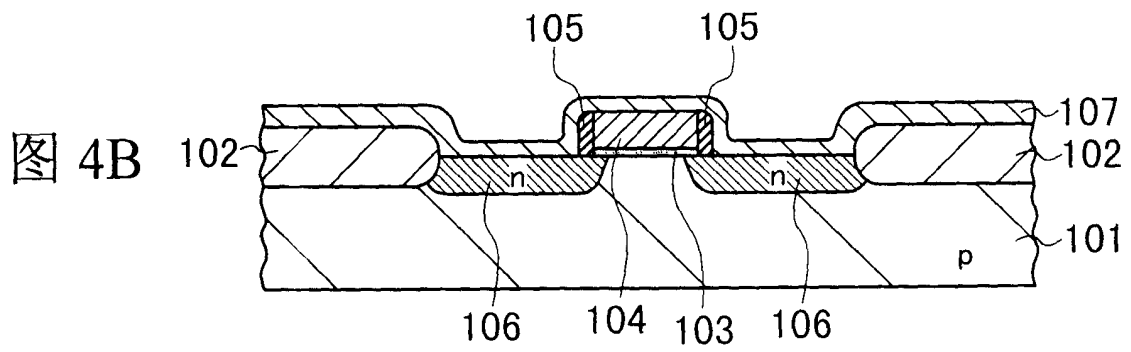
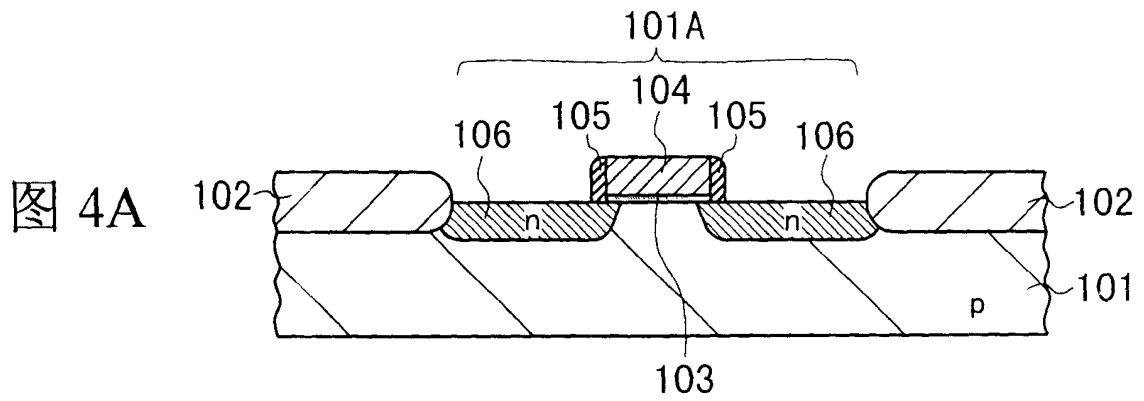


图 3
(现有技术)





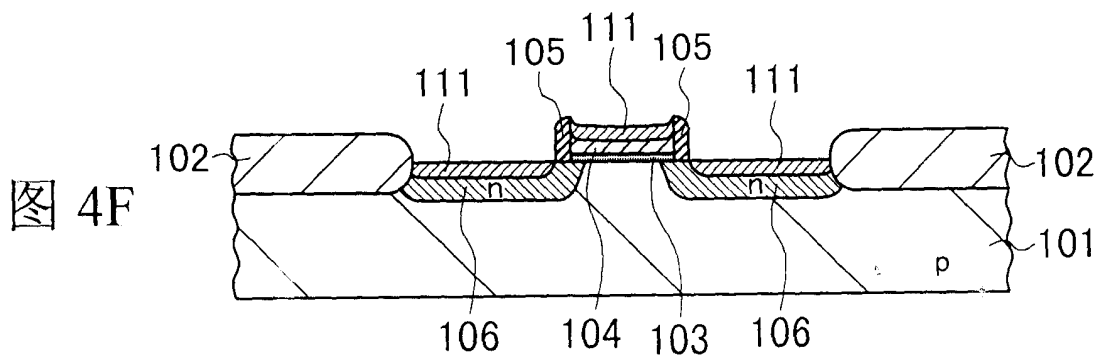
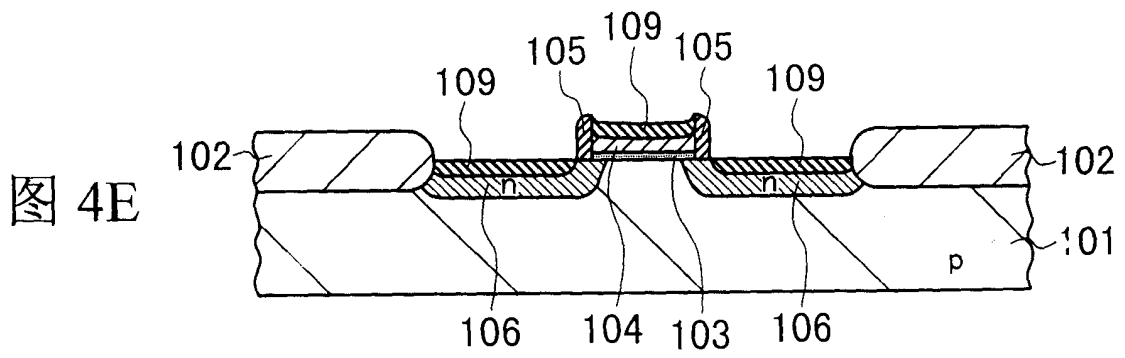
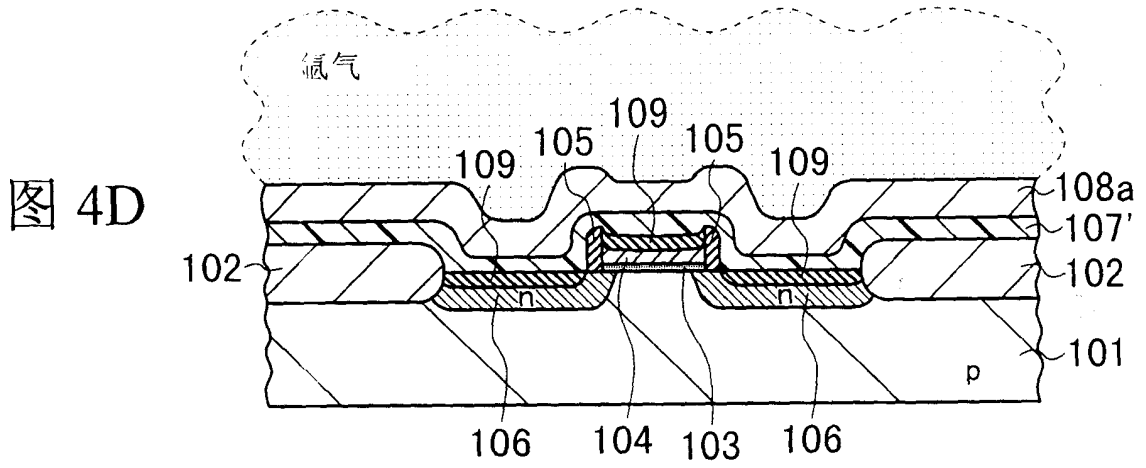


图 5

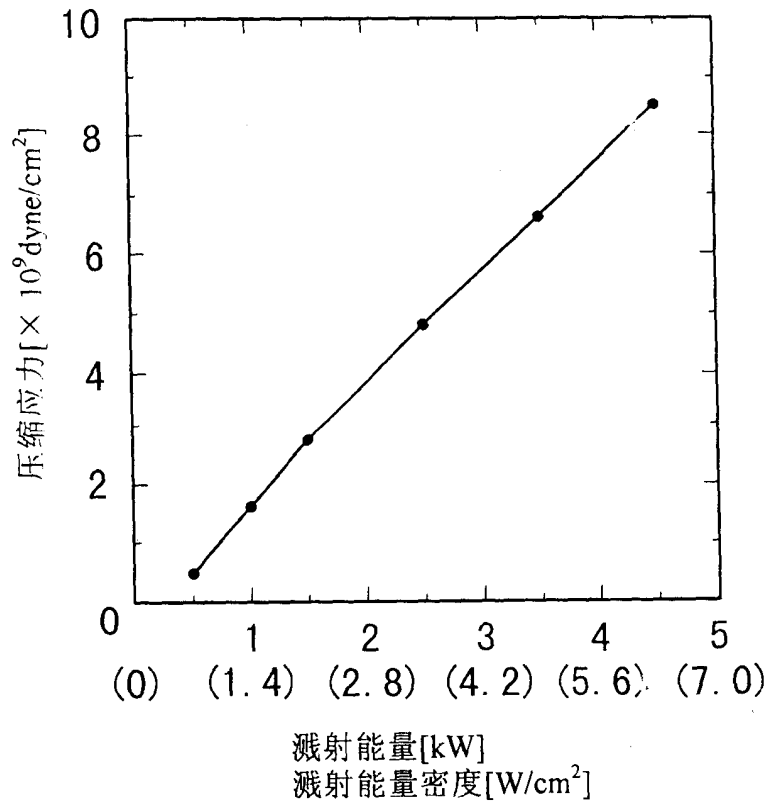


图 6

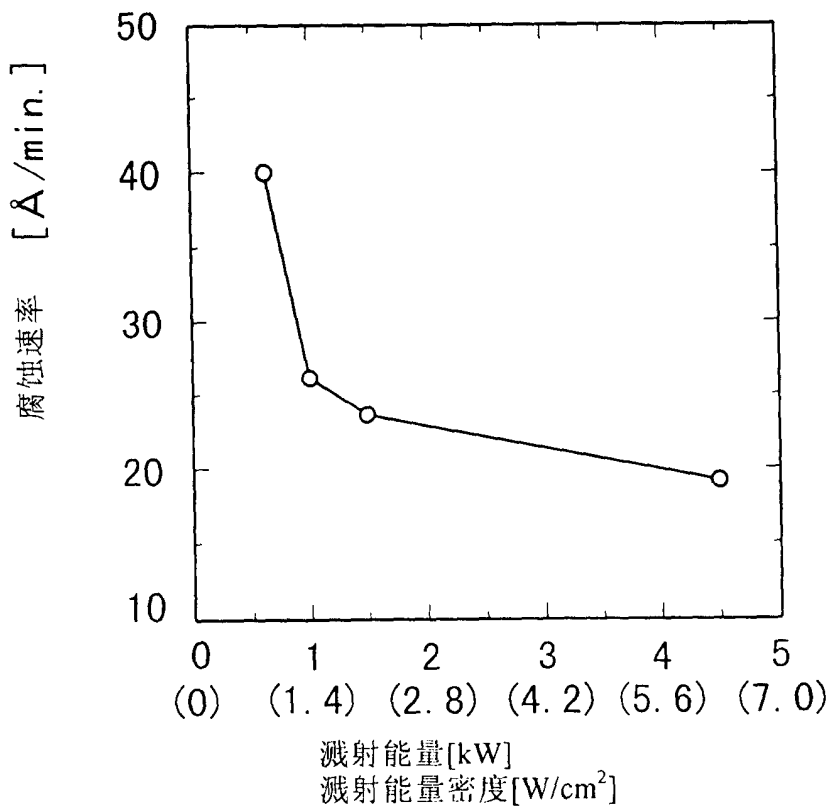
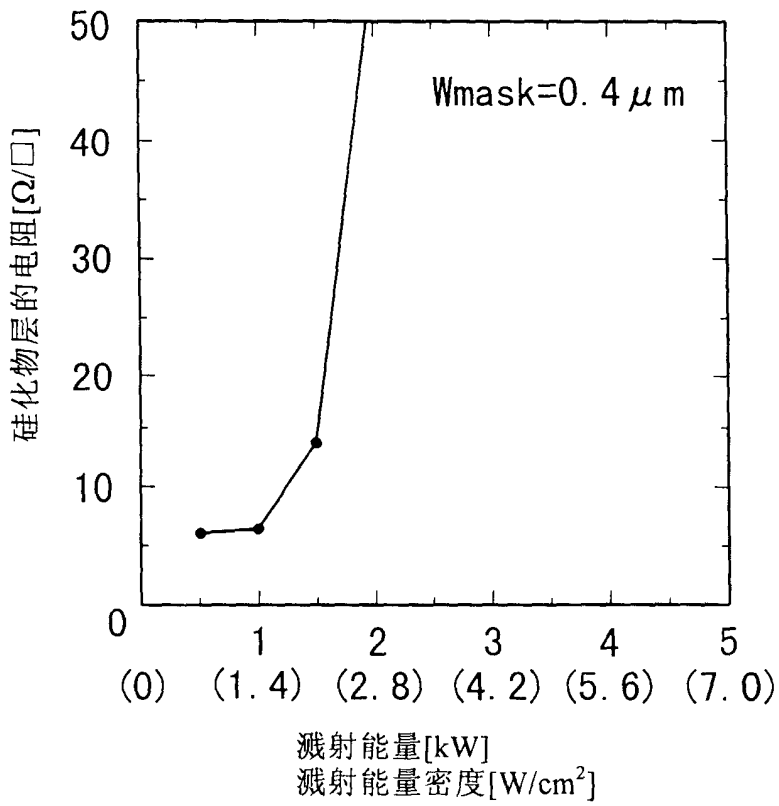


图 7



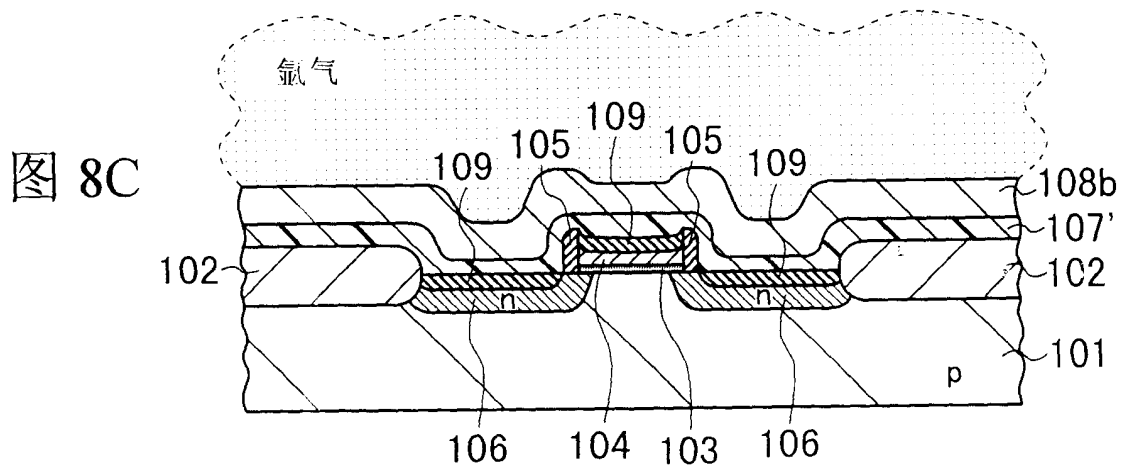
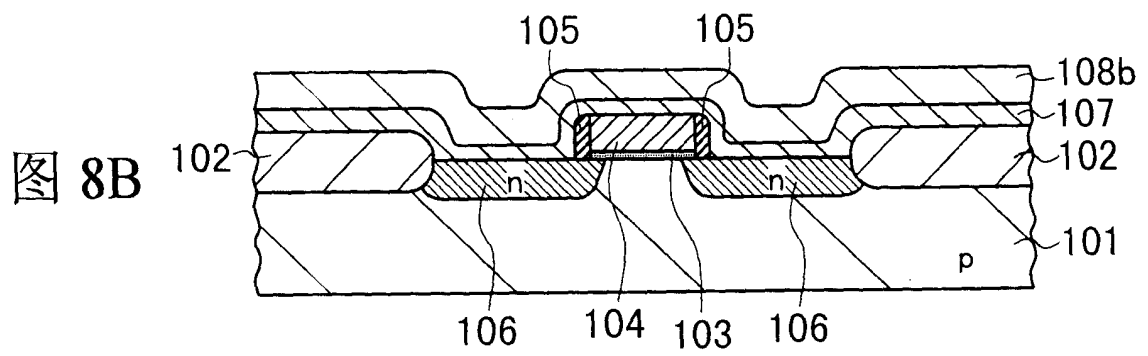
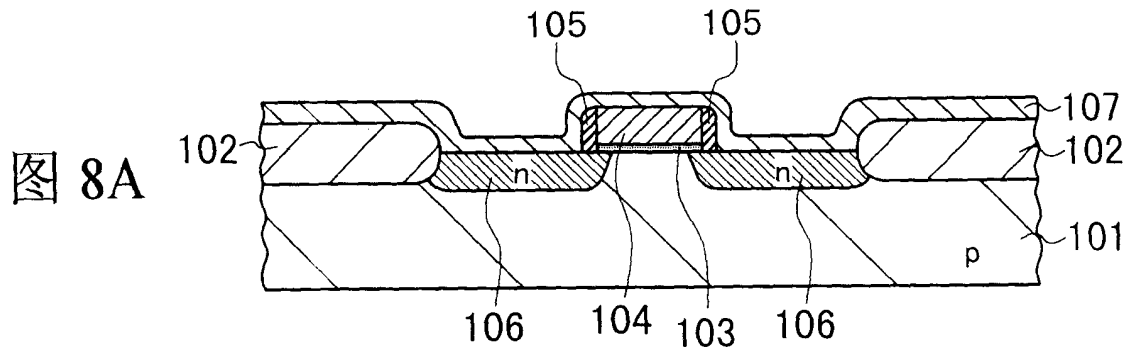
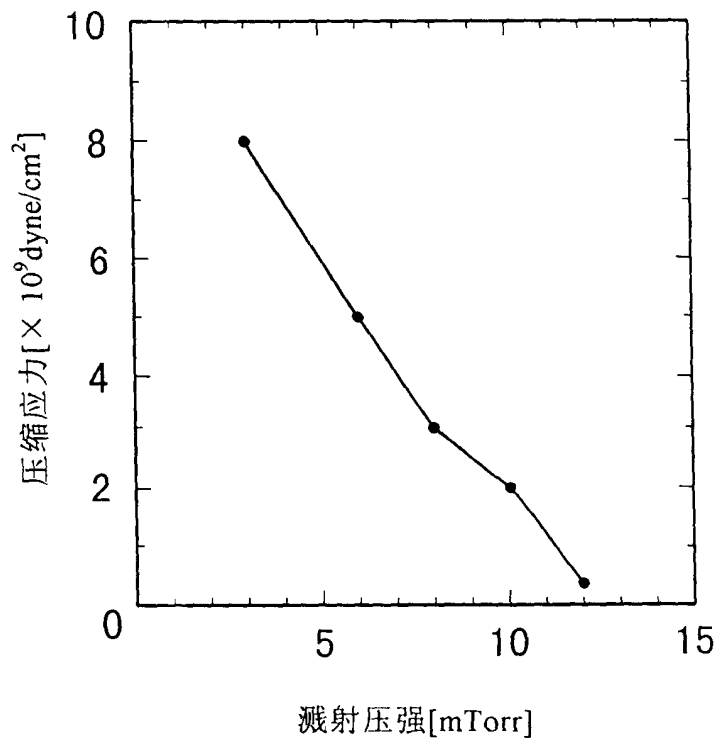


图 9



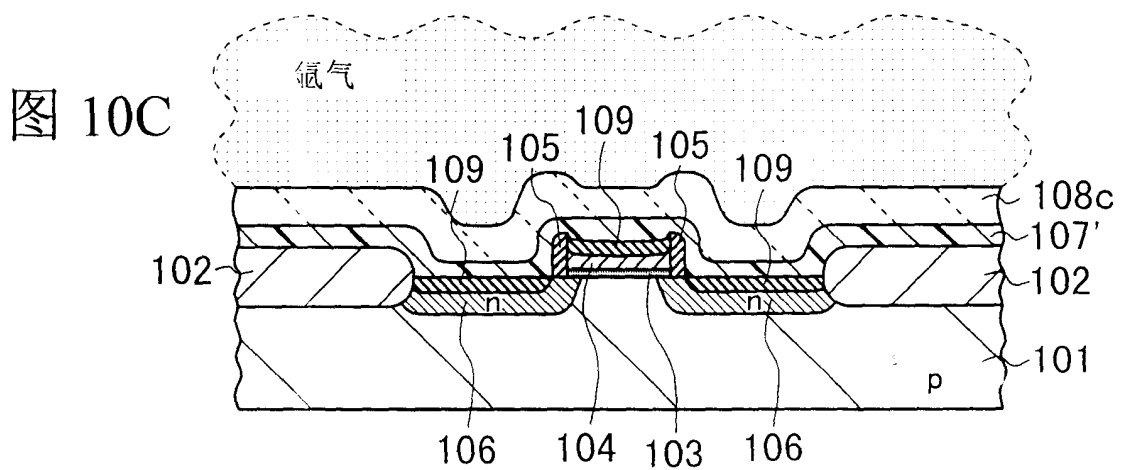
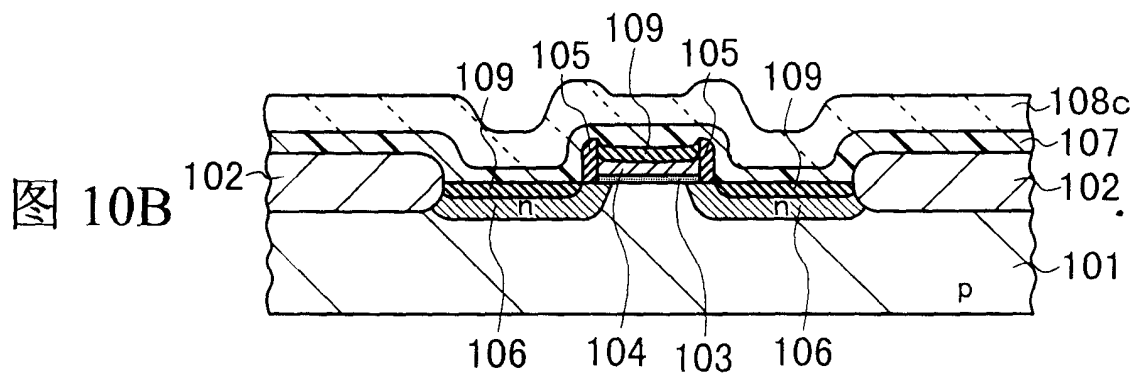
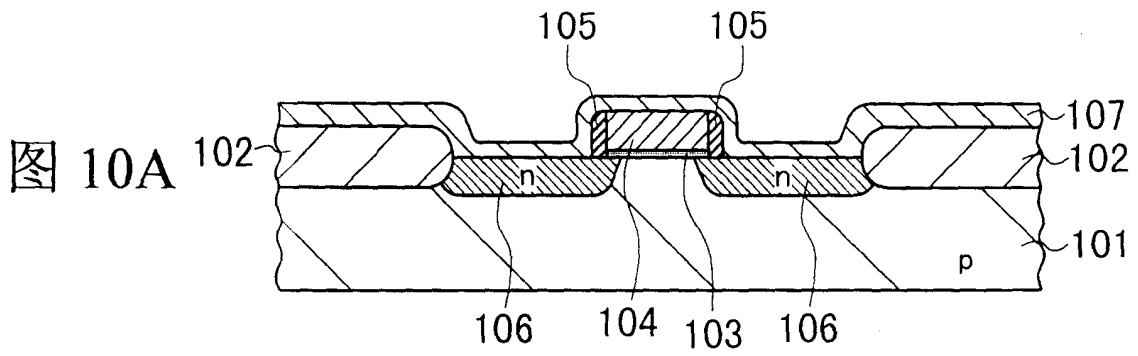


图 11

