(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월17일
(11) 등록번호 10-0863927
(24) 등록일자 2008년10월10일

(51) Int. Cl.
H01L 33/00 (2006.01)
(21) 출원번호 10-2006-7027497(분할)
(22) 출원일자 2006년12월27일
심사청구일자 2006년12월27일
번역문제출일자 2006년12월27일
(65) 공개번호 10-2007-0013340
(43) 공개일자 2007년01월30일
(62) 원출원 특허 10-2003-7008761
원출원일자 2003년06월27일
(86) 국제출원번호 PCT/JP2001/011536
국제출원일자 2001년12월27일
(87) 국제공개번호 WO 2002/54549
국제공개일자 2002년07월11일
(30) 우선권주장
JP-P-2000-00401998 2000년12월28일 일본(JP)
JP-P-2001-00271947 2001년09월07일 일본(JP)
(56) 선행기술조사문헌
JP09266326 A*
JP10242512 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
고토 오사무
일본국 미야기 989-0734 시로이시시 시라토리 3-53-2 소니시로이시 세미컨덕터 가부시키가이샤 내
아사노 타케하루
일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내
(뒷면에 계속)
(74) 대리인
이병호, 장훈

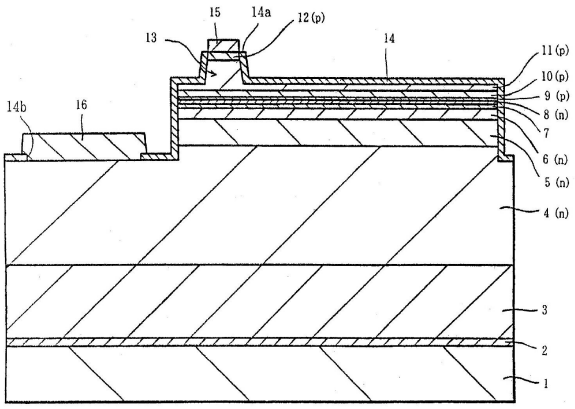
전체 청구항 수 : 총 12 항 심사관 : 이용배

(54) 반도체 발광 소자 및 그 제조 방법, 및 반도체 장치 및 그제조 방법

(57) 요 약

질화물계 III-V족 화합물 반도체를 사용한 반도체 발광 소자에 있어서, In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체, 예를 들면 InGaN으로 이루어지는 활성층과, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체, 예를 들면 InGaN으로 이루어지는 중간층과, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체, 예를 들면 p형 AlGaN으로 이루어지는 캡층을 순차 접촉하여 적층한다.

대 표 도



(72) 발명자

스즈키 야스히코

일본국 미야기 989-0734 시로이시시 시라토리 3-53-2 소니시로이시 세미컨덕터 가부시키가이샤 내

타케야 모토노부

일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내

시부야 카츠요시

일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내

미즈노 타카시

일본국 미야기 989-0734 시로이시시 시라토리 3-53-2 소니시로이시 세미컨덕터 가부시키가이샤 내

토조 츠요시

일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내

우치다 시로

일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내

이케다 마사오

일본국 토쿄 141-0001 시나가와쿠 키타시나가와 6-초메 7-35 소니가부시끼 가이샤 내

특허청구의 범위

청구항 1

삭제

청구항 2

반도체 발광 소자로서,

In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

상기 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

상기 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

상기 캡층에 접한, 상기 제 3 질화물계 III-V족 화합물 반도체와 다른 조성비의 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖고,

상기 캡층의 밴드 갭은 상기 p형 클래드층의 밴드 갭보다 큰, 반도체 발광 소자.

청구항 3

제 2 항에 있어서,

상기 캡층을 구성하는 상기 제 3 질화물계 III-V족 화합물 반도체는 $Al_yGa_{1-y}N$(단, $0 \leq y < 1$)인, 반도체 발광 소자.

청구항 4

제 2 항에 있어서,

상기 캡층의 두께는 2nm 이상인, 반도체 발광 소자.

청구항 5

제 2 항에 있어서,

상기 광 도파층은 도핑되지 않은, 반도체 발광 소자.

청구항 6

제 2 항에 있어서,

상기 광 도파층의 두께는 8nm 이상인, 반도체 발광 소자.

청구항 7

반도체 발광 소자로서,

In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

상기 활성층에 접한, 상기 제 1 질화물계 III-V족 화합물 반도체와 다른 조성비의 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

상기 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

상기 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

상기 캡층에 접한, 상기 제 3 질화물계 III-V족 화합물 반도체와 다른 조성비의 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는, 반도체 발광 소자.

청구항 8

제 7 항에 있어서,

상기 캡층의 밴드 갭은 상기 p형 클래드층의 밴드 갭보다 큰, 반도체 발광 소자.

청구항 9

제 7 항에 있어서,

상기 중간층을 구성하는 상기 제 2 질화물계 III-V족 화합물 반도체는 $In_xGa_{1-x}N$(단, $0 \leq x < 1$)인, 반도체 발광 소자.

청구항 10

제 7 항에 있어서,

상기 캡층을 구성하는 상기 제 3 질화물계 III-V족 화합물 반도체는 $Al_yGa_{1-y}N$(단, $0 \leq y < 1$)인, 반도체 발광 소자.

청구항 11

제 7 항에 있어서,

상기 캡층의 두께는 2nm 이상인, 반도체 발광 소자.

청구항 12

제 7 항에 있어서,

상기 광 도파층은 도핑되지 않은, 반도체 발광 소자.

청구항 13

제 7 항에 있어서,

상기 광 도파층의 두께는 8nm 이상인, 반도체 발광 소자.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<17> 본 발명은 반도체 발광 소자 및 그 제조 방법 및 반도체 장치 및 그 제조 방법에 관한 것이며, 특히, 질화물계 III-V족 화합물 반도체를 사용한 반도체 레이저나 발광 다이오드 혹은 전자 주행 소자에 적용하기 적합한 것이다.

발명이 이루고자 하는 기술적 과제

<18> 최근, 광 디스크의 고밀도화에 필요한 청색 영역에서 자외선 영역에 미치는 발광이 가능한 반도체 레이저로서, AlGaInN 등의 질화물계 III-V족 화합물 반도체를 사용한 반도체 레이저의 연구 개발이 열심히 이루어지고 있다.

<19> 이 질화물계 III-V족 화합물 반도체를 사용한 반도체 레이저로서, 특허 제 2780691호 및 특허 제 2735057호에 개시된 것이 있다. 전자의 반도체 레이저는 In 및 Ga을 포함하는 질화물 반도체로 이루어지며, 제 1 및 제 2 면을 갖는 양자 우물 구조의 활성층을 구비하고, 이 활성층의 제 1 면에 접하여 $In_xGa_{1-x}N(0 \leq x < 1)$으로 이루어지는 n형 질화물 반도체층을 구비하며, 활성층의 제 2 면에 접하여 $Al_yGa_{1-y}N(0 < y < 1)$으로 이루어지는 p형 질화물 반도체층을 구비하고 있다. 또한, 후자의 반도체 레이저는 In 및 Ga을 포함하는 질화물 반도체로 이루어지며, 제 1 및 제 2 면을 갖는 활성층과, 이 활성층의 제 2 면 측에 설치된 p형 GaN로 이루어지는 p형 콘택트층과의 사이에 활성층보다도 밴드 갭 에너지가 크고, 또한 In 및 Ga을 포함하는 p형 질화물 반도체로 이루어지는 제 1

p형 클래드층을 구비하고, 이 제 1 p형 클래드층이 활성층의 제 2 면에 접하여 형성되어 있다.

<20> 그렇지만, 본 발명자의 검토에 의하면, 상기 특허 제 2780691호에 개시된 기술에 의해 반도체 레이저를 제조한 경우에는, 레이저 수명 시험에 있어서 초기 열화율이 높고, 시간 증가와 함께 동작 전류가 서서히 증대하는 경향이 보였다. 또한, 일렉트로 루미네선스 발광에 있어서도, 현저한 발광 얼룩이 관측되었다.

<21> 한편, 상기 특허 제 2735057호에 개시된 기술에 의해 제조한 반도체 레이저에서는, 더욱 현저한 초기 열화율 증대가 보였다.

<22> 따라서, 본 발명이 해결하고자 하는 과제는 초기 열화율이 충분히 낮고 장수명이며, 동작 전류의 짧은 시간 동안의 변화가 극히 적어, 발광 얼룩도 극히 적은 질화물계 III-V족 화합물 반도체를 사용한 반도체 발광 소자 및 그러한 반도체 발광 소자를 용이하게 제조할 수 있는 반도체 발광 소자의 제조 방법을 제공하는 것이다.

<23> 보다 일반적으로는, 본 발명이 해결하고자 하는 과제는 장수명이고 짧은 시간 동안의 변화도 극히 적은 질화물계 III-V족 화합물 반도체를 사용한 반도체 장치 및 그러한 반도체 장치를 용이하게 제조할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

<24> 본 발명이 해결하고자 하는 다른 과제는 광 도파층의 결정성을 양호하게 할 수 있음으로써 장수명이고, 더구나 특히 반도체 레이저에서는 원시야상에 있어서의 광 강도 분포의 대칭성이 높고, 방사각(빔 확장각)의 어스팩트비 저감을 도모할 수 있는 질화물계 III-V족 화합물 반도체를 사용한 반도체 발광 소자 및 그러한 반도체 발광 소자를 용이하게 제조할 수 있는 반도체 발광 소자의 제조 방법을 제공하는 것이다.

<25> 보다 일반적으로는, 본 발명이 해결하고자 하는 다른 과제는 장수명이고 특성이 양호한 질화물계 III-V족 화합물 반도체를 사용한 반도체 장치 및 그러한 반도체 장치를 용이하게 제조할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<26> 본 발명자는 상기 과제를 해결하기 위해 예의 검토를 하였다. 그 개요에 대해서 설명하면, 다음과 같다.

<27> 질화물계 III-V족 화합물 반도체를 사용한 반도체 레이저에 있어서는, 일반적으로, InGaN 등으로 이루어지는 활성층 상에 1000℃ 정도의 높은 성장 온도에서 p형 광 도파층이나 p형 클래드층을 성장시킬 때에, 활성층으로부터의 In 탈리에 의한 열화를 방지하거나, 활성층에 주입되는 전자의 오버플로를 방지하기 위해, 활성층을 성장시킨 후에 Al 조성이 약 0.2정도로 높은 두께 20nm 정도의 p형 AlGaN으로 이루어지는 캡층을 활성층과 같은 온도에서 성장시키고, 그 후에 성장 온도를 올려 p형 광 도파층이나 p형 클래드층을 성장시키도록 하고 있다. 그런데, 본 발명자의 지견에 의하면, 이 구조에서는, In 탈리에 의한 활성층 열화는 억제되지만, 캡층과 활성층과의 격자 정수차가 꽤 크기 때문에, 캡층에 접하고 있는 활성층에 큰 응력이 발생하여, 이것이 활성층의 열화 원인이 된다. 또한, p형층의 p형 도펀트로서는 Mg이 일반적으로 사용되고 있지만, 이 p형층 중의 Mg이 활성층으로 확산하는 것도 활성층의 열화 원인이 된다.

<28> 본 발명자는 각종 실험을 한 결과, 활성층과 캡층 사이에 InGaN 등의 In 및 Ga을 포함하는 질화물계 III-V족 화합물 반도체층을 개재시킴으로써, 이들 문제를 한꺼번에 해결할 수 있는 것을 발견하였다.

<29> 더욱 검토를 한 결과, 다중 양자 우물 구조의 활성층의 최상층의 장벽층을 성장시킨 후, In 원료의 유량을 동일하게 유지하여, InGaN 등의 In을 포함하는 질화물계 III-V족 화합물 반도체를 성장시킬 경우, 그 In량을 성장 온도에서 양호하게 제어할 수 있는 것을 발견하였다. 그리고, 이것을 이용하면, InGaN 등의 In을 포함하는 질화물계 III-V족 화합물 반도체를 성장시킬 경우, 성장 중에 성장 온도를 상승시키는 것이 가능해져, 그로써 캡층의 성장 온도를 높게 할 수 있음으로써 결정성이 보다 향상하기 때문에, 캡층의 두께를 보다 작게 할 수 있고, 가장 현저한 경우에는, 활성층으로부터의 In 이탈을 방지할 목적으로만 한정하면, 캡층을 설치할 필요 조차 없앨 수 있다.

<30> 한편, 상술한 캡층을 레이저 구조, 보다 구체적으로는 활성층과 p형 클래드층 사이의 어느 위치에 설치할지에 대해서는, 아직 개선의 여지가 있다. 그래서, 캡층을 설치하는 위치의 최적화를 설계 자유도 확보를 고려하면서 행하였다. 그 결과, 광 도파층의 결정성을 양호하게 하거나, 원시야상에 있어서의 광 강도 분포의 대칭성 향상을 도모하거나 하는 관점에서, 몇 개의 최적 위치를 발견하였다. 더욱이, 캡층을 설치하는 위치의 최적화와 더불어, 활성층에 접하여 상술한 InGaN 등의 In 및 Ga을 포함하는 질화물계 III-V족 화합물 반도체층을 설치함으로써, 여러 가지 효과를 얻을 수 있는 것을 발견하였다.

<31> 이상은 반도체 레이저에 대해서이지만, 같은 층 구조를 갖는 한, 발광 다이오드나 트랜지스터와 같은 전자 주행 소자 등의 반도체 장치 전반에 유효하다고 생각된다.

<32> 본 발명은 본 발명자에 의한 이상의 검토에 기초하여 더욱 검토를 한 결과, 안출된 것이다.

<33> 즉, 상기 과제를 해결하기 위해, 본 발명의 제 1 발명은 In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<34> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<35> 중간층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<36> 본 발명의 제 2 발명은,

<37> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<38> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<39> 중간층에 접한, 광 도파층 또는 클래드층으로서 사용되는 Ga을 포함하는 제 5 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<40> 본 발명의 제 3 발명은,

<41> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<42> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<43> 중간층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층을 갖는 반도체 발광 소자의 제조 방법으로서,

<44> 활성층을 성장시킨 후, 성장 온도를 상승시키면서 중간층을 성장시키도록 한 것을 특징으로 하는 것이다.

<45> 본 발명의 제 4 발명은,

<46> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<47> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<48> 중간층에 접한, 광 도파층 또는 클래드층으로서 사용되는 Ga을 포함하는 제 5 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 발광 소자의 제조 방법으로서,

<49> 활성층을 성장시킨 후, 성장 온도를 상승시키면서 중간층을 성장시키도록 한 것을 특징으로 하는 것이다.

<50> 본 발명의 제 5 발명은,

<51> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<52> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<53> 중간층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층을 갖는 것을 특징으로 하는 반도체 장치이다.

<54> 본 발명의 제 6 발명은,

<55> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<56> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<57> 중간층에 접한, Ga을 포함하는 제 5 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로

하는 반도체 장치이다.

<58> 본 발명의 제 7 발명은,

<59> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<60> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<61> 중간층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층을 갖는 반도체 장치의 제조 방법으로서,

<62> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층을 성장시킨 후, 성장 온도를 상승시키면서 중간층을 성장시키도록 한 것을 특징으로 한 것이다.

<63> 본 발명의 제 8 발명은,

<64> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<65> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<66> 중간층에 접한, Ga을 포함하는 제 5 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<67> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층을 성장시킨 후, 성장 온도를 상승시키면서 중간층을 성장시키도록 한 것을 특징으로 하는 것이다.

<68> 본 발명에 있어서, In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체 및 제 2 질화물계 III-V족 화합물 반도체는 In 및 Ga 이외의 III족 원소, 예를 들면 Al이나 B 등을 포함하는 경우도 있고, V족 원소로서 As이나 P 등을 포함하는 경우도 있다. 또한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체는 Al 및 Ga 이외의 III족 원소, 예를 들면 In이나 B 등을 포함하는 경우도 있고, V족 원소로서 As이나 P 등을 포함하는 경우도 있다. 또한, Ga을 포함하는 제 4 질화물계 III-V족 화합물 반도체 및 제 5 질화물계 III-V족 화합물 반도체는 Ga 이외의 III족 원소, 예를 들면 In이나 Al이나 B 등을 포함하는 경우도 있고, V족 원소로서 As이나 P 등을 포함하는 경우도 있다.

<69> 중간층을 구성하는 제 2 질화물계 III-V족 화합물 반도체는 전형적으로는, $In_xGa_{1-x}N$(단, $0 \leq x < 1$)이다. 중간층은 전형적으로는 언도프로, 통상 n형이다. 캡층을 구성하는 제 3 질화물계 III-V족 화합물 반도체는 전형적으로는, $Al_yGa_{1-y}N$(단, $0 \leq y < 1$)이다. 캡층을 설치함으로써 효과를 충분히 얻는 관점에서, 적합하게는 캡층의 두께는 2nm 이상으로 한다. 한편, 캡층의 두께가 너무 크면, 그 조성에 따라서는 결정성이 열화하기 때문에, 이것을 방지하기 위해, 적합하게는 캡층의 두께는 10nm 이하로 한다. 캡층에 접한, Ga을 포함하는 제 4 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 경우도 있으며, 이 p형층을 구성하는 제 4 질화물계 III-V족 화합물 반도체는 예를 들면, GaN 또는 $In_zGa_{1-z}N$(단, $0 \leq z < 1$)이다.

<70> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층 또는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층은 전형적으로는, 우물층과 장벽층으로 이루어지는 다중 양자 우물 구조를 가지고, 중간층의 In 조성은 장벽층의 In 조성과 같거나 또는 더 작다. In 조성의 분포는 각종의 것이어도 되지만, 성장 온도를 서서히 상승시키면서 중간층을 성장시킴으로써, 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층 또는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층으로부터 떨어짐에 따라서 In 조성이 서서히 감소하는 중간층을 얻을 수 있다. 전형적으로는, 중간층에 포함되는 In은 $5 \times 10^{19} cm^{-3}$ 이하이다. 중간층의 두께는 그 조성의 선택과의 균형으로, 이 중간층에 의한 활성층 또는 제 1 질화물계 III-V족 화합물 반도체층의 열화 방지 효과를 유효하게 얻을 수 있도록 결정되지만, 일반적으로는 8nm 이상, 적합하게는 10nm 이상으로 선택된다.

<71> *제 4 질화물계 III-V족 화합물 반도체로 이루어지는 p형층 중에는, 전형적으로는 In이 $1 \times 10^{17} cm^{-3}$ 이상 $5 \times 10^{19} cm^{-3}$ 이하 포함된다.

<72> 질화물계 III-V족 화합물 반도체층을 성장시키는 기판으로서는, 각종의 것을 사용할 수 있으며, 구체적으로는, 사파이어 기판, SiC 기판, Si 기판, GaAs 기판, GaP 기판, InP 기판, 스피넬 기판, 산화실리콘 기판 등 외에,

두꺼운 GaN층 등의 질화물계 III-V족 화합물 반도체층으로 이루어지는 기판을 사용하여도 된다.

<73> 질화물계 III-V족 화합물 반도체의 성장 방법으로서는, 예를 들면, 유기 금속 화학 기상 성장(MOCVD), 하이드라이드 기상 에피텍시얼 성장 또는 할라이드 기상 에피텍시얼 성장(HVPE) 등을 사용할 수 있다.

<74> 반도체 장치는 구체적으로는, 예를 들면, 반도체 레이저나 발광 다이오드와 같은 발광 소자 혹은 FET나 헤테로 접합 바이폴러 트랜지스터 등의 전자 주행 소자이다.

<75> 본 발명의 제 9 발명은,

<76> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<77> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<78> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<79> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<80> 본 발명의 제 10 발명은,

<81> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<82> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<83> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<84> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<85> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<86> 본 발명의 제 11 발명은,

<87> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<88> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<89> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<90> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<91> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<92> 본 발명의 제 12 발명은,

<93> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<94> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<95> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<96> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<97> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<98> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<99> 본 발명의 제 13 발명은,

<100> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<101> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<102> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<103> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<104> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<105> 본 발명의 제 14 발명은,

<106> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<107> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<108> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<109> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<110> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<111> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<112> 본 발명의 제 15 발명은,

<113> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<114> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<115> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<116> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<117> 본 발명의 제 16 발명은,

<118> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<119> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<120> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<121> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<122> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 것을 특징으로 하는 반도체 발광 소자이다.

<123> 본 발명의 제 17 발명은,

<124> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<125> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<126> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<127> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<128> 활성층, 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<129> p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하

는 것이다.

<130> 본 발명의 제 18 발명은,

<131> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<132> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<133> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<134> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<135> 활성층, 광 도파층 및 캡층을 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<136> 본 발명의 제 19 발명은,

<137> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<138> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<139> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<140> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<141> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<142> 활성층, 중간층, 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<143> p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<144> 본 발명의 제 20 발명은,

<145> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<146> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<147> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<148> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<149> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<150> 활성층, 중간층, 광 도파층 및 캡층을 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<151> 여기서, 전형적으로는, 활성층 및 중간층은 광 도파층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<152> 본 발명의 제 21 발명은,

<153> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<154> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<155> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<156> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<157> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-

V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<158> 활성층, 제 1 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<159> 제 2 광 도파층 및 p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<160> 본 발명의 제 22 발명은,

<161> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<162> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<163> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<164> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<165> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<166> 활성층, 제 1 광 도파층 및 캡층을 제 2 광 도파층 및 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<167> 본 발명의 제 23 발명은,

<168> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<169> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<170> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<171> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<172> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<173> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<174> 활성층, 중간층, 제 1 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<175> 제 2 광 도파층 및 p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<176> 본 발명의 제 24 발명은,

<177> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<178> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<179> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<180> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<181> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<182> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<183> 활성층, 중간층, 제 1 광 도파층 및 캡층을 제 2 광 도파층 및 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<184> 여기서, 전형적으로는, 활성층은 중간층, 제 1 광 도파층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장

시킨다.

<185> 본 발명의 제 25 발명은,

<186> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<187> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<188> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<189> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<190> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<191> 활성층, 제 1 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<192> 제 2 광 도파층 및 p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<193> 본 발명의 제 26 발명은,

<194> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<195> 활성층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<196> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<197> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<198> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<199> 활성층, 제 1 광 도파층 및 캡층을 제 2 광 도파층 및 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<200> 본 발명의 제 27 발명은,

<201> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<202> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<203> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<204> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<205> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<206> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<207> 활성층, 중간층, 제 1 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<208> 제 2 광 도파층 및 p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<209> 본 발명의 제 28 발명은,

<210> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<211> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<212> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 제 1 광 도파층과,

<213> 제 1 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<214> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 제 2 광 도파층과,

<215> 제 2 광 도파층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<216> 활성층, 중간층, 제 1 광 도파층 및 캡층을 제 2 광 도파층 및 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<217> 여기서, 전형적으로는, 활성층 및 중간층은 제 1 광 도파층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<218> 본 발명의 제 29 발명은,

<219> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<220> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<221> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<222> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<223> 활성층, 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<224> p형 클래드층은 질소와 수소를 주성분과 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<225> 본 발명의 제 30 발명은,

<226> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<227> 활성층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<228> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<229> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<230> 활성층, 광 도파층 및 캡층을 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<231> 본 발명의 제 31 발명은,

<232> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<233> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<234> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<235> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<236> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<237> 활성층, 중간층, 광 도파층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<238> p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<239> 본 발명의 제 32 발명은,

<240> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층과,

<241> 활성층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<242> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 광 도파층과,

<243> 광 도파층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<244> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형 클래드층을 갖는 반도체 발광 소자의 제조 방법으로서,

<245> 활성층, 중간층, 광 도파층 및 캡층을 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<246> 여기서, 전형적으로는, 활성층 및 중간층은 광 도파층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<247> 본 발명의 제 33 발명은,

<248> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<249> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<250> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<251> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<252> 본 발명의 제 34 발명은,

<253> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<254> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<255> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<256> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<257> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<258> 본 발명의 제 35 발명은,

<259> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<260> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<261> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<262> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<263> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<264> 본 발명의 제 36 발명은,

<265> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<266> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<267> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<268> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<269> *캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<270> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<271> 본 발명의 제 37 발명은,

<272> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<273> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<274> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<275> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<276> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<277> 본 발명의 제 38 발명은,

<278> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<279> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<280> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<281> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<282> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<283> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<284> 본 발명의 제 39 발명은,

<285> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<286> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<287> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화

합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<288> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<289> 본 발명의 제 40 발명은,

<290> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<291> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<292> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<293> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<294> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 것을 특징으로 하는 반도체 장치이다.

<295> 본 발명의 제 41 발명은,

<296> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<297> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<298> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<299> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<300> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<301> p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<302> 본 발명의 제 42 발명은,

<303> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<304> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<305> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<306> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<307> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 상기 캡층을 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<308> 본 발명의 제 43 발명은,

<309> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<310> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<311> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<312> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화

합물 반도체로 이루어지는 캡층과,

<313> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<314> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<315> p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<316> 본 발명의 제 44 발명은,

<317> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<318> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<319> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<320> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<321> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<322> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<323> 여기서, 전형적으로는, 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 중간층은 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<324> 본 발명의 제 45 발명은,

<325> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<326> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<327> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<328> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<329> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<330> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<331> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<332> 본 발명의 제 46 발명은,

<333> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<334> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<335> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화

합물 반도체로 이루어지는 캡층과,

<336> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<337> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<338> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<339> 본 발명의 제 47 발명은,

<340> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<341> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<342> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<343> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<344> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<345> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<346> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<347> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<348> 본 발명의 제 48 발명은,

<349> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<350> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<351> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<352> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체로 이루어지는 캡층과,

<353> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<354> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<355> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<356> 여기서, 전형적으로는, 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층은 중간층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<357> 본 발명의 제 49 발명은,

<358> *In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<359> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<360> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<361> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<362> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<363> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<364> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형 클래드층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<365> 본 발명의 제 50 발명은,

<366> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<367> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<368> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<369> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<370> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<371> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 상기 캡층을 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 상기 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<372> 본 발명의 제 51 발명은,

<373> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<374> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<375> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<376> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<377> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<378> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<379> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<380> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층은 질소와 수소를 주성분으로 하는 캐리어 가스

분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<381> 본 발명의 제 52 발명은,

<382> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<383> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층과,

<384> 중간층에 접한, Ga을 포함하는 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<385> 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<386> 캡층에 접한, Ga을 포함하는 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<387> 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<388> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 제 9 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<389> 여기서, 전형적으로는, 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 중간층은 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층보다도 낮은 성장 온도에서 성장시킨다.

<390> 본 발명의 제 53 발명은,

<391> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<392> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<393> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<394> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<395> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<396> p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<397> 본 발명의 제 54 발명은,

<398> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<399> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<400> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<401> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<402> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 p형층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<403> 본 발명의 제 55 발명은,

<404> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<405> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<406> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<407> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<408> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<409> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층은, 실질적으로 수소를 포함하지 않고 질소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키고,

<410> p형층은 질소와 수소를 주성분으로 하는 캐리어 가스 분위기 중에서 성장시키도록 한 것을 특징으로 하는 것이다.

<411> 본 발명의 제 56 발명은,

<412> In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<413> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 중간층과,

<414> 중간층에 접한, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층과,

<415> 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접한, Al 및 Ga을 포함하는 제 3 질화물계 III-V족 화합물 반도체에 의해 장벽층이 형성된 초격자로 이루어지는 캡층과,

<416> 캡층에 접한, 제 3 질화물계 III-V족 화합물 반도체와 다른 Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체로 이루어지는 p형층을 갖는 반도체 장치의 제조 방법으로서,

<417> 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층, 중간층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층을 p형 클래드층의 성장 온도보다도 낮은 성장 온도에서 성장시키도록 한 것을 특징으로 하는 것이다.

<418> 여기서, 전형적으로는, 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 중간층은 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 및 캡층의 성장 온도보다도 낮은 성장 온도에서 성장시킨다.

<419> 본 발명의 제 9 내지 제 56 발명에 있어서, Ga을 포함하는 제 6 질화물계 III-V족 화합물 반도체, 제 8 질화물계 III-V족 화합물 반도체 및 제 9 질화물계 III-V족 화합물 반도체는 Ga 이외의 III족 원소, 예를 들면 In이나 Al나 B 등을 포함하는 경우도 있고, V족 원소로서 As이나 P 등을 포함하는 경우도 있다. 또한, Al 및 Ga을 포함하는 제 7 질화물계 III-V족 화합물 반도체는 Al 및 Ga 이외의 III족 원소, 예를 들면 In이나 B 등을 포함하는 경우도 있고, V족 원소로서 As이나 P 등을 포함하는 경우도 있다.

<420> 본 발명의 제 9 내지 제 56 발명에 있어서, 전형적으로는, 캡층의 밴드 갭은 p형 클래드층 혹은 p형층의 밴드 갭보다 크다. 캡층을 설치함으로써 효과를 충분히 얻는 관점에서, 적합하게는 캡층의 두께는 2nm 이상으로 한다. 한편, 캡층의 두께가 너무 크면, 그 조성에 따라서는 결정성이 열화하기 때문에, 이것을 방지하기 위해, 적합하게는 캡층의 두께는 20nm 이하로 한다. 또한, 광 도파층, 제 1 광 도파층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 혹은 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층은 Mg 등의 p형 불순물을 도프하면 언도프인 경우에 비하여 오히려 저항율이 높아지기 때문에, 적합하게는 언도프로 한다. 언도프의 광 도파층, 제 1 광 도파층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 혹은 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층은 n형 전도성을 보여준다. 이들 광 도파층, 제 1 광 도파층, 제 6 질화물계 III-V족 화합물 반도체로 이루어지는 층 혹은 제 8 질화물계 III-V족 화합물 반도체로 이루어지는 층의 두께는 일반적으로는 8nm 이상으로 하고, 전형적으로는 10nm 이상 100nm 이하로 한다.

<421> 반도체 발광 소자 혹은 반도체 장치의 각 층의 성장 시의 캐리어 가스 분위기에 대해서는, 보다 저저항의 층을

얻는 관점에서, 가장 적합하게는, 실질적으로 수소를 포함하지 않고, 질소를 주성분으로 하는 캐리어 가스 분위기로서 N_2 가스 분위기를 사용하고, 질소와 수소를 주성분으로 하는 캐리어 가스 분위기로서 N_2와 H_2의 혼합 가스 분위기를 사용한다.

<422> 본 발명의 제 9 내지 제 56 발명에 있어서, 상기 이외의 것에 대해서는, 그 성질에 반하지 않는 한, 본 발명의 제 1 내지 제 8 발명에 관련하여 서술한 것이 성립한다.

<423> 상술한 바와 같이 구성된 본 발명에 의하면, 활성층 또는 제 1 질화물계 III-V족 화합물 반도체층에 접하여, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층이 설치되어 있음으로써, 이 중간층의 존재에 의해, 캡층 등에 의해 활성층 또는 제 1 질화물계 III-V족 화합물 반도체층에 발생하는 응력을 대폭 완화할 수 있거나, 혹은, p형 도펀트로서 사용되는 Mg의 활성층 또는 제 1 질화물계 III-V족 화합물 반도체층에의 확산을 유효하게 억제할 수 있다.

<424> 또한, 캡층을 설치하는 위치의 최적화에 의해, 활성층에 캡층을 인접시켜 설치하거나, 활성층에 중간층을 개재시켜 캡층을 설치하거나 하는 경우에 비하여 광 도파층 혹은 제 1 광 도파층의 결정성을 양호하게 할 수 있거나, 혹은 이들 광 도파층 혹은 제 1 광 도파층의 두께의 최적화를 도모할 수 있다.

<425> 이하, 본 발명의 실시예에 대해서 도면을 참조하면서 설명한다. 또한, 실시예의 전체 도면에 있어서, 동일 또는 대응하는 부분에는 동일 부호를 붙인다.

<426> 도 1은 본 발명의 제 1 실시예에 의한 GaN계 반도체 레이저를 도시한다. 이 GaN계 반도체 레이저는 리지 구조 및 SCH(Separate Confinement Heterostructure) 구조를 갖는 것이다.

<427> 도 1에 도시하는 바와 같이, 이 제 1 실시예에 의한 GaN계 반도체 레이저에 있어서는, c면 사파이어 기판(1) 상에, 저온 성장에 의한 언도프 GaN 버퍼층(2)을 개재시켜, ELO 등의 가로 방향 결정 성장 기술을 사용하여 성장된 언도프 GaN층(3), n형 GaN 콘택트층(4), n형 AlGaN 클래드층(5), n형 GaN 광 도파층(6), 예를 들면 언도프의 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 다중 양자 우물 구조의 활성층(7), n형 언도프 InGaN 열화 방지층(8), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10), p형 AlGaN 클래드층(11) 및 p형 GaN 콘택트층(12)이 순차 적층되어 있다.

<428> 여기서, 언도프 GaN 버퍼층(2)은 두께가 예를 들면 30nm이다. 언도프 GaN층(3)은 두께가 예를 들면 0.5㎛이다. n형 GaN 콘택트층(4)은 두께가 예를 들면 4㎛이고, n형 불순물로서 예를 들면 실리콘(Si)이 도프되어 있다. n형 AlGaN 클래드층(5)은 두께가 예를 들면 1.0㎛으로, n형 불순물로서 예를 들면 Si이 도프되며, Al 조성은 예를 들면 0.07이다. n형 GaN 광 도파층(6)은 두께가 예를 들면 0.1㎛으로, n형 불순물로서 예를 들면 Si이 도프되어 있다. 또한, 언도프 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 다중 양자 우물 구조의 활성층(7)은 예를 들면, 우물층으로서의 $In_xGa_{1-x}N$층의 두께가 3.5nm이고 x=0.14, 장벽층으로서의 $In_yGa_{1-y}N$층의 두께가 7nm이며 y=0.02, 우물수가 3이다.

<429> 언도프 InGaN 열화 방지층(8)은 활성층(7)에 접하고 있는 면에서 p형 AlGaN 캡층(9)에 접하고 있는 면을 향하여 In 조성이 서서히 단조 감소하는 그레이디드 구조를 가지고, 활성층(7)에 접하고 있는 면에 있어서의 In 조성은 활성층(7)의 장벽층으로서의 $In_yGa_{1-y}N$층의 In 조성(y)과 일치하고 있으며, p형 AlGaN 캡층(9)에 접하고 있는 면에 있어서의 In 조성은 0으로 되어 있다. 이 언도프 InGaN 열화 방지층(8)의 두께는 예를 들면 20nm이다.

<430> p형 AlGaN 캡층(9)은 두께가 예를 들면 10nm로, p형 불순물로서 예를 들면 마그네슘(Mg)이 도프되어 있다. 이 p형 AlGaN 캡층(9)의 Al 조성은 예를 들면 0.2이다. 이미 서술한 바와 같이, 이 p형 AlGaN 캡층(9)은 p형 GaN 광 도파층(10), p형 AlGaN 클래드층(11) 및 p형 GaN 콘택트층(12) 성장 시에 활성층(7)으로부터 In이 탈리하여 열화하는 것을 방지함과 동시에, 활성층(9)으로부터의 캐리어(전자)의 오버플로를 방지하기 위한 것이다. p형 GaN 광 도파층(10)은 두께가 예를 들면 0.1㎛으로, p형 불순물로서 예를 들면 Mg이 도프되어 있다. p형 AlGaN 클래드층(11)은 두께가 예를 들면 0.5㎛으로, p형 불순물로서 예를 들면 Mg이 도프되며, Al 조성은 예를 들면 0.07이다. p형 GaN 콘택트층(12)은 두께가 예를 들면 0.1㎛이고, p형 불순물로서 예를 들면 Mg이 도프되어 있다.

<431> n형 GaN 콘택트층(4)의 상층부, n형 AlGaN 클래드층(5), n형 GaN 광 도파층(6), 활성층(7), 언도프 InGaN 열화 방지층(8), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10) 및 p형 AlGaN 클래드층(11)은 소정 폭의 메사 형상을 갖는다. 이 메사부에 있어서의 p형 AlGaN 클래드층(11)의 상층부 및 p형 GaN 콘택트층(13)에는, 예를 들면 <11-20> 방향으로 연재하는 리지(13)가 형성되어 있다. 이 리지(13)의 폭은 예를 들면 3㎛이다.

<432> 상기 메사부 전체를 덮도록 예를 들면 두께가 0.3㎛인 SiO_2막과 같은 절연막(14)이 설치되어 있다. 이 절연막

(14)은 전기 절연 및 표면 보호를 위한 것이다. 이 절연막(14) 중 리지(13) 상의 부분에는 개구(14a)가 설치되어 있으며, 이 개구(14a)를 통하여 p형 GaN 콘택트층(13)에 p측 전극(15)이 접촉하고 있다. 이 p측 전극(15)은 Pd막, Pt막 및 Au막을 순차 적층한 구조를 가지며, Pd막, Pt막 및 Au막의 두께는 예를 들면 각각 10nm, 100nm 및 300nm이다. 한편, 절연막(14) 중 메사부에 인접하는 소정 부분에는 개구(14b)가 설치되어 있으며, 이 개구(14b)를 통하여 n형 GaN 콘택트층(4)에 n측 전극(16)이 접촉하고 있다. 이 n측 전극(16)은 Ti막, Pt막 및 Au막을 순차 적층한 구조를 가지며, Ti막, Pt막 및 Au막의 두께는 예를 들면 각각 10nm, 50nm 및 100nm이다.

<433> 이 GaN계 반도체 레이저의 주요부의 에너지 밴드 구조(전도대)를 도 2에 도시한다. 도 2에 있어서, E_C는 전도대 하단의 에너지를 도시한다.

<434> 다음으로, 이 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법에 대해서 설명한다.

<435> 우선, 미리 서멀 클리닝 등에 의해 표면을 청정화한 c면 사파이어 기판(1) 상에 유기 금속 화학 기상 성장(MOCVD)법에 의해 예를 들면 500℃ 정도의 온도에서 언도프 GaN 버퍼층(2)을 성장시킨 후, 예를 들면 ELO 등의 가로 방향 결정 성장 기술을 사용하여 예를 들면 1000℃의 성장 온도에서 언도프 GaN층(3)을 성장시킨다.

<436> 계속해서, 언도프 GaN층(3) 상에, MOCVD법에 의해, n형 GaN 콘택트층(4), n형 AlGaN 클래드층(5), n형 GaN 광 도파층(6), 언도프의 $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 다중 양자 우물 구조의 활성층(7), 언도프 InGaN 열화 방지층(8), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10), p형 AlGaN 클래드층(11) 및 p형 GaN 콘택트층(12)을 순차 성장시킨다. 여기서, In을 포함하지 않는 층인 n형 GaN 콘택트층(4), n형 AlGaN 클래드층(5), n형 GaN 광 도파층(6), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10), p형 AlGaN 클래드층(11) 및 p형 GaN 콘택트층(12)의 성장 온도는 예를 들면 1000℃ 정도로 하고, In을 포함하는 층인 $Ga_{1-x}In_xN/Ga_{1-y}In_yN$ 다중 양자 우물 구조의 활성층(7)의 성장 온도는 예를 들면 700 내지 800℃, 예를 들면 730℃로 한다. 언도프 InGaN 열화 방지층(8)의 성장 온도는 성장 개시 시점은 활성층(7)의 성장 온도와 같게, 예를 들면 730℃로 설정하여, 그 후 예를 들면 직선적으로 상승시켜, 성장 종료 시점에서 p형 AlGaN 캡층(9)의 성장 온도와 같게, 예를 들면 835℃가 되도록 한다.

<437> 이들 GaN계 반도체층의 성장 원료는 예를 들면, Ga의 원료로서는 트리메틸갈륨($(CH_3)_3Ga$, TMG), Al의 원료로서는 트리메틸알루미늄($(CH_3)_3Al$, TMA), In의 원료로서는 트리메텔인듐($(CH_3)_3In$, TMI)을, N의 원료로서는 NH_3을 사용한다. 또한, 캐리어 가스로서는, 예를 들면, H_2를 사용한다. 도펀트에 대해서는, n형 도펀트로서는 예를 들면 실란(SiH_4)을, p형 도펀트로서는 예를 들면 비스=메틸사이클로펜타디에닐마그네슘($(CH_3C_5H_4)_2Mg$) 혹은 비스=사이클로펜타디에닐마그네슘($(C_5H_5)_2Mg$)을 사용한다.

<438> 다음으로, 상술한 바와 같이 하여 GaN계 반도체층을 성장시킨 c면 사파이어 기판(1)을 MOCVD 장치로부터 추출한다. 그리고, p형 GaN 콘택트층(12)의 전체면에 예를 들면 CVD법, 진공 증착법, 스퍼터링법 등에 의해 예를 들면 두께가 0.1㎛인 SiO_2막(도시하지 않음)을 형성한 후, 이 SiO_2막 상에 리소그래피에 의해 메사부의 형상에 대응한 소정 형상의 레지스트 패턴(도시하지 않음)을 형성하여, 이 레지스트 패턴을 마스크로 하여, 예를 들면 불산계 에칭액을 사용한 웨트 에칭 또는 CF_4나 CHF_3 등의 불소를 포함하는 에칭 가스를 사용한 RIE법에 의해 SiO_2막을 에칭하여, 패터닝한다. 다음으로, 이 소정 형상의 SiO_2막을 마스크로 하여 예를 들면 RIE법에 의해 n형 GaN 콘택트층(4)에 이를 때까지 에칭을 한다. 이 RIE의 에칭 가스로서는 예를 들면 염소계 가스를 사용한다. 이 에칭에 의해, n형 GaN 콘택트층(4)의 상층부, n형 AlGaN 클래드층(5), n형 GaN 광 도파층(6), 활성층(7), 언도프 InGaN 열화 방지층(8), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10), p형 AlGaN 클래드층(11) 및 p형 GaN 콘택트층(12)이 메사 형상으로 패터닝된다.

<439> 다음으로, 에칭 마스크로서 사용한 SiO_2막을 에칭 제거한 후, 다시 기판 전체면에 예를 들면 CVD법, 진공 증착법, 스퍼터링법 등에 의해 예를 들면 두께가 0.2㎛인 SiO_2막(도시하지 않음)을 형성한 후, 이 SiO_2막 상에 리소그래피에 의해 리지부에 대응하는 소정 형상의 레지스트 패턴(도시하지 않음)을 형성하고, 이 레지스트 패턴을 마스크로 하여, 예를 들면 불산계 에칭액을 사용한 웨트 에칭 또는 CF_4나 CHF_3 등의 불소를 포함하는 에칭 가스를 사용한 RIE법에 의해 SiO_2막을 에칭하여, 리지부에 대응하는 형상으로 한다.

<440> 다음으로, 이 SiO_2막을 마스크로 하여 RIE법에 의해 p형 AlGaN 클래드층(11)의 두께 방향의 소정의 깊이까지 에칭을 함으로써 리지(13)를 형성한다. 이 RIE의 에칭 가스로서는 예를 들면 염소계 가스를 사용한다.

<441> 다음으로, 에칭 마스크로서 사용한 SiO_2막을 에칭 제거한 후, 기판 전체면에 예를 들면 CVD법, 진공 증착법, 스퍼터링법 등에 의해 예를 들면 두께가 0.3㎛인 SiO_2막과 같은 절연막(14)을 성막한다.

<442> 다음으로, 리소그래피에 의해 n측 전극 형성 영역을 제외한 영역의 절연막(14) 표면을 덮는 레지스트 패턴(도시하지 않음)을 형성한다.

<443> 다음으로, 이 레지스트 패턴을 마스크로 하여 절연막(14)을 에칭함으로써, 개구(14b)를 형성한다.

<444> 다음으로, 레지스트 패턴을 남긴 상태에서 기판 전체면에 예를 들면 진공 증착법에 의해 Ti막, Pt막 및 Au막을 순차 형성한 후, 레지스트 패턴을 그 위에 형성된 Ti막, Pt막 및 Au막과 함께 제거한다(리프트 오프). 이로써, 절연막(14)의 개구(14b)를 통하여 n형 GaN 콘택트층(4)에 콘택트한 n측 전극(16)이 형성된다. 여기서, 이 n측 전극(16)을 구성하는 Ti막, Pt막 및 Au막의 두께는 예를 들면 각각 10nm, 50nm 및 100nm이다. 다음으로, n측 전극(16)을 오믹 접촉시키기 위한 얼로이 처리를 한다.

<445> 다음으로, 동일한 프로세스에서, 리지(13) 상의 부분의 절연막(14)을 에칭 제거하여 개구(14a)를 형성한 후, n측 전극(16)과 같게 하여, 이 개구(14a)를 통하여 p형 GaN 콘택트층(12)에 콘택트한 Pd/Pt/Au 구조의 p측 전극(15)을 형성한다. 다음으로, p측 전극(15)을 오믹 접촉시키기 위한 얼로이 처리를 한다.

<446> 이 후, 상술한 바와 같이 하여 레이저 구조가 형성된 기판을 벽개 등에 의해 바형으로 가공하여 양 공진기 단면을 형성하고, 더욱이 이들 공진기 단면에 단면 코팅을 실시한 후, 이 바를 벽개 등에 의해 칩화한다.

<447> 이상에 의해, 목적으로 하는 리지 구조 및 SCH 구조를 갖는 GaN계 반도체 레이저가 제조된다.

<448> 이 제 1 실시예에 의한 GaN계 반도체 레이저와, 언도프 InGaN 열화 방지층을 형성하지 않는 것을 제외하고 이 GaN계 반도체 레이저와 동일 구조의 GaN계 반도체 레이저를 각각 제조하여, 그들 수명 시험을 한 바, 이 제 1 실시예에 의한 GaN계 반도체 레이저에서는 후자의 GaN계 반도체 레이저에 비하여, 초기 열화율이 대단히 작고, 또한, 동작 전류는 시간과 함께 서서히 증가하는 경향은 보이지만, 그 경사는 대단히 작아 문제 없는 레벨이었다. 단, 수명 시험은 모두 광 출력 30mW, 분위기 온도 60℃의 조건에서 행하였다. 또한, 이들 GaN계 반도체 레이저의 일렉트로 루미네선스 발광을 관측한 결과, 후자의 GaN계 반도체 레이저에서는 현저한 발광 얼룩이 관측되었지만, 이 제 1 실시예에 의한 GaN계 반도체 레이저에서는 발광 얼룩이 전혀 관측되지 않았다.

<449> 이상과 같이, 이 제 1 실시예에 의하면, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 p형 AlGaN 캡층(9)이 설치되어 있기 때문에, 언도프 InGaN 열화 방지층(8)에 의해, p형 AlGaN 캡층(9)에 의해 활성층(7)에 발생하는 응력을 대폭 완화할 수 있음과 동시에, p형층의 p형 도펀트로서 사용되는 Mg이 활성층(7)으로 확산하는 것을 유효하게 억제할 수 있다. 이로써, 장수명이고 신뢰성이 높아, 발광 얼룩도 없는 고성능의 GaN계 반도체 레이저를 실현할 수 있다.

<450> 다음으로, 본 발명의 제 2 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 3은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<451> 이 제 2 실시예에 의한 GaN계 반도체 레이저에 있어서는, 언도프 InGaN 열화 방지층(8)의 In 조성은 그 두께 전체에 걸쳐 동일하게 되어 있으며, 그 In 조성은 활성층(7)의 장벽층의 In 조성(y)보다 작은 값, 예를 들면 0.02로 선택되어 있다. 그 밖의 구성은 제 1 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<452> 또한, 이 GaN계 반도체 레이저의 제조 방법도 언도프 InGaN 열화 방지층(8) 성장 시에 성장 온도를 일정하게 하는 것을 제외하고, 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같다.

<453> 이 제 2 실시예에 의하면, 제 1 실시예와 동일한 이점을 얻을 수 있다.

<454> 다음으로, 본 발명의 제 3 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 4는 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<455> 이 제 3 실시예에 의한 GaN계 반도체 레이저에 있어서는, 언도프 InGaN 열화 방지층(8)의 In 조성은 그 두께 전체에 걸쳐 동일하게 되어 있으며, 그 In 조성은 활성층(7)의 장벽층의 In 조성(y)과 동일한 값으로 선택되어 있다. 여기서, 이 언도프 InGaN 열화 방지층(8)의 두께는 활성층(7)의 언도프 InGaN 열화 방지층(8)에 가장 가까운 곳에 있는 장벽층 두께와의 합계 두께가 적어도 15nm 이상, 적합하게는 17nm 이상, 보다 적합하게는 20nm 이상, 더욱 적합하게는 25nm 이상으로 되도록 선택된다. 그 밖의 구성은 제 1 실시예에 의한 GaN계 반도체 레이

저와 동일하기 때문에, 설명을 생략한다.

<456> 또한, 이 GaN계 반도체 레이저의 제조 방법도 언도프 InGaN 열화 방지층(8) 성장 시에 성장 온도를 일정하게 하는 것을 제외하고, 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같다.

<457> 이 제 3 실시예에 의하면, 제 1 실시예와 동일한 이점을 얻을 수 있다.

<458> 다음으로, 본 발명의 제 4 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 5는 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<459> 이 제 4 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 p형 GaN 광 도파층(10)이 설치되며, 이 p형 GaN 광 도파층(10)에 접하여 p형 AlGaN 캡층(9)이 설치된 구조를 갖는다. 언도프 InGaN 열화 방지층(8)의 In 조성 분포는 제 1 실시예와 같다. 그 밖의 구성은 제 1 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<460> 또한, 이 GaN계 반도체 레이저의 제조 방법도 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같다.

<461> 이 제 4 실시예에 의하면, 제 1 실시예와 동일한 이점을 얻을 수 있다.

<462> 다음으로, 본 발명의 제 5 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 6은 본 발명의 제 5 실시예에 의한 GaN계 반도체 레이저를 도시한다. 도 7은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<463> 이 제 5 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 GaN 광 도파층(17)이 설치되고, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN 캡층(9)이 설치되며, 더욱이 이 p형 AlGaN 캡층(9)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 이 경우, 언도프 InGaN 열화 방지층(8)은 설치되어 있지 않다. 언도프 GaN 광 도파층(17)은 n형 전도성을 보여준다. 이 언도프 GaN 광 도파층(17)의 두께는 일반적으로는 10 내지 100nm이지만, 여기서는 20 내지 40nm로 한다. p형 AlGaN/GaN 초격자 클래드층(18)은 예를 들면 두께가 2.5nm이고 Al 조성이 12%인 언도프의 AlGaN층을 장벽층으로 하고, 예를 들면 두께가 같고 2.5nm인 Mg이 도프된 GaN층을 우물층으로 하여, 이들을 반복하여 적층한 구조를 가지며, 전체 두께는 예를 들면 0.5㎛이다. 또한, p형 AlGaN 캡층(9)과 p형 AlGaN/GaN 초격자 클래드층(18)에 있어서의 이 p형 AlGaN 캡층(9)에 인접하는 장벽층과의 사이 거리는 활성층에 주입되는 전자가 터널 효과에 의해 p형 AlGaN 캡층(9)을 통하여 p형 AlGaN/GaN 초격자 클래드층(18) 측으로 빠져버리는 것을 방지하기 위해, 이 터널 효과를 억제할 수 있는 거리, 구체적으로는 예를 들면 10nm 정도로 설정되어 있다. 또한, p형 AlGaN/GaN 초격자 클래드층(18)을 사용하고 있는 것은 터널 효과에 의해 정공이 통과하기 쉽게 하기 위함이다. 그 밖의 구성은 제 1 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<464> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 800℃, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)은 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 N_2 분위기, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)은 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN 캡층(9)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7) 열화를 방지할 수 있다. 또한, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12) 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<465> 도 8은 언도프 GaN 광 도파층(17)의 두께에 의한 반도체 레이저의 수직 방향의 빔 확장각, 즉 수직 방사각($\Theta\perp$) 변화를 측정한 결과를 도시한다. 도 8에 의해, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 함으로써, 수직 방사각을 19 내지 22도로 할 수 있다. 종래의 GaN계 반도체 레이저의 수직 방사각 값은 26 내지 30도이기 때문에, 수직 방사각이 대폭 감소하고 있는 것을 알 수 있다.

<466> 이 제 5 실시예에 의하면, 활성층(7), 언도프 GaN 광 도파층(17), p형 AlGaN 캡층(9) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기

때문에, GaN계 반도체 레이저의 수직 방사각을 종래에 비하여 대폭 감소시킬 수 있어, 그로써 방사각의 어스팩트비(수평 방사각을 Θ∥로 하였을 때, Θ⊥/Θ∥)를 작게 할 수 있고, 더욱이 p형 AlGaN 캡층(9)이 p형 AlGaN/GaN 초격자 클래드층(18)에 접하고 있기 때문에, 원시야상에 있어서의 광 강도 분포의 대칭성 향상을 도모할 수 있다. 이러한 GaN계 반도체 레이저는 특히, 광 디스크 장치에 있어서의 광원에 사용하기 적합한 것이다.

<467> 또한, 활성층(7) 상에 직접 언도프 GaN 광 도파층(17)을 성장시키기 때문에, 결정성 향상을 도모할 수 있으며, 나아가서는 GaN계 반도체 레이저 수명 향상을 도모할 수 있다.

<468> 더욱이, 언도프 GaN 광 도파층(17)은 두께가 20 내지 40nm로 작은 가운데, p형 불순물로서 Mg을 도프한 p형 GaN 광 도파층에 비하여 저항율이 작기 때문에, GaN계 반도체 레이저의 직렬 저항 저감을 도모할 수 있으며, 나아가서는 구동 전압 저감을 도모할 수 있다.

<469> 다음으로, 본 발명의 제 6 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 9는 본 발명의 제 6 실시예에 의한 GaN계 반도체 레이저를 도시한다. 도 10은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<470> 이 제 6 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 언도프 GaN 광 도파층(17)이 설치되며, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN 캡층(9)이 설치되며, 더욱이 이 p형 AlGaN 캡층(9)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 언도프 InGaN 열화 방지층(8)의 In 조성은 제 2 실시예와 같다. 그 밖의 구성은 제 1 및 제 5 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<471> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같지만, 이 경우, 특히 각 층 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 언도프 InGaN 열화 방지층(8)까지는 800℃, 언도프 GaN 광 도파층(17) 및 p형 AlGaN 캡층(9)은 850℃, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)은 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 N_2 분위기, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)은 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN 캡층(9)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7)의 열화를 방지할 수 있다. 또한, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<472> 이 제 6 실시예에 의하면, 활성층(7), 언도프 InGaN 열화 방지층(8), 언도프 GaN 광 도파층(17), p형 AlGaN 캡층(9) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있는 것 외에, 활성층(7)에 인접하여 언도프 InGaN 열화 방지층(8)을 설치하고 있음으로써 제 1 실시예와 동일한 이점을 얻을 수 있다.

<473> 다음으로, 본 발명의 제 7 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 11은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<474> 이 제 7 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 GaN 광 도파층(17)이 설치되고, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN 캡층(9)이 설치되며, 이 p형 AlGaN 캡층(9)에 접하여 p형 GaN 광 도파층(10)이 설치되며, 더욱이 이 p형 GaN 광 도파층(10)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 그 밖의 구성은 제 1 및 제 5 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<475> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 800℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가

스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 N_2 분위기, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN 캡층(9)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7)의 열화를 방지할 수 있다. 또한, p형 GaN 광 도파층(10), p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<476> 이 제 7 실시예에 의하면, 활성층(7), 언도프 GaN 광 도파층(17), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있다.

<477> 다음으로, 본 발명의 제 8 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 12는 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<478> 이 제 8 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 언도프 GaN 광 도파층(17)이 설치되며, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN 캡층(9)이 설치되며, 이 p형 AlGaN 캡층(9)에 접하여 p형 GaN 광 도파층(10)이 설치되며, 더욱이 이 p형 GaN 광 도파층(10)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 언도프 InGaN 열화 방지층(8)의 In 조성은 제 2 실시예와 동일하다. 그 밖의 구성은 제 1 및 제 5 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<479> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 같지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6) 및 활성층(7)은 800℃, 언도프 InGaN 열화 방지층(8)에서 p형 AlGaN 캡층(9)까지는 860℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN 캡층(9)까지는 N_2 분위기, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN 캡층(9)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7) 열화를 방지할 수 있다. 또한, p형 GaN 광 도파층(10), p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<480> 이 제 8 실시예에 의하면, 활성층(7), 언도프 InGaN 열화 방지층(8), 언도프 GaN 광 도파층(17), p형 AlGaN 캡층(9), p형 GaN 광 도파층(10) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있는 것 외에, 활성층(7)에 인접하여 언도프 InGaN 열화 방지층(8)을 설치하고 있음으로써 제 1 실시예와 동일한 이점을 얻을 수 있다.

<481> 다음으로, 본 발명의 제 9 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 13은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<482> 이 제 9 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 GaN 광 도파층(17)이 설치되고, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN/GaN 초격자 캡층(19)이 설치되며, 이 p형 AlGaN/GaN 초격자 캡층(19)에 접하여 p형 GaN 광 도파층(10)이 설치되며, 더욱이 이 p형 GaN 광 도파층(10)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. p형 AlGaN/GaN 초격자 캡층(19)은 예를 들면 두께가 2.5nm이고 Al 조성이 18%인 언도프의 AlGaN층을 장벽층으로 하고, 예를 들면 두께가 동일하게 2.5nm인 Mg이 도프된 GaN층을 우물층으로 하여, 이들을 반복하여 적층한 구조를 가지며, 전체 두께는 예를 들면 100nm이다. 그 밖의 구성은 제 1 및 제 5 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<483> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 동일하지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다.

<484> 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 p형 AlGaN/GaN 초격자 캡층(19)까지는 800℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)은 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN/GaN 초격자 캡층(19)까지는 N_2 분위기, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN/GaN 초격자 캡층(19)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7)의 열화를 방지할 수 있다. 또한, p형 GaN 광 도파층(10), p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<485> 이 제 9 실시예에 의하면, 활성층(7), 언도프 GaN 광 도파층(17), p형 AlGaN/GaN 초격자 캡층(19), p형 GaN 광 도파층(10) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있다.

<486> 다음으로, 본 발명의 제 10 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 14는 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<487> 이 제 10 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 언도프 GaN 광 도파층(17)이 설치되며, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN/GaN 초격자 캡층(19)이 설치되며, 이 p형 AlGaN/GaN 초격자 캡층(19)에 접하여 p형 GaN 광 도파층(10)이 설치되며, 더욱이 이 p형 GaN 광 도파층(10)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 언도프 InGaN 열화 방지층(8)의 In 조성은 제 2 실시예와 동일하다. 그 밖의 구성은 제 1 및 제 5 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<488> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 동일하지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 언도프 InGaN 열화 방지층(8)까지는 800℃, 언도프 GaN 광 도파층(17) 및 p형 AlGaN/GaN 초격자 캡층(19)은 870℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN/GaN 초격자 캡층(19)까지는 N_2 분위기, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN/GaN 초격자 캡층(19) 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7) 열화를 방지할 수 있다. 또한, p형 GaN 광 도파층(10), p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12) 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<489> 이 제 10 실시예에 의하면, 활성층(7), 언도프 InGaN 열화 방지층(8), 언도프 GaN 광 도파층(17), p형 AlGaN/GaN 초격자 캡층(19), p형 GaN 광 도파층(10) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있는 것 외에, 활성층(7)에 인접하여 언도프 InGaN 열화 방지층(8)을 설치하고 있음으로써 제 1 실시예와 동일한 이점을 얻을 수 있다.

<490> 다음으로, 본 발명의 제 11 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 15는 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<491> 이 제 11 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 GaN 광 도파층(17)이 설치되고, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN/GaN 초격자 캡층(19)이 설치되며, 이 p형 AlGaN/GaN 초격자 캡층(19)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 그 밖의 구성은 제 1, 제 5 및 제 9 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<492> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과

동일하지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 p형 AlGaN/GaN 초격자 캡층(19)까지는 800℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)은 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 p형 AlGaN/GaN 초격자 캡층(19)까지는 N_2 분위기, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN/GaN 초격자 캡층(19)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7) 열화를 방지할 수 있다. 또한, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<493> 이 제 11 실시예에 의하면, 활성층(7), 언도프 GaN 광 도파층(17), p형 AlGaN/GaN 초격자 캡층(19) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있다.

<494> 다음으로, 본 발명의 제 12 실시예에 의한 GaN계 반도체 레이저에 대해서 설명한다. 도 16은 이 GaN계 반도체 레이저의 에너지 밴드도를 도시한다.

<495> 이 제 12 실시예에 의한 GaN계 반도체 레이저에 있어서는, 활성층(7)에 접하여 언도프 InGaN 열화 방지층(8)이 설치되고, 이 언도프 InGaN 열화 방지층(8)에 접하여 언도프 GaN 광 도파층(17)이 설치되며, 이 언도프 GaN 광 도파층(17)에 접하여 p형 AlGaN/GaN 초격자 캡층(19)이 설치되며, 이 p형 AlGaN/GaN 초격자 캡층(19)에 접하여 p형 AlGaN/GaN 초격자 클래드층(18)이 설치된 구조를 갖는다. 언도프 InGaN 열화 방지층(8)의 In 조성은 제 2 실시예와 동일하다. 그 밖의 구성은 제 1, 제 5 및 제 9 실시예에 의한 GaN계 반도체 레이저와 동일하기 때문에, 설명을 생략한다.

<496> 이 GaN계 반도체 레이저의 제조 방법은 기본적으로는 제 1 실시예에 의한 GaN계 반도체 레이저의 제조 방법과 동일하지만, 이 경우, 특히 각 층의 성장 시의 성장 온도 및 캐리어 가스를 다음과 같이 설정한다. 즉, 성장 온도에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 1000℃, n형 GaN 광 도파층(6)에서 언도프 InGaN 열화 방지층(8)까지는 800℃, 언도프 GaN 광 도파층(17) 및 p형 AlGaN/GaN 초격자 캡층(19)은 880℃, p형 GaN 광 도파층(10)에서 p형 GaN 콘택트층(12)까지는 1000℃로 한다. 또한, 캐리어 가스에 대해서는, 예를 들면, 언도프 GaN층(3)에서 n형 AlGaN 클래드층(5)까지는 N_2와 H_2의 혼합 가스 분위기, n형 GaN 광 도파층(6)에서 언도프 InGaN 열화 방지층(8)까지는 N_2 분위기, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)은 N_2와 H_2의 혼합 가스 분위기로 한다. 이 경우, 활성층(7)을 성장시킨 후, p형 AlGaN/GaN 초격자 캡층(19)의 성장까지는 캐리어 가스 분위기를 N_2 분위기로 하고 있으며, 캐리어 가스 분위기에 H_2가 포함되지 않기 때문에, 활성층(7)으로부터 In이 탈리하는 것을 억제할 수 있어, 활성층(7) 열화를 방지할 수 있다. 또한, p형 AlGaN/GaN 초격자 클래드층(18) 및 p형 GaN 콘택트층(12)의 성장 시에는 캐리어 가스 분위기를 N_2와 H_2의 혼합 가스 분위기로 하고 있기 때문에, 이들 p형층을 양호한 결정성으로 성장시킬 수 있다.

<497> 이 제 12 실시예에 의하면, 활성층(7), 언도프 InGaN 열화 방지층(8), 언도프 GaN 광 도파층(17), p형 AlGaN/GaN 초격자 캡층(19) 및 p형 AlGaN/GaN 초격자 클래드층(18)이 순차 접한, 구조로 하여, 언도프 GaN 광 도파층(17)의 두께를 20 내지 40nm로 얇게 하고 있기 때문에, 제 5 실시예와 동일한 이점을 얻을 수 있는 것 외에, 활성층(7)에 인접하여 언도프 InGaN 열화 방지층(8)을 설치하고 있음으로써 제 1 실시예와 동일한 이점을 얻을 수 있다.

<498> 이상, 본 발명의 실시예에 대해서 구체적으로 설명하였지만, 본 발명은 상술한 실시예에 한정되는 것이 아니라, 본 발명의 기술적 사상에 근거하는 각종 변형이 가능하다.

<499> 예를 들면, 상술한 제 1 내지 제 12 실시예에 있어서 든 수치, 구조, 기판, 원료, 프로세스 등은 어디까지나 예에 지나지 않으며, 필요에 따라서, 이들과 다른 수치, 구조, 기판, 원료, 프로세스 등을 사용하여도 된다.

<500> 구체적으로는, 예를 들면, 상술한 제 1 내지 제 12 실시예에 있어서는, 레이저 구조를 형성하는 n형층을 기판

상에 처음에 적층하고, 그 위에 p형층을 적층하고 있지만, 이것과 적층 순서를 반대로 하여, 기판 상에 처음에 p형층을 적층하여, 그 위에 n형층을 적층한 구조로 하여도 된다.

<501> 또한, 상술한 제 1 내지 제 12 실시예에 있어서는, c면 사파이어 기판을 사용하고 있지만, 필요에 따라서, SiC 기판, Si 기판, 스피넬 기판, 두꺼운 GaN층으로 이루어지는 기판 등을 사용하여도 된다. 또한, GaN 버퍼층 대신, AlN 버퍼층이나 AlGaN 버퍼층을 사용하여도 된다.

<502> 또한, 상술한 제 1 내지 제 12 실시예에 있어서는, 본 발명을 SCH 구조의 GaN계 반도체 레이저 제조에 적용한 경우에 대해서 설명하였지만, 본 발명은 예를 들면, DH(Double Heterostructure) 구조의 GaN계 반도체 레이저 제조에 적용하여도 되는 것은 물론, GaN계 발광 다이오드 제조에 적용하여도 되며, 나아가서는 GaN계 FET나 GaN계 헤테로 접합 바이폴라 트랜지스터(HBT) 등의 질화물계 III-V족 화합물 반도체를 사용한 전자 주행 소자에 적용하여도 된다.

<503> 더욱이, 상술한 제1 및 제 2 실시예에 있어서는, MOCVD법에 의해 성장을 할 때의 캐리어 가스로서 H_2 가스를 사용하고 있지만, 필요에 따라서, 다른 캐리어 가스, 예를 들면 H_2와 N_2 혹은 He, Ar 가스 등과의 혼합 가스를 사용하여도 된다.

발명의 효과

<504> 이상 설명한 바와 같이, 본 발명에 의하면, In 및 Ga을 포함하는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 활성층 또는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 접하여, 제 1 질화물계 III-V족 화합물 반도체와 다른 In 및 Ga을 포함하는 제 2 질화물계 III-V족 화합물 반도체로 이루어지는 중간층이 설치되어 있기 때문에, 이 중간층에 의해, 캡층 등에 의해 활성층 또는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에 발생하는 응력을 대폭 완화할 수 있거나, 혹은, p형층의 p형 도펀트로서 사용되는 Mg의 활성층 또는 제 1 질화물계 III-V족 화합물 반도체로 이루어지는 층에의 확산을 유효하게 억제할 수 있어, 이로써 초기 열화율이 충분히 낮고 장수명이며, 동작 전류의 짧은 시간 동안의 변화가 극히 적어, 발광 얼룩도 극히 적은 질화물계 III-V족 화합물 반도체를 사용한 반도체 발광 소자 혹은 장수명이고 짧은 시간 동안의 변화도 극히 적은 질화물계 III-V족 화합물 반도체를 사용한 반도체 장치를 실현할 수 있다. 또한, 본 발명에 의한 제조 방법에 의하면, 이러한 반도체 발광 소자 및 반도체 장치를 용이하게 제조할 수 있다.

<505> 또한, 캡층을 설치하는 위치의 최적화에 의해, 활성층에 캡층을 인접시켜 설치하거나, 활성층에 중간층을 개재시켜 캡층을 설치하거나 하는 경우에 비하여 광 도파층 혹은 제 1 광 도파층의 결정성을 양호하게 할 수 있거나, 혹은 이들 광 도파층 혹은 제 1 광 도파층의 두께 최적화를 도모할 수 있기 때문에, 장수명이고, 더구나 특히 반도체 레이저에서는 원시야상에 있어서의 광 강도 분포의 대칭성이 높아, 방사각의 어스팩트비 향상을 도모할 수 있는 질화물계 III-V족 화합물 반도체를 사용한 반도체 발광 소자 혹은 장수명의 질화물계 III-V족 화합물 반도체를 사용한 반도체 장치를 실현할 수 있다. 또한, 본 발명에 의한 제조 방법에 의하면, 이러한 반도체 발광 소자 및 반도체 장치를 용이하게 제조할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제 1 실시예에 의한 GaN계 반도체 레이저를 도시하는 단면도.

<2> 도 2는 본 발명의 제 1 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<3> 도 3은 본 발명의 제 2 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<4> 도 4는 본 발명의 제 3 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<5> 도 5는 본 발명의 제 4 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<6> 도 6은 본 발명의 제 5 실시예에 의한 GaN계 반도체 레이저를 도시하는 단면도.

<7> 도 7은 본 발명의 제 5 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<8> 도 8은 본 발명의 제 5 실시예에 의한 GaN계 반도체 레이저에 있어서의 언도프 GaN 광 도파층의 두께에 의한 반도체 레이저의 수직 방사각 변화의 측정 결과를 도시하는 대략선도.

<9> 도 9는 본 발명의 제 6 실시예에 의한 GaN계 반도체 레이저를 도시하는 단면도.

<10> 도 10은 본 발명의 제 6 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<11> 도 11은 본 발명의 제 7 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<12> 도 12는 본 발명의 제 8 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<13> 도 13은 본 발명의 제 9 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

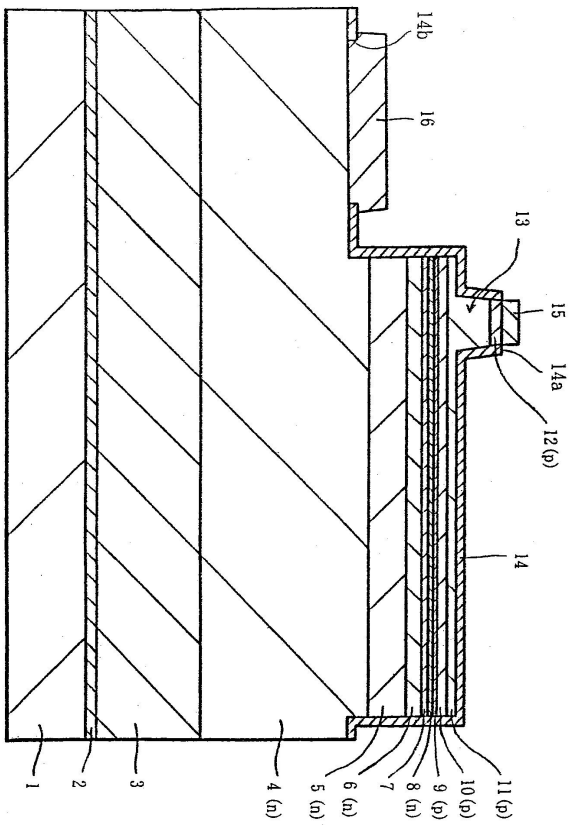
<14> 도 14는 본 발명의 제 10 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

<15> 도 15는 본 발명의 제 11 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

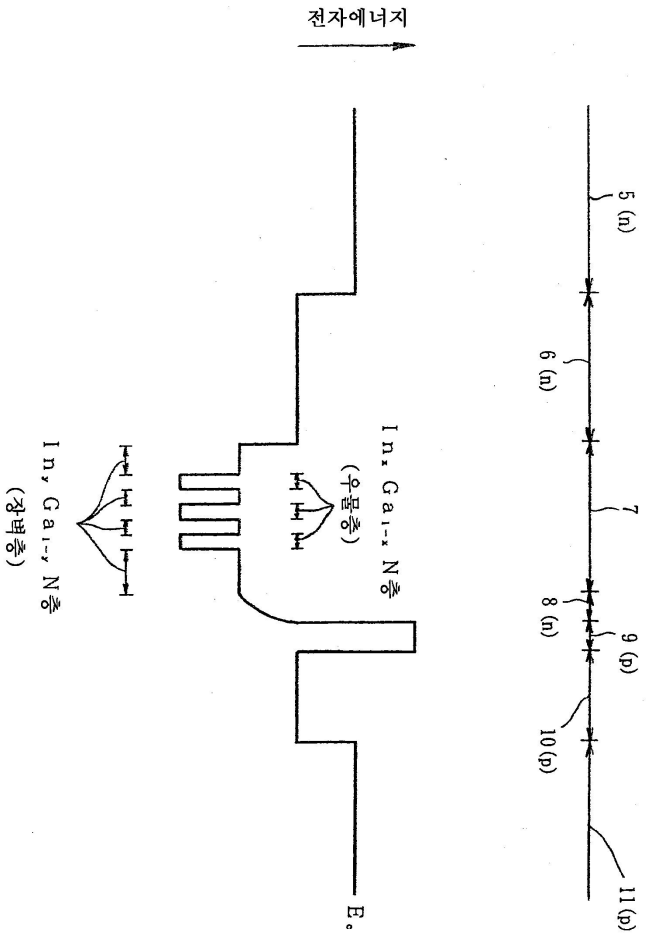
<16> 도 16은 본 발명의 제 12 실시예에 의한 GaN계 반도체 레이저의 에너지 밴드 구조를 도시하는 대략선도.

도면

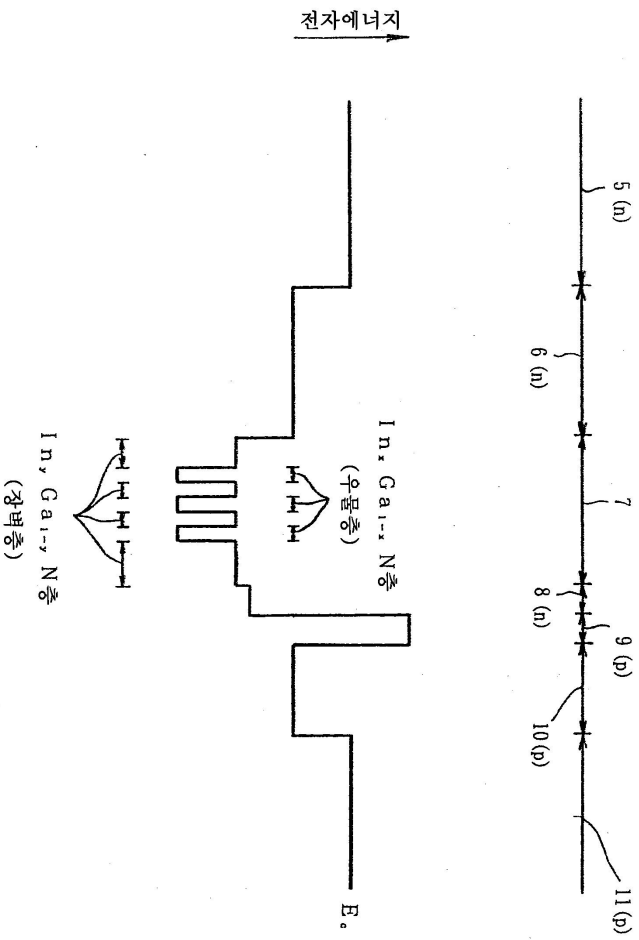
도면1



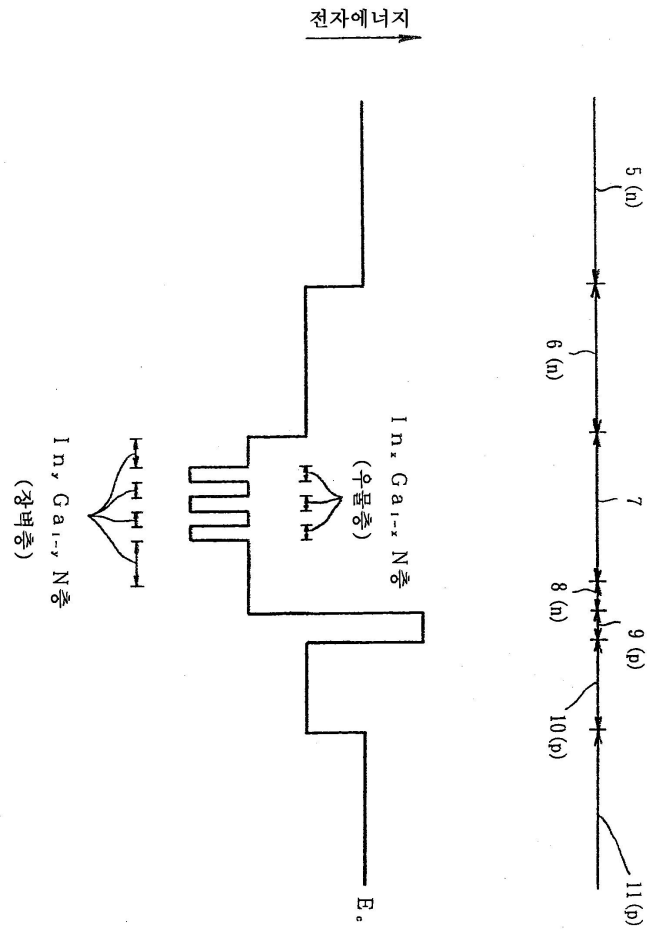
도면2



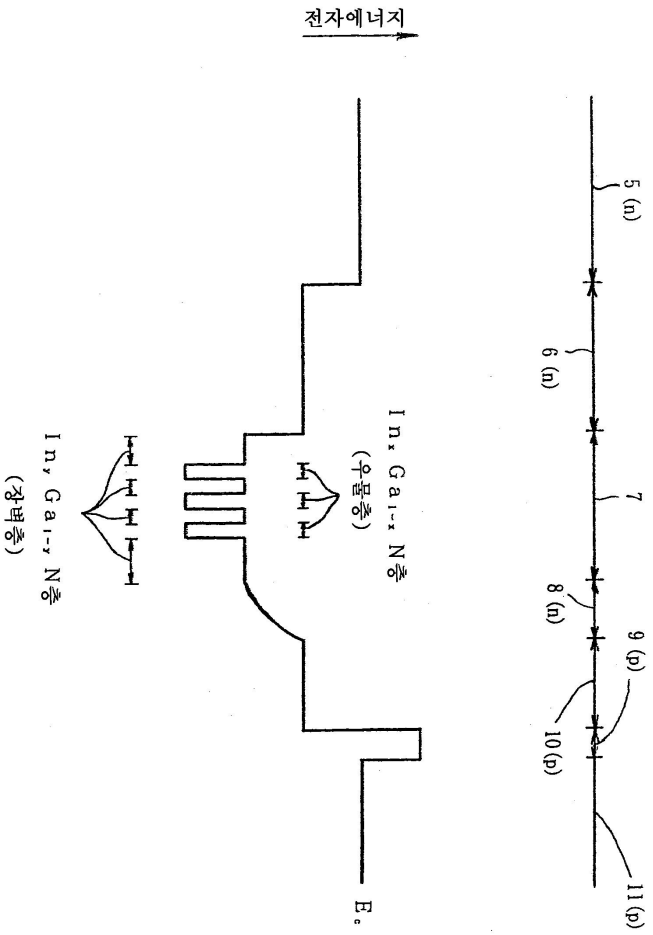
도면3



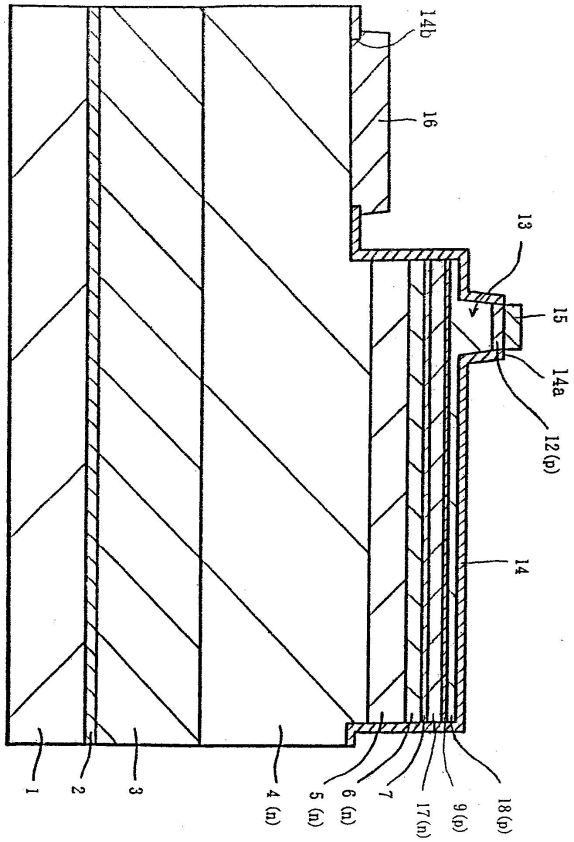
도면4



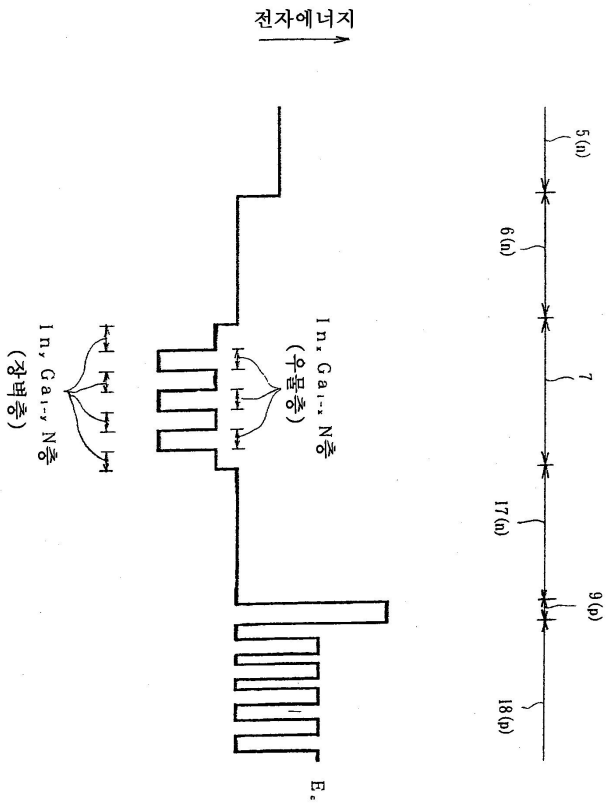
도면5



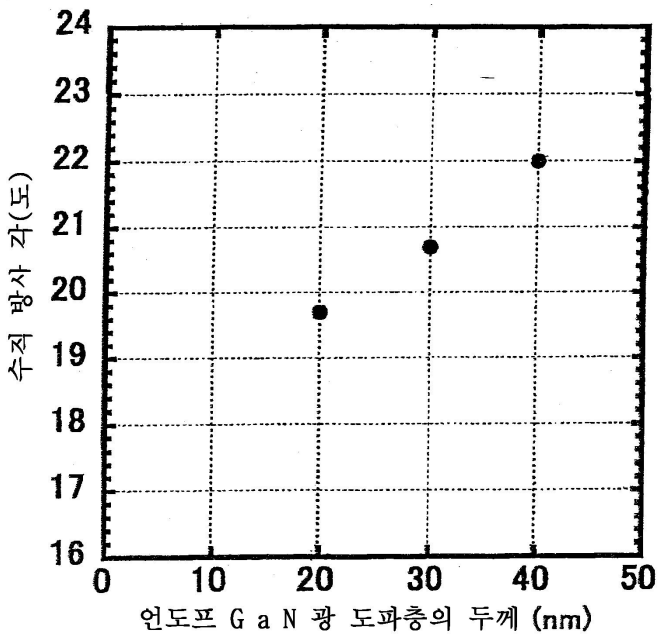
도면6



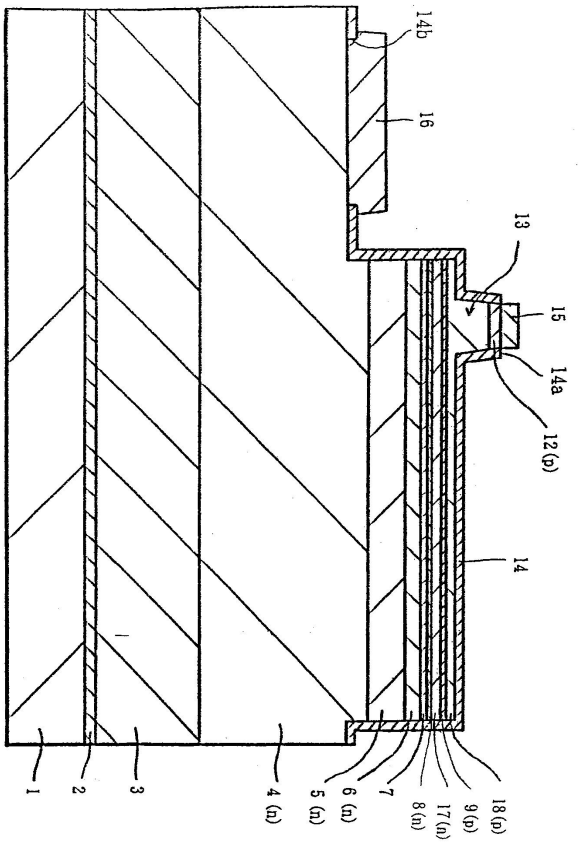
도면7


전자에너지
In x Ga 1-x N층
(우물층)
In y Ga 1-y N층
(장벽층)
5(d)
6(d)
7
17(d)
9(d)
18(d)
Ec

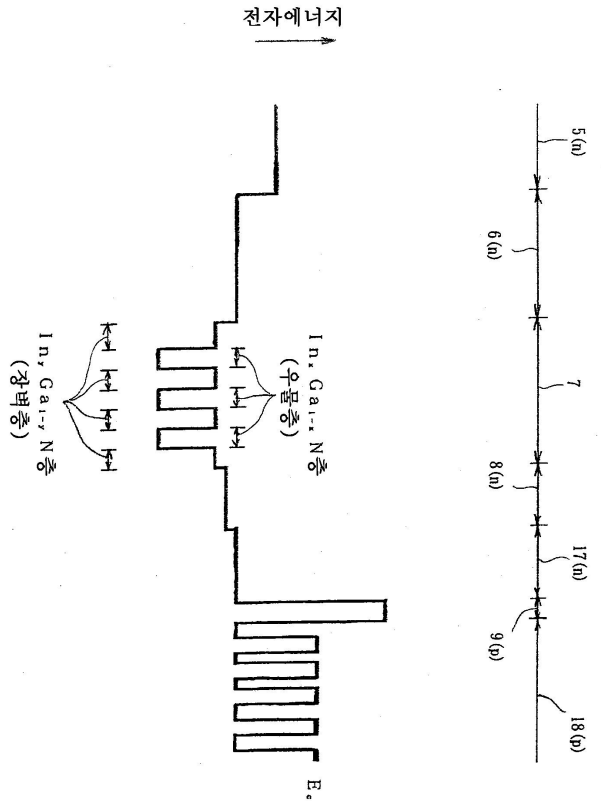
도면8


24
23
22
21
20
19
18
17
16
수직 방사 각(도)
0
10
20
30
40
50
언도프 G a N 광 도파층의 두께 (nm)

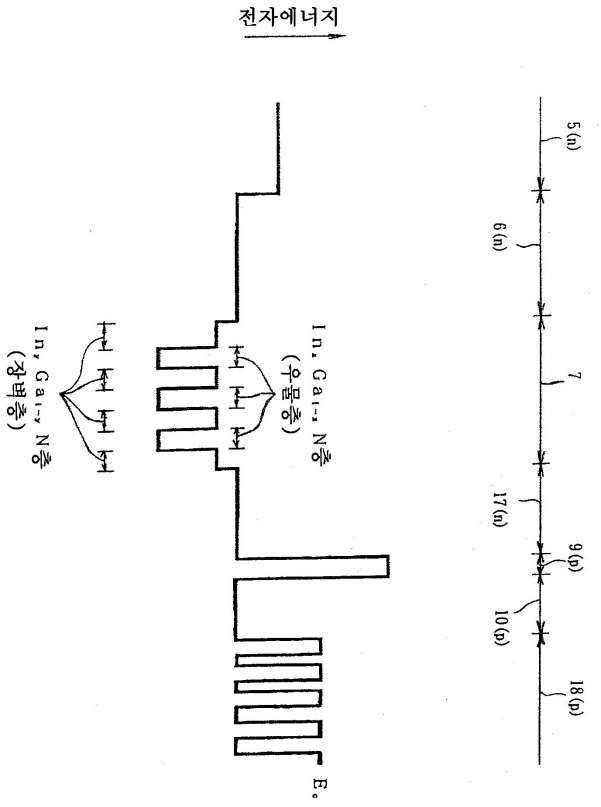
도면9



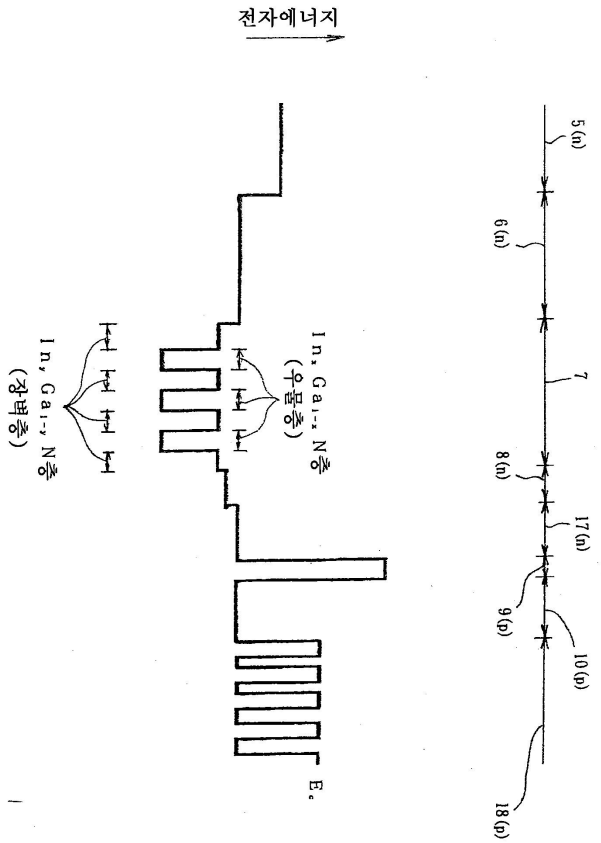
도면10


전자에너지
5(n)
6(n)
7
8(n)
17(n)
9(p)
18(p)
In, Ga1-xN층
(우물층)
In, Ga1-yN층
(장벽층)
Eg

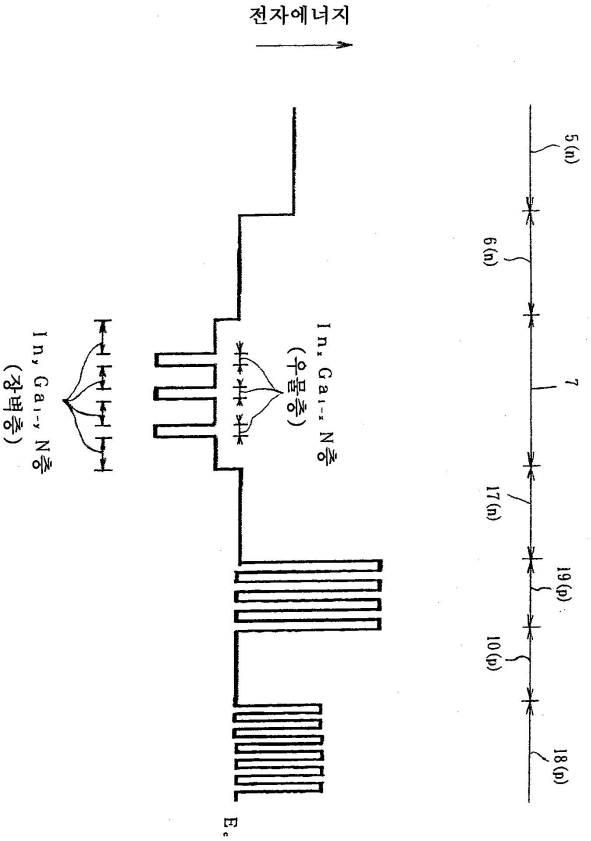
도면11


전자에너지
5(n)
6(n)
7
17(n)
9(p)
10(p)
18(p)
In, Ga1-xN층
(우물층)
In, Ga1-yN층
(장벽층)
Eg

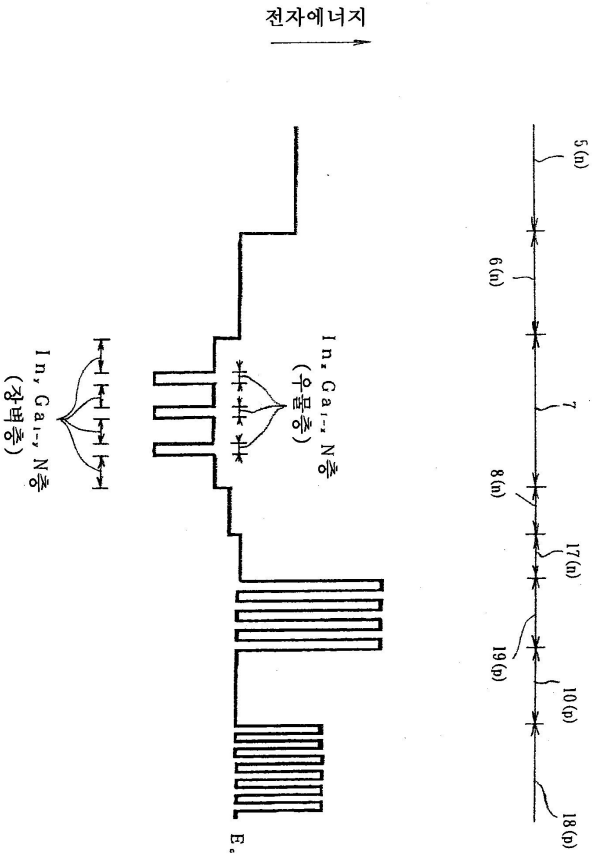
도면12



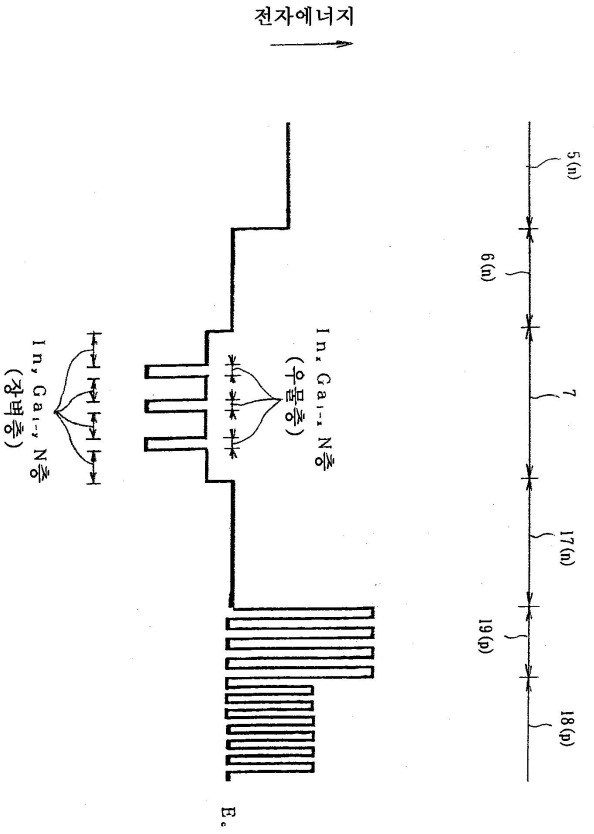
도면13



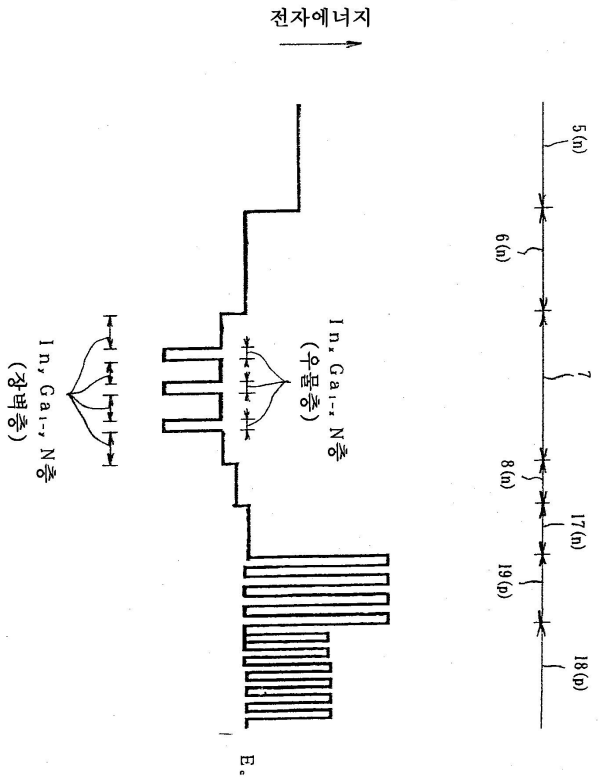
도면14



도면15


전자에너지
5(n)
6(n)
7
17(n)
19(p)
18(p)
$In_x Ga_{1-x} N$층
(우물층)
$In_y Ga_{1-y} N$층
(장벽층)
E_c

도면16


전자에너지
5(n)
6(n)
7
8(n)
17(n)
19(p)
18(p)
$In_x Ga_{1-x} N$층
(우물층)
$In_y Ga_{1-y} N$층
(장벽층)
E_c