

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002 年 07 月 31 日；10/209,816

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 07 月 31 日；10/209,816

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明概言之係關於電子裝置，更特定言之，本發明係關於場效電晶體及其製造方法。

【先前專利申請案之參考】

本專利申請案已於2002年7月31日以專利申請第10/209,816號在美國提出專利申請。

【先前技術】

一場效電晶體(FET)係一藉由調處一施於一閘極之電壓來控制輸出電流之裝置。電晶體(包括FET)構成衆多主動電子電路之積木式組件。多個元件參數之相互作用(包括不同裝置元件之間的電容及電阻值)可影響一FET之性能。FET可藉由此等參數之一複雜折衷選擇來達成最佳化。該最佳化過程亦必須考慮熱載流子注入(HCI)的影響。現有設計之靈活性不足以分別達成閘極-汲極電容(C_{gd})減小及影響電晶體漂移區之場板極之最佳化。

FET最佳化之複雜性特別在於：電晶體中若包含一設計用於同時減小 C_{gd} 並減小峰值電場之場板極，將明顯增大閘極-源極電容(C_{gs})。截至目前，吾人一直採用法拉第屏蔽來減小 C_{gd} ，但此等屏蔽未必對水平及垂直電場元件有影響。因此，需要一裝置結構，其能夠改良裝置特性並提高某些參數最佳化設計之靈活性且同時將對其它參數之負面影響降至最小。

【發明內容】

本發明關於一種場效電晶體，該場效電晶體包括一具有第一部分及第二部分之汲極區，且該第二部分之摻雜程度輕於該第一部分。一溝道區鄰近該第二部分，且一汲極位於該汲極區上。一閘極覆於該溝道區之上。一屏蔽結構覆於該汲極區之上且在距一半導體基板的第一距離處具有一第一區段並在距該半導體基板的第二距離處具有一第二區段，且第二距離大於第一距離。在一特定具體實施例中，FET包括一屏蔽結構，其中第一與第二區段實體分開。FET內該等屏蔽區段之定位可變化，且可獨立控制每一區段之電位。

為闡釋之簡單及清楚起見，附圖僅闡釋構造之基本態樣，為避免不必要地混淆本發明，本文省略有關眾所習知之特徵及技術之闡述及細節。此外，附圖中的元件未必按比例繪製。舉例而言，為增強對本發明具體實施例的理解，附圖中某些元件之尺寸可能相對於其它元件而誇大。相同的元件符號在不同圖式中表示相同的元件。

在說明書及申請專利範圍中，術語「第一」、「第二」、「第三」、「第四」及類似術語(若有)係用於區分類似元件而未必用於闡述一特定具體順序或時間次序。應瞭解，如此使用之術語在合適之情形下可互換，以使本文中所闡述之本發明具體實施例(舉例而言)能以本文所闡釋之彼等次序以外的次序或另外闡述之次序作業。

在說明書及申請專利範圍中，術語「左」、「右」、「前」、「後」、「頂部」、「底部」、「在……上面」、「在……下面」及類似術語(若有)用於闡述之目的而並非用於闡述固定不變的

相對位置。應瞭解，如此使用之術語在合適情形下可互換，以使本文中所闡述之本發明具體實施例(舉例而言)能以本文所闡釋之彼等定向以外的定向或另外闡述之定向作業。本文中所用術語「耦合」定義為以機械或非機械方式直接或間接連接。

【實施方式】

在本文所揭示之本發明一特定具體實施例中，一FET包含一在製造過程中設置之雙板極結構。可將該板極之一部分製作於充分靠近半導體處，以影響峰值電場，但充分遠離閘極以不顯著增大 C_{gs} 。輸入阻抗隨 C_{gs} 之減小而增大，此乃吾人期望之結果。可在一較厚介電層上面形成板極之第二部分以屏蔽閘極免受汲極之影響，但仍充分遠離閘極以不顯著提高 C_{gs} 。本發明可顯著提高RF高功率裝置之性能最佳化之靈活性。

圖1闡釋一該項技術中所習知之傳統場效電晶體100之一部分，其中一半導體基板10具有由一溝道區14分開的一汲極區12及一源極區13，由此形成一場效電晶體之一部分。如在該項技術中眾所習知，半導體基板10可包括一矽層或一其它半導體材料層。作為一實例，一矽層可實質上由使用一磊晶方法生長之結晶矽構成。

仍參見圖1，一閘極16覆於一閘極氧化物15與溝道區14上。可藉由調變施於閘極16之電壓來控制流過溝道區14之電流。汲極區12包括一第一部分18及一第二部分20。第二部分20包括一漂移區22且其摻雜程度較第一部分18輕。溝道區14

鄰近第二部分20。一汲極24覆於汲極區12之第一部分18上。

隨著電路裝置之尺寸日趨減小，源極與汲極之間的電場相應增大。此必然亦增加一習知之熱載流子注入或HCI之現象中載流子注入裝置之閘極氧化物之可能性。若不予處置，在某些情況下，HCI可導致包括電路故障在內的電路性能之顯著惡化。電路裝置之尺寸減小之另一結果為此等電路裝置之間寄生電容增大，其亦可導致顯著的性能惡化。

該項技術中各種衆所習知之技術(例如，法拉第屏蔽及場板極)已解決此等及其它問題。然而，如本文先前一段落中所述，法拉第屏蔽在減小寄生電容方面很有效，但在減小電場從而降低HCI方面卻效果甚微，然而適於減小峰值電場之場板極趨於增大寄生電容。換言之，現行之方案解決一問題時趨於以產生或加劇另一問題為代價。

如圖2所示，為克服先前技術之此等及其它缺點，在一場效電晶體200中設置一屏蔽結構30。屏蔽結構30之至少一部分覆於汲極區12之第二部分20上。具有導電性的屏蔽結構30包括位於距半導體基板10之第一距離33處的第一區段32及位於距半導體基板10之第二距離35處的第二區段34。在圖2所示之具體實施例中，第一及第二區段32及34彼此分開形成兩個不同部分。屏蔽結構30位於電絕緣介電堆疊層300上且部分位於其中。電絕緣介電堆疊層300由介電層310及320組成。在圖2所示之具體實施例中，介電層310之厚度界定第一距離33，介電層310與320之組合厚度及第一區段32界定第二距離35。介電層310及320可具有相同或不同之厚度。相應

地，第二距離35大於第一距離33。在一具體實施例中，屏蔽結構30之第一部分32覆於汲極區12之第二部分20上，而屏蔽結構30之第二區段34覆於閘極16和第一區段32上。如同後文中之詳細闡釋，一特定具體實施例將汲極24定位於較屏蔽結構30之第一區段32更靠近於第二區段34之位置。如前文所述，該位置可將Cgd降至最佳程度。屏蔽結構30可包括一導電固體板極，或包括一柵格或導電條之其它佈置。屏蔽結構30可包括一金屬，例如(舉例而言)矽化鎢，或可包括另一金屬，或其它導電材料，例如一摻雜半導體材料。熟習此項技術者極易明瞭：亦可使用其它合適的材料。

第一距離33之選擇須使第一區段32位於充分靠近半導體基板10之位置，以於場效電晶體200作業時實質上改變漂移區22內之水平及垂直電場元件，藉此減小HCI。HCI之減小可減小該裝置之漂移。第一距離33之選擇亦須使第一區段32定位於充分靠近半導體基板10之位置，藉此可提高閘極16與汲極24之間的擊穿電壓(BV)且對其它參數無負面影響。由於第二區段34之一功能為減小Cgd，如前文所提及，第二距離35大於第一距離33。在一特定具體實施例中，第二距離35較第一距離33約大3至4倍。舉例而言，在一具體實施例中，第一距離33可約為200奈米，而第二距離35可約為600至800奈米。其它裝置之幾何結構可具有不同的距離值。在一具體實施例中，第一及第二距離33及35係沿一開始於半導體基板10之一表面11的垂直延伸路徑量得。分離第二區段34與閘極16的最短直線距離大於第一距離33且在一具體實施例中小於

第二距離35。該最短直線距離(圖中未明確示出)將於下文中稱作第三距離。屏蔽結構30具有一第一高度41，且閘極24具有一第二高度43。第一高度41小於第二高度43。

仍參見圖2，在一雙屏蔽結構之特定具體實施例中，屏蔽結構30之第二區段34全部或部分覆於閘極16上且伸出閘極16，藉以至少部分覆於第一區段32上。如第二區段34之選擇虛線部分31所示，第二區段34亦可朝向汲極24伸出第一區段32，以使汲極24較第一區段32靠近於第二區段34。在圖2所示之具體實施例中，閘極16、汲極24及屏蔽結構30皆覆於半導體基板10之表面11上。

屏蔽結構30可由包括第一區段32及第二區段34在內的分離區段組成。更具體言之，屏蔽結構30之第一區段32及第二區段34可實體分離，藉以包含FET裝置之不同部分。第一區段32與第二區段34之實體分離可為獨立定位每一區段提供靈活性，其中該區段定位係採用經計算可最佳化FET功能之方式。另一方面，在另一具體實施例中，屏蔽結構30亦可由一單一或區段其中第一區段32及第二區段34耦合成一體的整體區段構成。該具體實施例可提供至少某些上述實體分離實施例之優點，例如減小HCI與Cgd，但其所提供的設計靈活性降低。舉例而言，當第一區段32與第二區段34耦合成一體時，該區段不能獨立偏置。屏蔽結構30之偏置將在後文中詳細討論。在本發明之說明書中，不論第一區段32與第二區段34區段係耦合或係分離，包括此等區段區段之屏蔽結構30將均被稱作一“雙屏蔽”構造。

對於某些應用，屏蔽結構30可為非電性偏置。而對於其它應用，則期望偏置屏蔽結構30。在一具體實施例中，將屏蔽結構30之第一區段32及第二區段34電性耦合至一接地電位。在另一具體實施例中，第一區段32及第二區段34分別偏置至不同電位。舉例而言，當期望一低導通阻抗時，此甚為重要。一般而言，為達成一較低之導通阻抗，臨限電壓越高，第一區段32上之偏置亦越高。在一特定具體實施例中，第一區段32電性耦合至一約等於FET之一臨限電壓的預定電位，且第二區段34電性耦合至接地電位。

僅需對現有製程步驟稍做改動即可製作雙屏蔽構造。圖3闡釋一製作一具有本發明具體實施例之雙屏蔽構造之FET特定具體實施例之方法40。方法40之第一步驟42係提供一半導體基板。方法40之第二步驟44(係一可選擇步驟)可在半導體基板中形成一溝道區。方法40之第三步驟46係在溝道區上形成一閘極介電層與一閘極。方法40之第四步驟48係在鄰近溝道區之半導體基板上形成一汲極區，其中該汲極區具有第一部分與第二部分，且第二部分摻雜程度輕於第一部分。在方法40之第五步驟50中，於汲極區之第二部分上形成一導電屏蔽結構，該屏蔽結構具有位於距半導體基板之第一距離處的第一區段及位於距半導體基板之第二距離(大於第一距離)處的第二區段。方法40之第六步驟52係於汲極區之第一部分上形成一汲極。如方法40所述，汲極與屏蔽結構在不同步驟中形成。在方法40之其它具體實施例中，導電屏蔽結構可在汲極形成之前、之後或與之同時形成。

圖4闡釋一形成於方法40之第五步驟50中之導電屏蔽結構之形成方法60。方法60之第一步驟62係在半導體基板及閘極上形成第一介電層。在該項技術中已衆所習知，介電層之形成通常可包括：沈積一介電材料並將其圖案化、蝕刻移除非需要部分、將該介電材料平面化及其它符合標準處理技術之步驟。藉由方法60形成之介電層可爲氧化物層或氮化物層，或可包括某一其它介電材料。作爲一實例，該氧化物層實質上可由在一氧化爐中熱生長或藉由一化學氣體沈積法沈積之二氧化矽構成。作爲其它實例，氧化物層實質上可由藉由一化學氣體沈積法沈積之四乙酯原矽酸鹽(TEOS)或磷酸鹽玻璃構成，或一氧化物層實質上可由亦藉由一化學氣體沈積法沈積之矽氮氧化物構成。此外，氧化物層可包括一高介電常數材料，例如二氧化鈣。作爲一實例，一氮化物層實質上可由藉由一化學氣體沈積法沈積之氮化矽構成。作爲另一實例，一氮化物層實質上可由亦藉由一化學氣體沈積法沈積之矽氮氧化物構成。

仍參見圖4，方法60之第二步驟64係在第一介電層上形成屏蔽結構之第一區段。方法60之第三步驟66係在該屏蔽結構之第一區段上形成第二介電層。在方法60之第四步驟68中，在該第二介電層上形成屏蔽結構之第二區段。方法60可包括一可選擇之第五步驟70，在第五步驟中，在屏蔽結構之第二區段上形成第三介電層。

在一替代實施例中，如圖5所示，方法60可被具有第一步驟82的方法80所替代，在步驟82中，在半導體基板上形成第

一介電層。方法80之第二步驟84係在第一介電層上形成第二介電層。方法80之第三步驟86係在第一及第二介電層上形成導電屏蔽結構之第一及第二區段。如圖6所示，方法80形成一雙屏蔽構造之具體實施例，在該實施例中，第一及第二區段可實體耦合成一體以形成一連續或整體結構。

現在參見圖6，該圖闡釋一雙屏蔽構造之具體實施例，其中屏蔽結構30之第一區段32及第二區段34耦合成一體以形成一整體結構。本文中已闡釋屏蔽結構30同時靠近表面11且遠離閘極16之需要。在圖6所示整體結構之具體實施例中，該需要藉由將一厚內介電層(ILD)88分成位於漂移區22與汲極區12上之第一部分90及位於源極區13與溝道區14上之第二部分92而達成。此一作業可藉由在沈積厚內介電層88後光罩並蝕刻其一部分以移除第一部分90與第二部分92間之區域內的厚內介電層88來實現。與針對圖5之闡釋內容一樣，接著在厚內介電層88頂部沈積一薄內介電層94。在厚內介電層88與薄內介電層94上形成屏蔽結構30。視需要，該具體實施例可同時將屏蔽結構30之第一區段32置於適當靠近表面11處，且將第二區段34置於適當遠離閘極16處。然而，該具體實施例不容許獨立偏置第一區段32與第二區段34，且由於缺乏靈活性，其不易相容於通用構造。

前述論述已闡釋一在一FET製造過程中實施的雙板極結構之特定具體實施例。如前文所闡述，該板極之一部分可靠近半導體製作以影響峰值電場，但充分遠離閘極以不顯著增大 C_{gs} 。可於一較厚介電層之頂部上製作板極之第二部分以屏

蔽閘極免受汲極之影響以減小 C_{gd} ，但仍充分遠離閘極以不顯著增大 C_{gs} 。

雖然本文已參照特定具體實施例闡述本發明，熟習此項技術者應瞭解，可對本發明做各種改動且並未背離本發明之要旨及範疇。此等改動之各種實例已在前述闡述中給出。因此，本發明具體實施例之揭示僅意欲闡釋本發明之範圍而並非限定本發明。本發明之範圍僅限定於隨附申請專利範圍所要求的範疇。舉例而言，熟習此項技術者應不難瞭解：可採用各種具體實施例實施本文所述之雙屏蔽構造，且前文中有關某些此等具體實施例之闡釋未必代表對所有可能的具體實施例之完整說明。

此外，本文已依據特定具體實施例闡述了本發明之益處、其它優點及問題解決方法。然而，此等益處、優點、問題解決方法及任何可導致任一益處、優點或問題解決辦法發生或變得更加顯著之要素不應被推斷為任一或所有申請專利項的決定性的、必需的、或根本的特徵或要素。

另外，術語“包含”、“包括”、“具有”及其任何變形旨在涵蓋一非排他包含，以使一包含元件清單之製程、方法、物件或裝置並非僅包括彼等元件，亦可包括其它未明確列入該清單或非此等製程、方法、物件或裝置所固有之元件。

再者，若本文所揭示之具體實施例及/或限制(1)在申請專利範圍中未明文提出請求及(2)根據等效原理係申請專利範圍中明文元件及/或限制之潛在等效物，則根據專用原理，此等具體實施例及/或限制不公諸於衆。

【圖式簡單說明】

藉由結合附圖閱讀上文之詳細闡述可更深入地瞭解本發明，附圖中：

圖1係一根據先前技術之傳統加工技術構造之一FET之一部分之剖視圖；

圖2係一根據本發明之一具體實施例構造的FET之一部分之剖視圖；

圖3係一闡釋形成一根據本發明之一具體實施例構造之裝置之方法流程圖；

圖4係一闡釋形成一根據本發明之一具體實施例構造之導電屏蔽結構之方法流程圖；

圖5係一闡釋形成一根據本發明之另一具體實施例構造之裝置之方法流程圖；及

圖6係一根據本發明之另一具體實施例構造的FET之一部分之剖視圖。

【圖式代表符號說明】

- 1 偏置屏蔽結構
- 2 介電層
- 10 半導體基板
- 11 表面
- 12 汲極區
- 13 源極區
- 14 溝道區
- 15 閘極氧化物層

16	開 極
18	部 分
20	部 分
22	漂 移 區
24	汲 極
31	部 分
32	區 段
33	距 離
34	區 段
35	距 離
40	方 法
41	高 度
42	步 驟
43	高 度
44	步 驟
46	步 驟
48	步 驟
50	步 驟
52	步 驟
60	方 法
62	步 驟
64	步 驟
66	步 驟
68	步 驟

- 70 步驟
- 80 方法
- 82 步驟
- 84 步驟
- 86 步驟
- 88 厚內介電層
- 90 片
- 92 片
- 94 薄內介電層
- 100 傳統場效電晶體
- 200 場效電晶體
- 300 絕緣介電層
- 310 介電層

伍、中文發明摘要：

本發明揭示一種場效電晶體，該場效電晶體包括一具有第一部分(18)及第二部分(20)之汲極區(12)，且該第二部分之摻雜程度輕於該第一部分。一溝道區(14)鄰近該第二部分，且一汲極(24)位於該汲極區上。一閘極(16)覆於該溝道區之上。一屏蔽結構(30)覆於該汲極區之上且在距一半導體基板(10)的第一距離(33)處具有一第一區段(32)並在距該半導體基板的第二距離(35)處具有一第二區段(34)，且第二距離大於第一距離。在一特定具體實施例中，FET包括一屏蔽結構，其中第一與第二區段實體分開。FET內該等屏蔽區段之定位可變化，且可獨立控制每一區段之電位。

陸、英文發明摘要：

A field effect transistor includes a drain region (12) having a first portion (18) and a second portion (20), with the second portion being more lightly doped than the first portion. A channel region (14) is adjacent to the second portion and a drain electrode (24) overlies the drain region. A gate electrode (16) overlies the channel region. A shield structure (30) overlies the drain region and has a first section (32) at a first distance (33) from a semiconductor substrate (10) and a second section (34) at a second distance (35) from the semiconductor substrate, the second distance being greater than the first distance. In a particular embodiment the FET includes a shield structure wherein the first and second sections are physically separate. The location of these shield sections may be varied within the FET, and the potential of each section may be independently controlled.

拾壹、圖式：

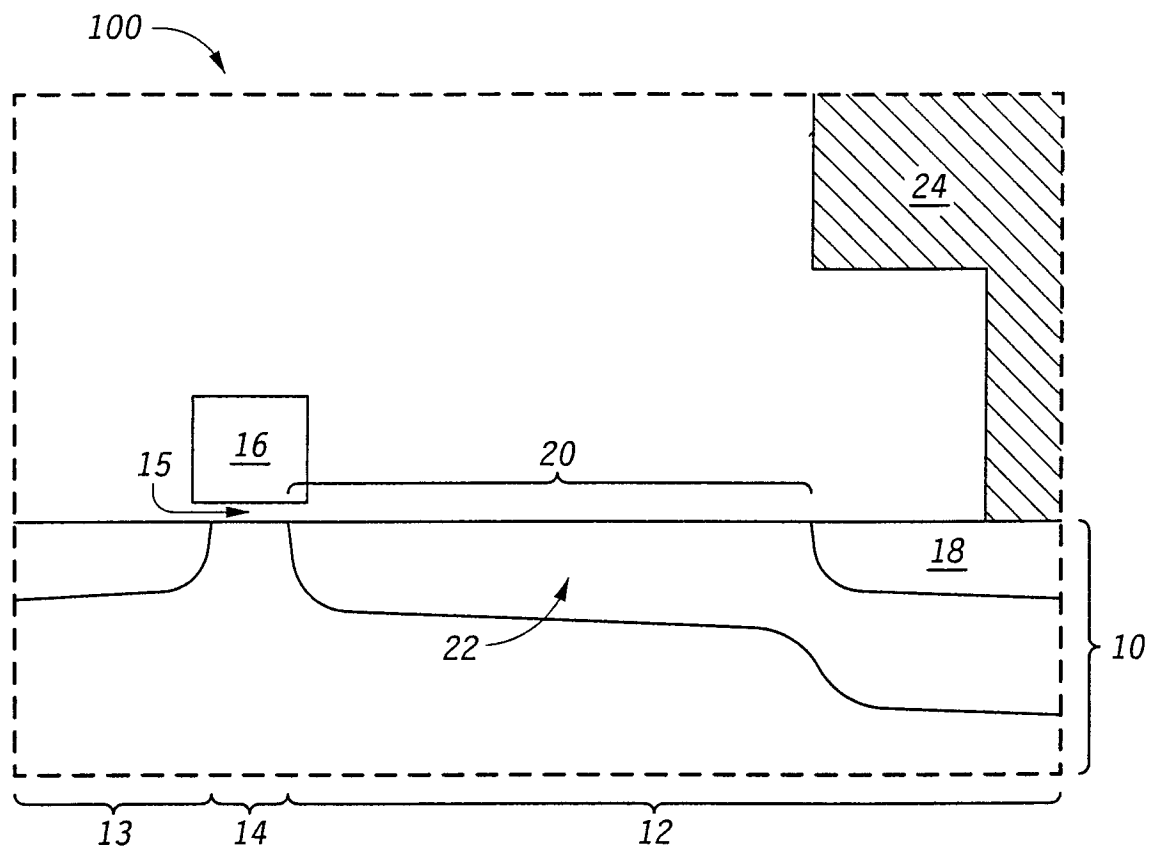


圖 1

先前技術

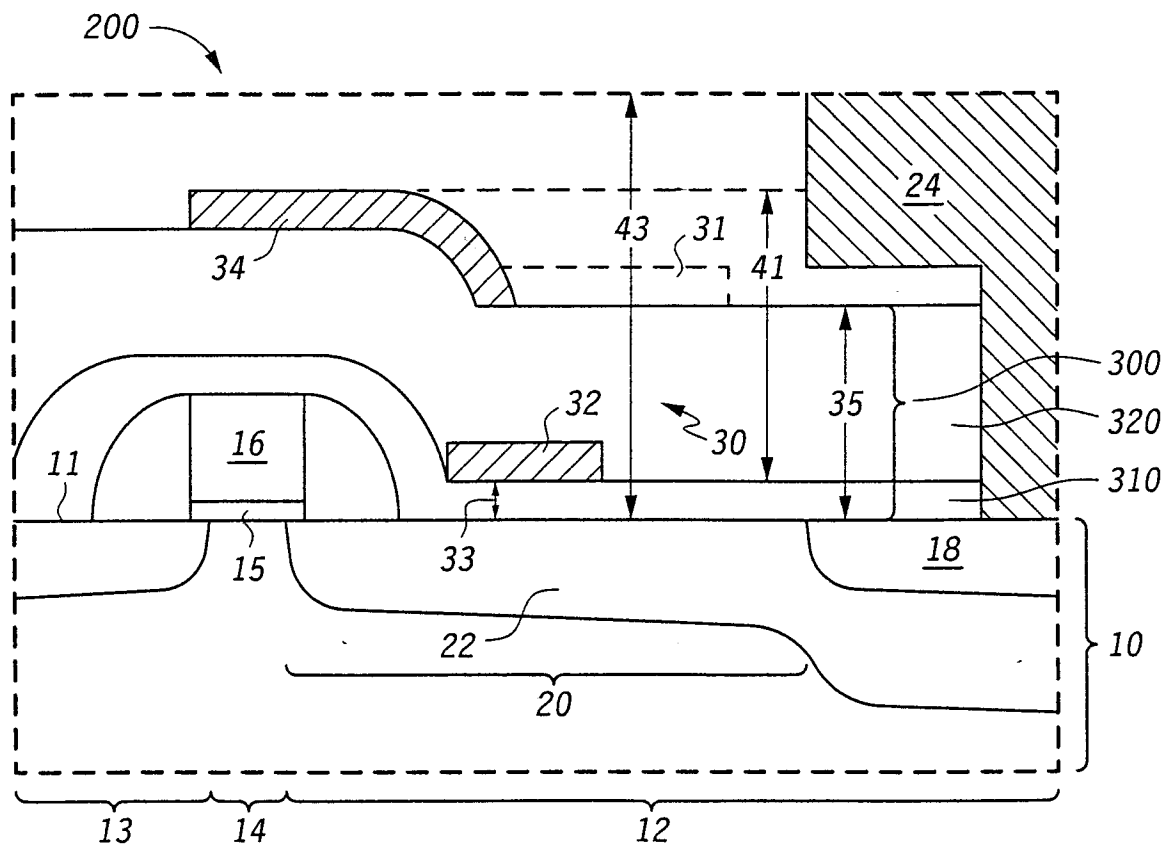


圖 2

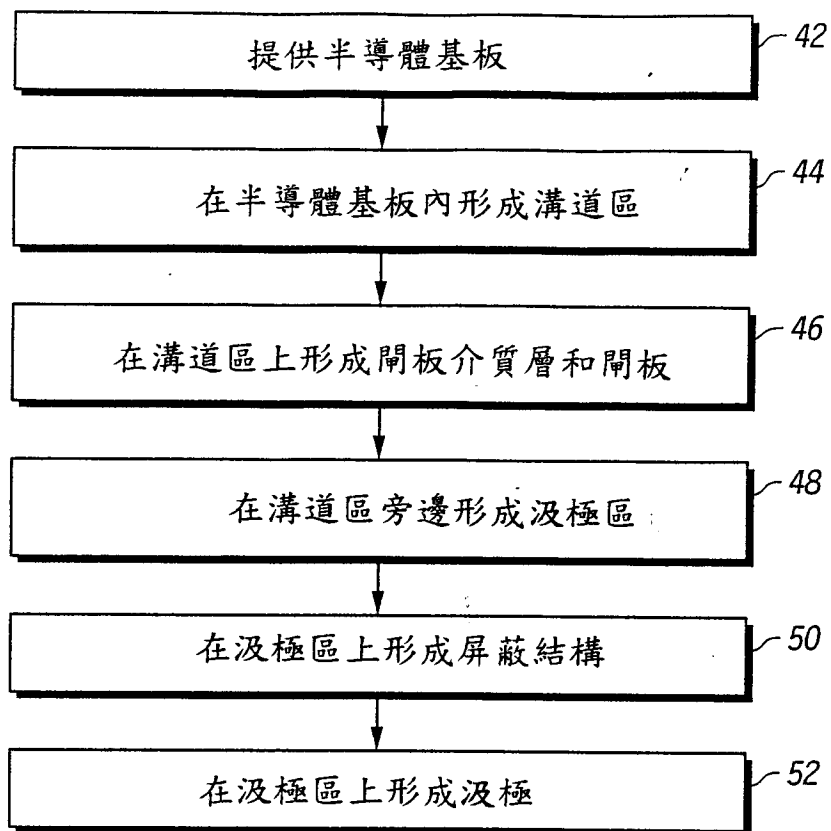


圖 3

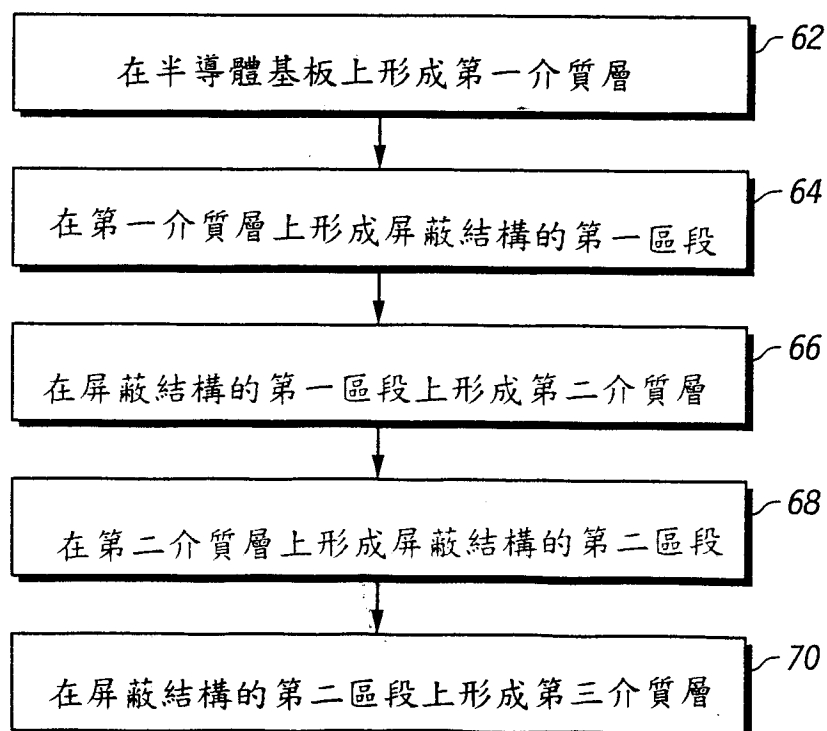


圖 4

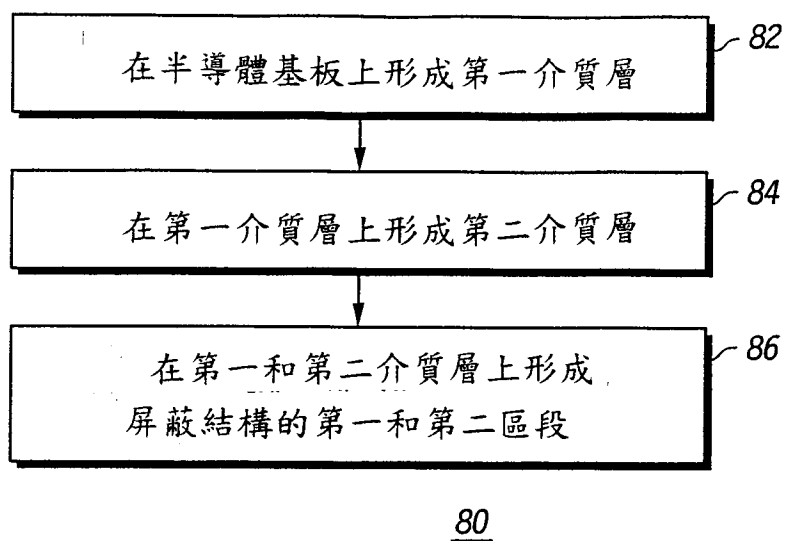


圖 5

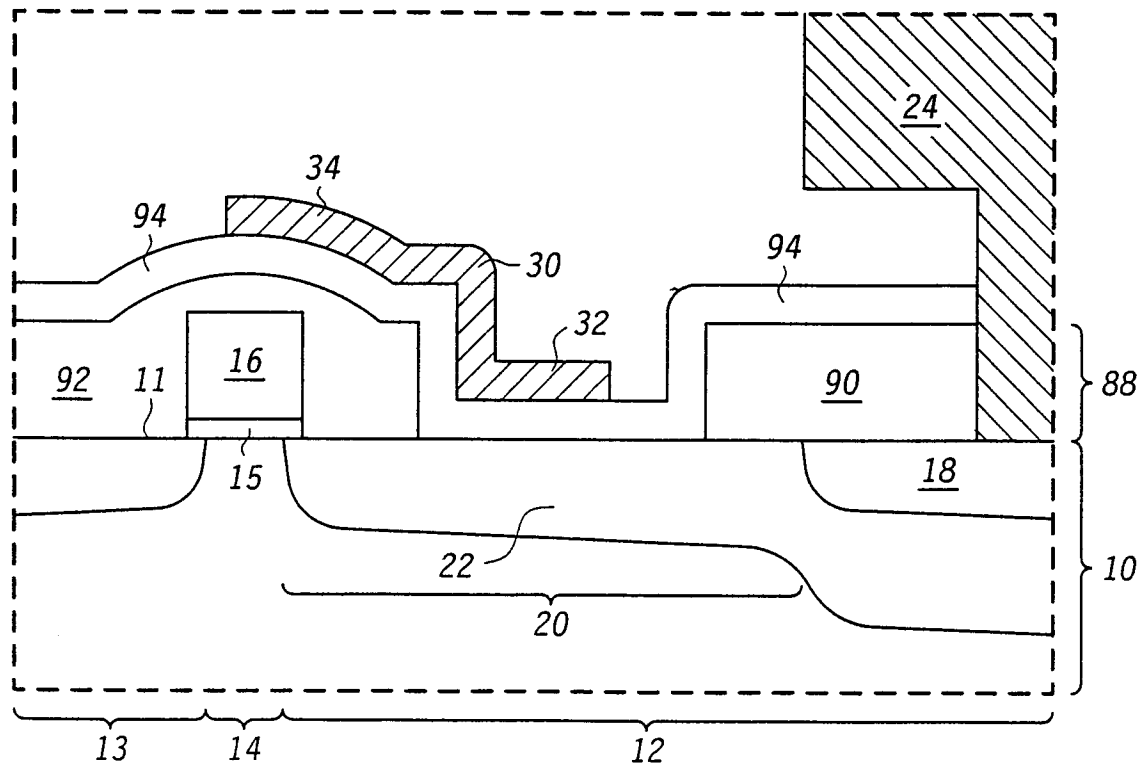


圖 6

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	半導體基板
11	平面
12	汲極區
13	源極區
14	溝道區
15	閘極氧化物層
16	閘極
18	第一部分
20	第二部分
22	漂移區
24	汲極
30	屏蔽結構
31	選擇虛線部分
32	第一區段
33	第一距離
34	第二區段
35	第二距離
41	第一高度
43	第二高度
200	場效電晶體
300	絕緣介電堆疊層

310 第一介電層

320 第二介電層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

中文說明書替換頁(93年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092118872

※ 申請日期：92.7.10

※IPC 分類：H01L 29/772

壹、發明名稱：(中文/英文)

(2006.01)

場效電晶體及其製造方法

FIELD EFFECT TRANSISTOR AND METHOD OF
MANUFACTURING SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓 名：(中文/英文)

赫蒙 布瑞奇

HELMUT BRECH

住居所地址：(中文/英文)

美國亞歷桑那州鳳凰市東避風谷大道 1638 號

1638 E. GLENHAVEN DRIVE, PHOENIX, ARIZONA 85048, U.S.A.

國 籍：(中文/英文)

德國 GERMANY

拾、申請專利範圍：

1. 一種場效電晶體，包括：

一半導體基板；

一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；

一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；

一覆於該溝道區上之閘極；

一覆於該汲極區之第一部分上之汲極；及

一覆於該汲極區之第二部分上之導電屏蔽結構，其具有在距該半導體基板之一第一距離處之一第一區段，且具有在距該半導體基板之一第二距離處之一第二區段，該第二距離大於該第一距離，該導電屏蔽結構之第二區段覆於該閘極上，其中該導電屏蔽結構之第一區段電耦合至一約等於該場效電晶體之一臨限電壓的預定電位；及該導電屏蔽結構之第二區段電耦合至一接地電位。

2. 一種製造一場效電晶體之方法，該方法包括：

提供一包括一溝道區之半導體基板；

在該溝道區上形成一閘極；

在該半導體基板中形成一汲極區，其具有一第一部分及一摻雜程度輕於該第一部分且鄰近該溝道區之第二部分；

在該汲極區之該第二部分上形成一導電屏蔽結構，其具有在距該半導體基板之一第一距離處之一第一區段，且具有在距該半導體基板之一第二距離處之一第二區段，該第

二距離大於該第一距離，該導電屏蔽結構之第二區段覆於該閘極上，其中該導電屏蔽結構之第一區段電耦合至一預定電位；及該導電屏蔽結構之第二區段電耦合至一接地電位；及

在該汲極區之第一部分上形成一汲極。

3. 根據申請專利範圍第2項之方法，其中：

形成該導電屏蔽結構進一步包括：

在該半導體基板上形成一第一介電層；

在該第一介電層上形成該導電屏蔽結構之第一區段；

在該導電屏蔽結構之第一區段上形成一第二介電層；及

在該第二介電層上形成該導電屏蔽結構之第二區段。

4. 根據申請專利範圍第2項之方法，其中：

形成該導電屏蔽結構進一步包括：

在該半導體基板上形成一第一介電層；

在該第一介電層上形成一第二介電層；及

在該第一介電層及第二介電層上形成該導電屏蔽結構之第一及第二區段。

5. 根據申請專利範圍第4項之方法，其中：

形成該第一介電層進一步包括：

形成具有一第一厚度之該第一介電層；及

形成該第二介電層進一步包括：

形成具有一小於該第一厚度之第二厚度之第二介電層。

6. 一種場效電晶體，包括：

- 一具有一表面之半導體基板；
- 一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；
- 一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；
- 一覆於該溝道區上且位於該半導體基板之該表面上方之閘極；
- 一覆於該汲極區之第一部分上且位於該半導體基板之該表面上方之汲極；及
- 一覆於該汲極區之第二部分上之導電屏蔽結構，
其中，該導電屏蔽結構包含：
 - 在距該半導體基板之一第一距離處之一第一區段；及
 - 在距該半導體基板之一第二距離處且在距該閘極之一第三距離處之一第二區段；
- 至少一部份的該導電屏蔽結構覆於至少一部份的該閘極上；
- 該第一區段及該第二區段係電偏壓；
- 該第二距離大於該第一距離；
- 該第三距離大於該第一距離；以及
- 相較於距離該導電屏蔽結構之第一區段該汲極更靠近於該導電屏蔽結構之該第二區段。

7. 一種場效電晶體，包括：

- 一半導體基板；

一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；

一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；

一覆於該溝道區上之閘極；

一覆於該汲極區之第一部分上之汲極；及

一覆於該汲極區之第二部分上之導電屏蔽結構，其具有在距該半導體基板之一第一距離處之一第一區段，且具有在距該半導體基板之一第二距離處之一第二區段，該第二距離大於該第一距離，

其中，

該導電屏蔽結構之第一及第二區段分別偏壓；

該導電屏蔽結構之第一區段電耦合至一約等於該場效電晶體之一臨限電壓的預定電位；及

該導電屏蔽結構之第二區段電耦合至一接地電位。

8. 一種場效電晶體，包括：

一具有一表面之半導體基板；

一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；

一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；

一位於該半導體基板之該表面上方及該溝道區上方之閘極；

一位於該半導體基板之該表面上方及該汲極區之第一

部分上方之汲極；及

一覆於該汲極區之第二部分上之導電屏蔽結構，

其中，

該導電屏蔽結構之第一及第二區段分別偏壓；

該導電屏蔽結構之第一區段係位於該汲極之該第二部分上；

該導電屏蔽結構之第一區段係在距該半導體基板之該表面的一第一距離處；

該導電屏蔽結構之第二區段係位於該閘極上；

該導電屏蔽結構之第二區段係在距該半導體基板之該表面的一第二距離處且在距該閘極之一第三距離處；

該第一及第二距離係沿著垂直該半導體基板之該表面的路徑量測；

該第一距離小於該第二距離；

該第三距離大於該第一距離；

該第三距離小於該第二距離；以及

該汲極較該導電屏蔽結構之第一區段更靠近於該導電屏蔽結構之該第二區段。

9. 一種場效電晶體，包括：

一具有一表面之半導體基板；

一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；

一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；

一位於該半導體基板之該表面上方及該溝道區上方之閘極；

一位於該半導體基板之該表面上方及該汲極區之第一部分上方之汲極；及

一具有一第一區段與一第二區段之導電屏蔽結構，其中，

該導電屏蔽結構之第一及第二區段分別偏壓；

該導電屏蔽結構之第一區段係位於該汲極之該第二部分上；

該導電屏蔽結構之第一區段係在距該半導體基板之該表面的一第一距離處；

該導電屏蔽結構之第二區段係位於該閘極上；

該導電屏蔽結構之第二區段係在距該半導體基板之該表面的一第二距離處且在距該閘極之一第三距離處；

該第一及第二距離係沿著垂直該半導體基板之該表面的路徑量測；

該第一距離小於該第二距離；

該第三距離大於該第一距離；

該第三距離小於該第二距離；

該導電屏蔽結構之第二區段亦係位於該導電屏蔽結構之第一區段上；以及

該汲極較該導電屏蔽結構之第一區段更靠近於該導電屏蔽結構之該第二區段。

10.一種場效電晶體，包括：

- 一具有一表面之半導體基板；
- 一位於該半導體基板內的汲極區，其具有一第一部分及一摻雜程度較輕於該第一部分的第二部分；
- 一位於該半導體基板內且鄰近該汲極區之第二部分的溝道區；
- 一覆於該溝道區上且位於該半導體基板之該表面上方之閘極；
- 一覆於該汲極區之第一部分上且位於該半導體基板之該表面上方之汲極；及
- 一覆於該汲極區之第二部分上之導電屏蔽結構，其中，
 - 該導電屏蔽結構包含：
 - 在距該半導體基板之一第一距離處之一第一區段；及
 - 在距該半導體基板之一第二距離處且在距該閘極之一第三距離處之一第二區段；
 - 該第一及該第二區段實際上彼此分離；
 - 該第一區段的一部份覆於至少一部份的該汲極之該第二部分上；
 - 該第二區段的一部份覆於至少一部份的該第一區段上；
 - 該第二區段的該部份覆於至少一部份的該汲極之該第二部分上；
 - 該第二區段的一不同部份覆於至少一部份的該閘極上；
 - 該第一區段及該第二區段係電偏壓；
 - 該第二距離大於該第一距離；

該第三距離大於該第一距離；以及

以下之一任一者：(1)相較於距離該導電屏蔽結構之第一區段該汲極更靠近於該導電屏蔽結構之該第二區段；(2)該汲極不在該導電屏蔽結構之第一部分上。