

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 11/401 (2006.01)

(45) 공고일자	2006년04월03일
(11) 등록번호	10-0566752
(24) 등록일자	2006년03월27일

(21) 출원번호

10-1999-0023965

(65) 공개번호

10-2000-0006420

(22) 출원일자

1999년06월24일

(43) 공개일자

2000년01월25일

(30) 우선권주장

98-178315

1998년06월25일

일본(JP)

(73) 특허권자

후지쓰 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자

스즈키다카아키

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

다구치마사오

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

사토고토쿠

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

(74) 대리인

김진환

김두규

심사관 : 안병일

(54) 전자 장치 및 반도체 기억 장치**요약**

전자 장치는 기억 장치와, 상보적인 클럭 신호가 전송되어 상기 기억 장치에 대해 데이터 출력 동작과 데이터 입력 동작의 동기화에 이용되는 클럭 라인과, 서로 상보적인 관계를 갖는 제1 출력 스트로브 신호 및 제2 출력 스트로브 신호, 서로 상보적인 관계를 갖는 제1 입력 스트로브 신호 및 제2 입력 스트로브 신호가 전송되어 데이터 출력 동작시 상기 기억 장치로부터의 출력 데이터를 확정하는 데 이용되고, 상기 기억 장치에 공급되는 입력 데이터를 확정하는 데 이용되는 스트로브 신호 라인을 포함한다.

내포도

도 5

명세서

도면의 간단한 설명

도 1은 종래 전자 장치의 일부분을 설명하기 위한 회로 다이어그램.

도 2는 전자 장치에 제공된 DDR-SDRAM을 설명하기 위한 회로 다이어그램.

도 3은 데이터 출력 동작시 신호와 출력 데이터를 설명하기 위한 타이밍 채트.

도 4는 데이터 입력 동작시 신호와 입력 데이터를 설명하기 위한 타이밍 채트.

도 5는 본 발명의 실시예에 따른 전자 장치의 일부분을 설명하기 위한 회로 다이어그램.

도 6은 도 5에 도시된 전자 장치에 제공된 FCRAM의 필수 부분을 설명하기 위한 회로 다이어그램.

도 7은 도 6에 도시된 FCRAM에 제공된 데이터 출력 버퍼와 스트로브 출력 버퍼를 설명하기 위한 회로 다이어그램.

도 8은 도 6에 도시된 FCRAM에 제공된 데이터 입력 버퍼와 스트로브 입력 버퍼를 설명하기 위한 회로 다이어그램.

도 9는 데이터 출력 동작시 신호와 출력 데이터를 설명하기 위한 타이밍 채트.

도 10은 도 6에 도시된 FCRAM에 대한 데이터 출력 동작시 프리앰블 시간 주기에서 상보적인 출력 스트로브 신호의 레벨을 설정하는 일례를 설명하기 위한 타이밍 채트.

도 11은 도 6에 도시된 FCRAM의 대기 시간 주기에서 상보적인 출력 스트로브 신호의 레벨을 설정하는 일례를 설명하기 위한 타이밍 채트.

도 12는 도 6에 도시된 FCRAM의 대기 시간 주기에서 상보적인 출력 스트로브 신호의 레벨을 설정하는 다른 일례를 설명하기 위한 타이밍 채트.

도 13은 상보적인 출력 스트로브 신호의 크로스 포인트 및 출력 데이터의 확정 시간 주기의 중심 포인트와의 사이의 관계를 설명하기 위한 타이밍 채트.

도 14는 데이터 입력 동작시 신호와 입력 데이터를 설명하기 위한 타이밍 채트.

도 15는 데이터 입력 동작시 프리앰블 시간 주기에서 상보적인 입력 스트로브 신호의 레벨을 설정하는 일례를 설명하기 위한 타이밍 채트.

도 16은 제어 칩의 대기 시간 주기에서 상보적인 입력 스트로브 신호의 레벨을 설정하는 일례를 설명하기 위한 타이밍 채트.

도 17은 제어 칩의 대기 시간 주기에서 상보적인 입력 스트로브 신호의 레벨을 설정하는 다른 일례를 설명하기 위한 타이밍 채트.

도 18은 상보적인 입력 스트로브 신호의 크로스 포인트 및 입력 데이터의 확정 시간 주기의 중심 포인트와의 사이의 관계를 설명하기 위한 타이밍 채트.

〈도면의 주요 부분에 대한 부호의 설명〉

26 : FCRAM

27 : 포지티브 위상 라인

28 : 역위상 라인

32 : 포지티브 위상 스트로브 라인

33 : 역위상 스트로브 라인

35 : 코멘드 버퍼

36 : 코멘드 디코더

37 : 어드레스 버퍼

39-1, …, 39-m : 메모리 뱅크

48 : 데이터 출력 버퍼

49 : 데이터 입력 버퍼

51 : 스트로브 출력 버퍼

52 : 스트로브 입력 버퍼

100 : 내부 클럭 생성기

200 : 내부 출력 스트로브 신호 생성기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스트로브 신호와 동기되어 판독 및 기록 동작이 실행되는 반도체 기억 장치를 갖는 전자 장치 및 반도체 기억 장치에 관한 것이다.

도 1에는 종래 전자 장치의 일부의 회로 구성이 도시되어 있다. 도 1을 참조하여 설명하면, 클럭 신호의 상승 및 하강 에지에 동기되어 동작하는 DDR-SDRAM(Double Data Rate Synchronization Dynamic Random Access Memory)이 도시되어 있다. 실질적인 전자 장치는 다수의 DDR-SDRAM 및 다수의 DDR-SDRAM을 제어하는 제어 칩을 구비하고 있다.

전자 장치는 포지티브 위상 클럭 라인(2), 역위상 클럭 라인(3), 코멘드 버스(4), 어드레스 버스(5) 및 데이터 버스(6)를 더 구비하고 있다. 포지티브 위상 클럭 신호(CLK)는 포지티브 위상 클럭 라인(2)을 통해 전송된다. 포지티브 위상 클럭 신호(CLK)의 위상에 대해 반대의 위상을 갖는 역위상 클럭 신호(/CLK)는 역위상 클럭 라인(3)을 통해 전송된다. 코멘드 신호는 코멘드 버스(4)를 통해 전송된다. 로우 어드레스 신호 및 칼럼 어드레스 신호는 어드레스 버스(5)를 통해 전송되고, 데이터는 데이터 버스(6)를 통해 전송된다.

또, 전자 장치에는 스트로브 신호 라인(7)이 제공되어 있다. 출력 스트로브 신호(QSOUT)가 다수의 각 DDR-SDRAM[예를 들면 DDR-SDRAM(1)]에 대한 데이터 판독 동작시(데이터 출력 동작) 스트로브 신호 라인(7)을 통해 제어 칩에 전송된다. 출력 스트로브 신호(QSOUT)는 출력 데이터(DQOUT)와 함께 제어 칩에 공급되어 출력 데이터(DQOUT)의 취입 타이밍을 지정하는 데 사용된다. 입력 스트로브 신호(QSIN)가 DDR-SDRAM(1)에 대한 데이터 기록 동작시(데이터 입력 동작) 스트로브 신호 라인(7)을 통해 DDR-SDRAM(1)에 전송된다. 입력 스트로브 신호(QSIN)는 입력 데이터(DQIN)와 함께 DDR-SDRAM(1)에 공급되어 입력 데이터(DQIN)의 취입 타이밍을 지정하는 데 사용된다.

도 2에는 DDR-SDRAM(1)의 필수적인 부분이 도시되어 있다. 도 2를 참조하여 설명하면, DDR-SDRAM(1)은 코멘드 버퍼(9), 코멘드 디코더(10) 및 컨트롤러(11)를 구비하고 있다. 코멘드 버퍼(9)는 코멘드 버스(4)를 통해 전송된 코멘드 신호를 입력받고, 코멘드 디코더(10)는 코멘드 버퍼(9)로부터 출력되는 코멘드 신호를 디코딩한다. 컨트롤러(11)는 코멘드 디코더(10)로부터 디코딩된 코멘드 신호를 입력받아 그 내용에 따라 DDR-SDRAM(1)의 내부 회로를 제어한다.

DDR-SDRAM(1)은 어드레스 버퍼(12), 다수의 메모리 뱅크(14-1, …, 14-m) 및 어드레스 래치(13-1, …, 13-m)를 더 구비한다. 어드레스 버퍼(12)에는 어드레스 버스(5)를 통해 전송된 로우 어드레스 신호와 칼럼 어드레스 신호가 입력된다. 각 어드레스 래치(13-1, …, 13-m)는 어드레스 버퍼(12)로부터 출력되는 로우 어드레스 신호 및 칼럼 어드레스 신호를 래치한다. 메모리 뱅크(14-1)는 메모리 셀이 배열된 메모리 어레이(15-1), 로우 디코더(16-1), 센스 앤프 유닛(17-1) 및 칼럼 디코더(18-1)를 구비한다. 로우 디코더(16-1)는 워드 라인을 선택하기 위해 어드레스 래치(13-1)에 의해 래치된 로우 어드레스 신호를 디코딩한다. 센스 앤프 유닛(17-1)은 선택된 워드 라인에 의해 특정된 메모리 셀로부터 판독된 데이터를 증폭하는 센스 증폭기를 포함한다. 칼럼 디코더(18-1)는 행을 선택하기 위해 어드레스 래치(13-1)에 의해 래치된 칼럼 어드레스 신호를 디코딩한다. 다른 메모리 뱅크(14-m)는 메모리 뱅크(14-1)와 동일한 구성을 갖는다.

DDR-SDRAM(1)은 데이터 버스 버퍼(19-1, …, 19-m) 및 기록 버퍼(20-1, …, 20-m)를 구비한다. 각 데이터 버스 버퍼(19-1, …, 19-m)는 코어 데이터 버스(CDB1~CDBm)의 각각에 대응하는 메모리 뱅크(14-1, …, 14-m)로부터 출력된 판독 데이터를 증폭한다. 각 기록 버퍼(20-1, …, 20-m)는 코어 데이터 버스(CDB1~CDBm)의 각각에 대응하는 기록 데이터를 출력한다.

DDR-SDRAM(1)은 데이터 출력 버퍼(21), 데이터 입력 버퍼(22), 스트로브 출력 버퍼(23) 및 스트로브 입력 버퍼(24)를 더 구비한다. 주변 데이터 버스(DB)는 데이터 버스 버퍼(19-1, …, 19-m) 및 기록 버퍼(20-1, …, 20-m)와 데이터 출력 버퍼(21) 및 데이터 입력 버퍼(22)를 접속한다. 데이터 출력 버퍼(21)는 출력 데이터(DQOUT)를 외부로 출력하고, 데이터 입력 버퍼(22)에는 별별로 구성된 N비트의 입력 데이터가 외부로부터 입력된다. 스트로브 출력 버퍼(23)는 출력 스트로브 신호(QSOUT)를 출력한다. 스트로브 입력 버퍼(24)에는 입력 데이터(DQIN)의 취입 타이밍을 제어하는 데 사용되는 입력 스트로브 신호(QSIN)가 입력된다.

도 3에는 DDR-SDRAM(1)에 대한 데이터 출력 동작시(데이터 판독 동작) 상보적인 클럭 신호(CLK와 /CLK), 출력 스트로브 신호(QSOUT) 및 출력 데이터(DQOUT) 사이의 관계가 도시되어 있다. 도 3을 참조하여 설명하면, 시간 tCKQS는 클럭 신호(CLK)의 에지로부터의 QS 액세스 타임이고, 시간 tQSPRE는 QS 프리앰블(preamble) 타임이며, 시간 tQSPOT는 QS 포스트앰블(postamble) 타임이다. 또, 시간 tSQS는 출력 스트로브 신호(QSOUT)의 에지로부터의 데이터 출력 스큐이고, 시간 tAC는 출력 스트로브 신호(QSOUT)의 에지로부터의 데이터 액세스 타임이며, 시간 tDV는 데이터 출력 확정 타임이다.

도 4에는 DDR-SDRAM(1)으로의 데이터 입력 동작시(데이터 기록 동작) 상보적인 클럭 신호(CLK와 /CLK), 입력 스트로브 신호(QSIN) 및 입력 데이터(DQIN) 사이의 관계가 도시되어 있다. 도 4를 참조하여 설명하면, 시간 tDS는 데이터 입력 셋 업 타임이며, 시간 tDH는 입력 스트로브 신호(QSIN)의 에지로부터의 데이터 입력 홀드 타임이다.

상기한 바와 같은 구성을 갖는 전자 장치에서, 출력 스트로브 신호(QSOUT)는 데이터 버스(6)를 통한 출력 데이터(DQOUT)와 함께 DDR-SDRAM(1)으로부터 스트로브 신호 라인(7)을 통해 전송되어, 출력 스트로브 신호(QSOUT)를 기초로 한 출력 데이터(DQOUT)의 확정 주기(settling period)가 일정해진다. 따라서, 제어 칩이 출력 데이터(DQOUT)를 수신하는 것이 용이해진다. 입력 스트로브 신호(QSIN)는 데이터 버스(6)를 통한 입력 데이터(DQIN)와 함께 제어 칩으로부터 스트로브 신호 라인(7)을 통해 전송되어, 입력 스트로브 신호(QSIN)를 기초로 한 입력 데이터(DQIN)의 확정 주기가 일정해진다. 따라서, DDR-SDRAM(1)이 입력 데이터(DQIN)를 수신하는 것이 용이해진다.

발명이 이루고자 하는 기술적 과제

그러나, 각 스트로브 신호(QSOUT, QSIN)의 상승 및 하강 타임이 변화되면, 스트로브 주기가 일정해지지 않게 되며, 이로 인해 데이터(DQOUT, DQIN)의 확정 주기도 일정해지지 않게 된다. 따라서, 데이터(DQOUT, DQIN)의 취입 타이밍을 조정하는 것이 어렵게 된다. 여기서, 상기 스트로브 주기가 예를 들면 4ns이하로 짧아져 매우 높은 속도로 상기 DDR-SDRAM(1)을 액세스하는 경우, 상기 데이터(DQOUT, DQIN)의 교환이 불확실하게 되는 문제점이 있다.

본 발명의 제1 목적은 상기한 종래 기술의 문제점을 해결한 우수하고 유용한 전자 장치 및 반도체 기억 장치를 제공하는 것이다.

본 발명의 제2 목적은 데이터의 취입 타이밍을 지정하는 데 이용된 스트로브 주기가 짧아져 반도체 기억 장치를 매우 높은 속도로 액세스 하더라도 데이터의 교환을 확실히 할 수 있는 전자 장치를 제공하는 것이다.

본 발명의 목적을 달성하기 위해 기억 장치와, 상기 기억 장치의 데이터 출력 동작의 동기화에 이용되는 상보적인 클럭 신호를 전송하는 클럭 라인과, 데이터 출력 동작시 상기 기억 장치로부터의 출력 데이터를 확정하는 데 이용되는 서로 상보적인 관계를 갖는 제1 출력 스트로브 신호 및 제2 출력 스트로브 신호를 전송하는 스트로브 신호 라인을 포함하는 전자 장치가 제시된다.

본 발명에 따르면, 서로 상보적인 관계를 갖는 상기 제1 및 제2 출력 스트로브 신호 각각의 상승 타임과 하강 타임이 변화되더라도, 상기 제1 및 제2 출력 스트로브 신호의 스트로브 주기(상기 제1 및 제2 출력 스트로브 신호의 크로스 포인트 사이의 주기)가 일정해진다. 따라서, 상기 출력 데이터의 확정 주기가 일정해질 수 있다. 이에 의해, 상기 출력 데이터의 취입 타이밍을 지정하는 데 이용된 상기 스트로브 주기가 짧아져 상기 기억 장치를 매우 높은 속도로 액세스 하더라도, 상기 출력 데이터가 확실히 안정될 수 있다.

본 발명의 목적을 달성하기 위해 기억 장치와, 상기 기억 장치로의 데이터 입력 동작의 동기화에 이용되는 상보적인 클럭 신호를 전송하는 클럭 라인과, 데이터 입력 동작시 상기 기억 장치에 공급된 입력 데이터를 확정하는 데 이용되는 서로 상보적인 관계를 갖는 제1 입력 스트로브 신호 및 제2 입력 스트로브 신호를 전송하는 스트로브 신호 라인을 포함하는 다른 전자 장치가 제시된다.

본 발명에 따르면, 서로 상보적인 관계를 갖는 상기 제1 및 제2 입력 스트로브 신호 각각의 상승 타임과 하강 타임이 변화되더라도, 상기 제1 및 제2 입력 스트로브 신호의 스트로브 주기(상기 제1 및 제2 입력 스트로브 신호의 크로스 포인트 사이의 주기)가 일정해진다. 따라서, 상기 입력 데이터의 확정 주기는 일정해질 수 있다. 이에 의해, 상기 입력 데이터의 취입 타이밍을 지정하는 데 이용된 상기 스트로브 주기가 짧아져 상기 기억 장치를 매우 높은 속도로 액세스 하더라도, 상기 입력 데이터가 확실히 안정될 수 있다.

본 발명의 목적을 달성하기 위해 반도체 기억 장치의 데이터 출력 동작의 동기화에 이용되는 상보적인 클럭 신호가 전송하는 클럭 라인과, 상기 반도체 기억 장치의 출력 데이터를 확정하는 데 이용되는 서로 상보적인 관계를 갖는 제1 출력 스트로브 신호와 제2 출력 스트로브 신호를 전송하는 스트로브 신호 라인을 구비한 전자 장치가 제시되며, 상기 반도체 기억 장치는 메모리 뱅크에서 출력 데이터를 출력하는 데이터 출력 버퍼와, 소정의 신호에 기초한 제1 및 제2 출력 스트로브 신호를 생성하는 스트로브 출력 버퍼를 포함하며, 상기 출력 데이터가 데이터 출력 버퍼에서 출력될 때 상기 제1 및 제2 출력 스트로브 신호는 상기 스트로브 출력 버퍼에서 스트로브 신호 라인으로 공급된다.

또, 본 발명의 목적을 달성하기 위해 반도체 기억 장치로의 데이터 입력 동작의 동기화에 이용되는 상보적인 클럭 신호를 전송하는 클럭 라인과, 데이터 입력 동작시 상기 반도체 기억 장치에 공급된 입력 데이터를 안정화하는 데 이용되는 서로 상보적인 관계를 갖는 제1 입력 스트로브 신호와 제2 입력 스트로브 신호를 전송하는 스트로브 신호 라인을 구비한 전자 장치에 제공된 반도체 기억 장치가 제시되며, 상기 반도체 기억 장치는 상기 스트로브 신호 라인을 통해 전송된 제1 및 제2 입력 스트로브 신호를 수신하고 이를 기초로 스트로브 클럭 신호를 생성하는 스트로브 입력 버퍼와, 상기 반도체 기억 장치에 공급된 입력 데이터 항목을 수신하는 데이터 입력 버퍼를 포함하며, 상기 입력 데이터 항목은 상기 입력 스트로브 버퍼에 의해 생성된 클럭 스트로브 신호를 이용함으로써 안정화된다.

본 발명의 다른 목적, 특징 및 이점은 첨부된 도면과 함께 제공되는 상세한 설명으로부터 명확해질 것이다.

발명의 구성 및 작용

이하, 첨부된 도면을 참고로 하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명의 실시예에 따른 전자 장치의 일부분은 도 5에 도시된 바와 같이 구성된다. 도 5를 참조하여 설명하면, DDR-SDRAM(1)의 한 종류인 FCRAM(26 : First Cycle Random Access Memory)이 도시되어 있다. 상기 FCRAM(26)은 본 발명에 따른 반도체 기억 장치의 구현이다. 실제적인 전자 장치는 동일한 구성을 갖는 다수의 FCRAM과 상기 다수의 FCRAM을 제어하는 제어 칩을 갖고 있다.

상기 전자 장치는 포지티브 위상 라인(27), 역위상 라인(28), 코멘드 버스(29), 어드레스 버스(30) 및 데이터 버스(31)를 갖고 있다. 상기 포지티브 위상 라인(27)을 통해 포지티브 위상 클럭 신호(CLK)가 전송된다. 상기 포지티브 위상 클럭 신

호(CLK)의 위상에 대해 반대의 위상을 갖는 역위상 클럭 신호(/CLK)가 역위상 라인(28)을 통해 전송된다. 상기 코멘드 버스(29)를 통해서 코멘드 신호가 전송되고, 상기 어드레스 버스(30)를 통해서 로우 어드레스 신호 및 칼럼 어드레스 신호가 전송되며, 상기 데이터 버스(31)를 통해서 데이터가 전송된다.

상기 전자 장치는 포지티브 위상 스트로브 라인(32) 및 역위상 스트로브 라인(33)을 더 갖고 있다. 상기 각 FCRAM[예를 들면, 상기 FCRAM(26)]에서 출력되는 포지티브 위상 출력 스트로브 신호(QSOUT)가 출력 데이터(DQOUT)와 함께 상기 포지티브 위상 스트로브 라인(32)을 통해서 제어 칩에 전송된다. 상기 포지티브 위상 출력 스트로브 신호(QSOUT)는 출력 데이터(DQOUT)의 취입 타이밍을 지정하는 데 이용된다. 상기 제어 칩에서 출력되는 포지티브 위상 입력 스트로브 신호(QSIN)가 입력 데이터(DQIN)와 함께 포지티브 위상 스트로브 라인(32)을 통해서 상기 각 FCRAM에 전송된다. 상기 포지티브 위상 입력 스트로브 신호(QSIN)는 입력 데이터(DQIN)의 취입 타이밍을 지정하는 데 이용된다. 역위상 출력 스트로브 신호(/QSOUT)는 상기 포지티브 위상 출력 스트로브 신호(QSOUT)의 위상에 대해 반대의 위상을 갖고 있다. 상기 각 FCRAM[예를 들면, 상기 FCRAM(26)]에서 출력되는 역위상 출력 스트로브 신호(/QSOUT)는 역위상 스트로브 라인(33)을 통해 상기 제어 칩에 전송된다. 역위상 입력 스트로브 신호(/QSIN)는 상기 포지티브 위상 입력 스트로브 신호(QSIN)의 위상에 대해 반대의 위상을 갖고 있다. 상기 제어 칩에서 출력되는 역위상 입력 스트로브 신호(/QSIN)는 역위상 스트로브 라인(33)을 통해 상기 각 FCRAM에 전송된다.

상기 각 FCRAM[예를 들면, 상기 FCRAM(26)]의 필수적인 부분은 도 6에 도시된 바와 같이 구성된다. 도 6을 참조하여 설명하면, 상기 FCRAM(26)은 코멘드 버퍼(35), 코멘드 디코더(36), 어드레스 버퍼(37), 다수의 메모리 뱅크(39-1, ..., 39-m) 및 어드레스 래치(38-1, ..., 38-m)를 갖고 있다. 상기 코멘드 버퍼(35)는 코멘드 버스(29)를 통해서 전송된 코멘드 신호를 수신하고, 상기 코멘드 디코더(36)는 코멘드 버퍼(35)에서 출력되는 코멘드 신호를 디코딩한다. 상기 어드레스 버퍼(37)는 어드레스 버스(30)를 통해 전송되는 로우 어드레스 신호 및 칼럼 어드레스 신호를 수신한다. 상기 각 어드레스 래치(38-1, ..., 38-m)는 다수의 메모리 뱅크(39-1, ..., 39-m)의 각각에 접속되어 로우 어드레스 신호 및 칼럼 어드레스 신호를 래치한다.

상기 메모리 뱅크(39-1)는 메모리 셀 어레이(40-1), 로우 디코더(41-1), 센스 앰프(42-1), 칼럼 디코더(43-1) 및 액티브 프리 컨트롤러(44-1)를 갖고 있다. 상기 메모리 셀 어레이(40-1)에는 다수의 메모리 셀이 배열되어 있다. 상기 로우 디코더(41-1)는 어드레스 래치(38-1)에 의해 래치된 로우 어드레스 신호를 디코딩하여 워드 라인을 선택한다. 상기 센스 앰프 유닛(42-1)에는 상기 선택된 워드 라인에 의해 선택되는 메모리 셀로부터 판독된 데이터를 증폭하는 센스 증폭기가 배열되어 있다. 상기 칼럼 디코더(43-1)는 어드레스 래치(38-1)에 의해 래치된 칼럼 어드레스 신호를 디코딩하여 행을 선택한다. 상기 액티브 프리 컨트롤러(44-1)는 코멘드 디코더(36)로부터 디코딩된 코멘드 신호를 수신하여 상기 코멘드의 내용에 따라 상기 칼럼 디코더(43-1) 및 센스 앰프 유닛(42-1)을 제어한다.

다른 메모리 뱅크(39-m)는 상기 메모리 뱅크(39-1)와 동일한 구성을 갖고 있다.

다수의 데이터 항목(비트들)들에 대응하는 수를 지정하는 버스트 길이는 상기 FCDRAM(26)에서 설정될 수 있다. 이러한 경우, 데이터 판독 동작시 다수의 데이터 항목이 선택된 메모리 뱅크로부터 병렬로 판독되며, 다수의 데이터 항목이 선택된 메모리 뱅크에 병렬로 기록된다.

상기 FCRAM(26)은 데이터 버스 버퍼(45-1, ..., 45-m) 및 기록 버퍼(46-1, ..., 46-m)를 갖고 있다. 상기 각 데이터 버스 버퍼(45-1, ..., 45-m)는 상기 메모리 뱅크(39-1, ..., 39-m)의 각각에 대응하여 접속됨과 더불어, 대응하는 코어 데이터 버스(CDB1~CDBm)에 대해 상기 대응하는 메모리 뱅크(39-1, ..., 39-m)에서 출력되는 판독 데이터를 증폭한다. 상기 각 기록 버퍼(46-1, ..., 46-m)는 상기 메모리 뱅크(39-1, ..., 39-m)의 각각에 대응하여 접속됨과 더불어, 대응하는 코어 데이터 버스(CDB1~CDBm)에 기록 데이터를 출력한다.

상기 FCRAM(26)은 병렬/직렬 변환기(47), 데이터 출력 버퍼(48), 데이터 입력 버퍼(49), 직렬/병렬 변환기(50), 스트로브 출력 버퍼(51) 및 스트로브 입력 버퍼(52)를 더 갖고 있다. 상기 병렬/직렬 변환기(47)는 선택된 메모리 뱅크에 대응하는 데이터 버스 버퍼(45-1, ..., 45-m)로부터 전송된 병렬 데이터를 직렬 데이터로 변환한다. 상기 데이터 출력 버퍼(48)는 병렬/직렬 변환기(47)에서 공급된 N비트로 구성된 직렬 데이터(DQOUT1-DQOUTN)를 외부로 출력한다. 상기 데이터 입력 버퍼(49)는 외부에서 공급되는 N비트로 구성된 입력 데이터(DQIN1-DQINN)를 수신한다. 상기 직렬/병렬 변환기(50)는 데이터 입력 버퍼(49)로부터의 입력 데이터(DQIN1-DQINN)를 병렬 데이터로 변환한다. 상기 스트로브 출력 버퍼(51)는 포지티브 위상 출력 스트로브 신호(QSOUT)를 포지티브 위상 스트로브 신호 라인(32)에 출력함과 더불어, 상기 역위상 출력 스트로브 신호(/QSOUT)를 역위상 스트로브 신호 라인(33)에 출력한다. 상기 스트로브 입력 버퍼(52)는 포지티브 위상 스트로브 신호 라인(32)을 통해 전송된 상기 포지티브 위상 입력 스트로브 신호(QSIN)를 수신함과 더불어, 상기 역위상 스트로브 신호 라인(33)을 통해 전송된 상기 역위상 입력 스트로브 신호(/QSIN)를 수신한다.

상기 데이터 출력 버퍼(48) 및 스트로브 출력 버퍼(51)는 도 7에 도시된 바와 같이 구성된다. 도 7을 참조하여 설명하면, 내부 클럭 생성기(100)는 상기 FCDRAM(26)에 공급된 클럭 신호에 기초한 내부 클럭 신호(mCLK)를 생성한다. 내부 출력 스트로브 신호 생성기(200)는 상기 FCDRAM(26)에 공급된 스트로브 신호에 기초한 내부 출력 스트로브 신호(mQSOUT)를 생성한다. 상기 내부 클럭 생성기(100)에 의해 생성된 내부 클럭 신호(mCLK) 및 데이터 인에이블 신호(DE)는 상기 데이터 출력 버퍼(48)에 공급된다.

상기 데이터 출력 버퍼(48)는 nMOS 트랜지스터(54, 55), 인버터(56), pMOS 트랜지스터(57, 58), 래치 회로(59, 62)를 갖고 있다. 상기 nMOS 트랜지스터(54, 55)는 내부 클럭 신호(mCLK)에 의해 온/오프가 제어되고, 상기 인버터(56)는 내부 클럭 신호(mCLK)를 반전시킨다. 상기 pMOS 트랜지스터(57, 58)는 상기 인버터(56)로부터 반전된 내부 클럭 신호에 의해 온/오프가 제어된다. 상기 래치 회로(59)는 인버터(60, 61)로 구성되어 상기 데이터 인에이블 신호(DE)를 래치한다. 상기 래치 회로(62)는 인버터(63, 64)로 구성되어 상기 래치 회로(59)의 출력을 래치한다. 상기 래치 회로(62)의 출력 신호는 NAND 게이트(65-1, ..., 65-N)의 각각의 두 포트 중의 하나에 입력된다. 각 내부 데이터 항목(mDQOUT1~mDQOUTN)은 상기 대응하는 NAND 게이트(65-1, ..., 65-N)의 두 포트 중 다른 하나에 입력된다. 상기 각 NAND 게이트(65-1, ..., 65-N)의 출력 포트는 대응하는 3상태 인터버(66-1, ..., 66-N)에 접속되어 있다. 상기 데이터 인에이블 신호(DE)가 유효하고 (하이 레벨을 갖음) 상기 내부 클럭(mCLK)이 하이 레벨을 갖는 경우, 상기 래치 회로(59)에 의해 래치된 신호는 로우 레벨을 갖게 되며, 상기 래치 회로(62)에 의해 래치된 신호는 하이 레벨을 갖게 된다. 이 상태에서, 상기 내부 출력 데이터 항목(mDQOUT1~mDQOUTN)은 NAND 게이트(65-1, ..., 65-N)를 통과하여 상기 3상태 인터버(66-1, ..., 66-N)로부터 출력 데이터 항목(DQOUT1~DQOUTN)으로 출력된다.

상기 스트로브 출력 버퍼(51)는 NAND 게이트(67, 69), 인버터(68) 및 3상태 인버터(70, 71)를 갖고 있다. 상기 데이터 인에이블 신호(DE)는 각 NAND 게이트(67, 69)의 두 입력 포트 중의 하나에 입력된다. 상기 내부 출력 스트로브 신호(mQSOUT)는 상기 NAND 게이트(69)의 입력 포트 중의 다른 하나에 입력된다. 상기 내부 출력 스트로브 신호(mQSOUT)는 인버터(68)에 의해 반전되고, 상기 인버터(68)의 출력 신호는 상기 NAND 게이트(69)의 입력 포트 중의 다른 하나에 입력된다. 상기 각 NAND 게이트(67, 69)의 출력 신호는 대응하는 3상태 인버터(70, 71)의 각각에 입력된다. 상기 데이터 인에이블 신호(DE)가 유효(하이 레벨을 갖음)한 경우, 상기 내부 출력 스트로브 신호(mQSOUT)는 NAND 게이트(67)를 통하여 상기 3상태 인터버(70)로부터 역위상 출력 스트로브 신호(/QSOUT)로 출력된다. 또, 상기 데이터 인에이블 신호(DE)가 유효한 경우, 상기 인버터(68)의 출력 신호는 NAND 게이트(69)를 통과하여 상기 3상태 인터버(71)로부터 역위상 출력 스트로브 신호(/QSOUT)로 출력된다. 따라서, 상기 포지티브 위상 출력 스트로브 신호(QSOUT) 및 역위상 출력 스트로브 신호(/QSOUT)는 서로 반대의 관계를 갖게 된다.

상기 데이터 입력 버퍼(49) 및 스트로브 입력 버퍼(52)는 도 8에 도시된 바와 같이 구성된다. 도 8을 참조하여 설명하면, 상기 스트로브 입력 버퍼(52)는 차동 증폭기(73, 74)를 갖고 있다. 상기 포지티브 위상 입력 스트로브 신호(QSIN)는 차동 증폭기(73)의 논 인버팅 단자(+) 및 상기 차동 증폭기(74)의 인버팅 단자(-)에 입력된다. 상기 역위상 위상 입력 스트로브 신호(/QSIN)는 차동 증폭기(73)의 인버팅 단자(-) 및 상기 차동 증폭기(74)의 논 인버팅 단자(+)에 입력된다. 스트로브 클럭 신호(QS-CLK)가 차동 증폭기(73, 74)의 출력 단자가 접속된 노드에서 얻어진다.

상기 데이터 입력 버퍼(49)는 다수의 동기식 플립 플롭(75-1, ..., 75-N : SFFs)을 갖고 있다. 상기 각 동기식 플립 플롭(75-1, ..., 75-N)은 스트로브 입력 버퍼(52)로부터 공급된 스트로브 클럭 신호(QS-CLK)에 동기되어 상기 대응하는 입력 데이터 항목(DQIN1-DQINN)을 래치한다.

도 9에는 FCRAM(26)에 대한 데이터 출력 동작시 상기 상보적인 클럭 신호(CLK와 /CLK), 상보적인 출력 스트로브 신호(QSOUT와 /QSOUT), 연속 2비트(DQOUT=RD1, RD2)의 출력 데이터 항목(RD1, RD2) 사이의 관계가 도시되어 있다. 도 9에 도시된 실시예에서 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 크로스 포인트 트레인의 헤드 전의 일정 시간 주기가 프리앰블 타임(tQSPRE)으로 설정된다. 상기 크로스 포인트 트레인의 헤드는 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 스트로브 주기의 개시에 대응한다. 상기 프리앰블 타임(tQSPRE)에서 상기 포지티브 위상 출력 스트로브 신호(QSOUT)는 로우 레벨이 되도록 제어되고, 상기 역위상 출력 스트로브 신호(/QSOUT)는 하이 레벨이 되도록 제어된다. 이들 레벨은 판독 코멘드(RD-CMD)를 트리거로서 이용하여 설정된다.

회로가 상기 포지티브 위상 출력 스트로브 신호(QSOUT) 및 역위상 출력 스트로브 신호(/QSOUT)를 수신하는 차동 증폭기를 갖는 경우, 상기 회로의 내부 레벨은 프리앰블 타임(tQSPRE)에서의 상기 레벨에서 포지티브 위상 출력 스트로브 신호(QSOUT) 및 역위상 출력 스트로브 신호(/QSOUT)를 각각 설정함으로써 제어된다. 따라서, 상기 회로는 출력 데이터(DQOUT)를 수신할 수 있는 상태로 제어된다.

또, 크로스 포인트가 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT) 주기의 마지막인 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 크로스 포인트 후의 일정 시간 주기는 포스트앰블 타임(tQSPST)으로 설정된다. 이 시간 주기에서, 상기 포지티브 위상 출력 스트로브 신호(QSOUT) 및 역위상 출력 스트로브 신호(/QSOUT)의 레벨은 서로 다르게 된다.

상기 프리앰블 타임(tQSPRE)과는 다른 대기 시간 주기에서, 상기 출력 스트로브 확정 타임, 입력 스트로브 신호 주기 및 상기 포스트앰블 타임(tQSPST), 포지티브 위상 스트로브 신호 라인(32) 및 역위상 스트로브 신호 라인(33)을 구동하는 상기 FCRAM(26)의 트랜지스터들은 오프 상태가 되도록 제어된다. 따라서, 상기 포지티브 위상 스트로브 신호 라인(32) 및 역위상 스트로브 신호 라인(33)은 하이 임피던스 상태(Hi-z) 또는 로우 임피던스 상태(Low-z)와 같은 플로우팅(floating) 상태가 된다.

또, 본 발명의 실시예에서 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 크로스 포인트의 각각은 출력 데이터(DQOUT)의 에지 트리거 포인트에서 설정된다.

상기 판독 코멘드(RD-CMD)에 대하여 데이터 대기 시간이 있는 경우, 상기 프리앰블 타임(tQSPRE)에서 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 레벨은 도 10에 도시된 바와 같이, 제1 데이터 항목(DQOUT=DR1)이 출력되기 전(예를 들면, 1 또는 1/2 클럭 전)의 소정의 시간 주기로 설정될 수 있다.

상보적인 출력 스트로브 신호 라인과 상보적인 입력 스트로브 신호 라인이 서로 분리되고, 출력 데이터 항목(DQOUT)이 연속적인 우수 항목인 경우, 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 레벨은 도 11에 도시된 바와 같이, 대기 시간 주기에서 제어될 수 있다. 즉, 상기 포지티브 위상 출력 스트로브 신호(QSOUT)와 역위상 출력 스트로브 신호(/QSOUT)는 포스트앰블 타임(tQSPST)에서의 레벨과 동일하게 각각 로우 레벨 및 하이 레벨을 유지할 수 있다. 이 경우, 상기 제어 칩이 출력 데이터를 수신할 수 있는 상태가 되는 데 아무런 문제가 없게 된다.

또, 상보적인 출력 스트로브 신호 라인과 상보적인 입력 스트로브 신호 라인이 서로 분리되고, 출력 데이터 항목(DQOUT)이 연속적인 기수 항목인 경우, 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 레벨은 도 12에 도시된 바와 같이, 대기 시간 주기에서 제어될 수 있다. 즉, 상기 포지티브 위상 출력 스트로브 신호(QSOUT)와 역위상 출력 스트로브 신호(/QSOUT)는 포스트앰бл 타임(tQSPST)에서의 레벨과 동일하게 각각 로우 레벨 및 하이 레벨을 유지할 수 있으며, 다음 데이터 판독 동작시 상기 프리앰블 타임(tQSPRE)의 개시시로 복원될 수 있다. 이 경우, 상기 제어 칩이 출력 데이터를 수신할 수 있는 상태가 되는 데 아무런 문제가 없게 된다.

또, 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 각 크로스 포인트는 도 13에 도시된 바와 같이, 상기 출력 데이터(DQOUT)의 주기의 중심 포인트에서 설정될 수 있다.

도 14에는 FCRAM(26)의 데이터 입력 동작시 상기 상보적인 클럭 신호(CLK와 /CLK), 상보적인 입력 스트로브 신호(QSIN과 /QSIN), 연속 2비트(DQIN=W1, W2)의 입력 데이터 항목(W1, W2) 사이의 관계가 도시되어 있다. 도 14에 도시된 실시예에서 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 크로스 포인트 트레인의 헤드 전의 일정 시간 주기가 프리앰бл 타임(tQSPRE)으로 설정된다. 상기 프리앰бл 타임(tQSPRE)에서 상기 포지티브 위상 입력 스트로브 신호(QSIN)는 로우 레벨이 되도록 제어되고, 상기 역위상 입력 스트로브 신호(/QSIN)는 하이 레벨이 되도록 제어된다. 이들 레벨은 기록 코멘드(WR-CMD)를 트리거로서 이용하여 설정된다.

회로가 상기 포지티브 위상 입력 스트로브 신호(QSIN) 및 역위상 입력 스트로브 신호(/QSIN)를 수신하는 차동 증폭기를 갖는 경우, 상기 회로의 내부 레벨은 프리앰бл 타임(tQSPRE)에서의 상기 레벨에서 포지티브 위상 입력 스트로브 신호(QSIN) 및 역위상 입력 스트로브 신호(/QSIN)를 각각 설정함으로써 제어된다. 따라서, 상기 회로는 입력 데이터(DQIN)를 수신할 수 있는 상태로 제어된다.

또, 크로스 포인트가 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN) 주기의 마지막인 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 크로스 포인트 후의 일정 시간 주기는 포스트앰бл 타임(tQSPST)으로 설정된다. 이 시간 주기에서, 상기 포지티브 위상 입력 스트로브 신호(QSIN) 및 역위상 입력 스트로브 신호(/QSIN)의 레벨은 서로 다르게 된다.

대기 시간 주기에서, 상기 포지티브 위상 스트로브 신호 라인(32) 및 역위상 스트로브 신호 라인(33)을 구동하는 상기 제어 칩의 트랜지스터들은 오프 상태가 되도록 제어된다. 따라서, 상기 포지티브 위상 스트로브 신호 라인(32) 및 역위상 스트로브 신호 라인(33)은 하이 임피던스 상태(Hi-z) 또는 로우 임피던스 상태(Low-z)와 같은 플로우팅 상태가 된다.

또, 본 발명의 실시예에서 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 크로스 포인트의 각각은 입력 데이터(DQIN)의 애지 트리거 포인트에서 설정된다.

상기 기록 코멘드(WR-CMD)에 대하여 데이터 대기 시간이 있는 경우, 상기 프리앰블 타임(tQSPRE)에서 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 레벨은 도 15에 도시된 바와 같이, 제1 데이터 항목(DQIN=WD1)이 출력되기 전의 소정의 시간 주기로 설정될 수 있다.

상보적인 출력 스트로브 신호 라인과 상보적인 입력 스트로브 신호 라인이 서로 분리되고, 입력 데이터 항목(DQIN)이 연속적인 우수 항목인 경우, 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 레벨은 도 16에 도시된 바와 같이, 대기 시간 주기에서 제어될 수 있다. 즉, 상기 포지티브 위상 입력 스트로브 신호(QSIN)와 역위상 입력 스트로브 신호(/QSIN)는 포스트앰블 타임(tQSPST)에서의 레벨과 동일하게 각각 로우 레벨 및 하이 레벨을 유지할 수 있다. 이 경우, 상기 FCRAM이 입력 데이터를 수신할 수 있는 상태가 되는 데 아무런 문제가 없게 된다.

또, 상보적인 출력 스트로브 신호 라인과 상보적인 입력 스트로브 신호 라인이 서로 분리되고, 입력 데이터 항목(DQIN)이 연속적인 하나 또는 기수 항목인 경우, 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 레벨은 도 17에 도시된 바와 같이, 대기 시간 주기에서 제어될 수 있다. 즉, 상기 포지티브 위상 입력 스트로브 신호(QSIN)와 역위상 입력 스트로브 신호(/QSIN)는 포스트앰블 타임(tQSPST)에서의 레벨과 동일하게 각각 하이 레벨 및 로우 레벨을 유지할 수 있으며, 다음 데이터 기록 동작시 상기 프리앰블 타임(tQSPRE)의 개시시로 복원될 수 있다. 이 경우, 상기 FCRAM이 입력 데이터를 수신할 수 있는 상태가 되는 데 아무런 문제가 없게 된다.

또, 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 각 크로스 포인트는 도 18에 도시된 바와 같이, 상기 입력 데이터(DQIN)의 주기의 중심 포인트에서 설정될 수 있다.

상기한 바와 같이, 본 발명의 실시예에 따른 전자 장치에서 상기 한 세트의 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)는 출력 스트로브 신호로 이용된다. 따라서, 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 상승 및 하강 타임이 변화되더라도, 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 주기(상기 상보적인 출력 스트로브 신호의 크로스 포인트 사이의 주기)는 일정할 수 있다. 따라서, 상기 출력 데이터(DQOUT)의 확정 주기는 일정할 수 있다.

또, 상기 한 세트의 상보적인 입력 스트로브 신호(QSIN, /QSIN)는 상기 스트로브 신호로서 이용된다. 따라서, 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 상승 및 하강 타임이 변화되더라도, 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)주기(상기 상보적인 입력 스트로브 신호의 크로스 포인트 사이의 주기)는 일정할 수 있다. 따라서, 상기 입력 데이터(DQIN)의 확정 주기는 일정할 수 있다.

본 발명의 실시예의 전자 장치에 따르면 상기 스트로브 주기가 예를 들면, 4ns이하로 짧아지더라도, 상기 데이터(DQOUT, DQIN)는 확실히 전송되고 수신될 수 있다.

또, 상기 FCRAM(26)에서 버스트 길이에 대응하는 비트 길이를 갖는 데이터가 상기 선택된 뱅크로부터 병렬 데이터로 판독된다. 상기 데이터는 병렬/직렬 변환기(47)에 의해 직렬 데이터로 변환된다. 이후, 상기 직렬 데이터는 데이터 출력 버퍼(48)에 공급된다. 따라서, 상기 데이터 판독 동작이 높은 속도로 수행될 수 있다. 상기 상보적인 출력 스트로브 신호(QSOUT, /QSOUT)의 주기가 일정하기 때문에, 상기 출력 데이터(DQOUT)의 확정 주기는 일정해지고, 상기 병렬/직렬 변환기(47)는 상기 동작을 위한 마진을 확보할 수 있다.

또, 상기 FCRAM(26)에서 직렬/병렬 변환기(50)가 상기 데이터 입력 버퍼(49)의 후단에 제공되고, 상기 버스트 길이에 대응하는 입력 데이터 항목(DQIN : 비트들)이 상기 데이터 입력 버퍼(49)에서 직렬/병렬 변환기(50)로 연속적으로 공급된다. 상기 입력 데이터 항목(DQIN)은 직렬/병렬 변환기(50)에 의해 병렬 데이터로 변환되고, 상기 병렬 데이터는 상기 선택된 메모리 뱅크에 기록된다. 따라서, 상기 데이터 기록 동작이 높은 속도로 수행될 수 있다. 상기 상보적인 입력 스트로브 신호(QSIN, /QSIN)의 주기가 일정하기 때문에, 상기 입력 데이터(DQIN)의 확정 주기는 일정해지고, 상기 직렬/병렬 변환기(50)는 상기 동작을 위한 마진을 확보할 수 있다.

본 발명은 상기한 실시예에 한정되지 않고, 주장된 발명의 사상을 벗어나지 않는 범위에서 다양한 변화 및 변형이 가능하다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 전자 장치에 의하면 스트로브 신호로서 상보적인 스트로브 신호를 사용하여 그 상승 시간과 하강 시간이 다른 경우에 있어서도, 스트로브 주기를 일정하게 할 수 있고, 데이터의 확정 시간을 일정하게 할 수 있기 때문에, 스트로브 주기가 짧게 되어도 데이터의 교환을 확실히 할 수 있는 효과가 있다. 또한, 본 발명의 반도체 메모리 기억 장치에 의하면, 스트로브 출력 버퍼로서 상보적인 출력 스트로브 신호를 출력하는 스트로브 출력 버퍼를 구비함과 더불어, 스트로브 입력 버퍼로서 상보적인 입력 스트로브 신호를 입력해서 입력 데이터의 취입을 제어하는 스트로브 입력 버퍼를 구비하고 있기 때문에 본 발명의 전자 장치에 사용할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기억 장치와;

데이터 출력 동작시 상기 기억 장치로부터의 출력 데이터에 동기하여 제1 출력 스트로브 신호 및 제2 출력 스트로브 신호가 전송되는 스트로브 신호 라인들로서, 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호의 크로스 포인트들의 각각은 상기 출력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 신호 라인들을 포함하는 전자 장치.

청구항 2.

제1항에 있어서, 상기 기억 장치는 미리 정해진 신호에 기초하여 상기 제1 출력 스트로브 신호 및 제2 출력 스트로브 신호를 생성하는 스트로브 출력 버퍼를 갖고,

상기 출력 데이터가 상기 기억 장치에서 출력되는 경우, 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호는 상기 스트로브 출력 버퍼로부터 상기 스트로브 신호 라인들로 공급되는 것인 전자 장치.

청구항 3.

제1항에 있어서, 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호는 이 제1 및 제2 출력 스트로브 신호들의 크로스 포인트 트레인의 헤드 이전의 시간 주기인 프리앰블 타임에서 상이한 레벨들을 갖고, 상기 크로스 포인트의 헤드는 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호의 스트로브 주기의 개시에 대응하는 것인 전자 장치.

청구항 4.

기억 장치와;

데이터 입력 동작시 상기 기억 장치에 공급된 입력 데이터에 동기하여 제1 입력 스트로브 신호 및 제2 입력 스트로브 신호가 전송되는 스트로브 신호 라인들로서, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호의 크로스 포인트들 각각은 상기 입력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 신호 라인들을 포함하는 전자 장치.

청구항 5.

제4항에 있어서, 상기 기억 장치는 상기 스트로브 신호 라인들을 통해 전송되는 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호를 수신하고 이 제1 및 제2 입력 스트로브 신호들에 기초하여 상기 기억 장치에 공급되는 입력 데이터 항목을 확정하는 데 이용되는 스트로브 클럭 신호를 생성하는 스트로브 입력 버퍼를 구비하는 것인 전자 장치.

청구항 6.

제4항에 있어서, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호는 이 제1 및 제2 입력 스트로브 신호들의 크로스 포인트 트레인의 헤드 이전의 시간 주기인 프리앰블 타임에서 상이한 레벨들을 갖고, 상기 크로스 포인트의 헤드는 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호의 스트로브 주기의 개시에 대응하는 것인 전자 장치.

청구항 7.

기억 장치와;

데이터 출력 동작시 상기 기억 장치로부터의 출력 데이터에 동기하여 제1 출력 스트로브 신호 및 제2 출력 스트로브 신호가 전송되고, 데이터 입력 동작시 상기 기억 장치에 공급된 입력 데이터에 동기하여 제1 입력 스트로브 신호 및 제2 입력 스트로브 신호가 전송되는 스트로브 신호 라인들로서, 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호의 크로스 포인트들의 각각은 상기 출력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되며, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호의 크로스 포인트들의 각각은 상기 입력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 신호 라인들을 포함하는 전자 장치.

청구항 8.

반도체 기억 장치로써,

상기 반도체 기억 장치의 외부에 출력 데이터를 출력하는 데이터 출력 버퍼와;

제1 출력 스트로브 신호 및 제2 출력 스트로브 신호를 생성하고 상기 출력 데이터의 출력에 동기하여 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호를 상기 기억 장치의 외부에 출력하는 스트로브 출력 버퍼로서, 상기 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호의 크로스 포인트들의 각각은 상기 출력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 출력 버퍼를 포함하는 반도체 기억 장치.

청구항 9.

반도체 기억 장치로써,

상기 반도체 기억 장치의 외부로부터 제1 입력 스트로브 신호 및 제2 입력 스트로브 신호를 수신하고 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호에 기초하여 스트로브 클럭 신호를 생성하는 스트로브 입력 버퍼로서, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호의 크로스 포인트들의 각각은 상기 입력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 입력 버퍼와;

상기 스트로브 클럭 신호에 의해서 정해진 래치 타이밍들로 상기 반도체 기억 장치의 외부로부터 공급되는 입력 데이터를 래치하는 데이터 입력 버퍼를 포함하는 반도체 기억 장치.

청구항 10.

반도체 기억 장치로써,

상기 반도체 기억 장치의 외부에 출력 데이터를 출력하는 데이터 출력 버퍼와;

제1 출력 스트로브 신호 및 제2 출력 스트로브 신호를 생성하고, 상기 출력 데이터의 출력에 동기하여 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호를 상기 기억 장치의 외부에 출력하는 스트로브 출력 버퍼로서, 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 출력 스트로브 신호 및 상기 제2 출력 스트로브 신호의 크로스 포인트들의 각각은 상기 출력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 출력 버퍼와;

제1 입력 스트로브 신호 및 제2 입력 스트로브 신호를 상기 반도체 기억 장치의 외부로부터 수신하고, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호에 기초하여 스트로브 클럭 신호를 생성하는 스트로브 입력 버퍼로서, 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호는 서로 상보적인 관계를 갖고 상기 제1 입력 스트로브 신호 및 상기 제2 입력 스트로브 신호의 크로스 포인트들의 각각은 상기 입력 데이터의 대응하는 데이터 항목의 에지 트리거 포인트 또는 중심 포인트에 설정되는 것인, 상기 스트로브 입력 버퍼와;

상기 스트로브 클럭 신호에 의해서 정해진 래치 타이밍들로 상기 반도체 기억 장치의 외부로부터 공급되는 입력 데이터를 래치하는 데이터 입력 버퍼를 포함하는 반도체 기억 장치.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

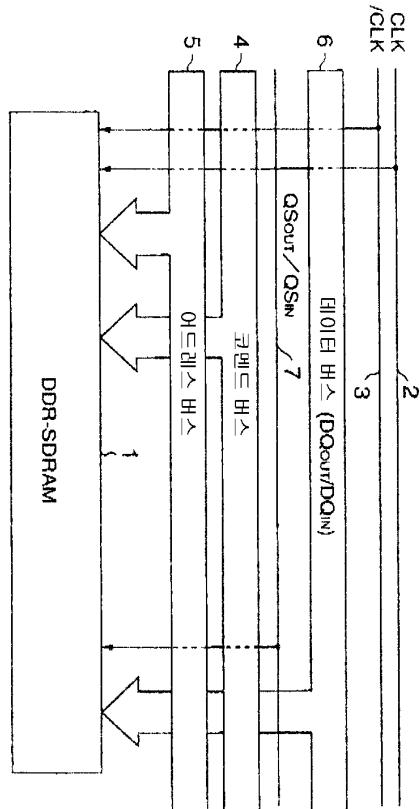
삭제

청구항 27.

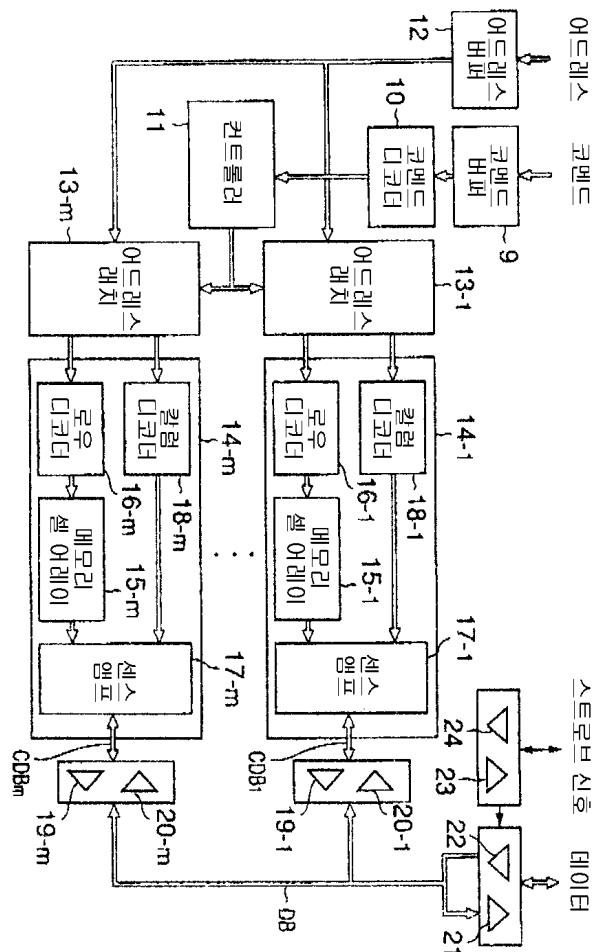
삭제

도면

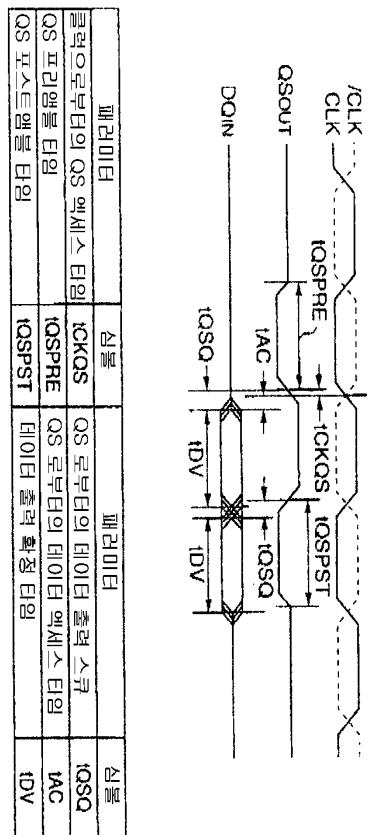
도면1



도면2

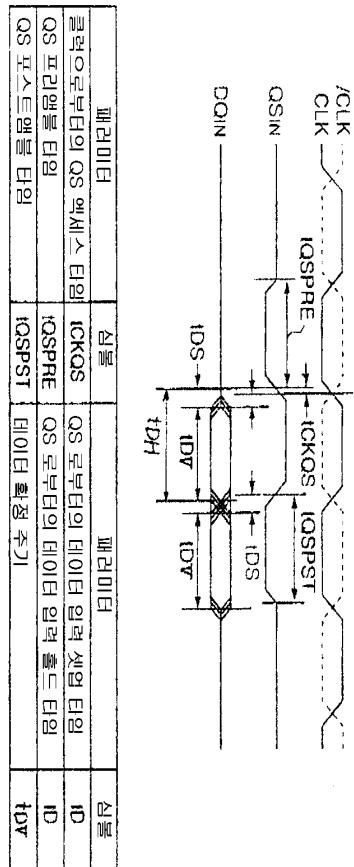


도면3



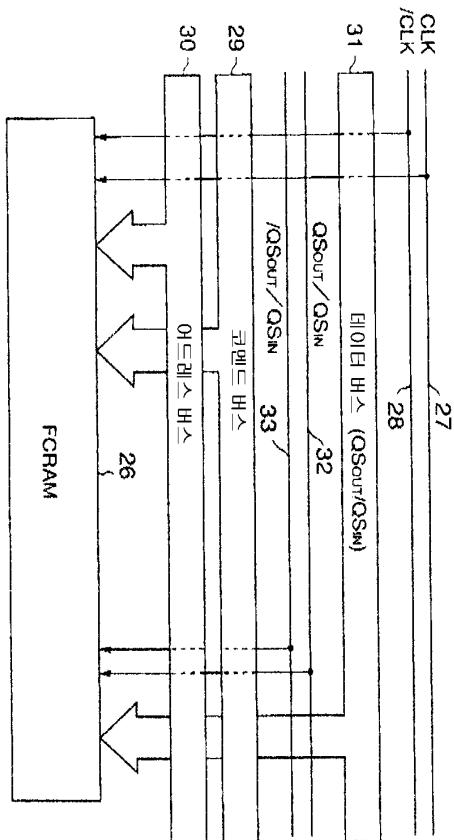
파라미터	설명	파라미터	설명
클럭으로부터의 QS 액세스 타임	<i>tCKQS</i>	QS로부터의 데이터 출력 스크	<i>tOSQ</i>
QS 프리앰플 타임	<i>tSPRE</i>	QS로부터의 데이터 액세스 타임	<i>tAC</i>
QS 포스트 앤블 타임	<i>tSPST</i>	데이터 출력 유효 타임	<i>tDV</i>

도면4

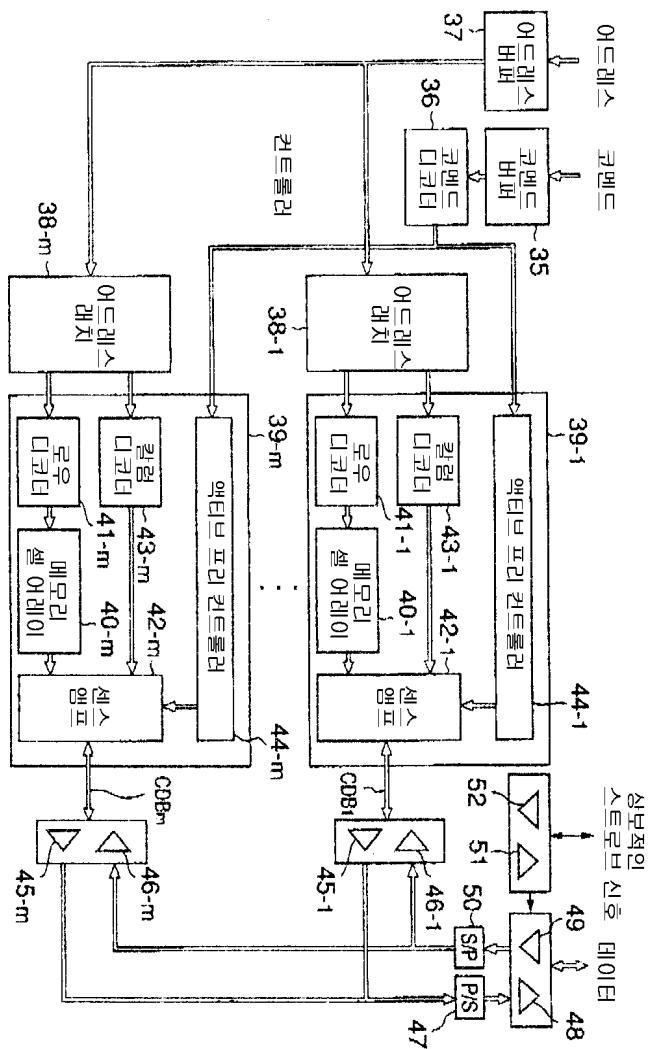


제거타이밍	상태	제거타이밍	상태
클럭으로부터의 QS 액세스 타임	tCKQS	QS로부터의 데이터 입력 셋업 타임	D
QS 프리앰프 타임	tQSPRE	QS로부터 데이터 읽기 끝나는 타임	D
QS 포스트앰프 타임	tQSPST	[tD]0일 때 종료하기	tD

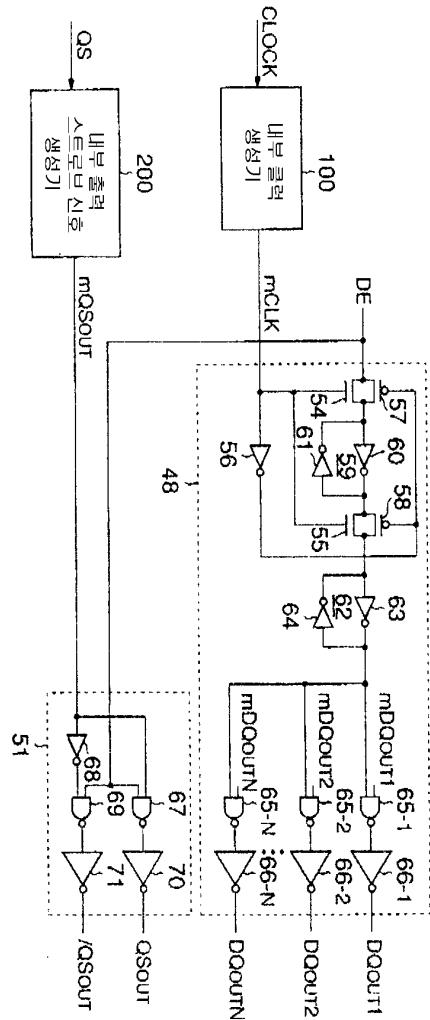
도면5



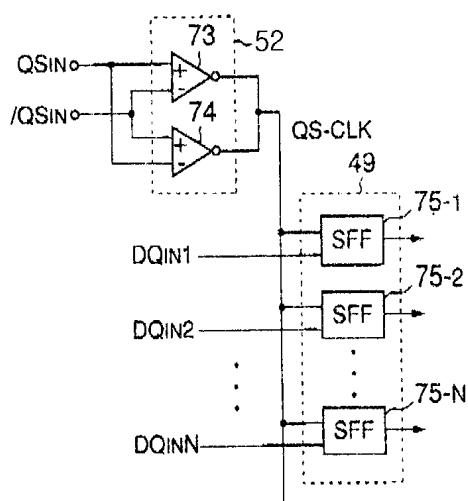
도면6



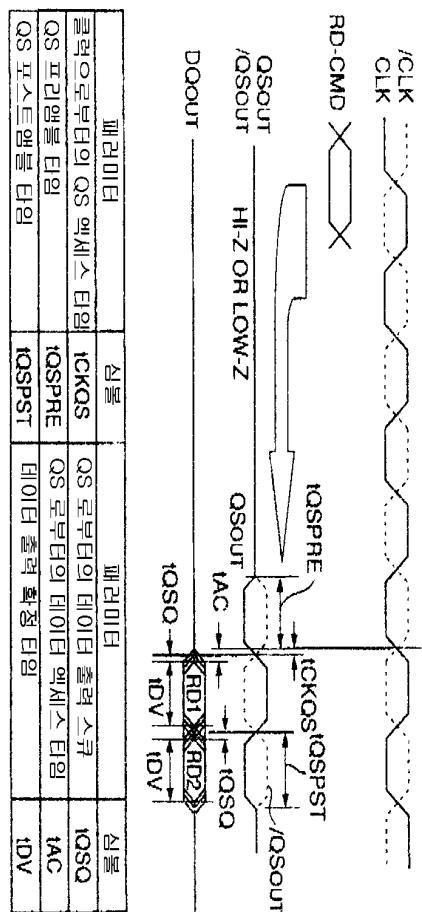
도면7



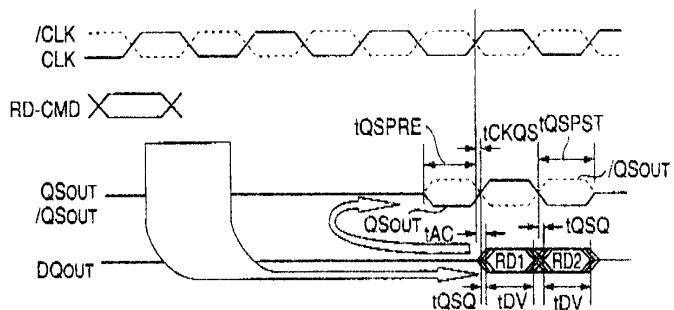
도면8



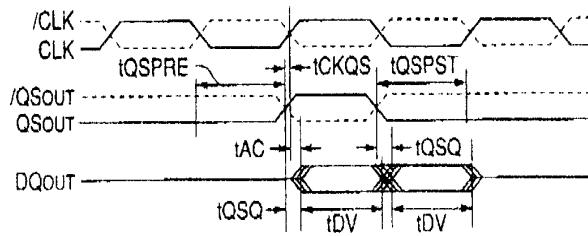
도면9



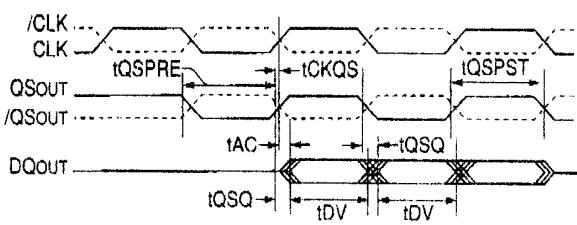
도면10



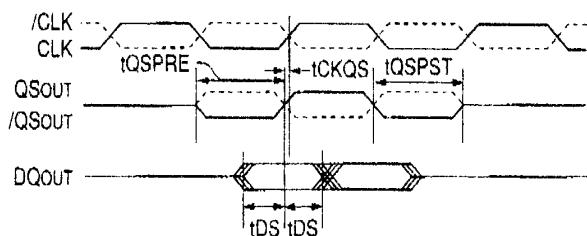
도면11



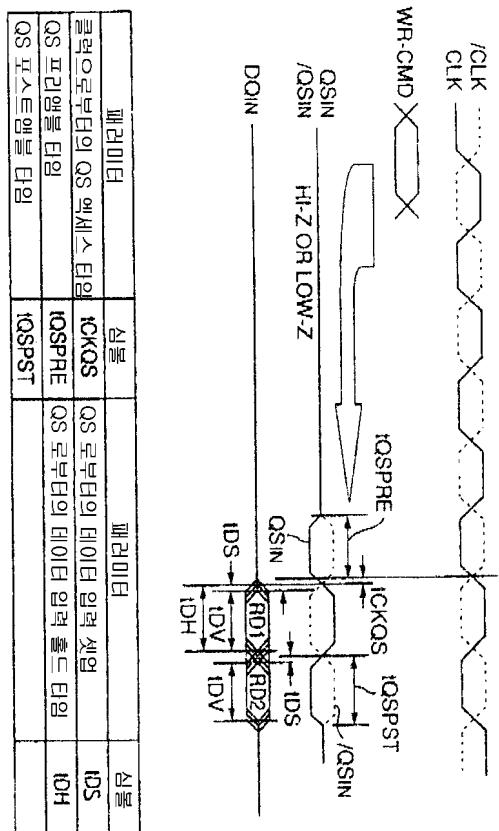
도면12



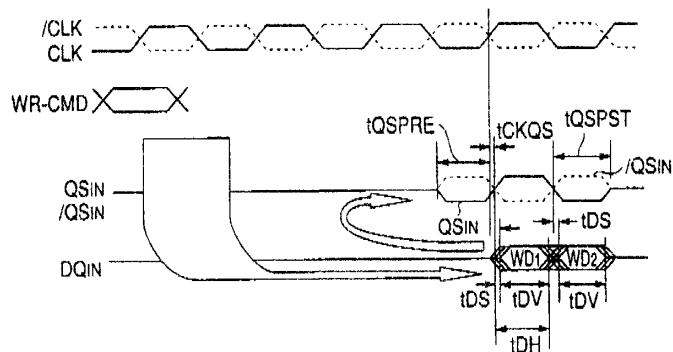
도면13



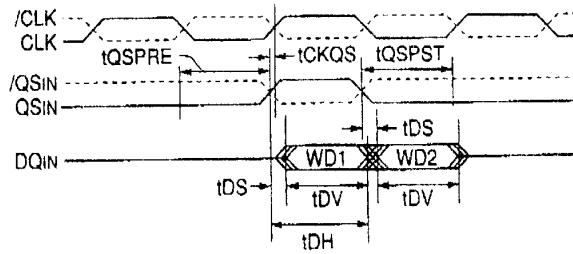
도면14



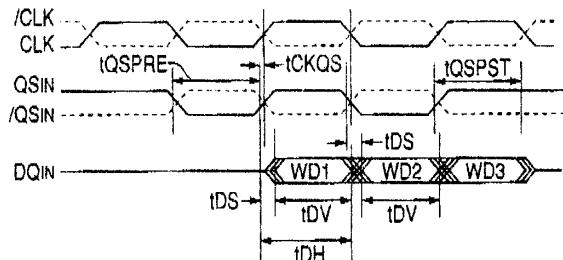
도면15



도면16



도면17



도면18

