

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 4월 2일 (02.04.2015)

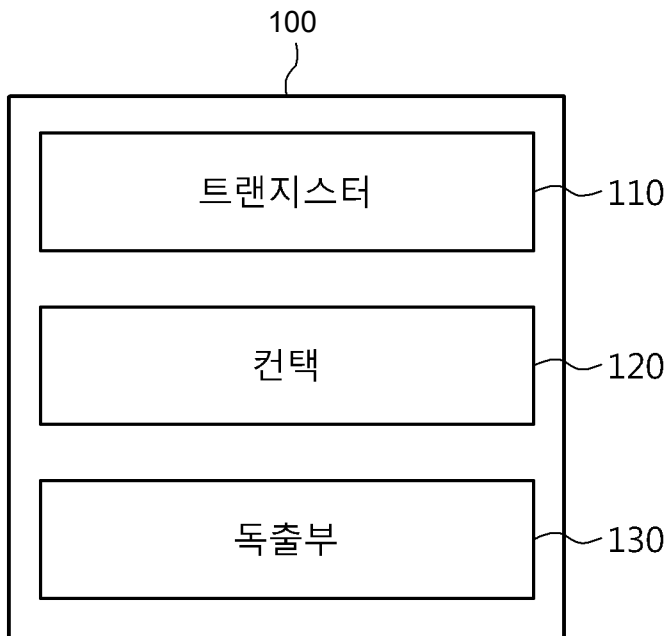


(10) 국제공개번호
WO 2015/046682 A1

- (51) 국제특허분류: G06F 21/73 (2013.01) G06F 21/70 (2013.01)
- (21) 국제출원번호: PCT/KR20 14/00 1320
- (22) 국제출원일: 2014년 2월 19일 (19.02.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2013-01 16424 2013년 9월 30일 (30.09.2013) KR
- (71) 출원인: (주) 아이씨티케이 (ICTK CO., LTD.)
[KR/KR]: 463-400 경기도 성남시 분당구 판교로 323, 3층(삼평동, 투썸벤처 포럼빌딩), Gyeonggi-do (KR).
- (72) 발명자: 최병덕 (CHOI, Byong Deok); 134-840 서울시 강동구 올림픽로 62길 9-24, Seoul (KR). 김동규 (KIM, Dong Kyue); 130-100 서울시 동대문구 장한로 14길 81 105동 2103호 (장안동, 삼성 래미안 1차 아파트), Seoul (KR).
- (74) 대리인: 특허법인 무한 (MUHANN PATENT & LAW FIRM); 135-814 서울시 강남구 학동로 3길 9, 2층 (논현동, 명림빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

- (54) Title: DEVICE AND METHOD FOR GENERATING IDENTIFICATION KEY BY USING SEMICONDUCTOR PROCESS
- (54) 발명의 명칭: 반도체 공정을 이용한 식별키 생성 장치 및 방법



(57) Abstract: Provided are a device and a method for generating an identification key by using process variation in a semiconductor process. A semiconductor is manufactured by adjusting the gate side edge position of a contact such that a difference between the probability that the gate of a transistor is short-circuited from a drain or a source by the contact and the probability that the gate is not short-circuited is less than or equal to a predetermined critical value. When the manufactured semiconductor does not have a separate process, whether there is a short-circuit between the gate and the drain or the source is stochastically generated by the process variation, whether there is a short-circuit through the reading unit is detected, and the identification key is provided.

(57) 요약서: 반도체 공정에서의 공정 편차를 이용하여 식별키를 생성하는 장치 및 방법이 제공된다. 컨택에 의해 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 컨택의 게이트 측 엣지의 위치를 조절하여 반도체를 제조한다. 제조되는 반도체에 별도의 프로세스가 없는 경우, 게이트와 드레인 또는 소스의 단락 여부는 공정 편차에 의해 확률적으로 발생하고, 독출부를 통해 단락여부를 식별하고 식별키를 제공한다.

- 110 ... Transistor
- 120 ... Contact
- 130 ... Reading unit

WO 2015/046682 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 공개 :

— 국제조사보고서 와 함께 (조약 제 21 조⁽³⁾)

명세서

발명의 명칭: 반도체 공정을 이용한 식별키 생성 장치 및 방법 기술분야

- [1] 하드웨어 보안을 위해 식별키를 생성하는 장치 및 방법에 연관되며, 보다 구체적으로는 반도체 공정 편차를 이용하여 PUF(Physically Unclonable Function) 를 구현하여 식별키를 생성하는 장치 및 방법에 연관된다.

배경기술

- [2] 정보화 사회가 고도화 됨에 따라 개인 정보 보호의 필요성도 높아지고 있고, 개인 정보를 암호화 및 복호화하여 안전하게 전송하는 보안 시스템을 구축하는 기술이 요구된다.
- [3] 최근에는 컴퓨팅 디바이스에 저장된 식별키에 대하여, 부채널 공격(Side channel attack), 역공학(Reverse engineering) 공격 등의 다양한 공격이 이루어지고 있는 추세이다. 이런 공격에 대하여 안전하게 식별키를 생성 및 저장하는 방법으로 PUF 기술이 개발되고 있다.
- [4] PUF는 예측 불가능한(Unpredictable) 디지털 값인 식별키를 제공할 수 있다. 개개의 PUF 들은 정확한 제조 공정이 주어지고, 동일한 설계 및 공정에서 제조되더라도, 상기 개개의 PUF 들이 제공하는 디지털 값은 다르다.
- [5] 따라서, 복제가 불가능한 POWF(Physical One-Way Function practically impossible to be duplicated) 로 지칭될 수도 있다.
- [6] 이러한 PUF의 특성은 보안 및/또는 인증을 위한 암호 키의 생성에 이용될 수 있다. 이를테면, 디바이스를 다른 디바이스와 구별하기 위한 유니크 키(Unique key to distinguish devices from one another) 를 제공하기 위해 PUF가 이용될 수 있다.
- [7] 한국 등록특허 10-1 139630 호(이하 '630 특허)에서 PUF를 구현하는 방법이 제시된 바 있다. '630 특허에서는 반도체의 공정 편차(Process variation) 를 이용하여 반도체의 전도성 레이어들 사이의 인터-레이어 컨택(inter-layer contact) 또는 비아(via)의 생성 여부가 확률적으로 결정되도록 한 방법이 제시되었다.

발명의 상세한 설명

과제 해결 수단

- [8] 일측에 있어서, 반도체 칩에 포함되는 트랜지스터, 상기 트랜지스터 상에 형성되는 컨택 - 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 - 및 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는 독출부를 포함하는 식별키 생성 장치를 제공한다.

- [9] 일실시에에 있어서, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치일 수 있다.
- [10] 일실시에에 있어서, 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 반도체 칩의 제조 공정 상의 공정 편차에 따라 무작위적으로 결정될 수 있다.
- [11] 일실시에에 있어서, 상기 컨택의 게이트 측 엣지의 위치는 상기 게이트와 상기 드레인 사이의 경계 또는 상기 게이트와 상기 소스의 경계로부터, 제1 임계 거리 이상 제2 임계 거리 이하로 떨어져 있는 위치일 수 있다.
- [12] 일실시에에 있어서, 상기 제1 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최소치이고, 상기 제2 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최대치일 수 있다.
- [13] 일실시에에 있어서, 상기 컨택의 게이트 측 엣지의 위치는, 상기 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 정렬됨으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만들 수 있다.
- [14] 다른 일측에 따르면, 반도체 칩의 디자인 레이아웃에 있어서, 트랜지스터를 배치하는 단계, 상기 레이아웃에 있어서, 상기 트랜지스터 상에 형성되는 컨택을 배치하는 단계 - 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 - 및 상기 레이아웃에 있어서, 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는 독출부를 배치하는 단계를 포함하는 식별키 생성 장치의 설계 방법을 제공한다.
- [15] 일실시에에 있어서, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치일 수 있다.
- [16] 일실시에에 있어서, 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 레이아웃을 이용하여 상기 반도체 칩을 제조하는 공정 상의 공정 편차에 따라 무작위적으로 결정될 수 있다.
- [17] 또 다른 일측에 따르면, 반도체 웨이퍼 상에 트랜지스터를 생성하는 단계, 상기 트랜지스터 상에 컨택을 생성하는 단계 - 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 - 및 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는 독출부를

- 생성하는 단계를 포함하는 식별키 생성 장치의 제조 방법을 제공한다.
- [18] 일실시예에 있어서, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치일 수 있다.
- [19] 일실시예에 있어서, 상기 컨택을 생성하는 단계는, 상기 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 상기 컨택 게이트 측 엣지의 위치를 정렬함으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만들 수 있다.
- [20] 일실시예에 있어서, 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 반도체 칩을 제조하는 공정상의 공정 편차에 따라 무작위적으로 결정될 수 있다.
- [21] 또 다른 일측에 따르면, 반도체 칩에 포함되는 트랜지스터의 게이트가 컨택에 의해 드레인 또는 소스와 단락되는지의 여부를 독출하는 단계 - 상기 컨택은 상기 트랜지스터 상에 형성되며, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 - 및 상기 독출 결과를 식별하여 상기 트랜지스터에 대응하는 식별키를 제공하는 단계를 포함하는 식별키 생성 방법을 제공한다.
- [22] 일실시예에 따르면, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치일 수 있다.
- [23] 일실시예에 따르면, 상기 컨택의 위치는 상기 게이트와 상기 드레인 사이의 경계 또는 상기 게이트와 상기 소스의 경계로부터, 제1 임계 거리 이상 제2 임계 거리 이하로 떨어져 있는 위치일 수 있다.
- [24] 일실시예에 따르면, 상기 제1 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최소치이고, 상기 제2 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최대치일 수 있다.
- [25] 일실시예에 따르면, 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 반도체 칩을 제조하는 공정상의 공정 편차에 따라 무작위적으로 결정될 수 있다.
- [26] 일실시예에 따르면, 상기 컨택의 게이트 측 엣지의 위치는 상기 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 정렬됨으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만들 수 있다.

도면의 간단한 설명

- [27] 도 1은 일실시예에 따른 식별키 생성 장치의 블록도를 도시한다.
- [28] 도 2는 일실시예에 따른 컨택(contact) 및 트랜지스터의 평면도이다.
- [29] 도 3은 일실시예에 따른 게이트와 드레인(또는 소스) 이 컨택을 통해 단락될 경우의 트랜지스터의 단면도이다.
- [30] 도 4는 일실시예에 따른 게이트와 드레인이 컨택을 통해 단락되지 않을 경우의 트랜지스터의 단면도이다.
- [31] 도 5는 일실시예에 따른 게이트와 드레인(또는 소스) 이 컨택을 통해 단락될 경우의 식별키 생성 장치의 리드-아웃(read-out) 회로도이다.
- [32] 도 6은 일실시예에 따른 게이트와 드레인(또는 소스) 이 컨택을 통해 단락되지 않을 경우의 식별키 생성 장치의 리드-아웃 회로도이다.
- [33] 도 7은 일실시예에 따른 컨택의 게이트 측 엣지의 위치에 따른 드레인과 게이트의 단락 확률을 나타내는 그래프이다.
- [34] 도 8는 일실시예에 따른 식별키 생성 장치의 설계 방법을 나타내는 흐름도이다.
- [35] 도 9는 일실시예에 따른 식별키 생성 장치의 제조 방법을 나타내는 흐름도이다.
- [36] 도 10은 일실시예에 따른 식별키 생성 방법을 나타내는 흐름도이다.

발명의 실시를 위한 최선의 형태

- [37] 이하에서, 일부 실시예들을, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [38] 도 1은 일실시예에 따른 식별키 생성 장치(100)의 블록도를 도시한다.
- [39] 일실시예에 따른 식별키 생성 장치(100)는 트랜지스터(110), 컨택(120) 및 독출부(130)를 포함할 수 있다.
- [40] 일실시예에 따르면, 트랜지스터(100)는 NMOS(N-channel Metal Oxide Semiconductor) 또는 PMOS(P-channel Metal Oxide Semiconductor) 중 하나일 수 있다. 따라서, 트랜지스터(100)는 게이트, 드레인 및 소스를 포함할 수 있다.
- [41] 상기한 바와 같은 트랜지스터(100)가 NMOS 또는 PMOS와 같은 MOSFET(Metal Oxide Semiconductor Field-Effect Transistor)인 경우일 뿐이다. 그러므로, 트랜지스터(100)가 JFET(Junction gate Field-Effect Transistor) 또는 BJT(Bipolar Junction Transistor) 등과 같은 다른 트랜지스터일 수도 있다. 또한, 트랜지스터 뿐만 아니라 다이오드에 대해서도 적용될 수 있는 것으로 이해되어야 하며, 명세서에서 예시적으로 설명되는 일부 구성으로 한정되어서는 안 된다.
- [42] 통상적으로 NMOS의 동작 영역은 차단 영역(cut-off range), 트라이오드 영역(triode region) 및 포화 영역(saturation region) 3가지로 구분된다. PMOS 역시 동작 원리가 동일하므로 NMOS를 중심으로 설명한다.
- [43] 차단 영역에서는, NMOS 게이트의 전압이 문턱 전압(V_{th})보다 낮은 상태이다.

- NMOS 가 동작하기 위해서는 게이트 전압이 문턱 전압 이상이 되어야 하므로 드레인(drain)- 소스(source) 전압은 전류의 흐름에 영향을 주지 못한다.
- [44] 트라이오드 영역에서는, NMOS 게이트 전압이 문턱 전압 보다 높은 상태이므로 전류는 흐를 수 있다. 하지만 트라이오드 영역은 아직 드레인 전류가 포화되기 전이기 때문에, 드레인 전류는 게이트-소스(V_{gs}) 전압과 드레인-소스(V_{ds}) 전압 모두에 의해 영향을 받는다.
- [45] 포화 영역에서도 역시, NMOS 게이트 전압이 문턱 전압 보다 높은 상태이므로 전류는 흐를 수 있다. 포화 영역에서는 드레인 전류는 드레인 전압에 무관하고 게이트 전압에만 영향을 받는다. 포화 영역에 들어서면 드레인 전류는 일정해진다. 이는, 채널이 형성된 상태에서 게이트-드레인 전압이 문턱전압과 같아지게 되면 드레인 근처에서 채널이 없어지므로, 드레인 전압은 드레인 전류의 변화에 영향을 주지 못한다. 포화 영역에서는 $V_{ds} > V_{gs} - V_{th}$ 조건을 만족하게 된다.
- [46] 일실시에에 따르면, 디자인 또는 공정 편차에 의해 게이트와 드레인(또는 소스)에 겹쳐서 컨택이 형성될 수 있다. 이 경우 게이트와 드레인(또는 소스)은 단락된 것과 같은 상태가 될 수 있다.
- [47] 여기서, 그리고 본 명세서 전반에 걸쳐서, 컨택은 트랜지스터의 게이트와 드레인(또는 소스) 사이를 단락시키는 임의의 형태의 전도성 요소(conductive element)를 의미한다. 이를테면, 상기 컨택은, 전도성 레이어들 사이를 연결하도록 형성되는 비아(Via)나, 전도성 레이어와 액티브(active) 사이를 연결하도록 형성되는 컨택(contact) 등 여하간의 전도성 요소를 포함하는 개념일 수 있다.
- [48] 따라서, 컨택은 트랜지스터 내의 게이트와 드레인(또는 소스)을 단락할 수 있는 임의의 형태를 포함하는 것으로 이해되어야 하며, 명세서에서 예시적으로 설명되는 일부 구성으로 한정되어서는 안 된다.
- [49] 게이트와 드레인이 단락되는 경우, NMOS는 상기 포화 영역이 되는 조건이 되는 식($V_{ds} > V_{gs} - V_{th}$)을 항상 만족하게 되므로, NMOS는 항상 포화 영역에서 동작하게 된다. 다시 말해서, 게이트 전압에 의해서 흐르는 전류의 크기에만 영향을 줄 뿐이고, 게이트 전압이 동일한 경우 드레인-소스 전압이 커지더라도 일정한 전류가 흐르게 된다. 이를 다이오드-커넥티드(diode-connected) 되었다고 할 수 있다.
- [50] 통상적인 게이트와 드레인이 단락되지 않는 것을 보장하는 디자인 룰에 의하면, 게이트와 드레인(또는 소스)에 컨택을 겹치도록 형성하는 것을 허용하지 않는다. 상기 디자인 룰은 컨택이 게이트, 드레인 또는 소스 중 어느 하나에 형성되어 트랜지스터의 게이트가 드레인 또는 소스와 단락되지 않는 것을 보장하는 디자인 룰일 수 있다. 이하에서는 별다른 언급이 없더라도 이러한 형식으로 이해될 수 있다.
- [51] 다시 말해서, 게이트와 드레인(또는 소스)이 단락되지 않기 때문에, 게이트와 드레인에 각각 인가된 전압에 따라 트랜지스터의 전류가 흐르게 된다.

- [52] 반면에, 통상적인 디자인 룰을 적용하지 않고, 디자인 시 및/또는 공정 시 콘택의 위치를 조절하여 게이트와 드레인(또는 소스)에 무작위적(random)으로 콘택이 겹치도록 형성할 수 있다.
- [53] 게이트와 드레인(또는 소스)이 겹치도록 콘택이 형성되는 경우에, 게이트와 드레인(또는 소스)이 단락될 수 있다. 따라서, NMOS는 항상 포화 영역에서 동작하게 되므로, 게이트 전압에 따라 전류의 크기는 변할지도 모르나, 드레인 전압에 관계없이 항상 일정한 전류가 흐르게 된다.
- [54] 통상적인 반도체 공정 프로세스에서는 이러한 결과가 공정 실패로 받아들여질 수 있다. 또한, 게이트와 드레인(또는 소스)이 단락됨으로써, 반도체는 불량으로 취급될 수 있다.
- [55] 그러나, 일실시예에 따르면, 이러한 공정 실패(통상의 반도체 제조 공정에서 실패로 인식되는 현상)에 의해, 게이트와 드레인(또는 소스)이 미리 예상할 수 없는(unpredictable) 단락 현상이 발생한다. 이와 같은 무작위적인 단락 현상 발생 결과를 이용하여 PUF를 생성할 수 있다.
- [56] 이러한 무작위적인(random) 공정 실패는, 게이트와 드레인(또는 소스)이 단락됨으로써, 게이트와 드레인 전압을 독립적으로 제어할 수 없음에 기인한다.
- [57] 상기한 바와 같이, 게이트와 드레인(또는 소스)이 겹쳐지도록 콘택을 형성함으로써, 게이트와 드레인(또는 소스)이 단락될 수 있지만, 단락 여부는 미리 예측할 수 없다. 이는 PUF가 생성하는 디지털 값의 무작위성(randomness)을 보장할 수 있다.
- [58] 한편, 반도체 제조 공정이 수행된 이후에는 별도의 프로세스를 거치지 않는 한 제조 시에 결정된 단락 여부는 그대로 유지된다. 따라서, PUF가 생성하는 디지털 값의 시불변성(time-invariant)이 높은 수준으로 보장될 수 있다.
- [59] 나아가, 동일한 공정 파라미터, 이를테면 콘택의 게이트 측 엣지(edge of the gate side of contact)의 위치 등을 이용하여 반도체를 제조하더라도, 일정 수준의 공정 오차는 불가피하다. 또한, 이러한 공정 오차의 발생 및 양상은 일정 범위 이상으로 제어할 수 없기 때문에 제조된 각 반도체 내 트랜지스터의 게이트와 드레인(또는 소스)의 단락 여부는 다를 수 있다.
- [60] 따라서, 동일한 공정 파라미터를 이용하더라도, 서로 다른 디지털 값이 생성되기 때문에 PUF 특성, 즉 물리적 복제 불가능성이 만족될 수 있다.
- [61] 따라서, 실시예들에 따르면, 반도체 제조 공정 시 및/또는 디자인 시 전도성 레이어에 포함된 윈도우의 위치를 변화하여 전도성 레이어와 트랜지스터간 콘택을 형성함으로써, 게이트와 드레인(또는 소스)의 단락 여부를 무작위적으로 발생하게 할 수 있다. 이러한 무작위성에 의해 PUF가 생성될 수 있다.
- [62] 다만, 전도성 레이어에 포함된 콘택의 게이트 측 엣지 위치의 변화는 게이트와 드레인(또는 소스)을 단락시킬 수 있는 반도체 공정 파라미터 중 일 예일 뿐이다. 그러므로, 게이트와 드레인(또는 소스)을 단락시킬 수 있는 임의의 공정 파라미터를 포함하는 것으로 이해되어야 하며, 명세서에서 예시적으로

- 설명되는 일부 구성으로 한정되어서는 안 된다.
- [63] 일 실시 예에 따르면 독출부 (130) 는 제조된 트랜지스터의 게이트와 드레인(또는 소스) 의 단락 여부를 식별하고, 출력값으로 식별키를 제공할 수 있다.
- [64] 제조된 트랜지스터가 NMOS 일 경우, 리드-아웃 회로(read-out circuit) 를 구성하여 게이트와 드레인(또는 소스) 의 단락 여부를 출력값을 통해 식별할 수 있다. 또한 출력값으로 0 또는 1의 값을 출력하여 식별키를 제공할 수 있다.
- [65] 제조된 트랜지스터가 PMOS 일 경우, 리드-아웃 회로를 구성하여 게이트와 드레인(또는 소스) 의 단락 여부를 출력값을 통해 식별할 수 있다. 또한 출력값으로 0 또는 1의 값을 출력하여 식별키를 제공할 수 있다.
- [66] 상기한 바와 같은 독출부 (130) 의 구성으로 NMOS 또는 PMOS 와 같은 MOSFET 인 경우는 일 예일 뿐이다. 그러므로, 독출부 (130) 의 구성이 JFET 또는 BJT 등과 같은 다른 트랜지스터 또는 다이오드 일 수도 있는 것으로 이해되어야 하며, 명세서에서 예시적으로 설명되는 일부 구성으로 한정되어서는 안 된다.
- [67] 다양한 실시 예들에 따른 통상적인 공정 파라미터에 트랜지스터상에 형성되는 컨택의 구조를 이하에서 보다 상세히 설명한다.
- [68] 도 2는 일 실시 예에 따른 컨택 및 트랜지스터의 평면도(200) 이다.
- [69] 컨택 및 트랜지스터의 평면도(200) 에서 드레인(210), 게이트(220) 및 소스(230) 을 포함하는 트랜지스터가 도시되었다. 또한, 전도성 레이어(240) 및 컨택(250) 이 도시되었다.
- [70] 통상적인 디자인 룰에 따르면, 컨택(250) 은 드레인(210) (또는 소스(230)) 과 게이트(220) 에 겹쳐서 형성되지 않도록 디자인 된다. 상기 통상적인 디자인 룰은 컨택(250) 이 드레인(210) 과 게이트(220) 에 겹쳐서 형성되어, 드레인(210) 과 게이트(220) 가 단락되는 것을 허용하지 않기 때문이다.
- [71] 따라서, 통상적인 디자인 룰에 의하면, 컨택(250) 은 트랜지스터는 드레인(210), 게이트(220) 또는 소스(230) 중 하나에서 형성될 수 있을 뿐이다. 그러므로, 게이트(220) 과 드레인(210) (또는 소스(230)) 이 단락되지 않아서, 통상의 트랜지스터 동작 원리로 트랜지스터가 동작하게 된다.
- [72] 반면에, 일 실시 예에 따르면, 디자인 시 및/또는 공정 시 통상적인 디자인 룰과 다르게 컨택(250) 이 드레인(210) (또는 소스(230)) 과 게이트(220) 가 겹쳐서 형성될 수 있다.
- [73] 컨택이 겹쳐서 형성되는 경우, 게이트(220) 와 드레인(210) (또는 소스(230)) 은 무작위적으로 단락되거나 단락되지 않을 수 있다.
- [74] 또한, 컨택(250) 의 게이트 측 엣지의 위치는 컨택에 의해 트랜지스터의 게이트(220) 가 드레인(210) 또는 소스(230) 와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 정해진 오차 범위 내에 있도록 위치할 수 있다.
- [75] 이와 같이, 게이트(220) 와 드레인(210) (또는 소스(230)) 의 단락 여부가 무작위적으로 결정되기 때문에 PUF 가 생성하는 디지털 값의 무작위성을 보장할 수 있다.

- [76] 또한, 게이트(220)와 드레인(210) (또는 소스(230))의 단락 여부는 트랜지스터가 제조된 후에는 별도의 프로세스 없이 단락 여부가 변화하지 않으므로 시불변성 역시 보장되어 PUF로 이용될 수 있다.
- [77] 이와 같이, 상기 실시예들에서 설명한 컨택의 게이트 측 엣지의 위치를 조정하는 것은, 반도체 설계 단계에서 수행될 수 있다. 그러나, 이는 일부 실시예에 불과하며, 설계는 통상의 트랜지스터에 대응하여 되었다더라도 반도체 공정에서 조작을 함으로써 동일한 결과를 만드는 것도 가능하므로, 이하에서 설계 또는 공정 단계 중 일부에 대해 설명하더라도 이러한 설명에 의해 일부 실시예로 국한되어서는 안 된다.
- [78] 상기한 바와 같이, 게이트(220)와 드레인(210) (또는 소스(230))이 단락되는 경우와 단락되지 않는 경우의 구체적인 구조에 대해서도 3 및 4에서 후술한다.
- [79] 도 3은 일실시예에 따른 게이트와 드레인(또는 소스)이 컨택을 통해 단락될 경우의 트랜지스터의 단면도(300)이다.
- [80] 도 3에서는 게이트(320)와 드레인(310)이 컨택(350)을 통해 단락될 경우의 단면도가 도시되어 있다. 이와 같이 컨택(350)이 형성되는 경우, 게이트(320)와 드레인(310)이 단락될 수 있다.
- [81] 상기한 바와 같이, 게이트(320)와 드레인(310)이 단락되는 경우 트랜지스터가 포화 영역에서 동작하게 되므로, 게이트에 문턱 전압 이상의 전압이 공급된다면, 게이트 전압과 관계 없이 일정한 전류가 흐를 수 있다.
- [82] 또한, 도시되지는 않았지만, 게이트(320)와 소스(330)의 경우에도 마찬가지로 컨택(350)이 두 영역에 걸쳐서 형성될 수 있다. 다만, 컨택(350)이 게이트(320)와 소스(330)에 걸쳐서 형성되어 게이트(320)와 소스(330)가 단락되는 경우, 트랜지스터(300)는 턴-오프(turn-off)될 수 있다.
- [83] 도 4는 일실시예에 따른 게이트와 드레인(또는 소스)이 컨택을 통해 단락되지 않을 경우의 트랜지스터의 단면도(400)이다.
- [84] 도 4에서는 게이트(420)와 드레인(410)이 컨택(450)을 통해 단락되지 않을 경우의 단면도가 도시되어 있다. 이와 같이 컨택(450)이 형성되는 경우, 게이트(420)와 드레인(410)이 단락되지 않을 수 있다.
- [85] 통상적인 게이트와 드레인이 단락되지 않는 것을 보장하는 디자인 룰로 제조한 경우뿐만 아니라, 디자인을 조정하여 두 영역간 경계선 상에 컨택(450)을 위치시킨 경우에도 컨택(450)이 두 영역에 걸쳐서 형성되지 않을 수 있다.
- [86] 이는 반도체 공정상 공정 편차가 일정 부분 존재하고, 이 공정 편차는 일정 수준 이상으로 제어할 수 없기 때문이다. 따라서, 공정 편차에 의해 게이트(420)와 드레인(410)에 걸쳐서 컨택(450)이 형성되지 않게 되어 게이트(420)와 드레인(410)은 단락되지 않을 수 있다.
- [87] 또한, 도시되지는 않았지만, 게이트(420)와 소스(430)의 경우에도 마찬가지로 컨택(450)이 두 영역에 걸쳐서 형성되지 않을 수 있다. 컨택(350)이

- 게이트 (320) 와 소스 (330) 에 겹쳐서 형성되지 않아 게이트 (320) 와 소스 (330) 가 단락되지 않는 경우, 트랜지스터 (300) 는 게이트와 소스의 전압에 의해 동작이 결정될 수 있다.
- [88] 이와 같이 게이트 (420) 과 드레인 (410) (또는 소스 (430)) 이 단락되지 않으면, 통상적인 디자인들에 의해 디자인 및/또는 제조된 트랜지스터와 같이 동작하게 될 수 있다.
- [89] 도 3 및 도 4에서 설명한 바와 같이, 게이트와 드레인이 단락되지 않는 것을 보장하는 디자인들을 위배하여 공정상 공정 편차를 이용하여 컨택을 두 영역에 걸쳐 형성한다면 무작위적으로 두 영역간 컨택을 통해 단락 여부를 결정할 수 있다.
- [90] 따라서, 무작위적으로 단락 여부가 결정되므로 PUF가 생성하는 디지털 값의 무작위성을 보장할 수 있다.
- [91] 또한, 제조가 완료된 후에는 별도의 공정이 없이는 단락 여부가 변하지 않으므로 시불변성 역시 확보되므로, PUF로 이용할 수 있다.
- [92] 이하에서, 게이트와 드레인(또는 소스)의 단락 여부를 식별하여 식별키를 제공하는 구체적 회로도 및 동작에 대해 후술한다.
- [93] 도 5는 일실시예에 따른 게이트와 드레인(또는 소스)이 컨택을 통해 단락될 경우의 식별키 생성 장치의 리드-아웃 (read-out) 회로도이다.
- [94] 일실시예에 따르면, 게이트 노드 (520) 와 드레인 노드 (530) 가 컨택을 통해 단락될 경우의 식별키 생성 장치의 리드-아웃 회로도 (500) 는 NMOS(510), 인버터 (540), 게이트 바이어스 저항 (R_G) 및 부하 저항 (R_L)을 포함할 수 있다.
- [95] 도 5에서는, 게이트 노드 (520) 와 드레인 노드 (530) 가 단락될 경우의 식별키 생성 장치의 리드-아웃 회로도 (500) 를 도시한다. 이 경우, 게이트 바이어스 저항 (R_G)은 부하 저항 (R_L)과 함께 V_{DD} 를 전압 분배할 수 있다. 분배되는 전압이 NMOS(510)의 게이트 노드 (520)로 인가되고, 게이트 노드 (520)로 인가되는 상기 분배되는 전압은 트랜지스터의 문턱 전압 이상이 되도록 설계할 수 있다.
- [96] 게이트 노드 (520) 와 드레인 노드 (530) 가 단락되어 NMOS가 포화 영역에서 동작하게 되더라도, 게이트 전압이 문턱 전압 이상이 되어야 일정한 전류가 흐를 수 있기 때문이다.
- [97] 게이트 노드 (520) 에 트랜지스터의 문턱 전압 이상의 전압이 인가되면, NMOS(510)는 게이트 노드 (520) 와 드레인 노드 (530) 가 단락되어 있으므로 포화 영역에서 동작할 수 있다. 그러므로, NMOS(510)로 일정한 전류가 흐르게 된다.
- [98] 이 경우, 드레인 노드 (530)의 전압은 부하 저항 (R_L)에 흐르는 전류에 의해 결정될 수 있다. 드레인 노드 (530)의 전압이 인버터 (540)의 논리 임계 전압 (logic threshold) 보다 낮은 값이 되도록, 부하 저항 (R_L), 게이트 바이어스 저항 (R_G) 및 NMOS(510)를 설계할 수 있다. 이러한 드레인 노드 (530)의 전압이 인버터 (540)의 입력으로 들어 가게 되므로, 식별키 생성 장치의 리드-아웃 회로의 출력 (V_{OUT})은 1이 될 수 있다.

- [99] 상기한 바와 같이, NMOS 에서 게이트와 드레인의 단락 되었을 경우를 출력값을 통해 식별 할 수 있고, 출력값으로 1을 식별키로 제공할 수 있다.
- [100] 도 6은 일실시예에 따른 게이트와 드레인이 컨택을 통해 단락되지 않을 경우의 식별키 생성 장치의 리드-아웃 회로도이다.
- [101] 일실시예에 따르면, 게이트 노드(620)와 드레인 노드(630)가 컨택을 통해 단락되지 않을 경우의 식별키 생성 장치의 리드-아웃 회로도(600)는 NMOS(610), 인버터(640), 게이트 바이어스 저항(R_G) 및 부하 저항(R_L)을 포함할 수 있다.
- [102] 도 6에서는, 게이트 노드(620)와 드레인 노드(630)가 단락되지 않을 때의 식별키 생성 장치의 리드-아웃 회로도(600)를 도시한다. 이 경우, 게이트 바이어스 저항(R_G)은 부하 저항(R_L)과 함께 V_{DD} 를 전압 분배 할 수 없고, 게이트 노드(620)는 그라운드로 바이어스 될 수 있다.
- [103] 따라서, NMOS 로 전류가 흐르지 않게 되고, 드레인 노드(630)의 전압은 V_{DD} 가 될 수 있다. 이러한 드레인 노드(630)의 전압이 인버터(640)의 입력으로 인가되므로 식별키 생성 장치의 리드-아웃 회로의 출력(V_{OUT})은 0이 될 수 있다.
- [104] 상기한 바와 같이, NMOS 에서 게이트와 드레인의 단락 되지 않았을 때를 출력값을 통해 식별 할 수 있고, 출력값으로 0을 식별키로 제공할 수 있다.
- [105] 도 5 및 도 6에서 설명한 바와 같이, 일실시예에 따르면 NMOS 에서 게이트와 드레인의 단락 여부를 독출부가 식별하고, 인버터를 거쳐 식별 키를 제공할 수 있다.
- [106] 또한, PMOS 에서도 게이트와 드레인(또는 소스)의 단락 여부를 독출부가 식별하고, 식별키를 제공할 수 있다. 상기한 NMOS 에서 게이트와 드레인(또는 소스)의 단락 여부가 식별되는 것과 동일한 원리로 동작하기 때문에, 본문세서에서는 별도의 설명을 생략한다.
- [107] 도 7은 일실시예에 따른 컨택의 게이트 측 엣지의 위치에 따른 드레인과 게이트의 단락 확률을 나타내는 그래프(700)이다.
- [108] 컨택의 게이트 측 엣지의 위치에 따라 게이트와 드레인의 단락 확률을 나타내는 그래프이고, 게이트와 소스의 단락 확률 역시 동일하게 나타나므로 별도의 설명을 생략한다.
- [109] 컨택 확률은 컨택의 게이트 측 엣지의 위치가 드레인과 게이트의 경계선에 위치할 때 최대치가 된다. 컨택의 게이트 측 엣지가 경계선에 위치하게 되면 컨택이 형성될 때 두 영역 양쪽 모두에 형성되어 드레인과 게이트를 단락 시키기 때문에, 드레인과 게이트의 단락 확률은 최대가 된다.
- [110] 이 경우, 단락 확률이 100% 근접할 정도로 높기 때문에, 공정 편차를 이용하여 무작위 적으로 단락 여부가 결정될 수 없다. 따라서, 컨택의 게이트 측 엣지의 위치를 드레인과 게이트 경계선에 위치 시키는 것은 PUF 생성에 적합하지 않을 수 있다.
- [111] 따라서, 일실시예에 따르면, 컨택의 게이트 측 엣지의 위치를 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는

- 확률의 차이가 미리 지정된 임계값 이하가 되도록 만들도록 위치시킬 수 있다.
- [112] 또한, 미리 지정된 임계값은 단락 확률이 50%에서 소정의 오차를 가지도록 설정할 수 있다. 단락 확률이 50% 근방에서 형성되면 게이트와 드레인의 단락 여부가 무작위적으로 결정될 확률이 높으므로, PUF 생성에 적합할 수 있다.
- [113] 단락 확률이 50% 근방에서 형성되기 위해서 컨택의 게이트 측 엣지의 위치를 조절할 수 있다. 이상적으로 단락 확률이 정확히 50%가 되는 컨택의 게이트 측 엣지의 위치를 PM1 및 PM2으로 설정할 수 있다.
- [114] 단락 확률이 50%가 되는 지점에, 컨택의 게이트 측 엣지의 위치가 형성되는 것이 가장 이상적이다. 하지만, 실제 반도체 제조 시에 단락 확률이 정확히 50%가 되도록 컨택의 게이트 측 엣지를 위치시키기는 것은 어렵다. 반도체 제조 공정 상 일정 수준 이상의 공정 오차는 존재하기 불가피 하고, 이러한 공정 오차의 발생 및 양상은 일정 범위 이상으로 제어될 수 없기 때문이다.
- [115] 따라서, 단락 확률이 50%가 되는 컨택의 게이트 측 엣지 위치인 PM1과 소정의 일정 수준의 오차를 허용하여 실제 제조 시에도 적용할 수 있도록 임계 거리를 설정하는 것이 필요하다.
- [116] 그러므로, 컨택의 게이트 측 엣지의 위치를 다양한 위치로 제작 및 측정 반복하여 단락 확률이 50%에서 소정의 오차 범위를 가지는 지점 P1 및 P2를 설정할 수 있다. P1은 단락 확률이 50%보다 소정의 오차 값 이하가 될 때의 컨택의 게이트 측 엣지의 위치를 나타내고, P2는 단락 확률이 50%보다 소정의 오차 값 이상이 될 때의 컨택의 게이트 측 엣지의 위치를 나타낼 수 있다.
- [117] 따라서, 드레인과 게이트의 경계선으로부터 P1까지의 거리를 제2 임계 거리(d2)라고 하면, 제2 임계 거리는 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최대치일 수 있다.
- [118] 또한, 드레인과 게이트의 경계선으로부터 P2까지의 거리를 제1 임계 거리(d1)라고 하면, 제1 임계 거리(d1)는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최소치일 수 있다.
- [119] 결론적으로, 컨택의 게이트 측 엣지의 위치를 게이트와 드레인 사이의 경계 또는 게이트와 소스의 경계로부터, 제1 임계 거리(d1) 이상 제2 임계 거리(d2) 이하로 떨어져 있도록 형성할 수 있다.
- [120] 이 경우, 트랜지스터의 게이트와 드레인의 단락 확률이 50% 근방에서 형성되기 때문에, 단락 여부의 무작위성을 확보할 수 있어 PUF로 이용될 수 있다.
- [121] 또 다른 단락 확률이 50%가 되는 지점인 PM2 및 게이트와 소스의 경계선 부근에서 단락 확률이 50%가 되는 두 점 역시 상기한 바와 같은 원리로 임계 거리를 설정할 수 있으므로 설명은 생략한다.
- [122] 도 8은 일실시예에 따른 식별키 생성 장치의 설계 방법을 나타내는 흐름도이다.

- [123] 단계(810)에서 반도체 칩의 디자인 레이아웃(layout)에 있어서, 트랜지스터를 배치할 수 있다. 트랜지스터의 게이트와 드레인 또는 소스 사이의 단락 여부를 통해 식별키를 생성하는 식별키 생성 장치를 설계하기 위함 이므로, 우선적으로 트랜지스터를 배치할 수 있다.
- [124] 단계(820)에서 컨택의 게이트 측 엣지의 위치를 게이트와 드레인 사이의 경계 또는 게이트와 소스의 경계로부터, 제1 임계 거리 이상 제2 임계 거리 이하로 떨어져 있도록 형성할 수 있다. 이와 같이 컨택의 게이트 측 엣지의 위치를 형성하게 될 경우, 게이트와 드레인(또는 소스)가 단락되는 확률과 단락되지 않는 확률이 소정의 오차 범위 내에 있을 수 있다.
- [125] 통상의 디자인 룰에 의하면, 컨택이 게이트와 드레인 또는 소스 사이에 겹쳐지도록 형성되는 것은 허용되지 않는다. 다만, 단락 여부를 무작위 적으로 결정하여 식별키 생성을 위한 식별키 생성 장치의 설계에 있어서는, 오히려 컨택을 게이트와 드레인 또는 소스 사이에 겹쳐지도록 설계하는 것이 필요하다.
- [126] 따라서, 컨택의 게이트 측 엣지의 위치를 통상의 디자인 룰에 따른 컨택의 게이트 측 엣지의 위치와 상이하게 위치시켜 게이트와 드레인 또는 소스의 단락 확률이 소정의 임계값 이하가 되도록 할 수 있다.
- [127] 이 경우, 반도체 칩 공정상 공정 편차를 통해 게이트와 드레인 또는 소스의 단락 여부가 무작위 적으로 결정되어 무작위성이 확보되므로, PUF에 이용될 수 있다.
- [128] 단계(830)에서 반도체 칩 디자인 레이아웃에 있어서, 게이트와 드레인 또는 소스의 단락 여부를 식별하고, 식별키를 생성하는 독출부를 배치할 수 있다. 단계(820)에서 컨택을 통상의 게이트와 드레인이 단락되지 않는 것을 보장하는 디자인 룰과 다르게 디자인 함으로써, 게이트와 드레인 또는 소스의 단락 여부가 무작위 적으로 결정되는 것을 식별할 필요가 있다.
- [129] 따라서, 단락 여부를 식별하고, 식별 결과를 출력값으로 제공하여 식별키를 생성하기 위한 독출부를 배치할 수 있다.
- [130] 식별키 생성 장치의 설계 단계에서 컨택의 게이트 측 엣지의 위치를 조정함으로써, 반도체 공정 시 공정 편차를 이용하여 트랜지스터의 게이트와 드레인 또는 소스의 단락 여부를 무작위 적으로 결정되게 할 수 있다.
- [131] 이하에서는, 식별키 생성 장치의 설계 단계 후 식별키 생성 장치를 제조하는 방법에 대하여 도 9에서 후술한다.
- [132] 도 9는 일실시예에 따른 식별키 생성 장치의 제조 방법을 나타내는 흐름도이다.
- [133] 단계(910)에서 반도체 웨이퍼 상에 트랜지스터를 생성할 수 있다. 트랜지스터의 게이트와 드레인 또는 소스의 단락 여부를 통해 식별키를 생성하기 때문에, 트랜지스터를 반도체 웨이퍼 상에 우선적으로 생성할 수 있다.
- [134] 단계(920)에서 트랜지스터 상에 컨택을 생성할 수 있다. 공정상 공정 편차에 의해 컨택이 형성되어 게이트와 드레인 또는 소스의 단락 여부가 무작위 적으로 결정될 수 있다.
- [135] 이는 디자인 시 디자인 룰에 따른 컨택의 게이트 측 엣지의 위치와 상이한

- 위치에 컨택의 게이트 측 엣지의 위치를 디자인 하고, 공정 시 공정 편차를 이용하여, 컨택이 트랜지스터의 게이트와 드레인 또는 소스에 무작위적으로 겹치도록 생성할 수 있다.
- [136] 또한, 디자인은 통상적인 게이트와 드레인이 단락되지 않는 것을 보장하는 디자인 클대로 디자인 되었으나, 공정 시 공정 파라미터의 변경을 통해 컨택이 트랜지스터의 게이트와 드레인 또는 소스에 무작위적으로 겹치도록 생성할 수도 있다.
- [137] 나아가, 공정 단계에서 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 상기 컨택의 게이트 측 엣지의 위치를 정렬함으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값이 되도록 할 수 있다.
- [138] 단계(930)에서 게이트와 드레인 또는 소스의 단락 여부를 식별하고, 식별키를 생성하는 독출부를 생성할 수 있다. 단계(920)에서 생성된 컨택에 의해 트랜지스터의 게이트와 드레인 또는 소스가 단락되는지 여부를 식별하고 식별 결과를 출력값으로 제공하여 식별키를 생성하기 위한 독출부를 생성할 수 있다.
- [139] 식별키 생성 장치 실제 제조 단계에서 컨택의 게이트 측 엣지의 위치를 조절하여 생성함으로써 게이트와 드레인 또는 소스의 단락 여부가 무작위적으로 결정되게 할 수 있다.
- [140] 도 10은 일실시예에 따른 식별키 생성 방법을 나타내는 흐름도이다.
- [141] 게이트와 드레인 또는 소스 영역이 무작위적으로 단락 되도록 제조된 트랜지스터에 대해 단락 여부를 식별하여 식별키를 생성하는 식별키 생성 방법에 대한 흐름도이다.
- [142] 단계(1100)에서 반도체 칩에 포함되는 트랜지스터의 게이트가 컨택에 의해 드레인 또는 소스와 단락되는지의 여부를 독출부가 독출할 수 있다. 컨택은 상기 트랜지스터 상에 형성되며, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치일 수 있다.
- [143] 단계(1200)에서 상기 독출 결과를 식별하여 상기 트랜지스터에 대응하는 식별키를 제공할 수 있다. 트랜지스터의 게이트가 드레인(또는 소스)과 단락되었는지 여부에 따라 0 또는 1의 값을 식별키로 제공할 수 있다. 독출부가 식별키를 제공하는 구체적인 방법에 대해서는 도 5 및 도 6에서 상술하였다.
- [144] 일실시예에 따르면, 게이트가 드레인(또는 소스)와 단락된 경우 NMOS의 경우 포화 영역에서 동작하기 때문에 NMOS에 전류가 흐르게 될 수 있다. 이를 이용하여 드레인 노드와 게이트 노드에 문턱 전압 값이 유지되고, 이 값이 인버터의 입력으로 인가되고 인버터를 통해 출력값이 제공될 수 있다. 출력값이 1로 나타나는 경우 게이트와 드레인 또는 소스는 단락된 상태이고, 1의 값이 식별키로 제공될 수 있다.

- [145] 게이트가 드레인(또는 소스)와 단락되지 않는 경우에는 NMOS의 경우 게이트에 그라운드 바이어스가 공급되어 동작하지 않게 되어 전류가 흐르지 않게 되는 것을 이용하여 단락 여부를 식별할 수 있다.
- [146] 전류가 흐르지 않기 때문에, 드레인 노드에 연결된 전압이 인버터의 입력으로 인가되고 인버터를 통해 출력값이 제공될 수 있다. 출력값이 0으로 나타나는 경우 게이트와 드레인 또는 소스는 단락되지 않은 상태이고, 0의 값이 식별키로 제공될 수 있다.
- [147] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [148] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [149] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는

조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD 와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk) 와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐 만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

- [150] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [151] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구 범위

- [청구항 1] 반도체 칩에 포함되는 트랜지스터;
 상기 트랜지스터 상에 형성되는 콘택 - 상기 콘택의 게이트 측 엣지의 위치는 상기 콘택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 -; 및
 상기 콘택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는
 독출부를 포함하는 식별키 생성 장치.
- [청구항 2] 제 1항에 있어서,
 상기 콘택의 게이트 측 엣지의 위치는 상기 콘택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치인 식별키 생성 장치.
- [청구항 3] 제 1항에 있어서,
 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 반도체 칩의 제조 공정 상의 공정 편차에 따라 무작위적으로 결정되는 식별키 생성 장치.
- [청구항 4] 제 1항에 있어서,
 상기 콘택의 게이트 측 엣지의 위치는 상기 게이트와 상기 드레인 사이의 경계 또는 상기 게이트와 상기 소스의 경계로부터, 제 1 임계 거리 이상 제 2 임계 거리 이하로 떨어져 있는 위치인 식별키 생성 장치.
- [청구항 5] 제 4항에 있어서,
 상기 제 1 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최소치이고,
 상기 제 2 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최대치인, 식별키 생성 장치.
- [청구항 6] 제 1항에 있어서,
 상기 콘택의 게이트 측 엣지의 위치는, 상기 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 정렬됨으로써, 상기 콘택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된

- [청구항 7] 임계값 이하가 되도록 만드는 식별키 생성 장치.
반도체 칩의 디자인 레이아웃에 있어서, 트랜지스터를 배치하는 단계;
상기 레이아웃에 있어서, 상기 트랜지스터 상에 형성되는 컨택을 배치하는 단계 - 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 -; 및
상기 레이아웃에 있어서, 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는 독출부를 배치하는 단계를 포함하는 식별키 생성 장치의 설계 방법.
- [청구항 8] 제7항에 있어서,
상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치인 식별키 생성 장치의 설계 방법.
- [청구항 9] 제7항에 있어서,
상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 레이아웃을 이용하여 상기 반도체 칩을 제조하는 공정상의 공정 편차에 따라 무작위적으로 결정되는 식별키 생성 장치의 설계 방법.
- [청구항 10] 반도체 웨이퍼 상에 트랜지스터를 생성하는 단계;
상기 트랜지스터 상에 컨택을 생성하는 단계 - 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 드레인 또는 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 -; 및
상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되었는지의 여부를 식별하여 식별키를 생성하는 독출부를 생성하는 단계를 포함하는 식별키 생성 장치의 제조 방법.
- [청구항 11] 제10항에 있어서,
상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치인 식별키 생성 장치의 제조 방법.
- [청구항 12] 제10항에 있어서,
상기 컨택을 생성하는 단계는,

상기 반도체 칩의 레이아웃에 따른 디자인된 위치와 다르게 상기 컨택의 게이트 측 엣지의 위치를 정렬함으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 식별키 생성 장치의 제조 방법.

[청구항 13]

제 10항에 있어서,

상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의 여부는 상기 반도체 칩을 제조하는 공정상의 공정 편차에 따라 무작위적으로 결정되는 식별키 생성 장치의 제조 방법.

[청구항 14]

반도체 칩에 포함되는 트랜지스터의 게이트가 컨택에 의해 드레인 또는 소스와 단락되는지의 여부를 독출하는 단계 - 상기 컨택은 상기 트랜지스터 상에 형성되며, 상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 트랜지스터의 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된 임계값 이하가 되도록 만드는 위치임 -; 및 상기 독출 결과를 식별하여 상기 트랜지스터에 대응하는 식별키를 제공하는 단계를 포함하는 식별키 생성 방법.

[청구항 15]

제 14항에 있어서,

상기 컨택의 게이트 측 엣지의 위치는 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되지 않는 것을 보장하는 디자인 룰에 따른 게이트 측 엣지의 위치와 상이한 위치인 식별키 생성 방법.

[청구항 16]

제 14항에 있어서,

상기 컨택의 게이트 측 엣지의 위치는 상기 게이트와 상기 드레인 사이의 경계 또는 상기 게이트와 상기 소스의 경계로부터, 제 1 임계 거리 이상 제 2 임계 거리 이하로 떨어져 있는 위치인 식별키 생성 방법.

[청구항 17]

제 16항에 있어서,

상기 제 1 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최소치이고, 상기 제 2 임계 거리는 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 상기 임계값 이하가 되도록 보장하는 거리의 최대치인, 식별키 생성 방법.

[청구항 18]

제 14항에 있어서,

상기 게이트가 상기 드레인 또는 상기 소스와 단락되는지의

여부는 상기 반도체 칩을 제조하는 공정 상의 공정 편차에 따라 무작위적으로 결정되는 식별키 생성 방법.

[청구항 19]

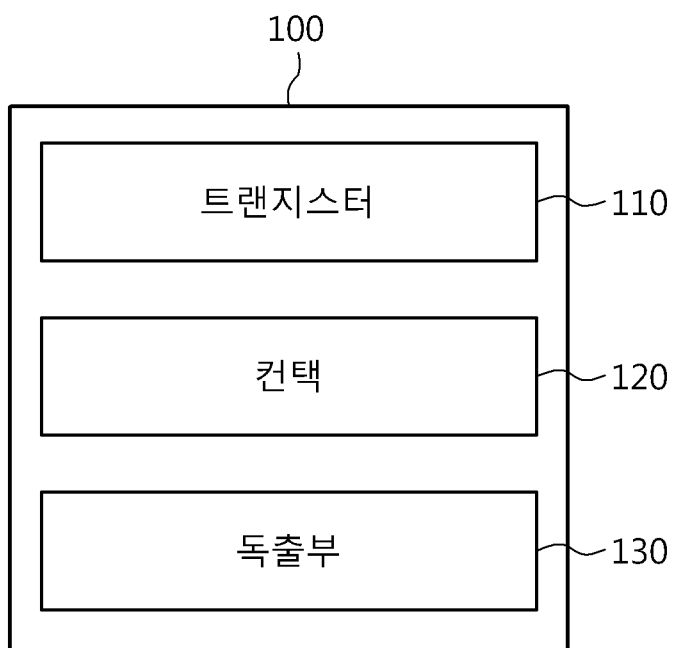
제14항에 있어서,

상기 컨택의 게이트 측 엣지의 위치는 상기 반도체 칩의

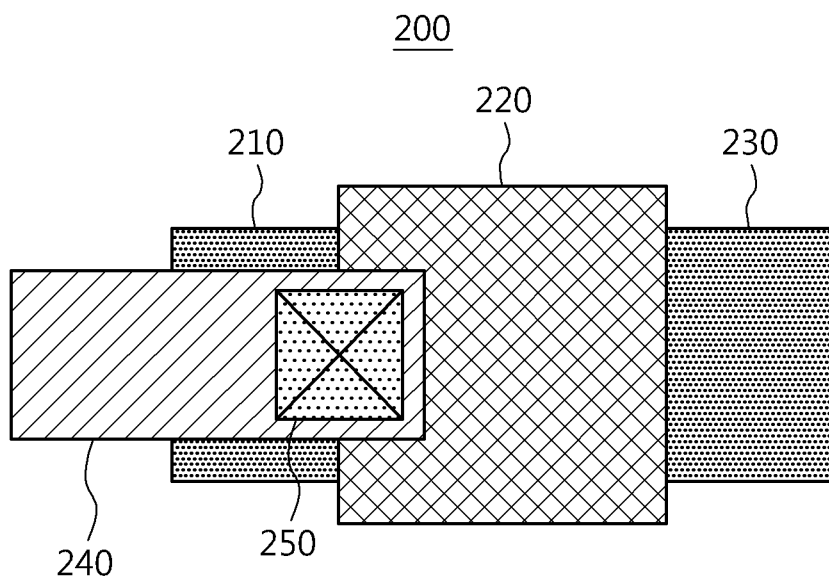
레이아웃에 따른 디자인된 위치와 다르게 정렬됨으로써, 상기 컨택에 의해 상기 게이트가 상기 드레인 또는 상기 소스와 단락되는 확률과 단락되지 않는 확률의 차이가 미리 지정된

임계값 이하가 되도록 만드는 식별키 생성 방법.

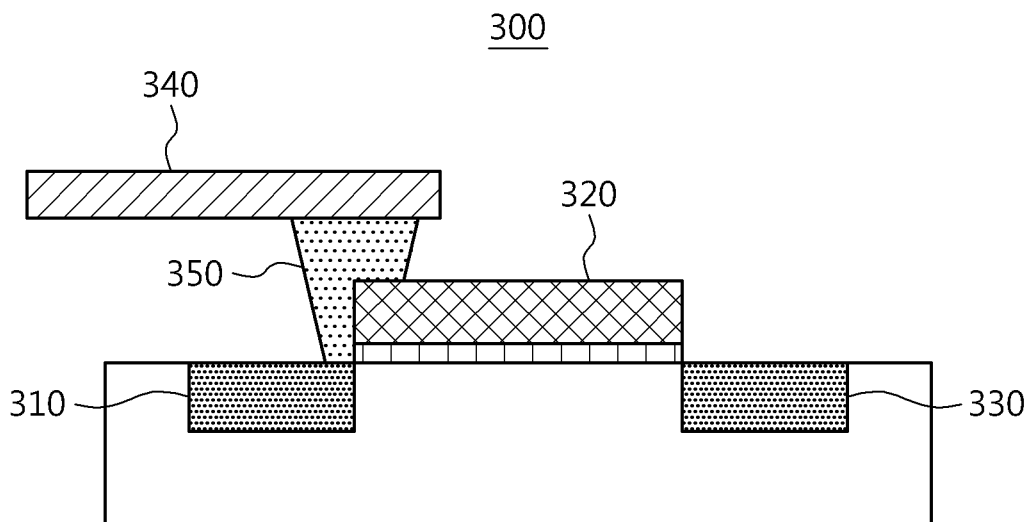
[Fig. 1]



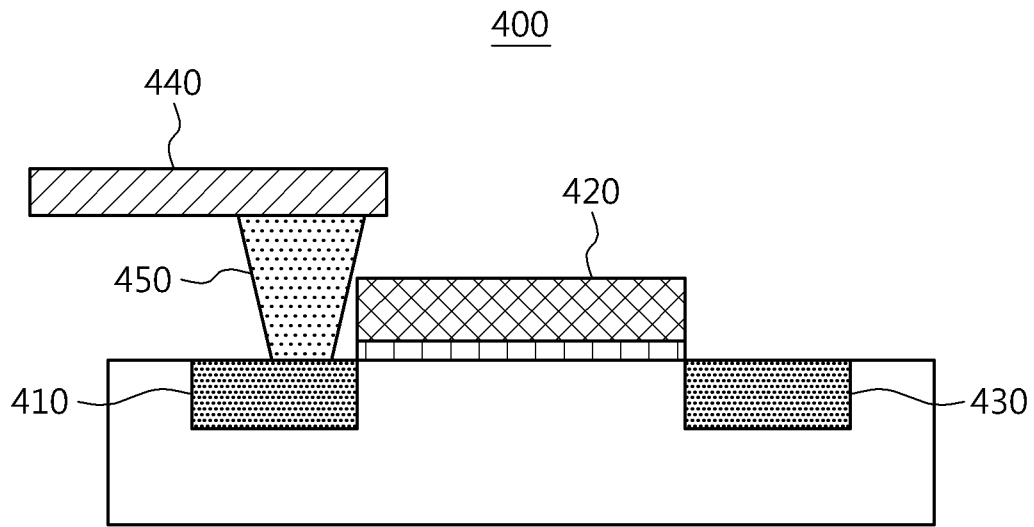
[Fig. 2]



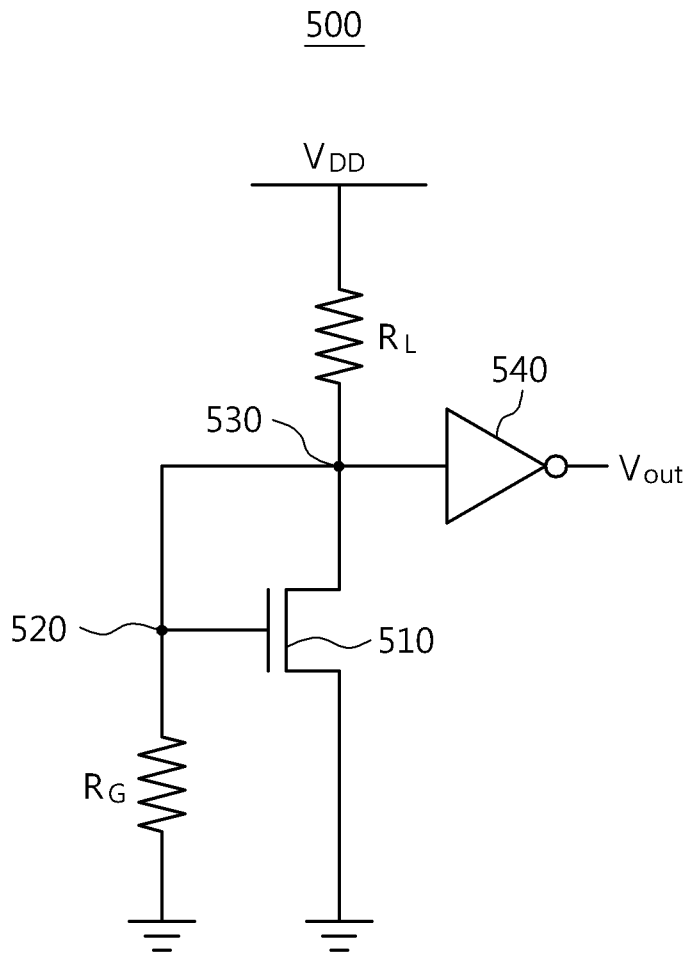
[Fig. 3]



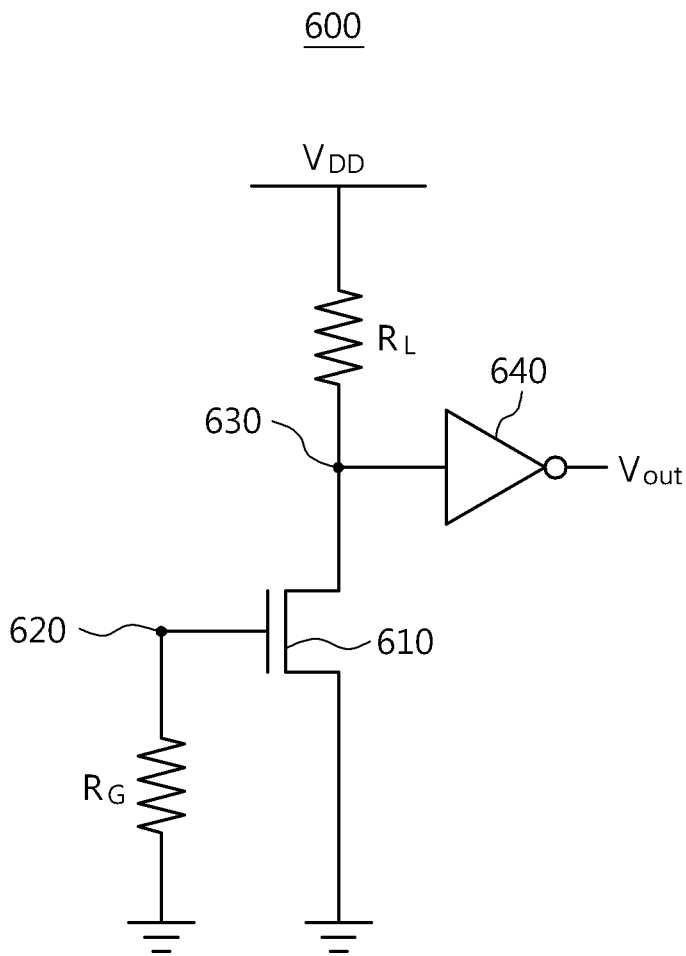
[Fig. 4]



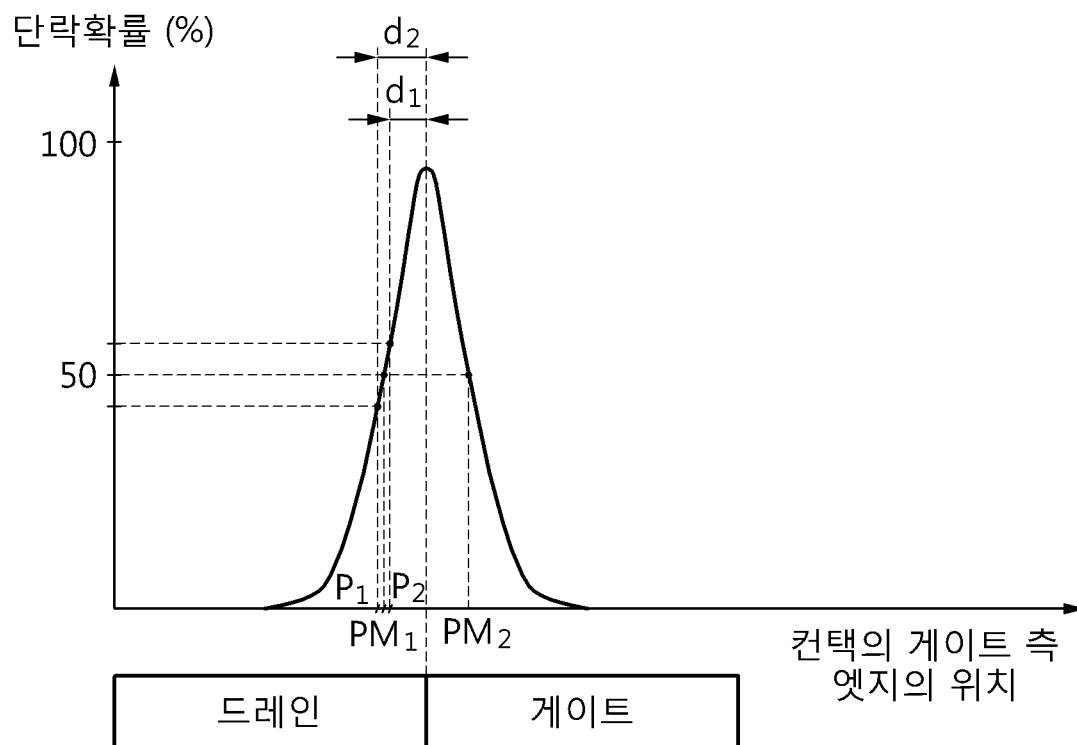
[Fig. 5]



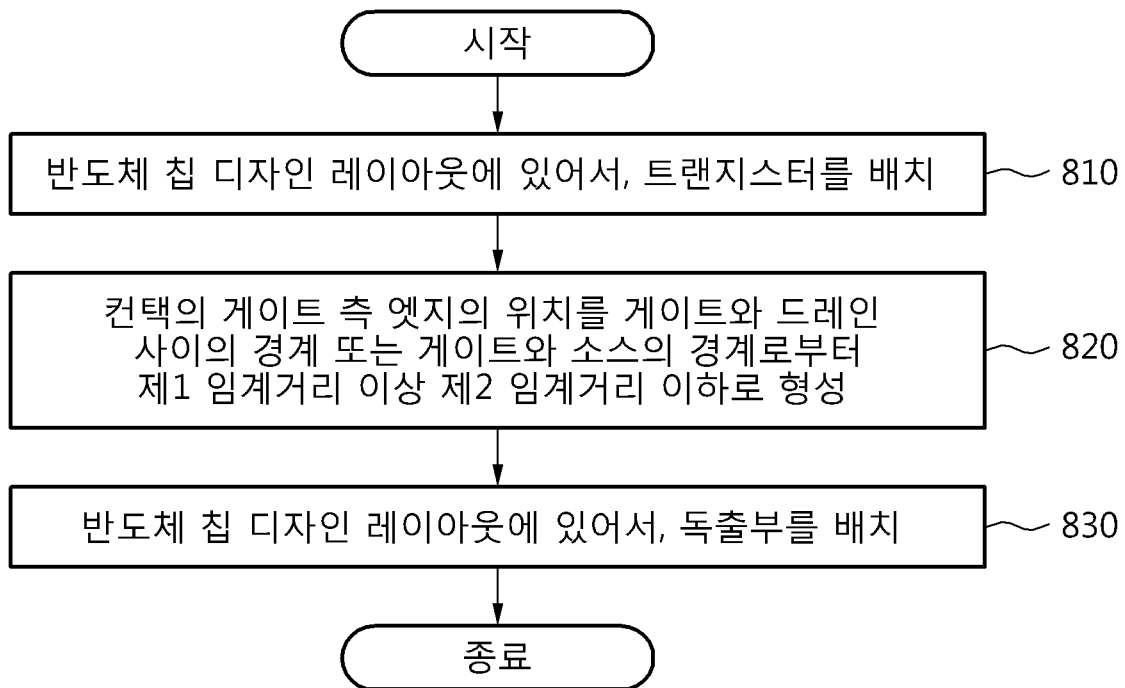
[Fig. 6]



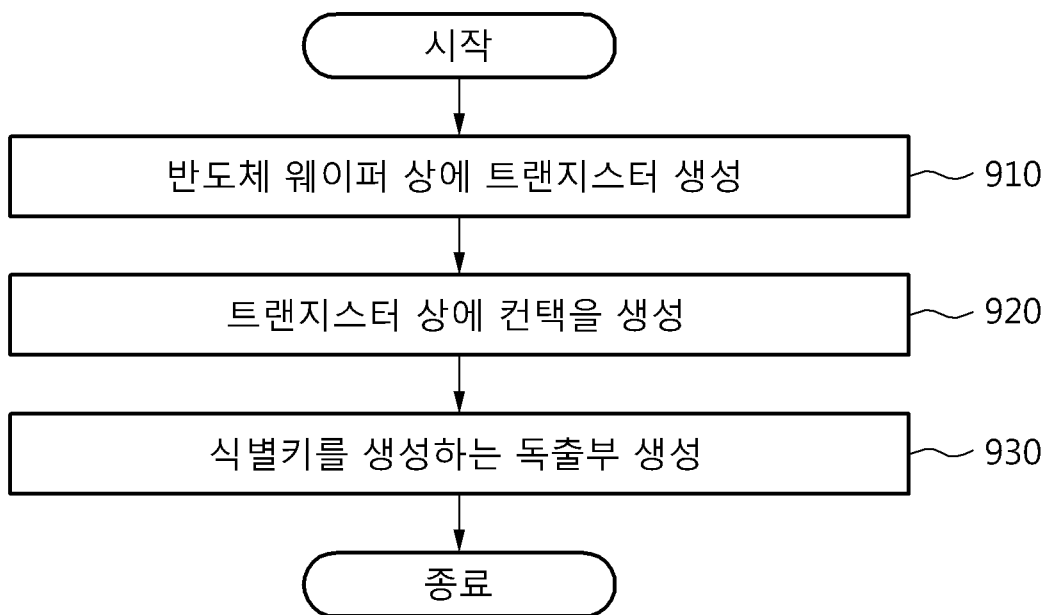
[Fig. 7]



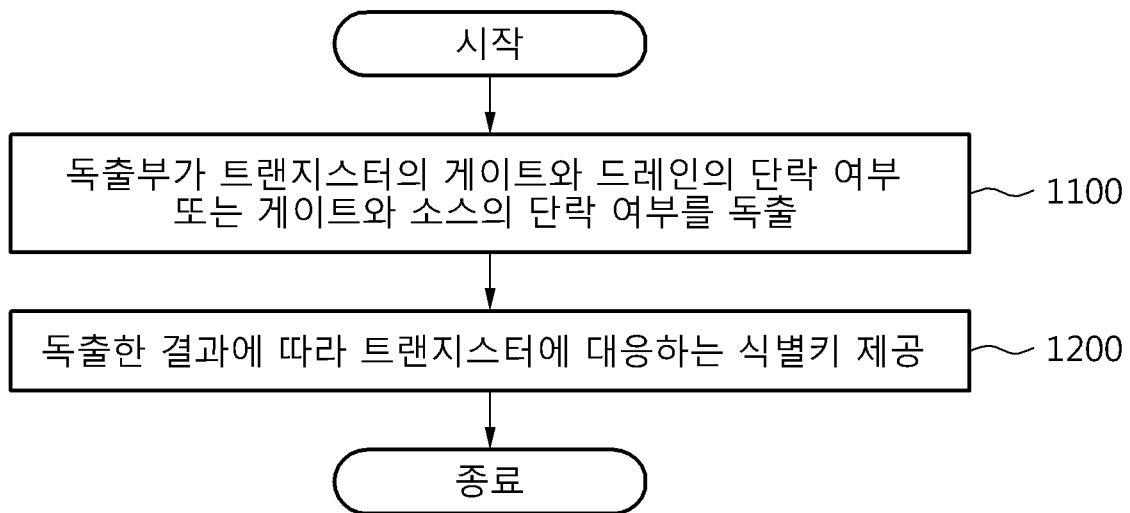
[Fig. 8]



[Fig. 9]



[Fig. 10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/001320

A. CLASSIFICATION OF SUBJECT MATTER

G06F 21/73(2013. 01)i ; G06F 21/70(2013. 01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 21/73; G06F 21/24; H04L 9/14; G06K 17/00; G06F 12/14; H04B 5/02; G06F 7/58; G06K 19/073; G06F 21/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Korean Utility models and applications for Utility models: IPC as above
 Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the intentional search (name of data base and, where practicable, search terms listed)
 eKOMPASS (KIPO internal) & Keywords: semiconductor, identification key, reading part, short-circuit, conductivity, threshold value.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0089607 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 13 August 2012 See abstract; paragraphs [0038]-[0051]; claim 1; and figures 1-5.	1-19
A	WO 2012-133965 A I (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 04 October 2012 See abstract; paragraphs [0095]-[0115]; and figures 12, 4-8.	1-19
A	KR 10-2009-0068987 A (CQTRON, INC.) 29 June 2009 See abstract; paragraphs [0026]-[0035]; and claim 1.	1-19
A	US 2010-0070777 A I (SALTERS, RoelofH. W. et al.) 18 March 2010 See abstract; claim 1; and figure 1.	1-19
A	JP 3804670 B 2 (SEIKO EPSON CORPORATION) 02 August 2006 See abstract; paragraphs [0066]-[0093]; and claim 1.	1-19

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to art or disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step where the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family


Date of the actual completion of the international search

19 JUNE 2014 (19.06.2014)

Date of mailing of the international search report

20 JUNE 2014 (20.06.2014)

Name and mailing address of the ISA/KR

 Korean Intellectual Property Office
 Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
 Republic of Korea

Facsimile No. 82-42-472-7140

Authorized Officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2014/001320

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0089607 A	13/08/2012	CN 103443801 A EP 2650813 A1 JP 2014-504403 A KR 10-1 139630 B1 US 2013-0101 14 A1 W0 2012-077856 A1	11/ 12/2013 16/ 10/2013 20/02/2014 30/05/2012 25/04/2013 14/06/2012
W0 2012-133965 A1	04/ 10/2012	NONE	
KR 10-2009-0068987 A	29/06/2009	NONE	
US 2010-0070777 A1	18/03/2010	CN 101421792 A EP 201 1123 A2 JP 2009-533741 A JP 4913861 B2 KR 10-1059005 B1 KR 10-2009-0007433 A W0 200822137 A W0 2007-1 19190 A2 W0 2007-1 19190 A3	29/04/2009 07/01 /2009 17/09/2009 11/04/2012 23/08/201 1 16/01 /2009 16/05/2008 25/ 10/2007 17/01 /2008
JP 3804670 B2	02/08/2006	JP 2005-309758A US 2005-0268174 A1	04/ 11/2005 0 1/ 12/2005

A. 발명이 속하는 기술분류 (국제 특허분류(IPC))
G06F 21/73(2013.01)i, G06F 21/70(2013.01)i

B. 조사된 분야

조사된 최소문헌 (국제특허분류를 기재)
G06F 21/73 ; G06F 21/24 ; H04L 9/14 ; G06K 17/00 ; G06F 12/14 ; H04B 5/02 ; G06F 7/58 ; G06K 19/073 ; G06F 21/70

조사된 기술 분야에 속하는 최소문헌 이외의 문헌
한국등록 실용신안공보 및 한국공개실용신안공보 : 조사된 최소문헌란에 기재된 IPC
일본등록 실용신안공보 및 일본공개실용신안공보 : 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스 (데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS (특허청 내부 검색시스템) & 키워드 : 반도체, 식별키, 독출부, 단락, 전도성, 임계값.

C. 관련 문헌

카테고리*	인용문헌명 및 관련구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2012-0089607 A (한양대학교 산학협력단) 2012.08.13 요약; 단락 [0038]-[0051]; 청구항 1; 및 도면 1-5 참조.	1-19
A	WO 2012-133965 A1 (한양대학교 산학협력단) 2012.10.04 요약; 단락 [0095]-[0115]; 및 도면 12, 4-8 참조.	1-19
A	KR 10-2009-0068987 A (주식회사 시큐트론) 2009.06.29 요약; 단락 [0026]-[0035]; 및 청구항 1 참조.	1-19
A	US 2010-0070777 AI (ROELOF H. W. SALTERS 외 6명) 2010.03.18 요약; 청구항 1; 및 도면 1 참조.	1-19
A	JP 3804670 B2 (SEIKO EPSON 주식회사) 2006.08.02 요약; 단락 [0066]-[0093]; 및 청구항 1 참조.	1-19

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 "I" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 "&" 동일한 대응특허 문헌에 속하는 문헌

국제조사의 실제 완료일 2014년 06월 19일 (19.06.2014)	국제조사 보고서 발송일 2014년 06월 20일 (20.06.2014)
--	--

ISAKR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140	심사관 안정환 전화번호 +82-42-481-8440
--	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0089607 A	2012/08/13	CN 103443801 A EP 265 813 A1 JP 2014-504403 A KR 10-1139630 B1 US 2013- 101114 A1 WO 2012- 77856 A1	2013/12/11 2013/10/16 2014/02/20 2012/05/30 2013/04/25 2012/06/14
WO 2012-133965 AI	2012/10/04	없음	
KR 10-2009-0068987 A	2009/06/29	없음	
US 2010-0070777 AI	2010/03/18	CN 101421792 A EP 2011123 A2 JP 2009-533741 A JP 4913861 B2 KR 10-1059005 B1 KR 10-2009-0007433 A TW 200822137 A WO 2007-119190 A2 WO 2007-119190 A3	2009/04/29 2009/01/07 2009/09/17 2012/04/11 2011/08/23 2009/01/16 2008/05/16 2007/10/25 2008/01/17
JP 3804670 B2	2006/08/02	JP 2005-309758A us 2005-0268174 AI	2005/11/04 2005/12/01