(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 7/00 (2006.01)

(45) 공고일자 2007년02월15일
(11) 등록번호 10-0682429
(24) 등록일자 2007년02월07일

(21) 출원번호 10-2000-0012956
(22) 출원일자 2000년03월15일
심사청구일자 2005년03월03일

(65) 공개번호 10-2001-0029594
(43) 공개일자 2001년04월06일

(30) 우선권주장 11-251599 1999년09월06일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 타카스기아쓰시
일본국도쿄도미나토쿠도라노몬1쵸메7반12고오끼덴끼고오교가부시끼가이샤나이

(74) 대리인 이화익
권태복

심사관 : 윤난영

전체 청구항 수 : 총 25 항

(54) 시리얼 액세스 메모리

(57) 요약

칩사이즈의 축소가 도모되어, 프로세스 개발의 비용절약과 칩사이즈가 축소된 시리얼 액세스 메모리를 제공한다. 입력된 어드레스 신호 WYAD에 응답하여 제 1 선택신호 W1, W2…를 출력하는 제 1 디코더 WY1, WY2…와, 데이터를 일시적으로 기억하는 트랜지스터 T1, T2…와, 라이트 데이터 버스 WD, WD/와 라이트 레지스터 T1, T2… 사이에 접속되고, 제 1 선택신호 W1, W2…에 응답하여 라이트 데이터 버스 WD, WD/와 라이트 레지스터 T1, T2… 사이를 도통시키는 제 1 스위치 SW2와, 메모리셀(11)을 갖고, 이들 메모리셀(11)을 워드선 WL1, WL2…에 접속된 메모리 칼럼(10)을 복수개 갖는 메모리 어레이와, 라이트 레지스터 T1, T2…와 메모리 칼럼(10) 사이에 접속되고, 제 2 선택신호 WTR1～WTR4에 응답하여 라이트 레지스터 T1, T2…와 메모리 칼럼(10) 사이를 도통시키는 제 2 스위치 SW1을 갖는 시리얼 액세스 메모리에 있어서, 라이트 레지스터 T1, T2…를 소정수의 메모리 칼럼(10)과 접속시키고, 제 2 스위치 SW1을 제 2 선택신호 WTR1～4에 응답하여 라이트 레지스터 T1, T2와 소정수의 메모리 칼럼(10) 중의 한 개만을 도통시키는 시리얼 액세스 메모리가 제공된다.

대표도

도 1

특허청구의 범위

청구항 1.

데이터가 입력되는 입력회로와,

이 입력회로에 접속되는 라이트 데이터 버스와,

입력된 어드레스 신호에 응답하여 제 1 선택신호를 출력하는 제 1 디코더와,

데이터를 일시적으로 기억하는 라이트 레지스터와,

상기 라이트 데이터 버스와 라이트 레지스터 사이에 접속되고, 상기 제 1 선택신호에 응답하여 상기 라이트 데이터 버스와 라이트 레지스터 사이를 도통시키는 제 1 스위치와,

복수의 메모리셀을 갖고, 이들 메모리셀을 워드선으로 접속한 메모리 칼럼을 복수개 갖는 메모리 어레이와,

상기 라이트 레지스터와 메모리 칼럼 사이에 접속되고, 제 2 선택신호에 응답하여 상기 라이트 레지스터와 메모리 칼럼 사이를 도통시키는 제 2 스위치를 갖는 시리얼 액세스 메모리에 있어서,

상기 라이트 레지스터는 소정수의 메모리 칼럼과 접속되고, 상기 제 2 스위치는 상기 제 2 선택신호에 응답하여 라이트 레지스터와 소정수의 메모리 칼럼 중의 한개만을 도통시키는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 2.

제 1항에 있어서,

상기 라이트 데이터 버스는 제 1 방향으로 연재하고, 상기 워드라인은 제 1 방향과 대략 직교하는 제 2 방향으로 연재하는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 3.

제 1항에 있어서,

상기 메모리셀은 트랜지스터와 커패시터로 이루어진 DRAM 메모리셀인 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 4.

제 1항 또는 제 3항에 있어서,

상기 메모리 칼럼은 센스앰프를 갖고 있는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 5.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

데이터를 출력하는 출력회로와,

이 출력회로에 접속되는 리드 데이터 버스와,

입력된 어드레스 신호에 응답하여 제 3 선택신호를 출력하는 제 2 디코더와,

데이터를 일시적으로 기억하는 리드 레지스터와,

상기 리드 데이터 버스와 리드 레지스터 사이에 접속되고, 상기 제 3 선택신호에 응답하여 상기 리드 데이터 버스와 리드 레지스터 사이를 도통시키는 제 3 스위치와,

상기 리드 레지스터와 메모리 칼럼 사이에 접속되고, 제 4 선택신호에 응답하여 상기 라이트 레지스터와 메모리 칼럼 사이를 도통시키는 제 4 스위치를 더 갖고,

상기 리드 레지스터는 소정수의 메모리 칼럼과 접속되고, 상기 제 4 스위치는 상기 제 4 선택신호에 응답하여 라이트 레지스터와 소정수의 메모리 칼럼 중의 한개만을 도통시키는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 6.

제 5항에 있어서,

상기 리드 데이터 버스는 상기 제 1 방향으로 연재하는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 7.

제 5항에 있어서,

상기 리드 레지스터는 상기 제 2 스위치를 통해 상기 메모리 칼럼의 일단에 접속되고, 상기 라이트 레지스터는 상기 제 4 스위치를 통해 상기 메모리 칼럼의 타단에 접속되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 8.

제 5항에 있어서,

상기 리드 레지스터는 상기 제 2 스위치를 통해 상기 메모리 칼럼의 일단에 접속되고, 상기 라이트 레지스터도 상기 제 4 스위치를 통해 상기 메모리 칼럼의 상기 일단에 접속되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 9.

제 5항에 있어서,

상기 복수의 메모리 칼럼이 교대로 일단과 타단에서 상기 제 2 스위치를 통해 상기 리드 레지스터에, 상기 제 4 스위치를 통해 상기 라이트 레지스터에 접속되고, 상기 리드 레지스터 또는 라이트 레지스터의 더 외측에 센스앰프가 배치되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 10.

제 5항에 있어서,

상기 복수의 메모리 칼럼이 교대로 그 일부가 뒤얽히는 형태로 제 1 방향으로 복수열 배치되고,

이 복수열 중에서 외측의 열에서는 메모리 칼럼의 외측단에 상기 제 2 스위치를 통해 상기 리드 레지스터가, 상기 제 4 스위치를 통해 상기 라이트 레지스터가 접속되며, 상기 리드 레지스터 또는 라이트 레지스터의 더 외측에 센스앰프가 배치되고,

상기 복수열의 내측의 열에서는, 메모리 칼럼이 뒤얽히고 있지 않은 중앙부에서 상기 제 2 스위치를 통해 상기 리드 레지스터가, 상기 제 4 스위치를 통해 상기 라이트 레지스터가 접속되며, 상기 센스앰프가 배치되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 11.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 메모리 어레이는 2개의 뱅크로 분할되고, 각각의 뱅크가 개별적으로 동작하는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 12.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 제 2 선택신호는 상기 어드레스 신호와 라이트 전송신호로부터 생성되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 13.

제 5항에 있어서,

상기 제 2 선택신호는 상기 어드레스 신호와 라이트 전송신호로부터 생성되고, 상기 제 4 선택신호는 상기 어드레스 신호와 리드 전송신호로부터 생성되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 14.

데이터를 출력하는 출력회로와,

이 출력회로에 접속되는 리드 데이터 버스와,

입력된 어드레스 신호에 응답하여 제 1 선택신호를 출력하는 제 1 디코더와,

데이터를 일시적으로 기억하는 리드 레지스터와,

상기 리드 데이터 버스와 리드 레지스터 사이에 접속되고, 상기 제 1 선택신호에 응답하여 상기 리드 데이터 버스와 리드 레지스터 사이를 도통시키는 제 1 스위치와,

복수의 메모리셀을 갖고, 이들 메모리셀을 워드선으로 접속한 메모리 칼럼을 복수개 갖는 메모리 어레이와,

상기 리드 레지스터와 메모리 칼럼 사이에 접속되고, 제 2 선택신호에 응답하여 상기 리드 레지스터와 메모리 칼럼 사이를 도통시키는 제 2 스위치를 갖는 시리얼 액세스 메모리에 있어서,

상기 리드 레지스터는 소정수의 메모리 칼럼과 접속되고, 상기 제 2 스위치는 상기 제 2 선택신호에 응답하여 리드 레지스터와 소정수의 메모리 칼럼 중의 한개만을 도통시키는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 15.

제 14항에 있어서,

상기 리드 데이터 버스는 제 1 방향으로 연재하고, 상기 워드라인은 제 1 방향과 대략 직교하는 제 2 방향으로 연재하는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 16.

제 14항에 있어서,

상기 메모리셀은 트랜지스터와 커패시터로 이루어진 DRAM 메모리셀인 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 17.

제 14항 내지 제 16항 중 어느 한 항에 있어서,

상기 메모리 칼럼은 센스 앰프를 갖고 있는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 18.

제 14항 내지 제 16항 중 어느 한 항에 있어서,

상기 메모리 어레이는 2개의 뱅크로 분할되고, 각각의 뱅크가 개별적으로 동작하는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 19.

제 14항 내지 제 16항 중 어느 한 항에 있어서,

상기 제 2 선택신호는 상기 어드레스 신호와 리드 전송신호로부터 생성되는 것을 특징으로 하는 시리얼 액세스 메모리.

청구항 20.

입력된 데이터가 전송되는 라이트 데이터 버스에 접속되어, 이 데이터를 일시적으로 저장하는 복수의 라이트 데이터 레지스터와, 복수의 메모리셀을 갖고, 이 라이트 데이터 레지스터 한개에 대하여 소정수 중의 한개가 선택적으로 접속되는 메모리 칼럼으로 구성되는 제 1 및 제 2 메모리 뱅크를 갖는 시리얼 액세스 메모리에 있어서,

라이트 데이터 버스 상의 데이터를 제 1 메모리 뱅크의 라이트 데이터 레지스터에 입력하는 동시에, 제 2 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 첫 번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하는 공정과,

라이트 데이터 버스 상의 데이터를 제 2 메모리 뱅크의 라이트 데이터 레지스터에 입력하는 동시에, 제 1 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 첫 번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하는 공정과,

라이트 데이터 버스 상의 데이터를 제 1 메모리 뱅크의 라이트 데이터 레지스터에 입력하는 동시에, 제 2 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 두 번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하는 공정과,

라이트 데이터 버스 상의 데이터를 제 2 메모리 뱅크의 라이트 데이터 레지스터에 입력하는 동시에, 제 1 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 두 번째 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하는 공정과,

이하 상기 연속하는 2개의 공정을 메모리 칼럼의 순서를 한 개씩 옮기면서 반복하여 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 라이트 전송방법.

청구항 21.

제 20항에 있어서,

상기 연속하는 2개의 공정이 소정수번째까지 행해진 후, 상기 최초의 공정으로 되돌아가, 그 다음 공정을 순차 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 라이트 전송방법.

청구항 22.

출력해야 할 데이터가 전송되는 리드 데이터 버스에 접속되고, 이 데이터를 일시적으로 저장하는 복수의 리드 데이터 레지스터와, 복수의 메모리셀을 갖고, 이 리드 데이터 레지스터 한개에 대하여 소정수 중의 한개가 선택적으로 접속되는 메모리 칼럼으로 구성되는 제 1 및 제 2 메모리 뱅크를 갖는 시리얼 액세스 메모리에 있어서,

제 1 메모리 뱅크의 소정수 중의 첫번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하고, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 2 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

제 2 메모리 뱅크의 소정수 중의 첫번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하고, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 1 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

제 1 메모리 뱅크의 소정수 중의 두번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하고, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 2 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

제 2 메모리 뱅크의 소정수 중의 두번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하고, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 1 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

이하 상기 연속하는 2개의 공정을 메모리 칼럼의 순서를 한 개씩 옮기면서 반복하여 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 리드 전송방법.

청구항 23.

제 22항에 있어서,

상기 연속하는 2개의 공정이 소정수번째까지 행해진 후, 상기 최초의 공정으로 되돌아가, 그 다음 공정을 순차 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 리드 전송방법.

청구항 24.

입력된 데이터가 전송되는 라이트 데이터 버스에 접속되고, 이 데이터를 일시적으로 저장하는 복수의 라이트 데이터 레지스터와, 출력해야 할 데이터가 전송되는 리드 데이터 버스에 접속되고, 이 데이터를 일시적으로 저장하는 복수의 리드 데이터 레지스터와, 복수의 메모리셀을 갖고, 상기 리드 데이터 레지스터 및 라이트 레지스터 각각 한개에 대하여 소정수 중의 한개가 선택적으로 접속되는 메모리 칼럼으로 구성되는 제 1 및 제 2 메모리 뱅크를 갖는 시리얼 액세스 메모리에 있어서,

라이트 데이터 버스 상의 데이터를 제 1 메모리 뱅크의 라이트 데이터 레지스터에 입력하고, 제 1 메모리 뱅크의 소정수 중의 첫번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하며, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 2 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 첫 번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하여, 제 2 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

라이트 데이터 버스 상의 데이터를 제 2 메모리 뱅크의 라이트 데이터 레지스터에 입력하고, 제 2 메모리 뱅크의 소정수 중의 첫번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하며, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 1 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 첫 번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하여, 제 1 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

라이트 데이터 버스 상의 데이터를 제 1 메모리 뱅크의 라이트 데이터 레지스터에 입력하고, 제 1 메모리 뱅크의 소정수 중의 두번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하며, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 2 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 두번째의 메모리 칼럼과 접속하여, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하여, 제 2 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

라이트 데이터 버스 상의 데이터를 제 2 메모리 뱅크의 라이트 데이터 레지스터에 입력하고, 제 2 메모리 뱅크의 소정수 중의 두번째의 메모리 칼럼을 리드 데이터 레지스터에 접속하며, 접속된 메모리 칼럼에 보존되어 있는 데이터를 리드 데이터 레지스터에 출력하는 동시에, 제 1 메모리 뱅크의 라이트 데이터 레지스터를 소정수 중의 두번째의 메모리 칼럼과 접속하고, 이 라이트 데이터 레지스터의 데이터를 접속된 메모리 칼럼의 소정의 메모리셀에 기록하여, 제 1 메모리 뱅크의 리드 데이터 레지스터에 보존된 데이터를 리드 데이터 버스에 출력하는 공정과,

이하 상기 연속하는 2개의 공정을 메모리 칼럼의 순서를 옮기면서 반복하여 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 데이터 전송방법.

청구항 25.

제 24항에 있어서,

상기 연속하는 2개의 공정이 소정수번째까지 행해진 후, 상기 최초의 공정으로 되돌아가, 그 다음 공정을 순차 행하는 것을 특징으로 하는 시리얼 액세스 메모리의 데이터 전송방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 시리얼 액세스 메모리에 관한 것으로, 상세하게는 텔레비젼 등에서 사용되는 대용량의 DRAM으로 구성되는 비동기 시리얼 액세스 메모리에 관한 것이다.

텔레비젼, VTR 등에 사용되는 시리얼 액세스 메모리는, 독립된 입력단자와 출력단자를 갖고, 입력클록과 출력클록을 전혀 다른 주파수를 사용할 수 있다. 이러한 비동기식 시리얼 액세스 메모리는 동시에 입출력 액세스를 할 수 있기 때문에, 여러 가지 용도가 존재한다. 일례로서, 비디오 카메라로 촬영된 영상 테이프를 VTR을 사용하여 텔레비젼 화면으로 보는 것 같은 경우를 고려한다.

이 경우, 비디오 카메라로 영상을 비디오 테이프에 기록할 때에는, 비디오 카메라시스템의 동기클록 CLK1을 사용한다. 그렇지만, VTR에서 비디오 테이프를 재생하는 경우, 테이프의 늘어남이나 VTR도 서보계가 기계동작이기 때문에, 그 타이밍 클록은, 비디오 테이프로부터 영상 데이터를 판독할 때의 동기클록 CLK1은 되지 않고, 부정파형 클록이 된다.

이 부정파형 클록에 동기한 화상 데이터를 VTR에서 화상처리하는 것은 불가능하기 때문에, VTR 시스템 내에서 정렬된 동기클록 CLK2에 동기된 영상 데이터로 변환해야 한다. 이 때문에, 부정파형 클록으로 기록이 행해지고, 판독을 정형클록으로 행할 수 있는 비동기 시리얼 액세스 메모리가 사용된다.

비동기 시리얼 액세스 메모리가 사용되는 다른 예로서 퍼스널 컴퓨터 화면을 텔레비젼이나 LCD 패널 등에 옮기는 경우가 있다. 퍼스널 컴퓨터 화면의 묘화 주파수는 텔레비젼의 묘화수와 다르다. 그래서, 퍼스널 컴퓨터 화면을 텔레비젼에 비추기 위해서는 묘화 주파수를 변경해야만 한다. 이 경우, 입력을 퍼스널 컴퓨터의 묘화 주파수에서 행하고, 출력을 텔레비젼의 주파수에서 행할 수 있는 비동기 시리얼 액세스 메모리는 대단히 유효하다.

이러한 비동기 시리얼 액세스 메모리는, 트랜지스터와 커패시터로 이루어지는 메모리셀을 비트라인에 복수접속된 메모리 칼럼을 다수개 갖는 2M 비트 이상의 대용량의 DRAM 어레이를 데이터 저장영역으로서 가지고 있다. 더구나, 비동기 시리얼 액세스 메모리는, 입력된 데이터를 전송하는 라이트 데이터 버스와, 이 라이트 데이터 버스에 접속되고, 입력된 데이터를 일시적으로 저장하는 라이트 데이터 레지스터를 구비하고 있다. 또한, 비동기 시리얼 액세스 메모리는, 출력해야 할 데이터를 전송하는 리드 데이터 버스와, 이 리드 데이터 버스에 접속되어, 출력해야 할데이터를 일시적으로 저장하는 리드 데이터 레지스터도 구비하고 있다.

발명이 이루고자 하는 기술적 과제

통상, 비동기 시리얼 액세스 메모리의 메모리 칼럼수는, 화상을 구성하는 라인 상의 픽셀수와 같게 된다. 대화면 고해상도의 텔레비젼 화면, PC용 고해상도 LCD 패널에 대응하게 되면, 화면을 형성하는 단위라인 상의 픽셀정보가 많아지기 때문에, 메모리 칼럼수가 많이 필요로 한다. 그 때문에, 라이트 데이터 버스 및 리드 데이터 버스 길이가 길어져 부가용량이 증대한다. 또한, 수가 증가된 각 라이트 데이터 레지스터, 리드 데이터 레지스터는 각각, 라이트 데이터 버스 및 리드 데이터 버스에 접속하기 때문에 접속노드의 부가용량도 증대한다. 따라서, 증대된 부하용량에 의해 액세스 속도가 늦어져 버린다.

또한, 비동기 시리얼 액세스 메모리는 DRAM 어레이를 가지고 있다. DRAM 어레이는, 대용량화의 필요성 때문에, 비트라인 피치, 워드라인 피치를 최소화하여 만들어지고 있다. 비동기식 시리얼 액세스 메모리에 있어서는, 1비트라인쌍마다 라이트 데이터 레지스터와 리드 데이터 레지스터가 접속될 필요가 있다. 그러나, 사용할 수 있는 프로세스룰로 각 데이터 레지스터 패턴을 묘화하기 위해서는 비트라인쌍 피치가 너무 작아져, 비트라인쌍 피치 그자체를 확대하지 않으면 안되게 되어있다. 이것으로는, 칩면적이 너무 커져, 보통의 DRAM과 비교하여 비용이 지나치게 높아진다.

본 발명은, 라이트 데이터 버스 및 리드 데이터 버스 길이가 길어져 부가용량이 증대하더라도, 액세스 속도를 유지하여, 대용량화에 대해서도 비용의 상승을 억제한 시리얼 액세스 메모리를 제공하는 것을 목적으로 한다.

발명의 구성

상기 목적을 달성하기 위해 본 발명으로서는, 데이터가 입력되는 입력회로와, 이 입력회로에 접속되는 라이트 데이터 버스와, 입력된 어드레스 신호에 응답하여 제 1 선택신호를 출력하는 제 1 디코더와, 데이터를 일시적으로 기억하는 라이트 레지스터와, 라이트 데이터 버스와 라이트 레지스터 사이에 접속되어, 제 1 선택신호에 응답하여 라이트 데이터 버스와 라이트 레지스터 사이를 도통시키는 제 1 스위치와, 복수의 메모리셀을 갖고, 이것들의 메모리셀을 워드선으로 접속한 메모리 칼럼을 복수개 갖는 메모리 어레이와, 라이트 레지스터와 메모리 칼럼 사이에 접속되고, 제 2 선택신호에 응답하여 라이트

레지스터와 메모리 칼럼 사이를 도통시키는 제 2 스위치를 갖는 시리얼 액세스 메모리에 있어서, 라이트 레지스터를 소정수의 메모리 칼럼과 접속하고, 제 2 스위치는 제 2 선택신호에 응답하여 라이트 레지스터와 소정수의 메모리 칼럼 중의 한개만을 도통시켰다.

(실시의 형태)

도 1은 본 발명의 제 1 실시예의 시리얼 액세스 메모리의 부분회로도이다. 메모리 칼럼(10)은 한쌍의 비트선 BL1～m, BL1～m/에 복수의 메모리셀(11)이 접속되어 있다. 메모리셀(11)은 DRAM 셀이며, 워드선 WL1～n에 접속된 한개의 트랜지스터와 커패시터로 구성되어 있다. 메모리 칼럼(10)은, 센스앰프 활성화신호 SAP, SAN으로 콘트롤되고, 메모리셀(11)의 데이터를 증폭하는 센스앰프 SA1～m도 가지고 있다.

이 메모리 칼럼(10)의 일단은 제 1 스위치인 트랜지스터쌍 SW1를 통해, 입력된 데이터를 일시적으로 저장하는 라이트 데이터 레지스터 T1, T2…에 접속된다. 여기에서, 라이트 데이터 레지스터 T1, T2…는 2개의 인버터로 이루어지는 SRAM 셀로 구성되어 있고, 라이트 데이터 레지스터 T11, T2… 하나에 대하여 메모리 칼럼(10)은 4개가 접속된다. 제 1 스위치 SW1에는 라이트 전송신호 WTR1～WTR4가 주어지고, 한개의 라이트 데이터 레지스터 T1, T2…와 하나의 메모리 칼럼(10)이 선택적으로 접속되게 되어 있다.

라이트 데이터 레지스터 T1, T2…는 제 2 스위치인 트랜지스터쌍 SW2를 거쳐 입력된 신호가 전송되는 라이트 데이터 버스 WD, WD/에 접속되어 있다. 제 2 스위치 SW2에는, 받은 라이트용 Y 어드레스 WYAD에 따라서 라이트 전송신호 W1, W2…를 출력하는 라이트 Y 디코더 WY1, WY2…가 접속되어 있다. 라이트 전송신호 W1, W2…에 응답하여, 제 2 스위치 SW2는 라이트 데이터 버스 WD, WD/와 라이트 데이터 레지스터 T1, T2…를 접속한다.

한편, 메모리 칼럼(1O)의 타단은 제 3 스위치인 트랜지스터쌍 SW31를 통해, 메모리셀(11)로부터 출력된 데이터를 일시적으로 저장하는 리드 데이터 레지스터 S1, S2…에 접속된다. 여기에서, 리드 데이터 레지스터 S1, S2…는 2개의 인버터로 이루어지는 SRAM 셀로 구성되어 있고, 리드 데이터 레지스터 S1, S2… 하나에 대하여 메모리 칼럼(10)은 4개가 접속된다. 제 3 스위치 SW3에는 리드 전송신호 RTR1～RTR4가 주어지고, 한개의 리드 데이터 레지스터 S1, S2…와 하나의 메모리 칼럼(10)이 선택적으로 접속되게 되어 있다.

리드 데이터 레지스터 S1, S2…는 제 4 스위치인 트랜지스터쌍 SW4를 통해 입력된 신호가 전송되는 리드 데이터 버스 RD, RD/에 접속되어 있다. 제 4 스위치 SW4에는, 받은 리드용 Y 어드레스 RYAD에 따라서 리드 전송신호 R1, R2…를 출력하는 리드 Y 디코더 RY1, RY2.··가 접속되어 있다. 리드 전송신호 R1, R2…에 응답하여, 제 4 스위치 SW4는 리드 데이터 버스 RD, RD/와 리드 데이터 레지스터 S1, S2…를 접속한다.

라이트 데이터 버스 WD, WD/는, 데이터가 입력되는 입력단자 DI에 입력회로(20)를 통해 접속되어 있다. 또한, 리드 데이터 버스 RD, RD/는, 데이터가 출력되는 출력단자 DO에 출력회로(21)를 통해 접속되어 있다.

워드선 WL1～n은 X 디코더(22)에 접속되어 있다. 이 X 디코더(22)는, 라이트용 X 어드레스 WXAD에 응답하여 라이트시에 메모리셀(11)을 특정하기 위한 워드선 WL1～n을 선택하는 동시에, 리드용 X 어드레스 RXAD에 응답하여 리드시에 메모리셀(11)을 특정하기 위한 워드선 WL1～n을 선택한다.

이때, 동일한 라이트 데이터 레지스터 및 리드 데이터 레지스터에 접속된 복수의 메모리 칼럼(제 1 실시예에서는 4개) 및 라이트용 Y 디코더, 리드용 Y 디코더를 포함시킨 하나의 그룹을, 여기에서는 메모리 칼럼그룹(12)으로 정의한다.

제 1 실시예의 시리얼 액세스 메모리에서는, 도 1에는 도시되어 있지 않지만, 제 1 및 제 2 뱅크를 가지고 있다. 제 1 및 제 2 뱅크는 각각 도 1에 나타낸 것과 같은 복수의 메모리 칼럼그룹(12)을 포함하는 구성을 가지고 있고, 각각 독립적으로 동작가능하다.

이때, 제 1 및 제 2 뱅크를 콘트롤하기 위한 내부 제어신호(23)는, 콘트롤 신호 발생회로(24)에서 생성된다. 콘트롤 신호 발생회로(24)는, 외부신호인 라이트 클록신호 WCLK, 라이트 리셋트신호 WR, 라이트 인에이블신호 WE, 리드 클록신호 RCLK, 리드 리셋트신호 RR, 리드 인에이블신호 RE 등이 입력된다.

콘트롤 신호 발생회로(24)에 접속된 아비터(25)는, 리드 전송신호나 라이트 전송신호의 충돌을 피하기 위해서, 그들 각 신호의 순위붙임을 행한다.

본 발명의 제 1 실시예에 따르면, 메모리 칼럼(10)이 4개에 대하여 하나의 라이트 레지스터 T1 또는 리드 레지스터 S1가 접속되어 있기 때문에, 메모리 칼럼에 대한 레지스터수가 감소하여, 도 1에 나타낸 바와 같이 패턴공간(30, 31)을 얻을 수 있다. 따라서, 메모리 칼럼(10)의 비트라인 피치를 확대하는 일 없이(도 1에 있어서의 종방향의 치수를 크게 하는 일 없이) 라이트 레지스터 T1 또는 리드 레지스터 S1의 패턴을 여유를 갖고 만드는 것이 가능하다. 이것으로부터, 종래기술의 프로세스대로의 칩사이즈의 축소가 도모되어, 프로세스의 비용절약과 칩사이즈의 축소라는 장점를 얻을 수 있다.

도 2는 제 1 실시예의 시리얼 메모리의 동작 타이밍을 나타내는 타이밍 챠트이다. 이하, 도 2를 참조하면서, 제 1 실시예의 시리얼 메모리의 동작을 설명한다.

이때, 각 콘트롤 신호는 리드 클록신호 RCLK 또는 라이트 클록신호 WCLK의 상승에 동기하여 받아들여, 회로동작을 결정한다.

우선, 제 1 실시예의 시리얼 메모리의 리드동작을 도 2에 나타낸 시간마다 설명한다.

시간 Rt0

리드 리셋트신호 RR이 하이레벨이기 때문에, X 어드레스 XAD(간단화하기 위해 여기에서는, 리드용 X 어드레스 RXAD 및 라이트용 X 어드레스 WXAD를 정리하여 X 어드레스 XAD라고 하고 있다), 리드용 Y 어드레스 RYAD는 리셋트되어 로우레벨로 된다. 즉, 리드용 Y 어드레스 RYAD는 어드레스 "0"의 상태로 되어 있다.

시간 Rt1

워드라인 WL1이 상승하여, 워드라인 WL1에 접속되는 메모리셀군 내의 메모리셀 정보가 비트라인쌍 BLi, BLi/(i=O～m-1)에 전송된다. 도 2에는 표시되지 않지만 센스앰프 활성화신호 SAP가 하이레벨, 센스앰프 활성화신호 SAN이 로우 레벨이 되는 것에 의해 센스앰프 SAi가 활성화된다. 이에 따라 비트라인쌍 BLi, BLi/ 상의 정보가 증폭된다.

시간 Rt2

리드 전송신호 RTR1이 상승하고, 리드 전송신호 RTR2～4는 로우레벨을 유지한다. 이에 따라 리드 레지스터 Rk-1와 비트라인쌍 BL4k+ 1, BL4k+ 1/가 접속상태가 된다. 따라서, 비트라인쌍 BL4k+ 1, BL4k+ 1/ 상의 정보는 리드 레지스터 Rk-1로 전송된다.

시간 Rt3

워드라인 WL1이 로우 레벨로 된다. 도 2에는 표시되지 않지만 센스앰프 활성화신호 SAP, SAN은 함께 중간레벨(하이레벨과 로우레벨의 중간전위)이 되는 것에 의해 비트라인쌍 BL4k+ 1, BL4k+ 1/ 상의 정보는 리셋트된다. 이때, 리드 전송신호 RTR1는 로우레벨로 되어 있고, 리드 전송신호 RTR2～4는 로우레벨을 유지하고 있다.

시간 Rt4

리드 인에이블신호 RE가 하이로 되어, 시리얼 리드를 위한 내부동작이 시작된다.

시간 Rt5

리드용 Y 어드레스 신호 RYAD(어드레스 "0")에 응답하여 Y 디코더 RY1의 출력 R1가 하이레벨이 된다. 이에 따라, 리드 레지스터 S1의 데이터가 리드 데이터 버스쌍 RD, RD/에 전송된다. 리드 데이터 버스쌍 RD, RD/ 상의 데이터는, 출력회로(21)로 전송되어 출력단자 DO에서 출력된다. 그후, 리드용 Y 어드레스 RYAD는 증분되어 시간 Rt6에서 사용되는 어드레스("1")가 된다.

시간 Rt6

리드용 Y 어드레스 신호 RYAD(어드레스 "1")에 응답하여 Y 디코더 RY2의 출력 R2가 하이레벨이 된다. 이에 따라, 리드 레지스터 S2의 데이터가 리드 데이터 버스쌍 RD, RD/에 전송된다. 리드 데이터 버스쌍 RD, RD/ 상의 데이터는, 출력회로(21)에 전송되어 출력단자 DO에서 출력된다. 그후, 리드용 Y 어드레스 RYAD는 증분되어 시간 Rt7에서 사용되는 어드레스("2")가 된다.

시간 Rt7

리드용 Y 어드레스 신호 RYAD(어드레스 "2")에 응답하여 Y 디코더 RY3의 출력 R3가 하이레벨이 된다. 이에 따라, 리드 레지스터 S3의 데이터가 리드 데이터 버스쌍 RD, RD/에 전송된다. 리드 데이터 버스쌍 RD, RD/ 상의 데이터는, 출력회로(21)에 전송되어 출력단자 DO에서 출력된다. 그후, 리드용 Y 어드레스 RYAD는 증분되어 어드레스("3")가 된다.

이상의 회로동작을 리드용 Y 어드레스 신호의 어드레스가 "k"가 될 때까지 반복되어, 일련의 시리얼 리드동작이 행하여진다.

다음 일련의 시리얼 리드동작에서는, 시간 Rt2에서 설명한 동작과는 달리, 리드 전송신호 RTR2 만이 하이레벨이 되고, 그 밖의 리드 전송신호 RTR 1,3,4는 로우레벨을 유지한다. 이에 따라 리드 레지스터 Rk-1와 비트라인쌍 BL4k+ 2, BL4k+ 2/가 접속상태가 된다. 따라서, 비트라인쌍 BL4k+ 2, BL4k+ 2/ 상의 정보는 리드 레지스터 Rk-1에 전송된다. 그후, 시간 Rt4～7에서 설명한 동작이 순차 반복된다.

더구나, 일련의 직렬동작의 앞에 리드 전송신호 RTR3 만이 하이레벨, 리드 전송신호 RTR4 만이 하이레벨이 된 후, 리드 전송신호 RTR1 만이 하이레벨이 된다고 하는 순서로 동작이 반복된다.

다음에, 제 1 실시예의 시리얼 메모리의 라이트동작을 도 2에 나타낸 시간마다 설명한다.

시간 Wt0

라이트 리셋트신호 WR가 하이레벨로 되어 있기 때문에, 라이트용 Y 어드레스 WYAD는 리셋트되어 어드레스 "0"의 상태로 되어 있다. 입력단자 DI에서 제 1 비트번째의 입력정보를 입력회로(20)에 받아들여, 라이트 데이터 버스쌍 WD, WD/으로 전송된다. 라이트 Y 디코더 WY1의 출력 W1이 하이레벨로 되어 있기 때문에, 라이트 데이터 버스쌍 WD, WD/ 상의 데이터는 라이트 레지스터 T1로 전송된다.

시간 Wt1

입력단자 DI에서 제 2 비트번째의 입력정보를 입력회로(20)에 받아들여, 라이트 데이터 버스쌍 WD, WD/으로 전송된다. 라이트 Y 디코더 WY2의 출력 W2가 하이레벨로 되어 있기 때문에, 라이트 데이터 버스쌍 WD, WD/ 상의 데이터는 라이트 레지스터 T2로 전송된다.

시간 Wt2

입력단자 DI에서 제 j 비트번째의 입력정보를 입력회로(20)에 받아들여, 라이트 데이터 버스쌍 WD, WD/에 전송된다. 라이트 Y 디코더 WYj의 출력 Wj가 하이레벨로 되어 있기 때문에, 라이트 데이터 버스쌍 WD, WD/ 상의 데이터는 라이트 레지스터 Tj로 전송된다.

시간 Wt3

입력단자 DI에서 제 k+ 1비트번째의 입력정보를 입력회로(20)에 받아들여, 라이트 데이터 버스쌍 WD, WD/에 전송된다. 라이트 Y 디코더 WYk+ 1의 출력 Wk+ 1이 하이레벨로 되어 있기 때문에, 라이트 데이터 버스쌍 WD, WD/ 상의 데이터는 라이트 레지스터 Tk+ 1로 전송된다. 이에 따라 전체적인 일련의 라이트 레지스터에의 기록 동작이 완료한다.

시간 Wt4

라이트 전송신호 WRT1만이 하이레벨이 되고, 다른 라이트 전송신호 WRT2～4는 로우레벨을 유지한다. 이에 따라, 각 라이트 레지스터 Ti(여기에서, i=0～k)와 비트라인쌍 BL4i+ 1, BL4i+ 1/가 접속된다. 도 2에는 표시되고 있지 않지만, 센스

앰프 활성화신호 SAN이 로우레벨, 센스앰프 활성화신호 SAP가 하이레벨로 되어 있기 때문에 센스앰프 SA4i+1는 활성화되어 있다. 워드라인 WL1이 하이레벨이 되기 때문에, 이 워드라인 WL1에 접속되고, 비트라인쌍 BL4i+1, BL4i+1/와 접속되어 있는 메모리셀(11)에 비트라인쌍 BL4i+1, BL4i+1/ 상의 데이터가 기록된다. 그 밖의 비트라인쌍 BL4i+2, BL4i+2/, BL4i+3, BL4i+3/, BL4i+4, BL4i+4/에서는, 워드라인 WL1에 접속되어 있는 메모리셀의 정보가 한번 비트라인쌍에 판독되고, 센스앰프로 증폭된 후 원래의 메모리셀에 기록된다. 이 동작은 일반적으로「재기록」으로 불리고 있다.

그후, 다시 시간 Wt0으로부터 시간 Wt3에서 설명한 일련의 라이트 레지스터에 대한 기록 동작이 행해진다. 더구나 그후, 라이트 전송신호 WRT2만이 하이레벨이 되고, 다른 라이트 전송신호 WRT1, 3, 4는 로우레벨을 유지한다. 이에 따라, 각 라이트 레지스터 Ti(여기서, i=0～k)와 비트라인쌍 BL4i+2, BL4i+2/가 접속된다. 그리고, 활성화된 워드라인 및, 비트라인쌍 BL4i+2, BL4i+2/와 접속되어 있는 메모리셀(11)에 비트라인쌍 BL4i+2, BL4i+i2 상의 데이터가 기록된다. 그밖의 비트라인쌍에서는 재기록 동작이 행해진다.

이상의 동작이 라이트 전송신호 WRT3,4에 관해서도 동일하게 행해져, 직렬 라이트 동작은 최초에 설명한 Wt0로 되돌아간다.

이때, 제 1 실시예에 있어서 하나의 메모리 칼럼그룹(12)이 4개의 메모리 칼럼으로 구성되어 있는 예를 나타내었지만, 복수의 메모리 칼럼을 가지고 있으면 좋으며, 그 수는 임의로 선택가능하다. 또한, 제 1 실시예에서는 리드 레지스터 및 라이트 레지스터의 양쪽을 갖는 구성을 설명하였지만, 용도에 따라서는 리드 레지스터만 또는 라이트 레지스터만으로도 본 발명의 장점을 충분히 향유할 수 있다. 더구나, 제 1 실시예에서는 Y 디코더를 라이트용 Y 디코더와 리드용 Y 디코더로 나누어 설명하였지만, 이들을 공용한 공용 Y 디코더를 사용하는 것도 가능하다. 뱅크에 관해서, 제 1 실시예에서는 제 1 및 제 2 뱅크를 가진다고 설명하였지만, 뱅크는 단수라도 복수라도 상관없다.

여기에서, 제 1 실시예에 있어서의 라이트 전송신호 WTR1～4를 생성하는 회로에 관해서 설명한다. 도 3은 라이트용 Y 어드레스 WYAD 및 라이트 전송신호 WTR1～4(여기에서는, 제 1 뱅크용의 라이트 전송신호 WTR1a～WTR4a 및 제 2 뱅크용의 라이트 전송신호 WTR1b～WTR4b)를 생성하는 라이트 어드레스 발생회로를 나타내는 회로도, 도 4는 이 라이트 어드레스 발생회로의 동작을 나타내는 타이밍 챠트이다.

라이트 어드레스 발생회로는, 시프트 레지스터(30), 제 1 디코더(31) 및 제 2 디코더(32)로 구성된다.

시프트 레지스터(30)는 n+1개의 플립플롭 C0～Cn을 가지고 있다. 플립플롭 C0～Cn의 클록입력 단자 c에는 라이트 클록신호 WCLK가 입력된다. 플립플롭 C0～Cn의 리셋트 단자에는 NMOS 트랜지스터의 제 1 단자가 접속되어 있다. 이 NMOS 트랜지스터의 제 2 단자는 접지되고, 게이트에는 공통으로 라이트 리셋트신호 WR가 주어진다.

제 1 플립플롭 C0의 입력 a는 접지되고, 출력 d는 제 2 플립플롭 C1의 입력에 접속된다. 제 1 플립플롭 C0의 다른 출력 e에서의 출력신호 및 그 반전신호는, 라이트용 Y 어드레스 WYAD의 일부인 어드레스 신호 WAY0, WAY0/가 된다.

제 2 플립플롭 C1의 출력 d는 제 3 플립플롭 C2의 입력에 접속된다. 제 2 플립플롭 C1의 다른 출력 e에서의 출력신호 및 그 반전신호는, 라이트용 Y 어드레스 WYAD의 일부인 어드레스 신호 WAY1, WAY1/가 된다.

더구나, 제 n의 플립플롭까지의 접속관계는 동일하지만, 라이트용 Y 어드레스 WYAD는 어드레스 신호 WAY1～n-2, WAY1～n-2/이다. 어드레스 신호 WAYn-1, WAYn-1/, WAYn, WAYn/1은 라이트 전송신호 WTR1a～WTR4b의 생성을 위해 이용된다.

제 1 디코더(31)는, NAND 회로로 구성된다. 제 1 NAND 회로에는, 어드레스 신호 WAYn-1, WAYn 및 라이트 전송신호 WTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 11이 된다. 제 2 NAND 회로에는, 어드레스 신호 WAYn-1/, WAYn 및 라이트 전송신호 WTR가 입력되고, 그 출력은 인버터로 반전되어 신호 10이 된다. 제 3 NAND 회로에는, 어드레스 신호 WAYn-1, WAYn/ 및 라이트 전송신호 WTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 01이 된다. 제 4 NAND 회로에는, 어드레스 신호 WAYn-1/, WAYn1 및 라이트 전송신호 WTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 00가 된다.

제 2 디코더(32)도 NAND 회로로 구성된다. 제 1 NAND 회로에는, 제 1 디코더의 출력신호 00 및 어드레스 신호 WAYn-2가 입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 라이트 전송신호 WTR1a가 된다. 제 2 NAND 회로에는, 제 1 디코더의 출력신호 01 및 어드레스 신호 WAYn-2가 입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 라이트 전송신호 WTR2a가 된다. 제 3 NAND 회로에는, 제 1 디코더의 출력신호 10 및 어드레스 신호 WAYn-2가 입력되고, 그 출력

은 인코더에서 반전되어, 제 1 뱅크의 라이트 전송신호 WTR3a가 된다. 제 4 NAND 회로에는, 제 1 디코더의 출력신호 11 및 어드레스 신호 WAYn-2가 입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 라이트 전송신호 WTR4a가 된다. 제 5 NAND 회로에는, 제 1 디코더의 출력신호 00 및 어드레스 신호 WAYn-2/가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 라이트 전송신호 WTR1b가 된다. 제 6 NAND 회로에는, 제 1 디코더의 출력신호 01 및 어드레스 신호 WAYn 12/이 입력되고, 그 출력은 인버터로 반전되어, 제 2 뱅크의 라이트 전송신호 WTR2b가 된다. 제 7 NAND 회로에는, 제 1 디코더의 출력신호 10 및 어드레스 신호 WAYn-21가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 라이트 전송신호 WTR3b가 된다. 제 8 NAND 회로에는, 제 1 디코더의 출력신호 11 및 어드레스 신호 WAYn 12/가 입력되고, 그 출력은 인버터에서 반전되고, 제 2 뱅크의 라이트 전송신호 WTR4b가 된다.

도 4는, 도 3에 나타낸 라이트 어드레스 발생회로의 동작을 설명하는 타이밍 챠트이다.

라이트 클록신호 WCLK가 상승하는 시간 t0에 있어서 라이트 인에이블신호 WE와 라이트 리셋트 신호 WR이 하이레벨이 되면 어드레스 신호의 발생을 시작한다. 다음에 라이트 클록신호가 상승하는 시간 t1이 되면 어드레스 신호 WAY0가 하이레벨이 된다. 더구나, 라이트 클록신호가 상승하는 시간 t2이 되면 어드레스 신호 WAY0가 다시 하이레벨이 되고, 어드레스 신호 WAY1이 하이레벨이 된다. 어드레스 신호 WAY0～n에 관해서는, 이후 라이트 클록신호를 순차 분주한 것이 되기 때문에, 그 설명은 생략한다.

시간 t3가 되면 라이트 전송신호 WTR 및, 어드레스 신호 WAYn-2가 하이레벨이 되고, 어드레스 신호 WAYn-1, WAYn은 로우레벨인 상태로 있다. 이에 따라, 제 1 뱅크의 라이트 전송신호 WTR1a는 하이레벨이 된다. 또한, 시간 t4에 있어서는, 라이트 전송신호 WTR 및, 어드레스 신호 WAYn-1이 하이레벨이 되고, 어드레스 신호 WAYn-2, WAYn가 로우레벨이 된다. 이에 따라, 제 2 뱅크의 라이트 전송신호 WTR1b는 하이레벨이 된다. 이외의 라이트 전송신호 WTR2a～WTR4b에 관해서는, 논리를 참조하면 이해할 수 있기 때문에, 그 설명은 생략한다.

다음에, 리드 전송신호 RTR1～4를 생성하는 회로에 관해서 설명한다. 도 5는 리드용 Y 어드레스 RYAD 및 리드 전송신호 RTR1～4(여기에서는, 제 1 뱅크용의 리드 전송신호 RTR1a～RTR4a 및 제 2 뱅크용의 리드 전송신호 RTR1b～RTR4b)를 생성하는 리드 어드레스 발생회로를 나타내는 회로도, 도 6은 이 리드 어드레스 발생회로의 동작을 나타내는 타이밍 챠트이다.

리드 어드레스 발생회로는, 시프트 레지스터(50), 제 1 디코더(51), 제 2 디코더(52) 및 초기전송 콘트롤회로(53)로 구성되다.

시프트 레지스터(50)는 n+ 1개의 플립플롭 C0～Cn을 가지고 있다. 플립플롭 C0～Cn의 클록입력 단자 c에는 리드 클록신호 RCLK가 입력된다. 플립플롭 C0～Cn의 리셋트 단자에는 NMOS 트랜지스터의 제 1 단자가 접속되어 있다. 이 NMOS 트랜지스터의 제 2 단자는 접지되고, 게이트에는 공통으로 리드 리셋트신호 RR가 주어진다.

제 1 플립플롭 C0의 입력 a는 접지되고, 출력 d는 제 2 플립플롭 C1의 입력에 접속된다. 제 1 플립플롭 C0의 다른 출력 e에서의 출력신호 및 그 반전신호는, 리드용 Y 어드레스 RYAD의 일부인 어드레스 신호 RAY0, RAY0/가 된다.

제 2 플립플롭 C1의 출력 d는 제 3 플립플롭 C2의 입력에 접속된다. 제 2 플립플롭 C1의 다른 출력 e에서의 출력신호 및 그 반전신호는, 리드용 Y 어드레스 RYAD의 일부인 어드레스 신호 RAY1, RAY1/가 된다.

더구나, 제 n의 플립플롭까지의 접속관계는 동일하지만, 리드용 Y 어드레스 RYAD는 어드레스 신호 RAY1～n-2, RAY1～n-2/이다. 어드레스 신호 RAYn-1, RAYn-1/, RAYn, RAYn/은 리드 전송신호 RTR1a～RTR4b의 생성을 위해 이용된다.

제 1 디코더(51)는, NAND 회로로 구성된다. 제 1 NAND 회로에는, 어드레스 신호 RAYn-1, RAYn 및 리드 전송신호 RTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 11이 된다. 제 2 NAND 회로에는, 어드레스 신호 RAYn-1/, RAYn 및 리드 전송신호 RTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 10이 된다. 제 3 NAND 회로에는, 어드레스 신호 RAY1-1, RAYn/ 및 리드 전송신호 RTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 01가 된다. 제 4 NAND 회로에는, 어드레스 신호 RAYn-1/, RAYn/ 및 리드 전송신호 RTR가 입력되고, 그 출력은 인버터에서 반전되어 신호 00이 된다.

제 2 디코더(52)도 NAND 회로로 구성된다. 제 1 NAND 회로에는, 제 1 디코더(51)의 출력신호 00 및 어드레스 신호 RAYn-2가 입력된다. 제 1 NAND 회로의 출력은 초기전송 콘트롤회로의 출력신호 RRS/와 부정논리합이 주어져, 제 1 뱅크의 리드 전송신호 RTR1a가 된다. 제 2 NAND 회로에는, 제 1 디코더(51)의 출력신호 O1 및 어드레스 신호 RAYn-2가

입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 리드 전송신호 RTR2a가 된다. 제 3 NAND 회로에는, 제 1 디코더(51)의 출력신호10 및 어드레스 신호 RAYn-2가 입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 리드 전송신호 RTR3a가 된다. 제 4 NAND 회로에는, 제 1 디코더(51)의 출력신호 11 및 어드레스 신호 RAYn-2가 입력되고, 그 출력은 인버터에서 반전되어, 제 1 뱅크의 리드 전송신호 RTR4a가 된다. 제 5 NAND 회로에는, 제 1 디코더(51)의 출력신호 00 및 어드레스 신호 RAYn-2/가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 리드 전송신호 RTR1b가 된다. 제 6 NAND 회로에는, 제 1 디코더(51)의 출력신호 01 및 어드레스 신호 RAYn-2/가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 리드 전송신호 RTR2b가 된다. 제 7 NAND 회로에는, 제 1 디코더(51)의 출력신호 10 및 어드레스 신호 RAYn-21가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 라이트 전송신호 RTR3b가 된다. 제 8 NAND 회로에는, 제 1 디코더(51)의 출력신호 11 및 어드레스 신호 RAYn-2/가 입력되고, 그 출력은 인버터에서 반전되어, 제 2 뱅크의 라이트 전송신호 RTR4b가 된다.

초기전송 콘트롤회로는 리드전송의 초기 상태를 조정하기 위해서 설정된 것으로서, 리드 리셋트신호를 받아, 이 리드 리셋트신호에 응답하여 리드 전송신호 RTR보다 약간 긴 기간 활성화 상태인 신호 RRS/를 출력하는 회로이다.

도 6은, 도 5에 나타낸 리드 어드레스 발생회로의 동작을 설명하는 타이밍 챠트이다.

리드 클록신호 RCLK가 상승하는 시간 t0에 있어서 리드 리셋트신호 RR가 하이레벨이 된다. 이때, 리드 인에이블신호 RE는 로우레벨인 상태로 있으며, 초기전송회로의 출력신호 RRS1은 리드 리셋트신호 RR에 응답 하여 로우레벨로 되어 있다. 더구나, 리드 전송신호 RTR도 하이레벨로 되기 때문에, 제 1 뱅크의 리드 전송신호 RTR1a도 하이레벨이 된다. 그후, 리드 전송신호 RTR가 로우레벨이 되면, 제 1 뱅크의 리드 전송신호 RTR1a도 로우레벨이 되며, 더구나 그후에 초기전송회로의 출력신호 RRS1가 하이레벨이 된다.

리드 리셋트신호 RR가 상승하여 최초로 리드 클록신호 RCLK가 상승하는 시간 t1이 되면 어드레스 신호의 발생을 시작한다.

다음에 라이트 클록신호 RCLK가 상승하는 시간 t2가 되면 어드레스 신호 RAY0가 하이레벨이 된다. 더구나, 라이트 클록신호 RCLK가 상승하는 시간 t3가 되면 어드레스 신호 RAY0가 다시 하이레벨이 되고, 어드레스 신호 RAY2가 하이레벨이 된다. 이때, 리드 전송신호 RTR도 하이레벨이 되기 때문에, 제 2 뱅크의 리드 전송신호 RTR1b도 하이레벨이 된다.

어드레스 신호 RAY0～n에 관해서는, 이후 리드 클록신호 RCLK를 순차 분주한 것이 되기 때문에, 그 설명은 생략한다.

시간 t4가 되면 리드 전송신호 RTR 및 어드레스 신호 RAYn-2가 하이레벨이 되고, 어드레스 신호 WAYn-1, WAYn은 로우레벨인 상태로 있다. 이에 따라, 제 1 뱅크의 리드 전송신호 RTR2a는 하이레벨이 된다. 또한, 시간 t5에 있어서는, 리드 전송신호 RTR 및 어드레스 신호 RAYn-1가 하이레벨이 되고, 어드레스 신호 RAYn-2, RAYn이 로우레벨이 된다. 이에 따라, 제 2 뱅크의 리드 전송신호 RTR2b는 하이레벨이 된다. 이외의 리드 전송신호 RTR3a～RTR4b에 관해서는, 논리를 참조하면 이해할 수 있기 때문에, 그 설명은 생략한다.

도 7은 본 발명의 제 2 실시예의 시리얼 액세스 메모리의 부분회로도이다. 이때, 제 1 실시예와 동일부분에는 동일부호를 부착하여 그 설명을 생략한다.

제 2 실시예의 시리얼 액세스 메모리는, 회로적으로는 완전히 동일구성이지만, 회로의 배치가 다르다.

제 1 실시예의 시리얼 액세스 메모리에서는, 라이트용 Y 디코더 WY1, WY2…와 라이트 레지스터 T1, T2…는 메모리 칼럼(10)의 일단에 접속되고, 리드용 Y 디코더 RY1, RY2…와 리드 레지스터 S1, S 2…는 메모리 칼럼(10)의 타단에 접속되어 있었다. 제 2 실시예의 시리얼 액세스 메모리에서는, 라이트용 Y 디코더 WY1, WY2…, 라이트 레지스터 T1, T2…, 리드용 Y 디코더 RY1, RY2…및 리드 레지스터 S1, S2…를 동일단측에 접속하였다.

이때, 제 2 실시예의 시리얼 액세스 메모리는 그 회로구성이 제 1 실시예의 시리얼 액세스 메모리와 동일하기 때문에, 동작도 동일하다. 따라서, 제 2 실시예의 시리얼 액세스 메모리의 동작의 설명은 생략한다.

상기한 접속관계에 의해, 라이트 레지스터 T1, T2…와 리드 레지스터 S1, S2…가 근접한 장소에 설치되기 때문에, 패턴설계를 위한 면적은 제 1 실시예보다 좁게 되지만, 그 만큼 칩면적의 축소화가 도모되어, 제조비용을 감소할 수 있는 장점이 있다.

도 8은 본 발명의 제 3 실시예의 시리얼 액세스 메모리의 부분회로도이다. 이때, 제 1 실시예와 동일부분에는 동일부호를 부착하여 그 설명을 생략한다. 제 3 실시예의 시리얼 액세스 메모리에서는, 제 2 실시예와 동일한 라이트 레지스터 T1, T2…와 리드 레지스터 S1, S2…를 메모리 칼럼(10)의 동일단측에 접속하고 있다.

제 3 실시예의 시리얼 액세스 메모리의 특징적인 점은, 메모리 칼럼그룹(12)을 형성하는 메모리 칼럼(10)을 하나 거르게 한 구성을 취하고 있는 점이다. 즉, 비트라인쌍 BL1, BL1/, BL3, BL3/, BL5, BL5/, BL7, BL7/에 의해서 한개의 메모리 칼럼그룹(12)이 형성된다. 그리고, 이 메모리 칼럼그룹(12)에 있어서는, 라이트 레지스터 T1와 리드 레지스터 S1를 메모리 칼럼의 한쪽측(도면에서는 좌측)에 접속하고 있다. 더구나, 메모리 칼럼의 센스앰프 SA1, SA3…를 라이트 레지스터 T1와 리드 레지스터 S1의 외측에 배치하고 있다. 더구나, 비트라인쌍 BL2, BL2/, BL4, BL4/, BL6, BL6/, BL8, BL8/에 의해서 한 개의 메모리 칼럼그룹(12)이 형성된다. 그리고, 이 메모리 칼럼그룹(12)에 있어서는, 라이트 레지스터 T2와 리드 레지스터 S2를 메모리 칼럼의 다른쪽측(도면에서는 오른쪽)에 접속하고 있다. 더구나, 메모리 칼럼의 센스앰프 SA2, SA4…를 라이트 레지스터 T2와 리드 레지스터 S2의 외측에 배치하고 있다.

이때, 제 3 실시예에서는 라이트 전송신호 및 리드 전송신호를 메모리 칼럼에 대하여, 일단측과 타단측으로 나누어, 각각 a, b를 붙여 명확화하고 있다. 그렇지만, 센스앰프 활성화신호 SANa, SAPa, SANb, SAPb, 라이트 데이터 버스 WDa, WDa/, WDb, WDb/, 리드 데이터 버스는 RDa, RDa/, RDb, RDb/, 리드 전송신호 RTRa 1～RTRb4, 라이트 전송신호 WRTa1～b4는, a, b의 구별이 없이 동일한 신호 또는 최종적으로 동일한 라인이 되어도 상관없다. 여기에서 주의할 것은, 도 3～6에서 설명한 제 1 및 제 2 뱅크용의 신호와의 구별이다. 이전에 설명한 것과 같이, 제 1 뱅크와 제 2 뱅크는 독립하여 동작하는 것이 가능하다. 그렇지만, 제 3 실시예에 있어서는, 동일뱅크 내의 회로배치를 문제 삼고 있기 때문에, 각 신호는 제 1 실시예와 동일한 것을 사용하는 것이 가능한 것이다.

이때, 제 3 실시예에서는, 선택신호 SELa, SELb가 새롭게 가해지고 있다. 이 선택신호 SELa, SELb는, a측(도면의 오른쪽)으로부터 액세스할지 b측(도면의 좌측)으로부터 액세스할지를 결정하기 위한 신호이다. 한편, 라이트 레지스터 T1, T2의 선택에는, 공통으로 입력된 라이트 Y 어드레스 WYA와, 선택신호 SELa, SELb와의 논리곱에 의해서 선택하고 있다. 또한, 리드 레지스터 S1, S2의 선택도, 공통으로 입력된 리드 Y 어드레스 RYA와, 선택신호 SELa, SELb와의 논리곱에 의해서 선택하고 있다.

제 3 실시예의 시리얼 액세스 메모리의 동작에 관해서는, 제 1 실시예의 시리얼 액세스 메모리와 동일하기 때문에, 그 설명은 생략한다.

제 3 실시예에서는, 센스앰프가 2 메모리 칼럼 피치의 사이에 형성할 수 있기 때문에, 메모리 칼럼피치를 작게 할 수 있다. 또한, 라이트 레지스터 및 리드 레지스터를 메모리 칼럼그룹(12)의 2배의 피치의 사이에 형성할 수 있기 때문에, 제 2 실시예의 배의 여유로 형성할 수 있다. 따라서, 칩면적을 축소할 수 있어, 비용이 작은 시리얼 액세스 메모리를 제공할 수 있다.

도 9 및 도 10은 본 발명의 제 4 실시예의 시리얼 액세스 메모리의 부분회로도이다. 이때, 제 3 실시예와 동일부분에는 동일부호를 부착하여 그 설명을 생략한다. 제 4 실시예의 시리얼 액세스 메모리에서는, 제 3 실시예와 동일한 메모리 칼럼그룹을 형성하는 메모리 칼럼(10)을 하나 걸러서 한 구성을 갖고, 라이트 레지스터 T1, T2…와 리드 레지스터 S1, S2…를 메모리 칼럼(10)의 동일단측으로 접속하고 있다.

제 4 실시예의 시리얼 액세스 메모리의 특징적인 점은 도 9에 도시한 바와 같이, 메모리 칼럼그룹(12)을 형성하는 메모리 칼럼(10)을 종으로 복수열 배치하고, 이 열과 열 사이에 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1를 설치하고 있는 점이다.

메모리 칼럼열 사이에 설치된 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1은 양측의 메모리 칼럼(10)과 선택적으로 접속되어 있다. 즉, 도 9에 있어서의 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1는 트랜스퍼 트랜지스터 tr33～40를 통해 한쪽측(도면에서는 오른쪽)의 도시하지 않은 메모리 칼럼에 접속되어 있다. 또한, 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1는 트랜스퍼 트랜지스터 tr1～8를 통해 다른쪽측(도면에서는 좌측)의 도시하지 않은 메모리 칼럼에도 접속되어 있다. 트랜스퍼 트랜지스터 tr1～8은 비트라인쌍 선택신호 BLB에 의해서 개폐제어된다. 트랜스퍼 트랜지스터 tr33～40는 비트라인쌍 선택신호 BLA에 의해서 개폐제어된다. 이때, 제 4 실시예에서는 비트라인을 이퀄라이즈하는 트랜지스터 Tr29～32가 각 비트라인쌍에 설치된다. 트랜지스터 tr29～32는, 이퀄라이즈 신호 EQ에 응답하여 비트라인쌍을 이퀄라이즈한다.

도 10은 제 4 실시예의 시리얼 액세스 메모리의 메모리 칼럼열의 일단부분의 회로도를 나타내고 있다. 따라서, 도 10은 도 9의 우측에 접속된다. 이때, 도 10과 도 9 사이에는 메모리 칼럼(경우에 따라서는 메모리 칼럼이 2열 있으며, 그 중앙에는 더 도 9와 같은 회로가 존재하는 경우도 있다)이 존재하고 있는 것은 말할 필요도 없다. 도 10에 나타낸 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1도 트랜스퍼 트랜지스터 tr1～8를 통해 다른쪽측(도면에서는 좌측)의 도시하지 않은 메모리 칼럼에도 접속되어 있다. 트랜스퍼 트랜지스터 tr1～8은 비트라인쌍 선택신호 BLA에 의해서 개폐제어된다. 이때, 도 9와 같이 트랜지스터 tr29～32는, 이퀄라이즈 신호 EQ에 응답하여 비트라인쌍을 이퀄라이즈한다.

제 4 실시예에서는, 도 9 및 도 10에는 개시하지 않고 있지만, 도 9의 좌측에 메모리 칼럼을 통해 접속되는 센스앰프, 리드 레지스터 및 라이트 레지스터가 존재한다. 그 회로구성은 도 10의 회로를 좌우대칭으로 한 것이다. 이때, 회로에 주어지는 신호로서는, 트랜스퍼 트랜지스터 Tr1～8에는 비트라인쌍 선택신호 BLB가 주어지고, 리드 레지스터, 라이트 레지스터에는 선택신호 SELb가 주어지는 것 이외는, 도 10의 회로와 동일하다.

다음에, 제 4 실시예의 시리얼 액세스 메모리의 동작에 관해서 설명한다. 이때, 동작설명은, 도 9에 기재된 회로의 오른쪽에는 제 1 메모리 칼럼열을 통해 도 10에 기재한 회로가 접속되고, 도 9에 기재한 회로의 좌측에는 제 2 메모리 칼럼열열을 통해, 전술한 도 10에 기재한 회로의 좌우대칭으로 한 회로가 접속된 시리얼 액세스 메모리를 대상으로 한다.

우선, 비트라인쌍 선택신호 BLA를 하이레벨, 비트라인쌍 선택신호 BLB를 로우레벨로 한다. 이에 따라, 도 9에 나타낸 트랜스퍼 트랜지스터 tr33～40와, 도 10에 나타낸 트랜스퍼 트랜지스터 tr1～8이 ON 상태가 된다. 따라서, 도 9에 나타낸 센스앰프 SA1～4 및 도 10에 나타낸 센스앰프 SA1～4는 도 9에 나타낸 회로와 도 10에 나타낸 회로 사이에 있는 (도 9에 있어서의 우측의) 제 1 메모리 칼럼열에 접속된다. 그후의 동작에 관해서는 제 3 실시예와 동일하기 때문에, 그 설명은 생략한다.

다음에, 비트라인쌍 선택신호 BLA를 로우레벨, 비트라인쌍 선택신호 BLB를 하이레벨로 한다. 이에 따라, 도 9에 나타낸 트랜스퍼 트랜지스터 tr1～8과, 도 10에 나타낸 회로의 좌우대칭인 회로에서의 트랜스퍼 트랜지스터 tr1～8이 ON 상태가 된다. 따라서, 도 9에 나타낸 센스앰프 SA1～4 및 도 10에 나타낸 회로의 좌우대칭의 회로에서의 센스앰프 SA1～4는 도 9에 나타낸 회로와 도 10에 나타낸 회로의 좌우대칭의 회로 사이에 있는 (도 9에 있어서의 좌측의) 제 2 메모리 칼럼열에 접속된다. 그후의 동작에 관해서는 제 3 실시예와 동일하기 때문에, 그 설명은 생략한다.

제 4 실시예에서는, 메모리셀 어레이에 있어서 비트라인쌍의 길이가 길어졌을 때에 유효하다. 메모리셀 어레이의 비트라인이 길어지면(예컨데 도 1에 나타낸 횡방향이 길어진다), 비트라인의 기생용량이 커져, 메모리의 기록/판독 시간이 길어져 버린다. 이 때문에, 비트라인의 길이를 짧게 한 제 4 실시예에서는, 대용량의 시리얼 액세스 메모리에 대응할 수 있다. 더구나, 제 3 실시예와 마찬가지로 칩면적을 축소할 수 있어, 염가로 대용량의 시리얼 액세스 메모리를 제공할 수 있다.

도 11 및 도 12는 본 발명의 제 5 실시예의 시리얼 액세스 메모리의 부분회로도이다. 이때, 제 4 실시예와 동일부분에는 동일부호를 부착하여 그 설명을 생략한다.

제 5 실시예의 시리얼 액세스 메모리에서는, 제 4 실시예와 마찬가지로 메모리 칼럼그룹(12)을 형성하는 메모리 칼럼(10)을 종으로 복수열 배치하고, 이 열과 열 사이에 센스앰프 SA1～4 및 리드 레지스터 S1 및 라이트 레지스터 T1를 설치하고 있다. 제 5 실시예의 시리얼 액세스 메모리는 리드 레지스터도 2개가 존재하고, 라이트 레지스터는 존재하지 않는다. 따라서 메모리셀로의 정보의 기록은 직접 행해진다. 또한, 제 5 실시예의 시리얼 액세스 메모리에서는 메모리 칼럼그룹(12)을 두개의 메모리 칼럼으로 구성하고 있다.

이하, 제 5 실시예의 시리얼 액세스 메모리의 구성을 제 4 실시예와의 차이를 중심으로 하여 설명한다. 도 11 및 도 12의 회로는 제 3 실시예의 도 9 및 도 10과 동일한 배치를 갖는다. 즉, 도 11에 있어서의 센스앰프 SA1,2 및 리드 레지스터 S1은 트랜스퍼 트랜지스터 tr1～4를 통해 한쪽측(도면에서는 좌측)의 도시하지 않은 메모리 칼럼(10)(비트라인쌍 BLa1, BLa1/, BLa2, BLa2/)에 접속되어 있다. 또한, 센스앰프 SA1,2 및 리드 레지스터 S1은 트랜스퍼 트랜지스터 tr17～20를 통해 다른쪽측(도면에서는 오른쪽)의 도시하지 않은 메모리 칼럼(비트라인쌍 BLb1, BLb1/, BLb2, BLb2.)에도 접속되어 있다. 트랜스퍼 트랜지스터 tr1～4는 비트라인쌍 선택신호 BLB에 의해서 개폐제어된다. 트랜스퍼 트랜지스터 tr17～20는 비트라인쌍 선택신호 BLA에 의해서 개폐제어된다. 이때, 제 4 실시예에서는 라이트 데이터 버스쌍 WD, WD/는 트랜스퍼 트랜지스터 tr15, tr16, tr5, tr6, tr11 및 tr12를 통해 비트라인에 접속되어 있다. 또한, 리드 데이터 버스쌍 RD, RD/는 트랜스퍼 트랜지스터 tr13, tr14를 통해 리드 레지스터 S1에 접속되어 있다. 리드 레지스터 S1은 트랜스퍼 트랜지스터 tr7～1O를 통해 비트라인에 접속된다.

트랜스퍼 트랜지스터 tr13～16은 Y 디코더 출력신호 Y1에 의해서 공통으로 개폐제어된다. 트랜스퍼 트랜지스터 tr 5, 6은 기록 선택신호 WSEL0에, 트랜스퍼 트랜지스터 tr11,12는 기록 선택신호 WSEL1에, 트랜스퍼 트랜지스터 tr9,1O은 판독 선택신호 RSEL0에, 트랜스퍼 트랜지스터 tr7,8은 판독 선택신호 RSEL1에 의해서 개폐제어된다.

도 12에 나타낸 회로에서, 도 11에 나타낸 회로와 동일부분에 관해서는 그 설명을 생략한다. 도 12의 회로에서는, 도 11의 트랜스퍼 트랜지스터 tr17～20에 해당하는 부분이 없다. 또한, 트랜스퍼 트랜지스터 tr1～4에 접속되는 것은, 비트라인쌍 BLb3, BLb3/, BLb4, BLb4/이다.

제 4 실시예와 마찬가지로, 도 11 및 도 12에는 개시하지 않고 있지만, 도 9의 좌측에 메모리 칼럼을 통해 접속되는 센스앰프 및 리드 레지스터가 존재한다. 그 회로구성은 도 12의 회로를 좌우대칭으로 한 것이다. 이때, 회로에 주어지는 신호로서는, 트랜스퍼 트랜지스터 Tr1～4에는 비트라인쌍 선택신호 BLB가 주어지는 것 이외는, 도 12의 회로와 동일하다.

다음에, 제 5 실시예의 시리얼 액세스 메모리의 동작에 관해서 설명한다. 이때, 동작설명은, 도 11에 기재된 회로의 오른쪽에는 제 1 메모리 칼럼열을 통해 도 12에 기재한 회로가 접속되고, 도 11에 기재한 회로의 좌측에는 제 2 메모리 칼럼열을 통해, 전술한 도 12에 기재한 회로의 좌우대칭으로 한 회로가 접속된 시리얼 액세스 메모리를 대상으로 한다.

우선, 비트라인쌍 선택신호 BLA를 하이레벨, 비트라인쌍 선택신호 BLB를 로우레벨로 한다. 이에 따라, 도 11에 나타낸 트랜스퍼 트랜지스터 tr17～20와, 도 12에 나타낸 트랜스퍼 트랜지스터 tr1～4가 ON 상태가 된다. 따라서, 도 11에 나타낸 센스앰프 SA1,2 및 도 10에 나타낸 센스앰프 SA1,2는 도 11에 나타낸 회로와 도 12에 나타낸 회로의 사이에 있는 (도 11에 있어서의 오른쪽의) 제 1 메모리 칼럼열에 접속된다.

그후, 라이트 동작이 행하여지는 경우, Y 디코더의 출력신호 Y1이 하이레벨이 되고, 기록 선택신호 SEL0이 하이레벨, 기록 선택신호 SEL1이 로우레벨이 된다. 이에 따라 라이트 데이터 버스 WD, WD/와 비트라인 BL2b, B12b/이 접속된다. 따라서, 라이트 데이터 버스 WD, WD/ 상의 데이터가 직접비 트라인 BL2b, B12b/에 접속된 메모리셀에 기록된다.

이때, 리드 동작에 관해서는, 비트선의 선택은 라이트 동작과 동일하며, 그 이외의 동작은 제 3 실시열과 동일하기 때문에, 그 설명은 생략한다. 다음에, 비트라인쌍 선택신호 BLA를 로우레벨, 비트라인쌍 선택신호 BLB를 하이레벨로 한다. 이에 따라, 도 9에 나타낸 트랜스퍼 트랜지스터 tr1～8과, 도 10에 나타낸 회로의 좌우대칭의 회로에서의 트랜스퍼 트랜지스터 tr1～8이 ON 상태가 된다. 따라서, 도 9에 나타낸 센스앰프 SA11～4 및 도 10에 나타낸 회로의 좌우대칭의 회로에서의 센스앰프 S-A1～4는 도 9에 나타낸 회로와 도 10에 나타낸 회로의 좌우대칭의 회로 사이에 있는 (도 9에 있어서의 좌측의) 제 2 메모리 칼럼열에 접속된다. 그후의 동작에 관해서는 전술한 리드 동작 및 라이트 동작와 동일하기 때문에, 그 설명은 생략한다.

도 13 및 도 14은 제 5 실시예의 변형예인 시리얼 액세스 메모리의 부분회로도이다. 이때, 제 5 실시예와 동일부분에는 동일부호를 부착하여 그 설명을 생략한다.

제 5 실시예의 변형예인 시리얼 액세스 메모리에서는, 제 5 실시예에 있어서의 리드/라이트 공용으로 사용하고 있는 Y 디코더 출력신호 Y1을, 리드용 Y 디코더 출력신호 RY1, 라이트용 디코더 출력신호 WY1로 나눈 것이다. 따라서, 리드용 Y 디코더 출력신호 RY1이 트랜스퍼 트랜지스터 tr13, tr14에 주어지고, 라이트용 디코더 출력신호 WY1이 트랜스퍼 트랜지스터 tr15, tr16에 주어진다.

상기한 점을 제외하면, 회로구성 및 동작에 관해서는 제 5 실시예와 동일하기 때문에, 그것들의 설명에 관해서는 생략한다.

도 15～도 18은, 제 1 실시예의 시리얼 액세스 메모리의 동작을 보다 상세히 나타낸 모식도이다.

제 1 실시예의 설명에 기재한 것 같이, 제 1 실시예의 시리얼 액세스 메모리에서는, 메모리 칼럼 4개로 메모리 칼럼그룹(12)이 구성되어 있다. 여기에서, 도 15～18에 있어서, 제 1 뱅크에 있어서의 메모리 칼럼을 Ca4i+ 1, Ca4i+ 2, Ca4i+ 3, Ca4i+ 4로 나타내고, 제 2 뱅크에 있어서의 메모리 칼럼을 Cb4i+ 1, Cb4i+ 2, Cb4i+ 3, Cb4i+ 4(i= 0～n-1)로 나타낸다. 라이트 액세스, 리드 액세스와 함께 액세스의 순서를 Ca1로부터 시작하는 경우(어디부터도 좋지만 간단화를 위해, 여기에서는 Ca1으로부터 시작하는 것으로 한다)에는,

Ca1, Ca5, C9…Ca4n-3, Cb1, Cb5, Cb9…Cb4n-3,

Ca2, Ca6, Ca10…Ca4n-2, Cb2, Cb6, Cb10…Cb4n-2,

Ca3, Ca7, Ca11…Ca4n-1, Cb3, Cb7, Cb11…Cb4n-1,

Ca4, Ca8, Ca12…Ca4n, Cb4, Cb8, Cb12…Cb4n,

의 순서로 액세스를 행하는 것이 된다.

이하, 순서를 따라 동작을 상세히 설명한다.

도 15에 나타낸 것과 같이, 제 1 실시예의 시리얼 액세스 메모리는 제 1 메모리 뱅크(6)1와 제 2 메모리 뱅크(62)를 가지고 있다. 제 1 메모리 뱅크(61)에 있어서는, 라이트용 Y 디코더(63a), 라이트 레지스터 T1～Tn, 리드용 Y 디코더(64a), 리드 레지스터 S1～Sn, X 디코더(22) 및 메모리 칼럼 Ca1～Ca4n을 가지고 있다. 제 2 메모리뱅크(62)에 있어서는, 라이트용 Y 디코더(63b), 라이트 레지스터 Tn+ 1～T2n, 리드용 Y 디코더(64b), 리드 레지스터 Sn+ 1～S2n, X 디코더(22) 및 메모리 칼럼 Cb1～Cb4n을 가지고 있다.

더구나, 제 1, 제 2 뱅크에 공통되는 회로로서, 입력회로(20), 출력회로(21), 라이트 Y 어드레스를 발생하는 라이드 Y 어드레스 발생회로(65), 리드 Y 어드레스를 발생하는 리드 Y 어드레스 발생회로(66), 라이트 Y 어드레스를 발생하는 라이트 X 어드레스 발생회로(67), 리드 X 어드레스를 발생하는 리드 X 어드레스 발생회로(68)를 제 1 실시예의 시리얼 액세스 메모리는 가지고 있다.

여기에서, 시리얼 라이트가 시작되는 메모리 어드레스를 워드라인 WLai에서 지정되는 메모리 칼럼 Ca1 중의 어드레스로 가정하고, 시리얼 리드가 시작하는 메모리 어드레스를 워드라인 WLaj에서 지정되는 메모리 칼럼 Ca4 중의 어드레스로 한다고 가정한다.

라이트 클록 WCLK에 동기하여 일련의 연속하는 검은 환형으로 표시되는 직렬 입력 데이터가 입력회로(20)를 통해 라이트 데이터 버스에 입력된다. 라이트 Y 디코더(63a)의 출력 W1, W2…Wn이 순차 하이레벨이 되는 것으로 라이트 레지스터 T1, T2…Tn에 라이트 데이터 버스 상의 직렬데이터가 순차적으로 기록된다.

이 사이에, 워드라인 WLaj가 상승하고, 그 워드라인 WLaj에 접속된 복수의 메모리셀 중의 정보는, 각각 대응하는 센스앰프에서 증폭되어, 센스앰프가 접속된 비트라인쌍 상에 확정된다. 그후, 스위치(이전의 실시열 1에서 설명한 리드 선택전송신호에 의해 개폐되는 스위치 SW4)에 의해 메모리 칼럼 Ca4, Ca8… Ca4n이 리드 레지스터 S1, S2…Sn로 각각 선택전송된다.

동시기에, 리드 Y 디코더(64a)의 출력 R1, R2…Rn이 하이레벨로 되는 것에 의해 리드 레지스터 S1, S2…Sn로 전송되어 있던 정보는, S1, S2…Sn의 순서로 리드 데이터 버스 RD, RD/를 통해 출력회로(21)에서 리드 클록 RCLK에 동기하여 일련의 연속하는 흰 환형으로 표시된 것과 같이 시리얼 출력된다.

리드 레지스터 Sn에 전송되어 있던 정보가 출력되기 전에, 제 2 뱅크의 워드라인 WLbj가 상승하고, 그 워드라인 WLbj에 접속되는 복수의 메모리셀 중의 정보는, 각각 대응하는 센스앰프에서 증폭되어, 센스앰프가 접속된 비트라인쌍 상에 확정된다. 그후, 스위치(이전의 실시예 1에서 설명한 리드 선택 전송신호에 의해 개폐되는 스위치 SW4)에 의해 메모리 칼럼 Cb4, Cb8…Cb4n 상의 정보가 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 각각 선택전송된다. 이 전송에 의해 도 16에서 설명하는 리드 레지스터 Sn+ 1, Sn+ 2…S2n에서의 시리얼 리드를 리드 레지스터 S1, S2…Sn에서의 시리얼 리드의 후에, 리드 클록 RCLK에 대하여 연속적으로 행할 수 있다.

전술한 동작에 이어진 동작의 설명을 도 16을 참조하면서 설명한다.

계속하여, 라이트 클록 WCLK에 동기하여 일련의 연속하는 검은 환형으로 표시되는 시리얼 입력 데이터가 입력회로(20)를 통해 라이트 데이터 버스에 입력된다. 이때, 라이트 Y 디코더(63b)의 출력 Wn+ 1, Wn+ 2…W2n이 순차 하이레벨이 되는 것으로 라이트 레지스터 Tn+ 1, Tn+ 2…T2n의 순서로 기록된다.

이 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 대한 기록이 행하여지고 있는 사이에, 제 1 뱅크의 워드라인 WLai가 상승한다. 그후, 라이트 레지스터 T1, T2…Tn에 기록되어 있는 정보는, 스위치(이전의 실시예 1에서 설명한 리드 선택 전송신호에

의해 개폐되는 스위치 SW2)에 의해 선택되는 메모리 칼럼 Ca1, Ca5… Ca4n-3에 각각 전송되고, 그들 메모리 칼럼 및 워드라인 WLai에 접속된 메모리셀에 기록된다. 이 라이트 액세스가 행하여지고 있는 사이에, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 선택전송되어 있던 정보는 리드 데이터 버스 RD, RD/를 통해 출력회로(20)에서 리드 클록 RCLK에 동기하여 일련의 연속하는 흰 환형으로 표시되는 시리얼 데이터가 출력된다.

리드 레지스터 S2n에 전송되어 있던 정보가 출력되기 전에, 도 15에서 설명한 제 1 뱅크에서 상승되었던 워드라인 WLaj의 X 어드레스를 1 증분한 워드라인 WLaj+ 1가 상승한다. 이 워드라인 WLaj+ 1에 접속된 복수의 메모리셀 중의 정보는, 각각 대응하는 센스앰프에 의해서 증폭되고, 그 센스앰프가 접속하는 비트라인쌍 상에 확정된다. 그후, 스위치 SW4에 의해 메모리 칼럼, Ca1, Ca5…Ca4n-3 상의 정보가 리드 레지스터 S1, S2…Sn에 각각 선택전송된다. 이전에 행해진 전송에 의해 도 17에서 설명하는 리드 레지스터 S1, S2…Sn에서의 시리얼 리드가, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에서의 시리얼 리드의 후에, 리드 클록 RCLK에 대하여 연속적으로 행할 수 있다.

전술한 동작에 계속된 동작의 설명을 도 17을 참조하면서 설명한다.

라이트 클록 WCLK에 동기하여 일련의 연속하는 검은 환형으로 표시되는 시리얼 입력 데이터가 입력회로(20)를 통해 라이트 데이터 버스 WD, WD/에 입력된다. 라이트 Y 디코더(63a)의 출력신호 W1, W2…Wn이 순차 하이레벨이 되는 것으로, 입력된 데이터가 라이트 레지스터 T1, T2…Tn에 순차 기록된다. 데이터가 라이트 레지스터 T1, T2…Tn에 기록되고 있는 사이에, 리드 Y 디코더(64a)의 출력신호 R1, R2…Rn이 하이레벨로 되는 것에 의해, 리드 레지스터 S1, S2…Sn에 전송되어 있던 정보는, 그 순서로 리드 데이터 버스 RD, RD/를 통해 출력회로(21)에서 리드 클록 RCLK에 동기하여 일련의 연속하는 흰 환형으로 표시되는 것 같이 시리얼 데이터로서 출력된다.

리드 레지스터 Sn에 전송되어 있던 정보가 출력되기 전에, 제 2 뱅크의 워드라인 WLbj+ 1가 상승한다. 워드라인 WLbj+ 1에 접속되는 복수의 메모리셀 중의 정보는, 각각 대응하는 센스앰프에 의해서 증폭되어, 그 센스앰프가 접속하는 비트라인쌍 상에 확정된다. 그후, 스위치 SW4에 의해 메모리 칼럼 Cb1, Cb5… Cb4n-3 상의 정보가 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 각각 선택전송된다. 이전에 행해진 전송에 의해 도 18에서 설명하는 리드 레지스터 Sn+ 1, Sn+ 2…S2n에서의 시리얼 리드를 리드 레지스터 S1, S2…Sn에서의 시리얼 리드 후에, 라이트 클록신호 RCLK에 대하여 연속적으로 행할 수 있다.

전술한 동작에 이어지는 동작의 설명을 도 18을 참조하면서 설명한다.

계속해서, 라이트 클록신호 WCLK에 동기하여 일련의 연속하는 검은 환형으로 표시되는 시리얼 입력 데이터가 입력회로(20)를 통해 라이트 데이터 버스 RD, RD/에 입력된다. 라이트 Y 디코더(63b)의 출력신호 Wn+ 1, Wn+ 2…W2n이 순차 하이가 되는 것으로 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 순차적으로 기록된다.

이 라이트 레지스터 Tn+1, Tn+ 2…T2n에 대한 기록이 행하여지고 있는 사이에, 제 1 뱅크(61)의 이전의 워드라인의 X 어드레스에 1 증분된 X 어드레스에서 선택되는 워드라인 WLai+ 1가 상승한다. 그후, 라이트 레지스터 T1, T2…Tn에 기록되고 있는 정보는, 스위치 SW2에 의해 선택되는 메모리 칼럼 Ca2, Ca6… Ca4n-2에 각각 전송되고, 그들 메모리 칼럼에 있어서 워드라인 WLai+ 1에 접속된 메모리셀에 기록된다.

전술한 라이트 액세스가 행하여지고 있는 사이에, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 선택전송되어 있던 정보는, 리드 데이터 버스 RD, RD/를 통해 출력회로(21)에서 리드 클록신호 RCLK에 동기하여 일련의 연속하는 흰 환형으로 표시되는 시리얼 데이터로서 출력된다.

리드 레지스터 S2n에 전송되어 있던 정보가 출력되기 전에, 제 1 뱅크(61)에서 이전에 상승되었던 워드라인 WLaj+ 1의 X 어드레스를 1 증분한 워드라인 WLaj+ 2이 상승한다. 그리고, 이 워드라인 WLaj+ 2에 접속되는 복수의 메모리셀 중의 정보는, 각각 대응하는 센스앰프에 의해서 증폭되어, 그 센스앰프가 접속하는 비트라인쌍 상에 확정된다. 그후, 스위치 SW4에 의해 메모리 칼럼 Ca2, Ca6… Ca4n-2 상의 정보가 리드 트랜지스터 S1, S2…Sn에 각각 선택전송된다. 이전에 행해진 전송에 의해 리드 레지스터 S1, S2…Sn에서의 시리얼 리드를 리드 레지스터 SI+ 1, Sn+ 2…S2n에서의 시리얼 리드 후에, 리드 클록신호 RCLK에 대하여 연속적으로 행할 수 있다.

이상 설명한 본 발명의 시리얼 액세스 메모리에 있어서의 라이트 전송동작 및 리드 전송동작의 순서를 도 19 및 도 20을 참조하면서 설명한다.

도 19는 본 발명의 시리얼 액세스 메모리에 있어서 라이트 전송동작을 설명하는 모식도이다. 라이트 전송동작에서는, 우선 제 1 뱅크(61)의 라이트 레지스터 T1, T2…Tn에 시리얼 데이터를 순차 기록한다. 그후, 도 19a에 나타낸 것과 같이 라이트 레지스터 T1, T2…Tn을 제 1 뱅크(61)의 메모리 칼럼 C1, C5…C4m-3에 각각 접속한다. 그리고 라이트 레지스터 T1, T2…Tn에 전송된 데이터를 각각 메모리 칼럼 C1, C5…C4m-3 중의 특정한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 순차 기록된다.

다음에 도 19b에 나타낸 것과 같이, 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n을 메모리칼럼 C4m+ 1, C4m+ 5…C8m-3에 각각 접속한다. 그리고 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 전송된 데이터를 각각 메모리 칼럼 C4m+ 1, C4m+ 5…C8m-3 중의 특정한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 1 뱅크(61)의 라이트 레지스터 T1, T2…Tn에 순차 기록된다.

그후 도 19c에 나타낸 것과 같이, 라이트 레지스터 T1, T2…Tn을 제 1 뱅크(61)의 메모리 칼럼 C2, C6…C4m-2에 각각 접속한다. 그리고 라이트 레지스터 T1, T2…Tn에 전송된 데이터를 각각 메모리 칼럼 C2, C6…C4m-2 중의 도 19a에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 순차 기록된다.

더구나, 도 19d에 나타낸 것과 같이, 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T21를 메모리 칼럼 C4m+ 2, C4m+ 6…C8m-2에 각각 접속한다. 그리고 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 전송된 데이터를 각각 메모리 칼럼 C4m+ 2, C4m+ 6…C8m-2 중의 도 19b에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 1 뱅크(61)의 라이트 레지스터 T1, T2…Tn에 순차 기록된다.

다음에 도 19e에 나타낸 것과 같이, 라이트 레지스터 T1, T2…Tn을 제 1 뱅크(61)의 메모리 칼럼 C3, C7…C4m-1에 각각 접속한다. 그리고 라이트 레지스터 T1, T2…Tn에 전송된 데이터를 각각 메모리 칼럼 C3, C7…C4m-1 중의도 19c에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 순차 기록된다.

더구나, 도 19f에 나타낸 것과 같이, 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n을 메모리 칼럼 C4m+ 3, C4m+ 7…C8m-1에 각각 접속한다. 그리고 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 전송된 데이터를 각각 메모리 칼럼 C4m+ 3, C4m+ 7…C8m-1 중의 도 19d에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 1 뱅크(61)의 라이트 레지스터 T1, T2…Tn에 순차 기록된다.

그후, 도 19g에 나타낸 것과 같이, 라이트 레지스터 T1, T2…Tn을 제 1 뱅크(61)의 메모리 칼럼 C4, C8…C4m에 각각 접속한다. 그리고 라이트 레지스터 T1, T2…Tn에 전송된 데이터를 각각 메모리 칼럼 C4, C8…C4m 중의 도 19e에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 순차 기록된다.

더구나, 도 19h에 나타낸 것과 같이, 제 2 뱅크(62)의 라이트 레지스터 Tn+ 1, Tn+ 2…T2n을 메모리 칼럼 C4m+ 4, C4m+ 8…C8m에 각각 접속한다. 그리고 라이트 레지스터 Tn+ 1, Tn+ 2…T2n에 전송된 데이터를 각각 메모리 칼럼 C4m+ 4, C4m+ 8…C8m 중의 도 19f에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀에 기록한다. 이 사이에, 연속된 시리얼 데이터는 제 1 뱅크(61)의 라이트 레지스터 T1, T2…Tn에 순차 기록된다.

그후, 라이트 레지스터와 메모리 칼럼과의 접속관계는 도 19a로 되돌아가고, 워드라인은 도 19h 이후 순차 증분한 어드레스를 대상으로 하여 시리얼 라이트가 행해진다.

도 20은 본 발명의 시리얼 액세스 메모리에 있어서 리드 전송동작을 설명하는 모식도이다. 리드 전송동작으로서는 도 20a에 나타낸 것과 같이, 제 1 뱅크(61)의 메모리 칼럼 C1, C5…C4m-3과 리드 레지스터 S1, S2…Sn을 각각 접속한다. 그리고 메모리 칼럼 C1, C5…C4m-3 중의 특정한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 S1, S2…Sn에 전송한다.

다음에, 도 20b에 나타낸 것과 같이, 제 2 뱅크(62)의 메모리 칼럼 C4m+ 1, C4m+ 5…C8m-3과 리드 레지스터 Sn, Sn+ 1…S2n을 각각 접속한다. 그리고 메모리 칼럼 C4m+ 1, C4m+ 5…C8m-3 중의 특정한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 Sn, Sn+ 1…S2n에 전송한다. 이 사이에 제 1 뱅크(61)에 있어서는, 리드 레지스터 S1, S2…Sn에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

그후 도 20c에 나타낸 것과 같이, 제 1 뱅크(61)의 메모리 칼럼 C2, C6… C4m-2와 리드 레지스터 S1, S2…Sn을 각각 접속한다. 그리고 메모리 칼럼 C2, C6…C4m-2 중의 도 20에서 특정한 워드라인을 하나증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 S1, S2…Sn에 전송한다. 이 사이에, 제 2 뱅크(62)에 있어서는, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

더구나, 도 20d에 나타낸 것과 같이, 제 2 뱅크(62)의 메모리 칼럼 C4m+ 2, C4m+ 6…C8m-2와 리드 레지스터 Sn+ 1, Sn+ 2…S2n을 각각 접속한다. 그리고 메모리 칼럼 C4m+ 2, C4m+ 6…C8m-2 중의 도 20b에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송한다. 이 사이에, 제 1 뱅크(61)에 있어서는, 리드 레지스터 S1, S2…Sn에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

그후 도 20e에 나타낸 것과 같이, 제 1 뱅크(61)의 메모리 칼럼 C3, C7…C4m-1과 리드 레지스터 S1, S2…Sn을 각각 접속한다. 그리고 메모리 칼럼 C3, C7…C4m-1 중의 도 20c에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 S1, S2…Sn에 전송한다. 이 사이에, 제 2 뱅크(62)에 있어서는, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

더구나, 도 20f에 나타낸 것과 같이, 제 2 뱅크(62)의 메모리 칼럼 C4m+ 3, C4m+ 7…C8m-1과 리드 레지스터 Sn+ 1, Sn+ 2…S2n을 각각 접속한다. 그리고 메모리 칼럼 C4m+ 3, C4m+ 7…C8m-1 중의 도 20d에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송한다. 이 사이에, 제 1 뱅크(61)에 있어서는, 리드 레지스터 S1, S2…Sn에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

더구나, 도 20g에 나타낸 것과 같이, 제 1 뱅크(61)의 메모리 칼럼 C4, C8…C4m과 리드 레지스터 S1, S2…Sn을 각각 접속한다. 그리고 메모리 칼럼 C4, C8…C4m 중 도 20e에서 특정한 워드라인을 한 개 증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 S1, S2…Sn에 전송한다. 이 사이에 제 2 뱅크(62)에 있어서는, 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

더구나, 도 20h에 나타낸 것과 같이, 제 2 뱅크(62)의 메모리 칼럼 C4m+ 4, C4m+ 8…C8m과 리드 레지스터 Sn+ 1, Sn+ 2…S2n을 각각 접속한다. 그리고 메모리 칼럼 C4m+ 4, C4m+ 8…C8m 중의 도 20f에서 특정한 워드라인을 하나 증분한 워드라인에 접속된 메모리셀의 데이터를 판독하여, 각각 리드 레지스터 Sn+ 1, Sn+ 2…S2n에 전송한다. 이 사이에, 제 1 뱅크(61)에 있어서는, 리드 레지스터 S1, S2…Sn에 전송된 데이터를 순차 리드 데이터 버스에 출력하여, 연속한 시리얼 데이터로서 출력한다.

그후, 리드 레지스터와 메모리 칼럼과의 접속관계는 도 20a로 되돌아가고, 워드라인은 도 20h 이후 순차 증분한 어드레스를 대상으로 하여 시리얼 리드가 행해진다.

발명의 효과

이상 상세히 설명한 것과 같이, 본 발명의 시리얼 액세스 메모리에 따르면, 메모리 칼럼에 대한 레지스터수가 감소하여, 레지스터의 패턴을 여유를 갖고 만드는 것이 가능하다. 이것으로부터, 종래기술의 프로세스 상태에서의 칩사이즈의 축소가 도모되어, 프로세스 개발의 비용절약과 칩사이즈의 축소라고 하는 장점를 얻을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 2는 제 1 실시예의 시리얼 메모리의 동작타이밍을 나타내는 타이밍 챠트이다.

도 3은 라이트 어드레스 발생회로를 나타내는 회로도이다.

도 4는 라이트 어드레스 발생회로의 동작을 나타내는 타이밍 챠트이다.

도 5는 리드 어드레스 발생회로를 나타내는 회로도이다.

도 6은 리드 어드레스 발생회로의 동작을 나타내는 타이밍 챠트이다.

도 7은 제 2 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 8은 본 발명의 제 3 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 9는 본 발명의 제 4 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 10은 본 발명의 제 4 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 11은 본 발명의 제 5 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 12는 본 발명의 제 5 실시예의 시리얼 액세스 메모리의 부분회로도이다.

도 13은 제 5 실시예의 변형예인 시리얼 액세스 메모리의 부분회로도이다.

도 14는 제 5 실시예의 변형예인 시리얼 액세스 메모리의 부분회로도이다.

도 15는 제 1 실시예의 시리얼 액세스 메모리의 동작을 보다 상세히 나타낸 모식도이다.

도 16은 제 1 실시예의 시리얼 액세스 메모리의 동작을 보다 상세히 나타낸 모식도이다.

도 17은 제 1 실시예의 시리얼 액세스 메모리의 동작을 보다 상세히 나타낸 모식도이다.

도 18은 제 1 실시예의 시리얼 액세스 메모리의 동작을 보다 상세히 나타낸 모식도이다.

도 19는 본 발명의 시리얼 액세스 메모리에 있어서의 라이트 전송동작을 설명하는 모식도이다.

도 20은 본 발명의 시리얼 액세스 메모리에 있어서의 리드 전송동작을 설명하는 모식도이다.

* 도면의 주요부분에 대한 부호의 설명 *

10: 메모리 칼럼 11: 메모리셀

22: X 디코더 24: 메모리 콘트롤 신호 발생회로

25: 아비터 BL1～m: BL1～m/: 비트선

WL1～n: 워드선 SA1～m: 센스앰프

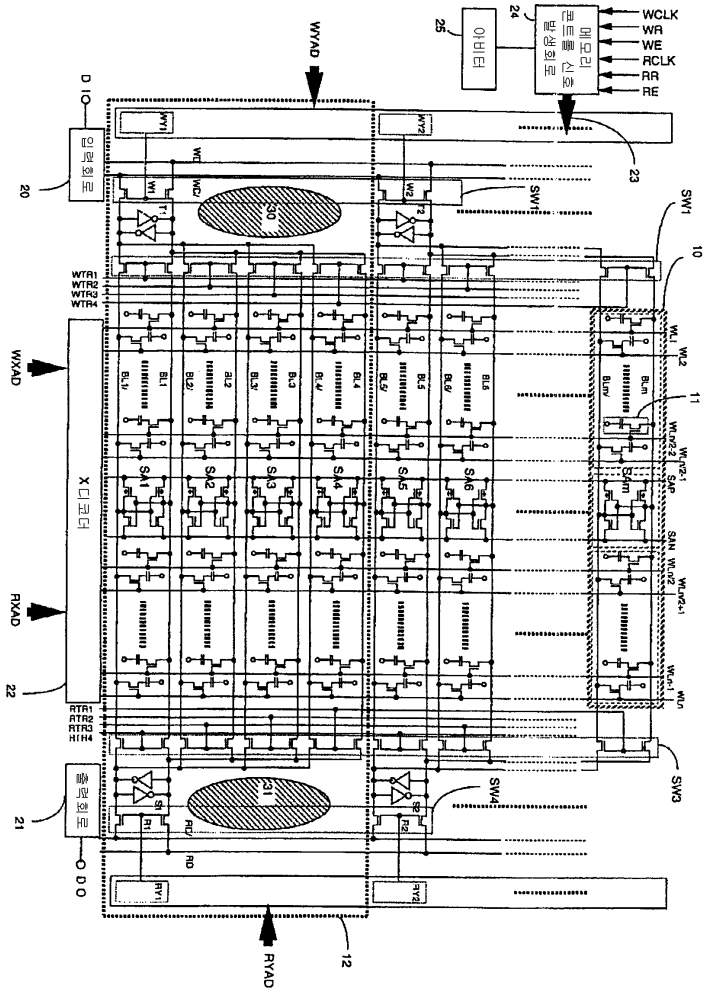
T1, T2: 라이트 데이터 레지스터

WD, WD/: 라이트 데이터 버스 S1, S2: 리드 데이터 레지스터

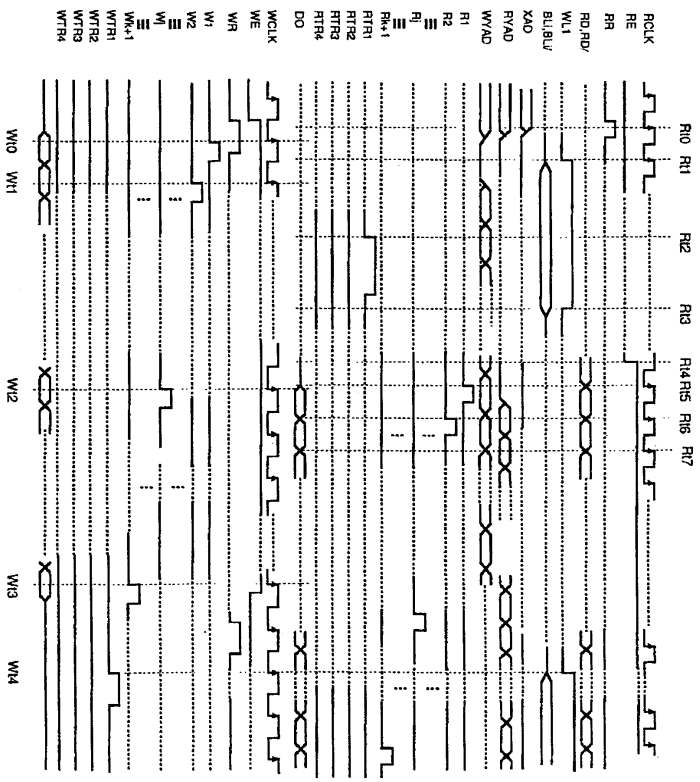
RD, RD/: 리드 데이터 버스

도면

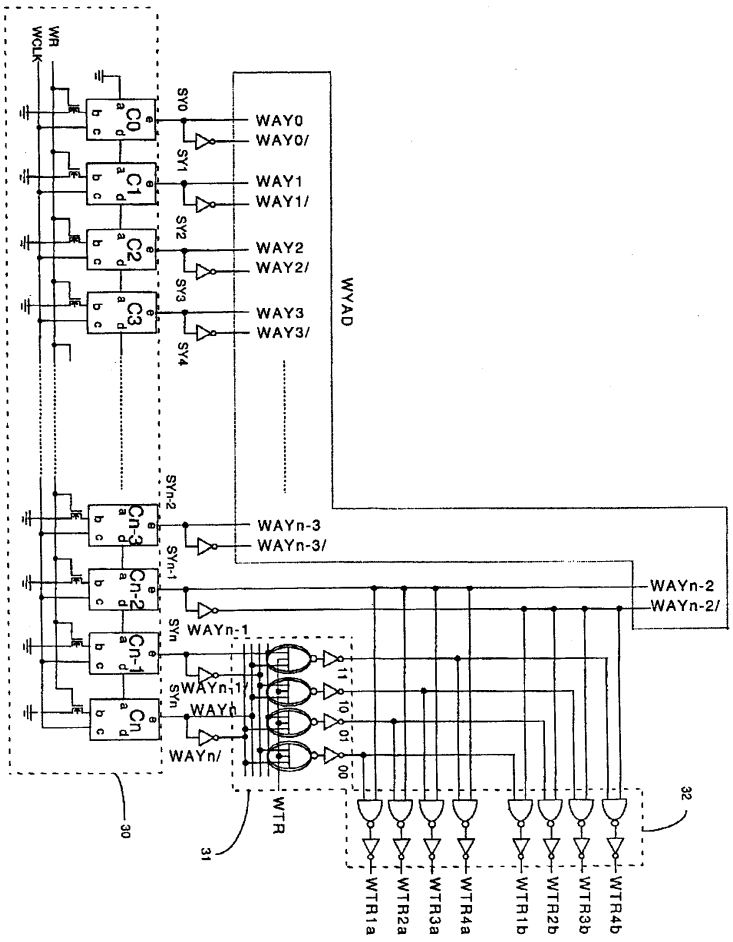
도면1


WCLK
WR
WE
RCLK
RR
RE
메모리 콘트롤 신호 발생회로
아비터
WYAD
RYAD
WXAD
RXAD
X디코더
입력회로
출력회로
D I
D O
SW1
SW3
SW4
10
11
12
20
21
22
23
24
25

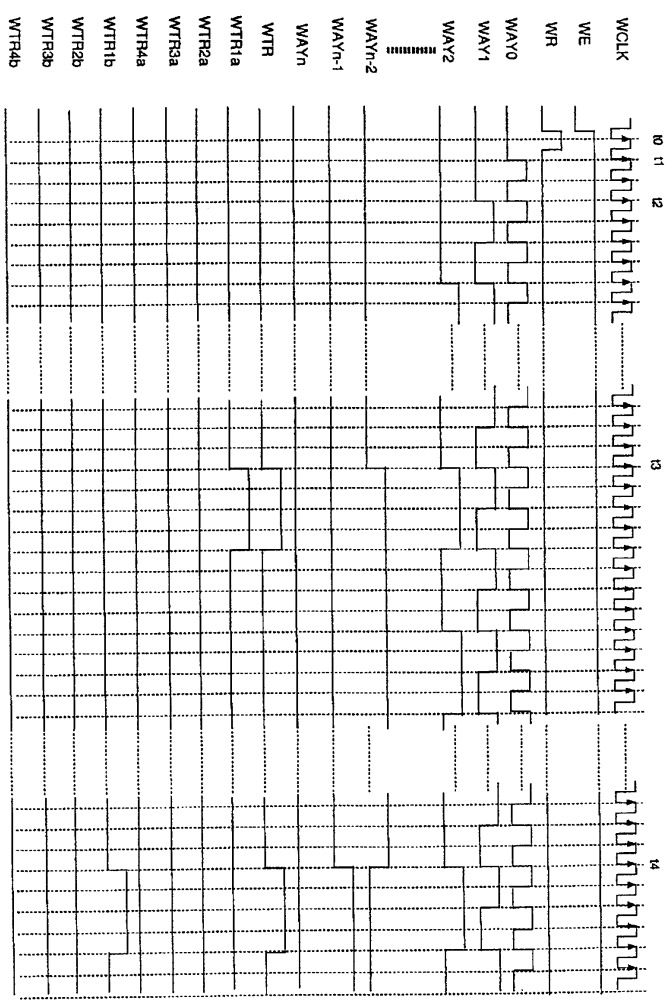
도면2


RCLK
RE
RR
RD,RD/
WL1
BL,BL/
XAD
RYAD
WYAD
R1
R2
Ri
Ri+1
RTR1
RTR2
RTR3
RTR4
DO
WCLK
WE
WR
W1
W2
Wi
Wk+1
WTR1
WTR2
WTR3
WTR4
R0 R1
R2
R3
R4 R5
R6
R7
W0 W1
W2
W3
W4

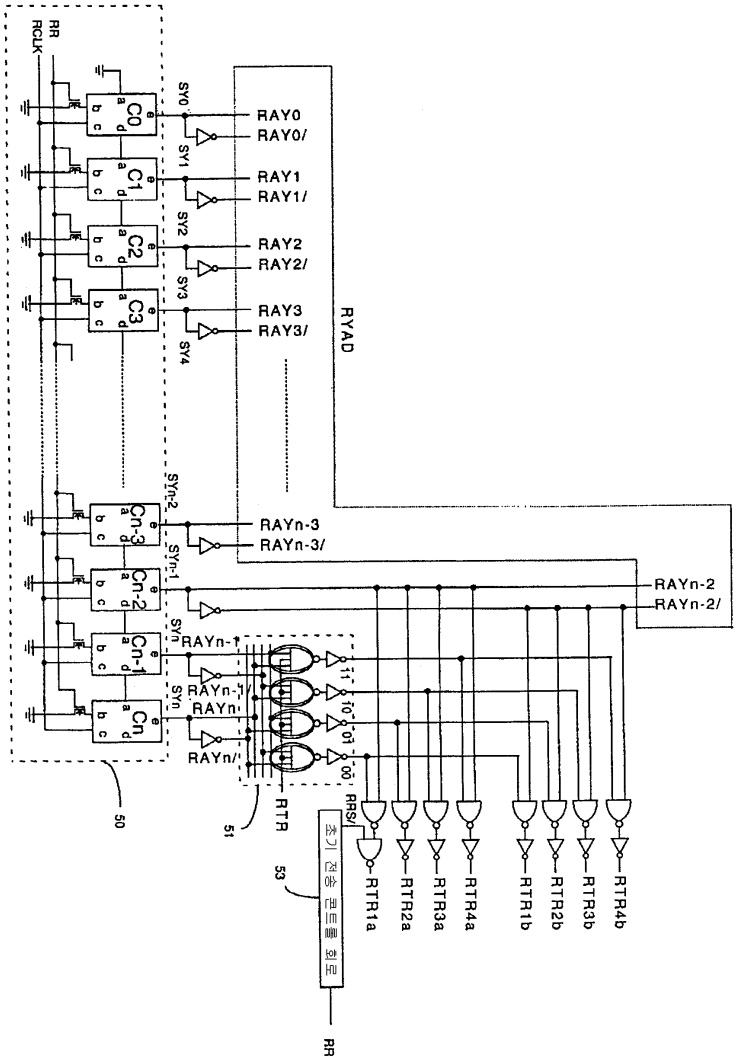
도면3


WR
WCLK
C0
C1
C2
C3
Cn-3
Cn-2
Cn-1
Cn
SY0
SY1
SY2
SY3
SY4
SYn-2
SYn-1
SYn
WAY0
WAY0/
WAY1
WAY1/
WAY2
WAY2/
WAY3
WAY3/
WAYn-3
WAYn-3/
WAYn-2
WAYn-2/
WAYn-1
WAYn-1/
WAYn
WAYn/
WYAD
11
10
01
00
WTR
30
31
32
WTR1a
WTR2a
WTR3a
WTR4a
WTR1b
WTR2b
WTR3b
WTR4b

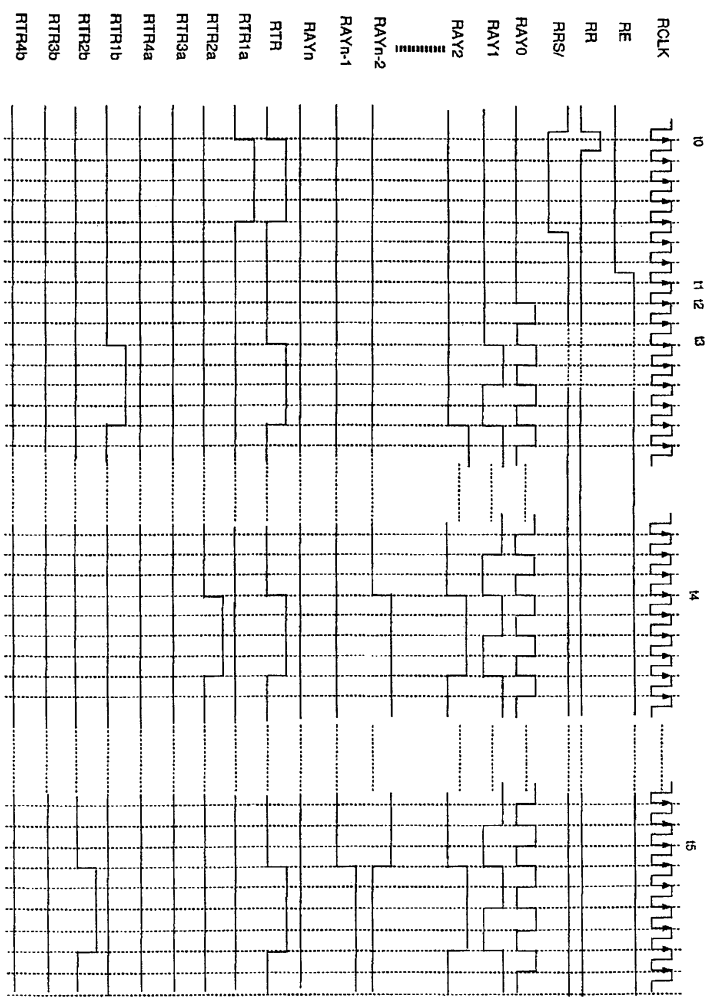
도면4


WCLK
WE
WR
WAY0
WAY1
WAY2
WAYn-2
WAYn-1
WAYn
WTR
WTR1a
WTR2a
WTR3a
WTR4a
WTR1b
WTR2b
WTR3b
WTR4b
t0
t1
t2
t3
t4

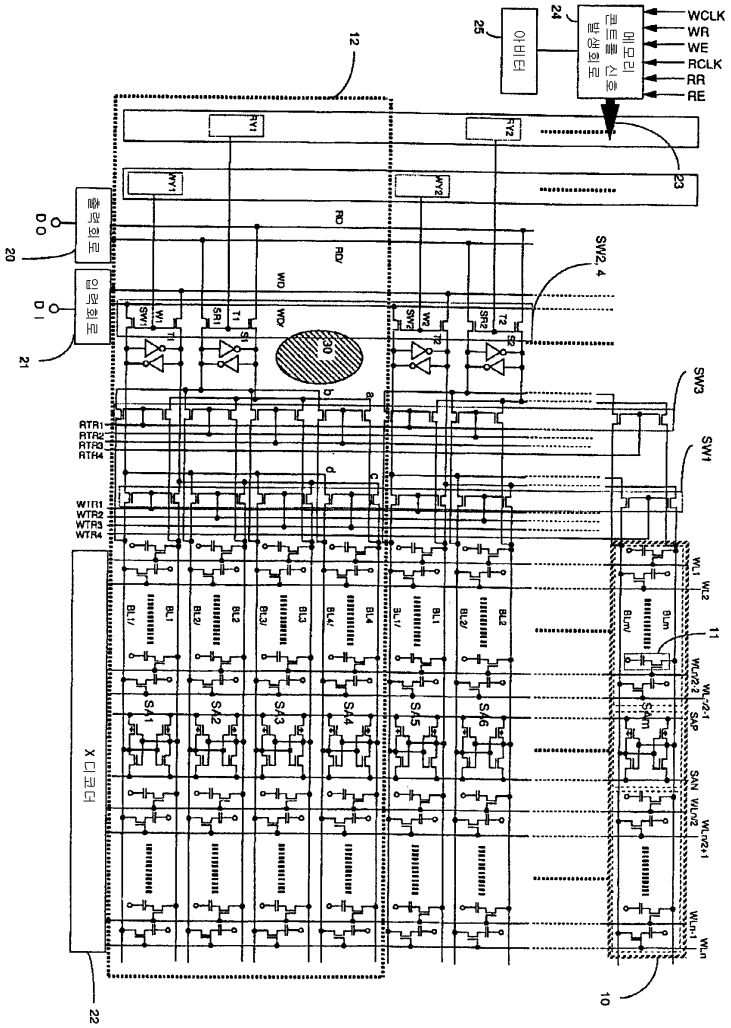
도면5


RR
RCLK
C0
C1
C2
C3
Cn-3
Cn-2
Cn-1
Cn
SY0
SY1
SY2
SY3
SY4
SYn-2
SYn-1
SYn
RAY0
RAY0/
RAY1
RAY1/
RAY2
RAY2/
RAY3
RAY3/
RYAD
RAYn-3
RAYn-3/
RAYn-2
RAYn-2/
RAYn-1
RAYn-1/
RAYn
RAYn/
i1
i0
o1
o0
RRS/
RTR
RTR1a
RTR2a
RTR3a
RTR4a
RTR1b
RTR2b
RTR3b
RTR4b
초기 전송 클럭을 회로
RR
50
51
53

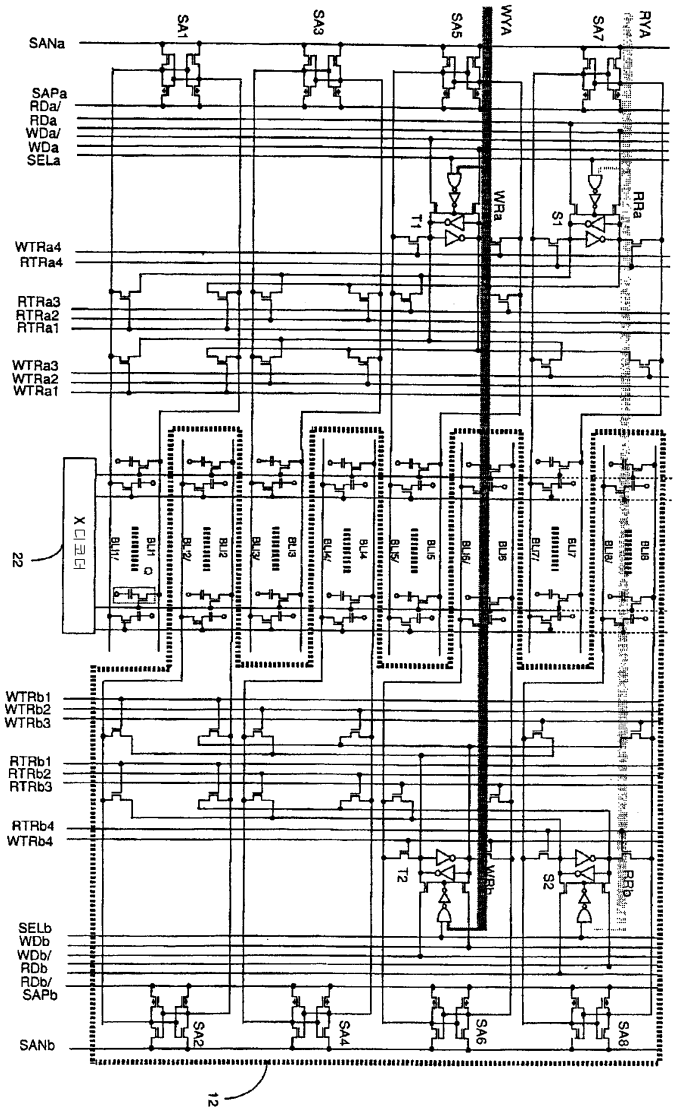
도면6


RCLK
RE
RR
RRS/
RAY0
RAY1
RAY2
RAYn-2
RAYn-1
RAYn
RTR
RTR1a
RTR2a
RTR3a
RTR4a
RTR1b
RTR2b
RTR3b
RTR4b
t0
t1
t2
t3
t4
t5

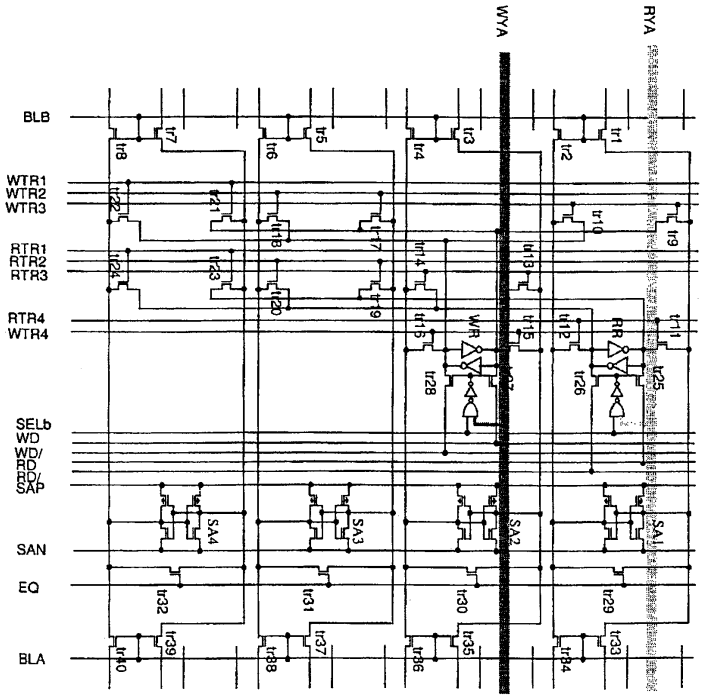
도면7


WCLK
WR
WE
RCLK
RR
RE
메모리 컨트롤 신호 회로
아비터
출력회로
입력회로
X 디코더
SW1
SW2, 4
SW3
SAP
SAN

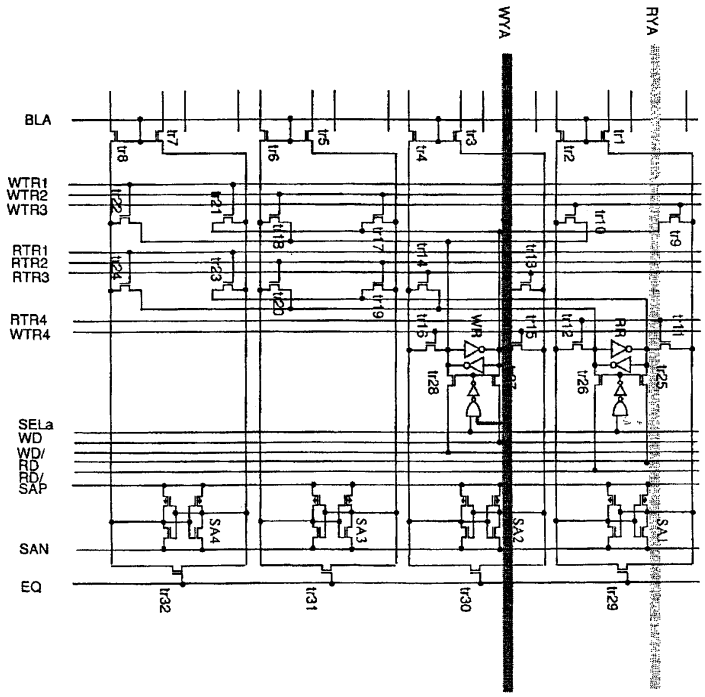
도면8


SANa
SAPa
RDa/
RDa
WDa/
WDa
SELa
WTRa4
RTRa4
RTRa3
RTRa2
RTRa1
WTRa3
WTRa2
WTRa1
22
X 디코더
WTRb1
WTRb2
WTRb3
RTRb1
RTRb2
RTRb3
RTRb4
WTRb4
SELb
WDb
WDb/
RDb
RDb/
SAPb
SANb
12
SA1
SA3
SA5
WYA
SA7
RYA
WRa
RRa
T1
S1
T2
S2
SA2
SA4
SA6
SA8

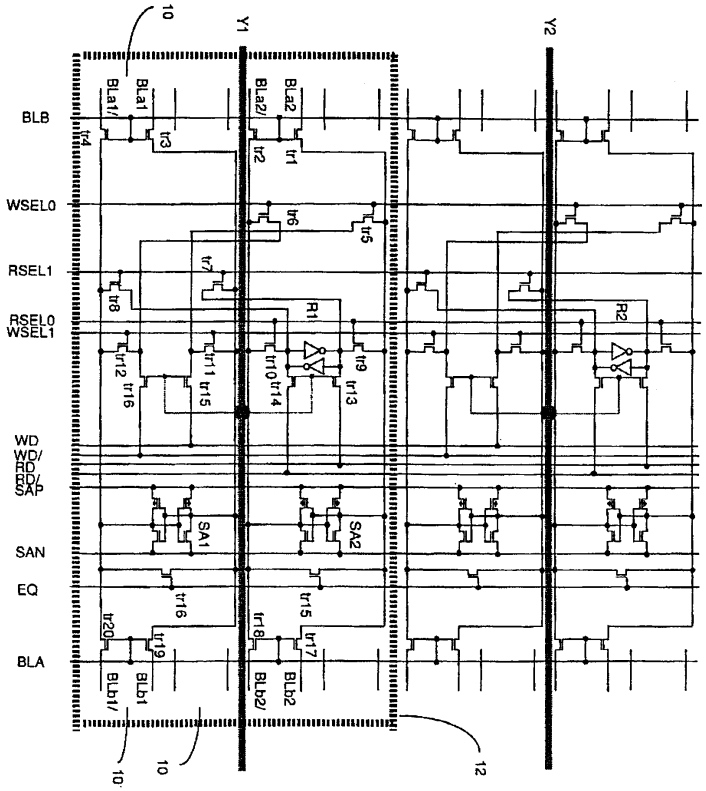
도면9


WYA
RYA
BLB
WTR1
WTR2
WTR3
RTR1
RTR2
RTR3
RTR4
WTR4
SELb
WD
WD/
RD
RD/
SAP
SAN
EQ
BLA
WR
RR
SA4
SA3
SA2
SA1

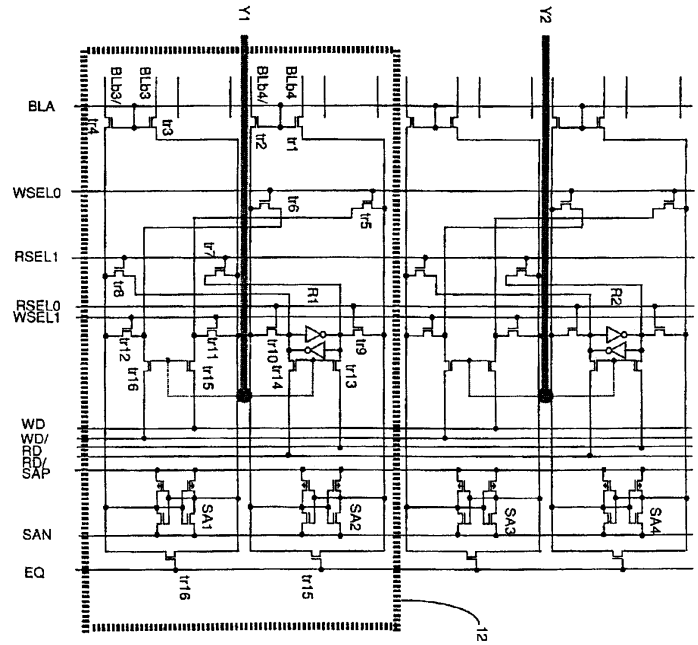
도면10


WYA
RYA
BLA
WTR1
WTR2
WTR3
RTR1
RTR2
RTR3
RTR4
WTR4
SELa
WD
WD/
RD
RD/
SAP
SAN
EQ
WR
RR
SA4
SA3
SA2
SA1

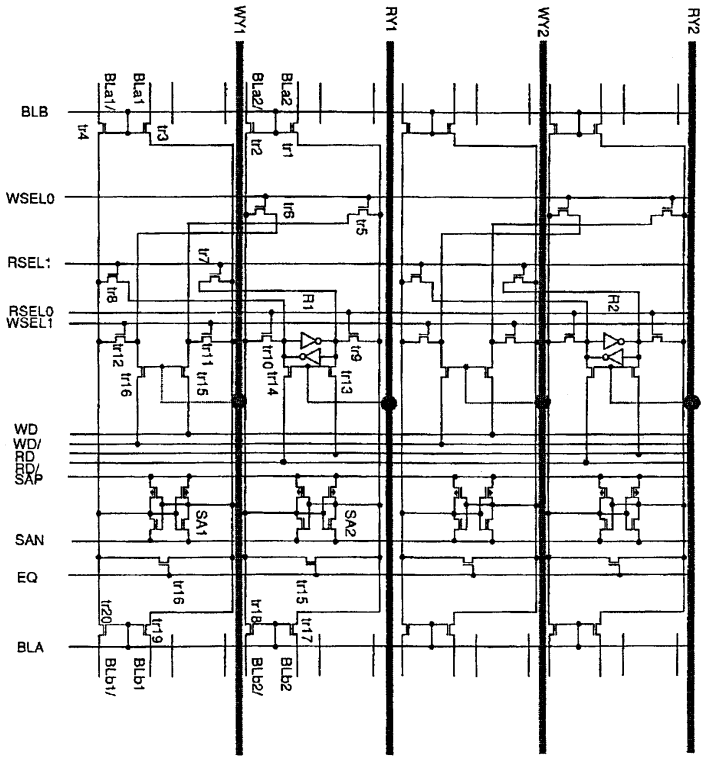
도면11


10
Y1
Y2
BLB
WSEL0
RSEL1
RSEL0
WSEL1
WD
WD/
RD
RD/
SAP
SAN
EQ
BLA
BLa1/
BLa1
BLa2/
BLa2
BLb1/
BLb1
BLb2/
BLb2
tr1
tr2
tr3
tr4
tr5
tr6
tr7
tr8
tr9
tr10
tr11
tr12
tr13
tr14
tr15
tr16
tr17
tr18
tr19
tr20
R1
R2
SA1
SA2
10'
12

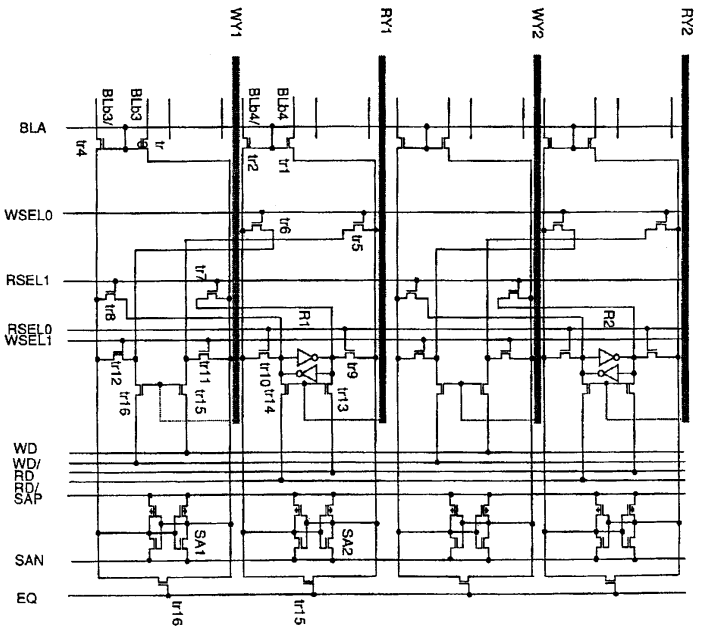
도면12


Y1
Y2
BLA
WSEL0
RSEL1
RSEL0
WSEL1
WD
WD/
RD
RD/
SAP
SAN
EQ
BLb3/
BLb3
BLb4/
BLb4
tr1
tr2
tr3
tr4
tr5
tr6
tr7
tr8
tr9
tr10
tr11
tr12
tr13
tr14
tr15
tr16
R1
R2
SA1
SA2
SA3
SA4
12

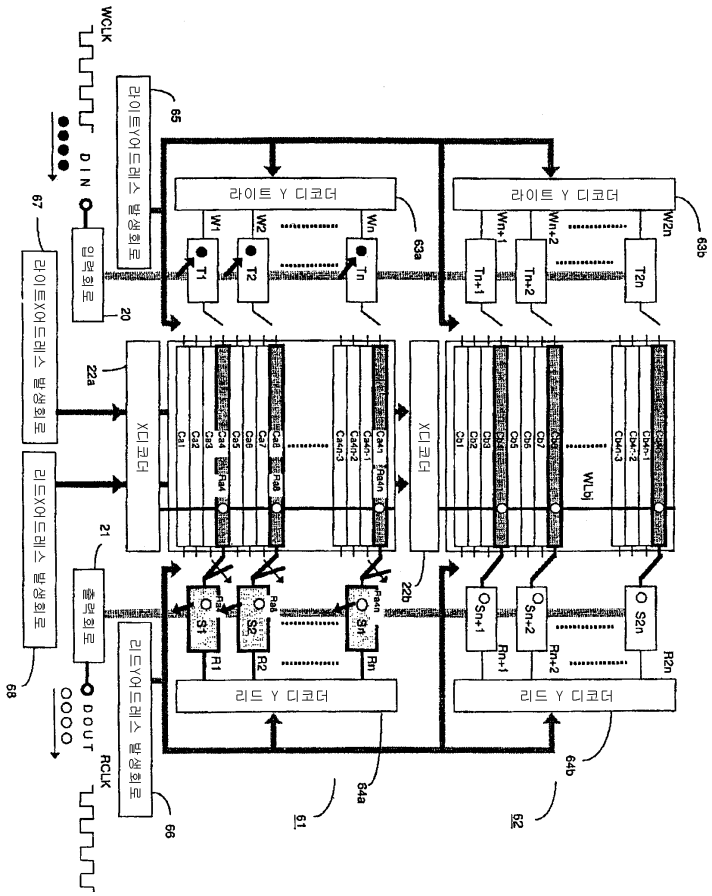
도면13


WY1
RY1
WY2
RY2
BLB
WSEL0
RSEL1
RSEL0
WSEL1
WD
WD/
RD
RD/
SAP
SAN
EQ
BLA
BLa1/
BLa1
BLa2/
BLa2
BLb1/
BLb1
BLb2/
BLb2
tr1
tr2
tr3
tr4
tr5
tr6
tr7
tr8
tr9
tr10
tr11
tr12
tr13
tr14
tr15
tr16
tr17
tr18
tr19
tr20
R1
R2
SA1
SA2

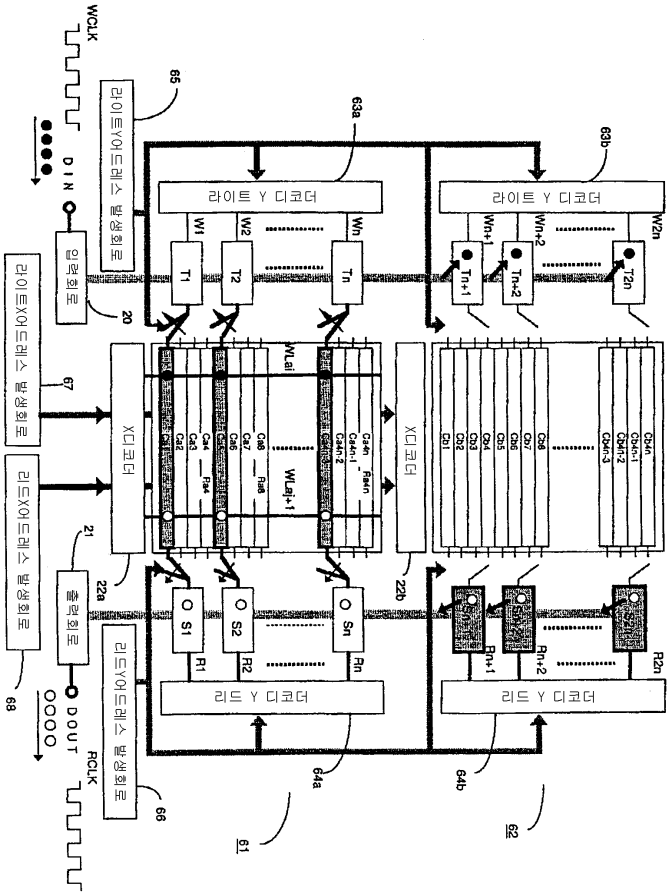
도면14


WY1
RY1
WY2
RY2
BLA
WSEL0
RSEL1
RSEL0
WSEL1
WD
WD/
RD
RD/
SAP
SAN
EQ
BLb3/
BLb3
BLb4/
BLb4
tr1
tr2
tr4
tr5
tr6
tr7
tr8
tr9
tr10
tr11
tr12
tr13
tr14
tr15
tr16
R1
R2
SA1
SA2

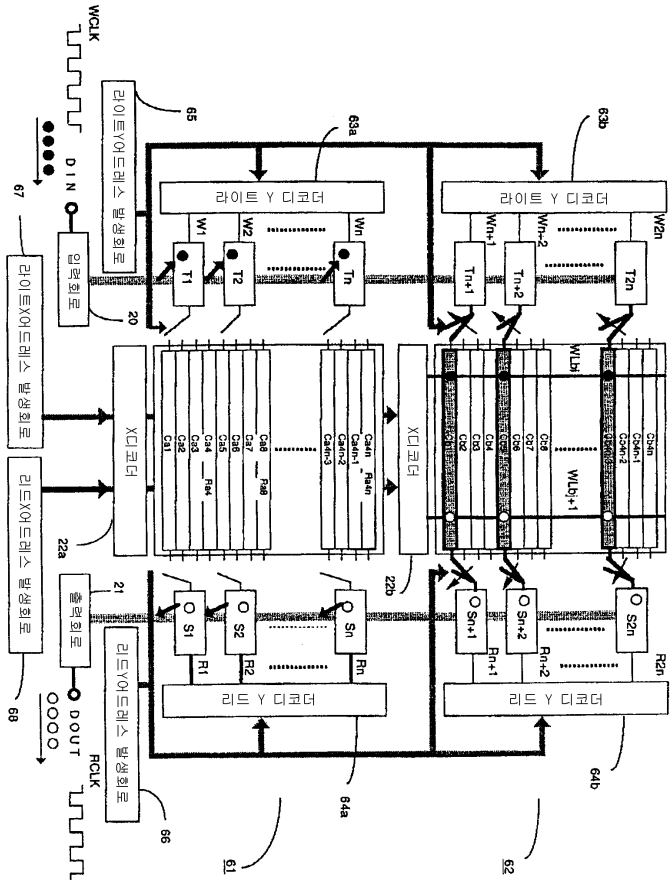
도면15


WCLK
DIN
라이트Y어드레스 발생회로
65
라이트 Y 디코더
63a
63b
W1
W2
Wn
Wn+1
Wn+2
W2n
T1
T2
Tn
Tn+1
Tn+2
T2n
입력회로
20
67
라이트X어드레스 발생회로
22a
X디코더
22b
Ca1
Ca2
Ca3
Ca4
Ca5
Ca6
Ca7
Ca8
Can
Ca(n+1)
Ca(n+2)
Ca(n+3)
Cb1
Cb2
Cb3
Cb4
Cb5
Cb6
Cb(m-3)
Cb(m-2)
Cb(m-1)
Cbm
W(Lb)
21
출력회로
리드X어드레스 발생회로
68
DOUT
RCLK
리드Y어드레스 발생회로
66
S1
S2
Sn
Sn+1
Sn+2
S2n
R1
R2
Rn
Rn+1
Rn+2
R2n
리드 Y 디코더
64a
64b
61
62

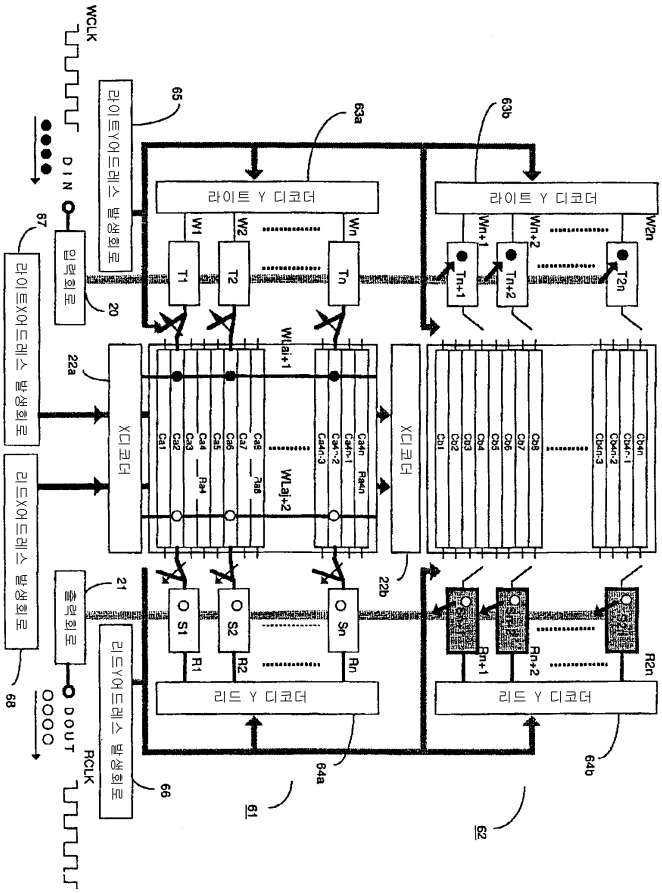
도면16


WCLK
DIN
라이트Y어드레스 발생회로
65
63a
63b
라이트 Y 디코더
라이트 Y 디코더
W1
W2
Wn
Wn+1
Wn+2
W2n
T1
T2
Tn
Tn+1
Tn+2
T2n
입력회로
20
라이트X어드레스 발생회로
67
X디코더
X디코더
WLai
WLai+1
Ca1
Ca2
Ca3
Ca4
Ca5
Ca6
Ca7
Ca8
Ca4n
Ca4n-1
Ca4n-2
Ca4n-3
Ra4
Ra8
Ra4n
Cb1
Cb2
Cb3
Cb4
Cb5
Cb6
Cb7
Cb8
Cb4n
Cb4n-1
Cb4n-2
Cb4n-3
리드X어드레스 발생회로
21
22a
22b
출력회로
S1
S2
Sn
Sn+1
Sn+2
S2n
R1
R2
Rn
Rn+1
Rn+2
R2n
리드 Y 디코더
리드 Y 디코더
리드Y어드레스 발생회로
68
DOUT
RCLK
66
64a
64b
61
62

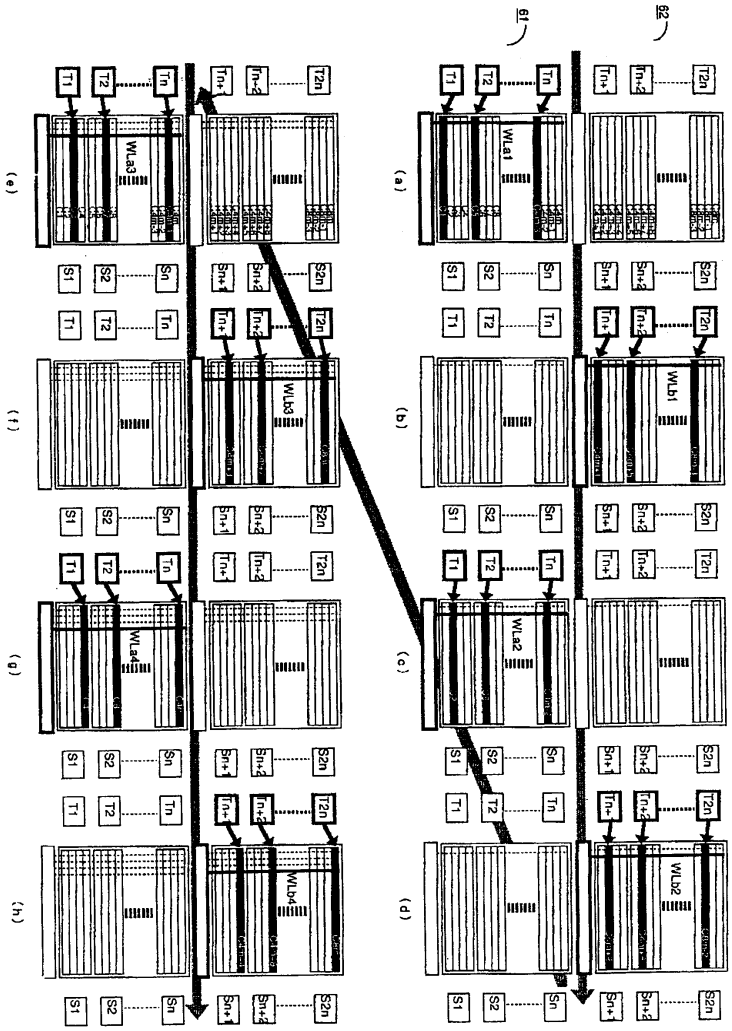
도면17


WCLK
DIN
라이트Y어드레스 발생회로
65
63a
63b
라이트 Y 디코더
라이트 Y 디코더
W1
W2
Wn
Wn+1
Wn+2
W2n
T1
T2
Tn
Tn+1
Tn+2
T2n
67
입력회로
20
라이트X어드레스 발생회로
X디코더
X디코더
WLbj
WLbj+1
22a
22b
리드X어드레스 발생회로
21
출력회로
S1
S2
Sn
Sn+1
Sn+2
S2n
R1
R2
Rn
Rn+1
Rn+2
R2n
리드 Y 디코더
리드 Y 디코더
68
DOUT
RCLK
66
64a
64b
61
62

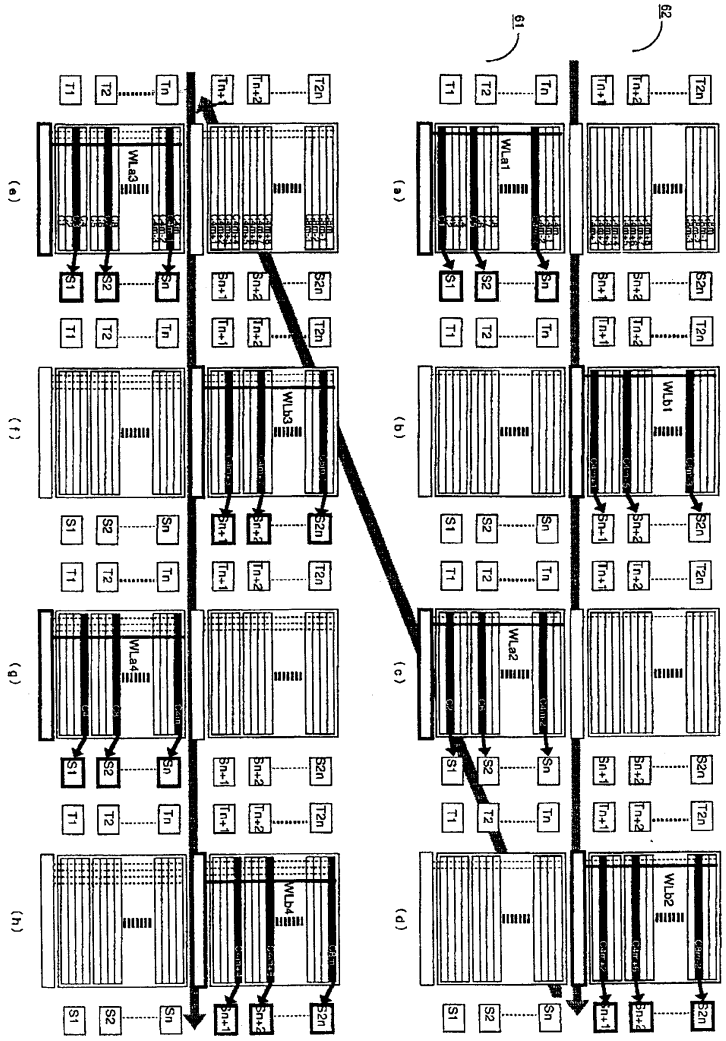
도면18


WCLK
DIN
라이트Y어드레스 발생회로
65
63a
63b
라이트 Y 디코더
라이트 Y 디코더
W1
W2
Wn
Wn+1
Wn+2
W2n
T1
T2
Tn
Tn+1
Tn+2
T2n
입력회로
20
67
라이트X어드레스 발생회로
22a
X디코더
WLaj+1
WLaj+2
Ca1
Ca2
Ca3
Ca4
Ca5
Ca6
Ca7
Ca8
Ra4
Ra8
Ca4n+1
Ca4n+2
Ca4n+3
Ra4n
Ch1
Ch2
Ch3
Ch4
Ch5
Ch6
Ch7
Ch8
Ch4n+1
Ch4n+2
Ch4n+3
X디코더
22b
리드X어드레스 발생회로
68
21
출력회로
DOUT
RCLK
O S1
O S2
O Sn
R1
R2
Rn
Rn+1
Rn+2
R2n
리드 Y 디코더
리드 Y 디코더
리드Y어드레스 발생회로
66
64a
64b
61
62

도면19


81
82
(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
WLa1
WLb1
WLa2
WLb2
WLa3
WLb3
WLa4
WLb4
T1
T2
Tn
Tn+1
Tn+2
T2n
S1
S2
Sn
Sn+1
Sn+2
S2n

도면20


G1
G2
(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
WLa1
WLb1
WLa2
WLb2
WLa3
WLb3
WLa4
WLb4
T1
T2
Tn
Tn+1
Tn+2
T2n
S1
S2
Sn
Sn+1
Sn+2
S2n