

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5377633号
(P5377633)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int. Cl.

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 1 5 0

請求項の数 15 (全 31 頁)

(21) 出願番号	特願2011-516738 (P2011-516738)	(73) 特許権者	507318624
(86) (22) 出願日	平成21年6月26日 (2009.6.26)		サンディスク スリーディー, エルエルシー
(65) 公表番号	特表2011-526402 (P2011-526402A)		ー
(43) 公表日	平成23年10月6日 (2011.10.6)		アメリカ合衆国、95035、カリフォル
(86) 国際出願番号	PCT/US2009/048955		ニア州、ミルピタス、マッカーシー ブルバ
(87) 国際公開番号	W02009/158676		ード 601
(87) 国際公開日	平成21年12月30日 (2009.12.30)	(74) 代理人	110000110
審査請求日	平成24年1月17日 (2012.1.17)		特許業務法人快友国際特許事務所
(31) 優先権主張番号	61/076,553	(72) 発明者	シェウアーライン ロイ イー,
(32) 優先日	平成20年6月27日 (2008.6.27)		アメリカ合衆国 95035、カリフォル
(33) 優先権主張国	米国 (US)		ニア州、ミルピタス、マッカーシー ブー
(31) 優先権主張番号	12/339,338		ルバード 601
(32) 優先日	平成20年12月19日 (2008.12.19)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 不揮発性記憶を書込むための容量性放電方法

(57) 【特許請求の範囲】

【請求項 1】

不揮発性記憶システムであって、
 可逆的抵抗スイッチング材料を含む不揮発性記憶素子と、
 前記不揮発性記憶素子に接続されている制御線と、
 前記制御線に接続されている充電回路と、を備えており、
 前記充電回路は、前記可逆的抵抗スイッチング材料に加わるプログラム電圧を生成する
 ように、第1期間において前記制御線に電荷を供給し、ここで、前記第1期間は、前記可
 逆的抵抗スイッチング材料を第1抵抗状態から第2抵抗状態に変化させるのに不十分であ
 り、

10

前記充電回路は、前記第1期間後に前記制御線に電荷を供給することを停止し、それによ
 り、前記不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるために、前記
 制御線は前記不揮発性記憶素子を介して電荷を消散させる不揮発性記憶システム。

【請求項 2】

前記不揮発性記憶素子は、可逆的抵抗スイッチング材料を含んでいるとともに、モノリ
 シックな3次元メモリアレイの一部である請求項1に記載の不揮発性記憶システム。

【請求項 3】

前記充電回路は、

事前充電回路と、

前記事前充電回路と通信するとともに、前記事前充電回路によって前記第1期間にお

20

いて受電されるデータ線と、

前記第 1 期間において前記データ線を前記制御線に選択的に接続させる選択回路と、
を有している請求項 1 又は 2 に記載の不揮発性記憶システム。

【請求項 4】

前記事前充電回路は、電圧と前記データ線に接続されるスイッチを含んでおり、

前記スイッチは、パルスを受信し、そのパルスに応答して前記電圧を前記データ線に接続しており、

前記パルス後に、前記データ線はフローティングになるとともに前記選択回路を介して前記制御線に接続され、それにより、前記制御線がフローティングとなり前記不揮発性記憶素子を介して電荷を消散させる請求項 3 に記載の不揮発性記憶システム。

10

【請求項 5】

前記充電回路は、

第 1 ノードを有するとともに、その第 1 ノードを充電する事前充電回路と、

データ線と、

前記事前充電回路と前記データ線に接続されているとともに、第 1 信号に応答して前記第 1 ノードを前記データ線に接続させ、それにより、前記第 1 ノードの電荷が前記データ線と共有されるスイッチと、

前記第 1 期間において前記データ線を前記制御線に選択的に接続させる選択回路と、
を有している請求項 1 又は 2 に記載の不揮発性記憶システム。

20

【請求項 6】

充電回路は、

事前充電回路と、

前記事前充電回路と通信するとともに、その事前充電回路によって充電されるデータ線と、

前記第 1 期間において前記データ線を前記制御線に選択的に接続させるとともに、前記第 1 期間の終了時に前記データ線を前記制御線から非接続とし、それにより、前記第 1 期間後に前記制御線がフローティングとなる選択回路と、を有している請求項 1 又は 2 に記載の不揮発性記憶システム。

【請求項 7】

前記データ線に接続されている検出回路をさらに備えており、

30

前記検出回路は、前記データ線の特定の電圧変化を検出しており、その特定の電圧変化に応答して前記不揮発性記憶素子が前記第 1 抵抗状態から前記第 2 抵抗状態に変化したことを報告する請求項 3 ~ 6 のいずれか一項に記載の不揮発性記憶システム。

【請求項 8】

不揮発性記憶の書込み方法であって、

可逆的抵抗スイッチング不揮発性記憶素子の可逆的抵抗スイッチング材料に加わるプログラム電圧を生成するように、第 1 期間において前記可逆的抵抗スイッチング不揮発性記憶素子に接続されている制御線に電荷を供給する工程と、ここで、第 1 期間は、前記可逆的抵抗スイッチング材料を第 1 所定抵抗状態から第 2 所定抵抗状態に変化させるのに不十分であり、

40

前記可逆的抵抗スイッチング不揮発性記憶素子を前記第 1 所定抵抗状態から前記第 2 所定抵抗状態に変化させるために、前記第 1 期間後に、供給された電荷が前記可逆的抵抗スイッチング不揮発性記憶素子を介して放電することを前記制御線に許容させる工程と、を備える方法。

【請求項 9】

前記電荷を供給する工程は、第 1 ノードを充電することと、スイッチを閉じて前記第 1 ノードをデータ線に接続させることにより前記第 1 ノードに前記データ線と電荷を共有させることと、前記第 1 期間において前記データ線を前記制御線に接続させることと、を有しており、

前記制御線に放電を許容させる工程は、前記第 1 ノードを前記データ線から非接続とし

50

、前記データ線と前記制御線をフローティングにさせることを有している請求項 8 に記載の方法。

【請求項 10】

前記第 1 ノードを充電することは、第 1 トランジスタのゲートに第 1 パルスを印加することにより、前記第 1 トランジスタによって前記第 1 パルス中に前記第 1 ノードに電圧を送ることを有しており、

前記スイッチを閉じて前記第 1 ノードを前記データ線に接続させることは、前記第 1 ノードと前記データ線に接続されている第 2 トランジスタのゲートに第 2 パルスを印加することにより、前記第 2 トランジスタによって前記第 1 ノードから前記データ線に電荷を送ることを有している請求項 9 に記載の方法。

10

【請求項 11】

前記電荷を供給する工程は、データ線を前記制御線に接続させることと、前記データ線に電圧を印加することを有しており、

前記制御線に放電を許容させる工程は、前記データ線への電圧印加を終了させて前記データ線と前記制御線をフローティングさせることを有している請求項 8 に記載の方法。

【請求項 12】

前記データ線に電圧を印加することは、トランジスタのゲートにパルスを印加することにより、前記トランジスタによって前記パルス中に前記データ線に電圧を送ることを含んでおり、

前記電圧印加を終了させることは、前記トランジスタのゲートへの前記パルスの終了を含む請求項 11 に記載の方法。

20

【請求項 13】

前記電荷を供給する工程は、データ線を充電することと、前記データ線を前記制御線に接続させることを有しており、

前記制御線に放電を許容させる工程は、前記データ線を前記制御線から非接続とすることを有する請求項 8 に記載の方法。

【請求項 14】

前記制御線の放電を検出する工程と、

前記不揮発性記憶素子の制御回路に報告する工程と、をさらに備える請求項 8 ~ 13 のいずれか一項に記載の方法。

30

【請求項 15】

前記第 1 所定抵抗状態は高抵抗状態であり、

前記第 2 所定抵抗状態は低抵抗状態である請求項 8 ~ 14 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2008年6月27日に出願された仮米国出願 61/076,553 の優先権を主張する。

【0002】

本発明は、データ記憶の技術に関する。

40

【背景技術】

【0003】

様々な材料が可逆的抵抗スイッチングの挙動を示す。これら材料には、カルコゲニド、炭素ポリマー、ペロブスカイト、及びある種の酸化及び窒化金属が含まれる。特に、1つの金属のみを含むとともに確かな抵抗スイッチングの挙動を示す酸化及び窒化金属が存在する。例えば、これらグループには、Pagnia及びSotnickによる「Bistable Switching in Electroformed Metal-Insulator-Metal Device」と題するPhys. Stat. Sol. (A) 108, 11-65 (1988)に掲載された文献に記載されるNiO, Nb₂O₅, TiO₂, HfO₂, Al₂O₃, MgO_x, CrO₂, VO, BN及びAlNが含まれている。例えば、これ

50

ら材料の1つの層は、初期段階において比較的に低い抵抗状態である。十分な電圧が印加されると、その材料は安定した高い抵抗状態に移行する。この抵抗スイッチングは、次に適切な電流又は電圧を印加して抵抗スイッチング材料を安定した低い抵抗状態にさせることができ、可逆的である。この変換は何回も繰返すことができる。ある材料では、初期状態が低い抵抗ではなく高い抵抗である。

【0004】

これら可逆的抵抗スイッチング材料は、不揮発性メモリアレイへの使用の候補である。例えば、1つの抵抗状態がデータ「0」に対応し、他の抵抗状態がデータ「1」に対応してもよい。これら材料の中には、2以上の安定した抵抗状態を持ち得るものもある。

【0005】

可逆的抵抗スイッチング素子を用いて形成された不揮発性メモリが知られている。例えば、その全体が本願明細書において参照により援用されている2005年5月9日出願された「REWRITEABLE MEMORY CELL COMPRIDING A DIODE AND A RESISTANCE-SWITCHING MATERIAL」と題する米国特許出願公開第2006/0250836号には、酸化金属又は窒化金属のような可逆的抵抗スイッチング材料に対して直列に接続されたダイオードを含む書換え可能な不揮発性メモリが開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、可逆的抵抗スイッチング材料を採用したメモリデバイスの動作は難しい。

【課題を解決するための手段】

【0007】

可逆的抵抗スイッチング素子を利用する記憶システムが開示される。可逆的抵抗スイッチング素子の抵抗のセット及びリセットを制御するために、様々な回路及び方法が開示される。

【0008】

1つの実施形態は、基板と、基板上の制御回路と、可逆的抵抗スイッチング素子を用いた複数のメモリセルを含む（基板上方の）3次元メモリアレイと、可逆的抵抗スイッチング素子のセット電流を制限する回路と、を備えている。セット電流を制限する回路は、1つ以上のビット線にメモリセルをセットするには不十分な電荷を供給するとともに、次に、メモリセルをセットするためにメモリセルを介してビット線を放電する。

【0009】

1つの実施形態は、可逆的抵抗スイッチング不揮発性記憶素子を第1所定抵抗状態から第2所定抵抗状態に変化させるのに不十分な第1期間において、可逆的抵抗スイッチング不揮発性記憶素子に接続されている制御線に電荷を供給する工程と、可逆的抵抗スイッチング不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるために、第1期間後に、供給された電荷が可逆的抵抗スイッチング不揮発性記憶素子を介して放電することを制御線に許容させる工程と、を含む。

【0010】

1つの実施形態は、不揮発性記憶素子と、不揮発性記憶素子に接続されている制御線と、制御線に接続されている充電回路と、を含む。充電回路は、不揮発性記憶素子を第1データ状態から第2データ状態に変化させるのに不十分な第1期間において制御線に電荷を供給する。充電回路は、第1期間後に制御線に電荷を供給することを停止し、それにより、不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるために制御線は不揮発性記憶素子を介して電荷を消散させる。

【0011】

1つの実施形態は、可逆的抵抗スイッチング不揮発性記憶素子と、不揮発性記憶素子に接続されている制御線と、第1制御線に接続されている選択回路と、選択回路に接続されているデータ線と、前記データ線と通信する事前充電回路と、を含む。選択回路は、デー

10

20

30

40

50

タ線を第1制御線に選択的に接続させる。事前充電回路は、データ線が第1制御線に接続されているときに、可逆的抵抗スイッチング不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるのに不十分な第1期間においてデータ線に電荷を供給する。事前充電回路は、第1期間後にデータ線に電荷を供給することを停止し、それにより、可逆的抵抗スイッチング不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるために第1制御線は可逆的抵抗スイッチング不揮発性記憶素子を介して電荷を消散させる。

【0012】

1つの実施形態は、可逆的抵抗スイッチング不揮発性記憶素子と、不揮発性記憶素子に接続されている制御線と、制御線に接続されている選択回路と、選択回路に接続されているデータ線と、データ線と通信する事前充電回路と、を含む。選択回路は、可逆的抵抗スイッチング不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるのに不十分な第1期間において、データ線を制御線に選択的に接続させてデータ線の電荷を制御線と供給させる。選択回路は、第1期間後に制御線をデータ線からカットし、それにより、可逆的抵抗スイッチング不揮発性記憶素子を第1抵抗状態から第2抵抗状態に変化させるために制御線は可逆的抵抗スイッチング不揮発性記憶素子を介して電荷を消散させる。

10

【図面の簡単な説明】

【0013】

【図1】可逆的抵抗スイッチング素子を用いたメモリセルに関する1つの実施形態の概略斜視図を示す。

【図2】図1のメモリセルの複数個で形成される第1メモリレベルの一部の概略斜視図を示す。

20

【図3】3次元メモリアレイの一部の概略斜視図を示す。

【図4】3次元メモリアレイの一部の概略斜視図を示す。

【図5】可逆的抵抗スイッチング素子を用いたメモリセルに関する他の実施形態の概略斜視図を示す。

【図6】メモリシステムに関する1つの実施形態のブロック図を示す。

【図7】可逆的抵抗スイッチング素子のI-V特性を示すグラフを示す。

【図7A】メモリセルの状態を読むことができる回路を示す。

【図8】対数表示されたダイオードのI-V特性を示すグラフを示す。

【図9】可逆的抵抗スイッチング素子とダイオードのI-V特性を示すグラフを示す。

30

【図10】メモリセルをセット可能な回路の回路図を示す。

【図11】図10の回路を操作するプロセスに関する1つの実施形態を記述するフローチャートを示す。

【図12】メモリセルをセット可能な回路の回路図を示す。

【図13】メモリセルをセット可能な回路の回路図を示す。

【図14】図13の回路を操作するプロセスに関する1つの実施形態を記述するフローチャートを示す。

【図15】メモリセルをセットするためのセット電圧の印加を繰返すためのプロセスに関する1つの実施形態を記述するフローチャートを示す。

【図16】メモリセルをセット可能な回路の回路図を示す。

40

【図17】図16の回路を操作するためのプロセスに関する1つの実施形態を記述するタイミング図を示す。

【図18】メモリセルをセット可能な回路の回路図を示す。

【図18A】図18の回路を操作するプロセスに関する1つの実施形態を記述するフローチャートを示す。

【図19】メモリセルをリセット可能な回路の回路図を示す。

【図20】図19の回路を操作するプロセスに関する1つの実施形態を記述するフローチャートを示す。

【図21】メモリセルをリセット可能な回路の回路図を示す。

【図21A】図21の回路を操作するプロセスに関する1つの実施形態を記述するフロー

50

チャートを示す。

【図 2 2】可逆的抵抗スイッチング素子をセットするために可逆的抵抗スイッチング素子に印加される電圧パルスを示す。

【図 2 2 A】メモリセルをセット可能な回路の回路図を示す。

【図 2 3】セット及びリセット操作を検出可能な回路の回路図を示す。

【図 2 4 A】図 2 3 の回路を操作するプロセスに関する 1 つの実施形態を記述するフローチャートを示す。

【図 2 4 B】図 2 3 の回路を操作するプロセスに関する 1 つの実施形態を記述するフローチャートを示す。

【発明を実施するための形態】

10

【0014】

可逆的抵抗性スイッチング素子を用いたメモリセルを有するメモリシステムが提供される。可逆的抵抗スイッチング素子の抵抗のセット及びリセットを制御するために、様々な回路及び方法が開示される。

【0015】

(メモリセル及びメモリシステム)

図 1 は、メモリセル 200 に関する 1 つの実施形態の概略斜視図を示す。メモリセル 200 は、第 1 導電体 206 と第 2 導電体 208 の間においてステアリング素子 204 に直列に接続される可逆的抵抗スイッチング素子 202 を備える。

【0016】

20

可逆的抵抗スイッチング素子 202 は、2 以上の状態を可逆的にスイッチングすることが可能な抵抗率を有する可逆的抵抗性スイッチング材料 230 を備える。例えば、可逆的抵抗性スイッチング材料は、製造時には初期低抵抗率状態であってもよく、この状態は、第 1 の電圧および/または電流を印加すると高抵抗率状態にスイッチング可能である。第 2 の電圧および/または電流を印加すると、可逆的抵抗率スイッチング材料は低抵抗率状態に戻ってもよい。あるいは、可逆的抵抗スイッチング素子は、製造時には初期高抵抗率状態であってもよく、この状態は、(単数または複数の)適切な電圧および/または(単数または複数の)電流を印加すると低抵抗率状態に可逆的にスイッチング可能である。メモリセルに使用される場合、1 つの抵抗状態は、2 進の「0」を表し、別の抵抗状態は 2 進の「1」を表してもよい。しかしながら、2 以上のデータ/抵抗状態が使用されてもよい。例えば、前に援用されている米国特許出願公開第 2006/0250836 号には、多くの可逆的抵抗率スイッチング材料および可逆的抵抗スイッチング素子を採用したメモリセルの動作が記載されている

30

【0017】

1 つの実施形態では、高抵抗率状態から低抵抗率状態に抵抗をスイッチングするプロセスは、可逆的抵抗スイッチング素子 202 を「セットする」と称される。低抵抗率状態から高抵抗率状態に抵抗をスイッチングするプロセスは、可逆的抵抗スイッチング素子 202 を「リセットする」と称される。高抵抗率状態は 2 進のデータ「0」に関連しており、低抵抗率状態は 2 進のデータ「1」に関連している。他の実施形態では、「セットする」と「リセットする」及び/又はデータの符号化は、逆であってもよい。

40

【0018】

ある実施形態では、可逆的抵抗スイッチング材料 230 は、酸化金属から形成されてもよい。様々な他の酸化金属を用いることもできる。1 つの例では、酸化ニッケルが用いられる。

【0019】

少なくとも 1 つの実施形態では、選択的蒸着方法の利用において、酸化ニッケル層がエッチングされることなく、酸化ニッケル層が可逆的抵抗スイッチング材料に用いられる。例えば、可逆的抵抗スイッチング素子は、電気めっき、無電解析出等の蒸着プロセスを採用して形成されてもよい。これにより、基板上に形成される導電体表面に対して選択的にニッケル含有層を蒸着させる。この方法により、(ニッケル含有層の蒸着に先立って)基

50

板上の導電体表面のみがパターニング及び／又はエッチングされればよく、ニッケル含有層はパターニング及び／又はエッチングされる必要がない。

【0020】

少なくとも1つの実施形態では、可逆的抵抗スイッチング材料230は、ニッケルを選択的に付着させ、次いでニッケル層を酸化することによって形成される酸化ニッケル層の少なくとも一部を含む。例えば、 Ni 、 Ni_xP_y 又はニッケルの別の類似の形態が、無電解析出、電気メッキまたは類似の選択プロセスを使用して選択的に蒸着され、次いで（例えば、急速熱酸化または他の酸化プロセスを使用して）酸化されて酸化ニッケルを形成してもよい。他の実施形態では、酸化ニッケル自体が選択的に蒸着されてもよい。例えば、 NiO 、 NiO_x 又は Ni_xP_y 含有層が、選択付着プロセスを使用してステアリング素子204の上に選択的に蒸着され、次いで（必要に応じて）アニールおよび／または酸化されてもよい。

10

【0021】

メモリセルに使用するための可逆的抵抗性スイッチング材料を形成する本発明に従って、必要に応じて、他の材料が選択的に蒸着され、次いでアニールおよび／または酸化されてもよい。例えば、 Nb 、 Ta 、 V 、 Al 、 Ti 、 Co 、コバルト-ニッケル合金などの材料が電気メッキ等によって選択的に蒸着され、次に酸化されて、可逆的抵抗スイッチング材料が形成されてもよい。

【0022】

可逆的抵抗スイッチング材料を用いたメモリセルの製造に関する更なる情報は、その全体が本願明細書において参照により援用されている2007年6月29日に出願された「MEMORY CELL THAT EMPLOYS A SELECTIVELY DEPOSITED REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND METHODS OF FORMING THE SAME」と題する米国特許出願第11/772,084号に見ることができる。

20

【0023】

可逆的抵抗スイッチング素子202は、電極232、234を有する。電極232は、酸化金属可逆的抵抗性スイッチング材料230と導体208の間に位置している。1つの実施形態では、電極232はプラチナを用いて形成されている。電極234は、酸化金属可逆的抵抗性スイッチング材料230とダイオード204の間に位置している。1つの実施形態では、電極234は窒化チタンを用いて形成されており、バリア層として機能する。

30

【0024】

ステアリング素子204は、ダイオードであってもよく、あるいは、可逆的抵抗スイッチング素子202に印加される電圧及び／又は電流を選択的に制限することによって非オーミック接触を示す適切な他のステアリング素子であってもよい。このような態様において、メモリセル200は、2次元又は3次元のメモリアレイの一部として利用してもよい。さらに、データは、アレイ内の他のメモリセルの状態に影響を及ぼすことなくメモリセル200に書き込んだりメモリセル200から読み出されたりしてもよい。ダイオード204は、ダイオードのp領域の上にn領域を有して上を向くか、ダイオードのn領域の上にp領域を有して下を向くかによらず、縦型の多結晶p-nまたはp-i-nダイオードなどの何らかの適切なダイオードを含んでもよい。

40

【0025】

ある実施形態では、ダイオード204は、ポリシリコン、多結晶シリコン-ゲルマニウム合金、ポリゲルマニウム、又は他の何らかの適切な材料などの多結晶半導体材料から形成されてもよい。例えば、ダイオード204は、高濃度にドーピングされた n^+ ポリシリコン領域242と、 n^+ ポリシリコン領域242の上の低濃度にドーピングされた又は真性（自然にドーピングされた）ポリシリコン領域244と、真性領域244の上の高濃度にドーピングされた p^+ ポリシリコン領域246とを含んでもよい。ある実施形態では、例えば、あらゆる点でその全体が本願明細書において参照により援用されている、2005年12月9日に出願された「DEPOSITED SEMICONDUCTOR STRUCTURE TO MINIMIZE N-TYPE DOPANT DIFFUSIO

50

N AND METHOD OF MAKING」と題する米国特許公開第2006/0087005号で説明されるように、シリコン-ゲルマニウム合金層を使用する場合、約10%以上のゲルマニウムを有する薄い(例えば、数百オングストローム以下の)ゲルマニウムおよび/またはシリコン-ゲルマニウム合金層(図示せず)を n^+ ポリシリコン領域242上に形成し、 n^+ ポリシリコン領域242から真性領域244内へのドーパントの移動を防止および/または低減することもできる。当然ながら、 n^+ および p^+ 領域の位置は逆であってもよい。

【0026】

ダイオード204が、(例えば、非晶質または多結晶の)付着シリコンから形成される場合、ダイオード204上にシリサイド層を形成して、付着シリコンを製造時の低抵抗率状態に置いてよい。この低抵抗率状態によって、付着シリコンを低抵抗率状態に切り換えるのに高い電圧は必要ないため、メモリセルのプログラミングを容易にすることができる。

10

【0027】

その全体が本願明細書において参照により援用されている「Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide」と題する米国特許第7,176,064号に記載されるように、チタン及び/又はコバルトなどのシリサイド形成材料は、アニール中に付着シリコンと反応してシリサイド層を形成する。チタンシリサイド及びコバルトシリサイドの格子間隔は、シリコンの格子間隔に近く、このようなシリサイド層は、付着シリコンが結晶化する場合、隣接する付着シリコンの「結晶化テンプレート」または「シード」として働くこともできる(例えば、シリサイド層は、アニール中にシリコンダイオードの結晶構造を強化する)。これによって、低抵抗率シリコンが提供される。シリコン-ゲルマニウム合金及び/又はゲルマニウムダイオードについても、同様な結果を得ることもできる。

20

【0028】

導体206, 208は、タングステン、何らかの適切な金属、高濃度にドーブされた半導体材料、導電性シリサイド、導電性シリサイド-ゲルマニド、導電性ゲルマニドなどの何らかの適切な導電性材料を含んでもよい。図1の実施形態では、導体206, 208はレール状であり、(例えば、実質的に互いに直交する等の)異なる方向に伸びる。他の導体形状及び/又は構造が使用されてもよい。ある実施形態では、導体206、208とともに、バリア層、接着層、反射防止コーティングおよび/またはその類似物(図示せず)が使用され、デバイス性能を改善し、及び/又はデバイスの製造に役立てることもできる。

30

【0029】

図1では可逆的抵抗スイッチング素子202がステアリング素子204上に配置されているが、当然ながら、他の実施形態では可逆的抵抗スイッチング素子202がステアリング素子204の下に位置してもよい。

【0030】

図2は、図1のメモリセル200の複数個から形成される第1のメモリレベル214の一部の略斜視図である。簡単にするため、可逆的抵抗スイッチング素子202、ダイオード204及びバリア層213は、個別に示されない。メモリアレイ214は、(図に示されるように)複数のメモリセルが接続される複数のビット線(第2導体208)及びワード線(第1導体206)を含む「クロスポイント」アレイである。他のメモリアレイ構造が、マルチレベルのメモリとして使用されてもよい。

40

【0031】

図3は、第2のメモリレベル220の下に配置される第1のメモリレベル218を含むモノリシックな3次元アレイ216の一部の略斜視図である。図3の実施形態では、各メモリレベル218、220は、クロスポイントアレイ内に複数のメモリセル200を含む。当然ながら、第1のメモリレベル218と第2のメモリレベル220との間に、追加の層(例えば、中間誘電体)が存在してもよいが、簡単にするために図3では示されない。

50

他のメモリアレイ構造が、メモリの追加レベルとして使用されてもよい。図3の実施形態では、すべてのダイオードは、p型領域をダイオードの上部または下部のどちらに有するp-i-nダイオードが使用されるかによって、上向きまたは下向きなどの同じ方向に「向く」ことで、ダイオードの製造を簡略化することもできる。

【0032】

ある実施形態では、メモリレベルは、例えば、あらゆる点でその全体が本願明細書において参照により援用されている「High-density three-dimensional memory cell」と題する米国特許第6,952,030号で説明されるように形成されてもよい。例えば、図4に示されるように、第1のメモリレベルの上部導体は、第1のメモリレベルの上に位置する第2のメモリレベルの下部導体として用いられてもよい。この実施形態では、あらゆる点でその全体が本願明細書において参照により援用されている、2007年3月27日出願された「LARGE ARRAY OF UPWARD POINTING P-I-N DIODES HAVING LARGE AND UNIFORM CURRENT」と題する米国特許出願第11/692,151号で説明されるように、隣接するメモリレベル上のダイオードは、反対方向に向くのが好ましい。例えば、第1のメモリレベル218のダイオードは、（例えば、ダイオードの下部にp領域を有して）矢印A₁で示されるように上向きダイオードであってもよく、第2のメモリレベル220のダイオードは、（例えば、ダイオードの下部にn領域を有して）矢印A₂で示されるように下向きダイオードであってもよく、あるいはその逆であってもよい。

【0033】

モノリシックな3次元メモリアレイは、複数のメモリレベルが、中間基板を用いないでウェハなどの単一の基板上に形成されるアレイである。1つのメモリレベルを形成する層は、既存のレベル（単数または複数）の層の上に直接付着または成長される。これに対して、積層メモリは、Leedyによる「Three dimensional structure memory」と題する米国特許第5,915,167号の場合のように、別々の基板上にメモリレベルを形成し、そのメモリレベルを互いに重ねて接着することによって構築されている。基板は、ボンディングの前に薄くされても、あるいはメモリレベルから取り除かれてもよいが、メモリレベルが個別の基板上に最初に形成されるので、このようなメモリは、本当のモノリシックな3次元メモリアレイではない。

【0034】

図5は、図1のメモリセル200の変形例であるメモリセル250を示す。メモリセル250は、電極232,234が入れ替わっている点で図1のメモリセル200とは相違する。即ち、プラチナ電極232が酸化金属可逆的抵抗性スイッチング材料230とダイオード204の間に位置しており、窒化チタン電極234が酸化金属可逆的抵抗性スイッチング材料230と導体208の間に位置している。また、n⁺領域242とp⁺領域246の位置が逆になっている点でも相違する。高濃度にドーピングされたn⁺ポリシリコン領域242が真性領域244の上であり、高濃度のドーピングされたp⁺ポリシリコン領域246が真性領域244の下にある。下記で詳細するように、この配置は、ダイオード204に逆バイアスが印加されたときに、可逆的抵抗スイッチング素子をセットするのに有用である。

【0035】

図1～5では、開示される配置に応じて、円筒型のメモリセルとレール型の導体が開示されている。しかしながら、本明細書で開示される技術は、ある特定の形状のメモリセルにのみ適用されるものではない。他の形状を用いて可逆的抵抗性スイッチング材料を含むメモリセルを形成することも可能である。例えば、以下の特許は、可逆的抵抗性スイッチング材料を適用可能なメモリセルの形状の例を提供する。米国特許第6,952,043号、米国特許第6,951,780号、米国特許第6,034,882号、米国特許第6,420,215号、米国特許第6,525,953号、米国特許第7,081,377号。

【0036】

図6は、本明細書で開示される技術を実行可能なメモリシステム300の一例を示す。

ロック図である。上記したように、メモリシステム 300 は、メモリセルが 2 次元又は 3 次元のアレイとなったメモリアレイ 302 を含む。1 つの実施形態では、メモリアレイ 302 は、モノリシックの 3 次元メモリアレイである。メモリアレイ 302 のアレイ端子線は行として整理されたワード線の様々な層と、列として整理されたビット線の様々な層とを有する。しかしながら、他の方向性も可能である。

【0037】

メモリシステム 300 は、出力 308 がメモリアレイ 302 の各々のワード線に接続される列制御回路 320 を含む。列制御回路 320 は、M 個の行アドレス信号の集合と 1 つ以上の様々な制御信号をシステム制御ロジック回路 330 から受信している。列制御回路 320 は、典型的には、読取り及びプログラミング（例えば、セット及びリセット）動作の双方のために、行デコーダ 322 としての回路、アレイ端子ドライバ 324 及びブロック選択回路 326 を含んでもよい。メモリシステム 300 はまた、入力／出力 306 がメモリアレイ 302 の各々のビット線に接続される列制御回路 310 を含む。列制御回路 310 は、N 個の列アドレス信号の集合と 1 つ以上の様々な制御信号をシステム制御論理 330 から受信している。列制御回路 310 は、典型的には、列デコーダ 312、アレイ端子レシーバ又はドライバ 314、ブロック選択回路 316、同様に読取り／書込み回路、及び I/O マルチプレクサを含んでもよい。システム制御論理回路 330 は、データ及び命令をホストから受信し、データをホストに提供する。他の実施形態では、システム制御論理 330 は、データ及び命令を別の制御回路から受信し、データをその制御回路に提供しており、その制御回路がホストと通信している。システム制御論理 330 は、メモリシステム 300 の動作を制御するために、1 つ以上の状態マシン、レジスタ及び他の制御ロジックを含んでもよい。

【0038】

1 つの実施形態では、図 6 に示される全ての構成要素は 1 つの集積回路に搭載される。例えば、システム制御論理 330、列制御回路 310 及び列制御回路 320 は基板の表面に形成され、メモリアレイ 302 はその基板の上方に形成されるモノリシックの 3 次元メモリアレイである（したがって、システム制御論理 330、列制御回路 310 及び列制御回路 320 の上方である）。ある例では、制御回路の一部を、あるメモリアレイと同じ層に形成することができる。

【0039】

通常、メモリアレイを組み込んだ集積回路は、アレイを多数の副アレイ又はブロックにさらに分割する。ブロックはさらに、16, 32 又は異なる数のブロックを含む部分にグループ化される。よく利用されるものとして、副アレイは、デコーダ、ドライバ、センス増幅器、及び入力／出力回路によって通常は連続している隣接したワード及びビット線を有するメモリセルの隣接したグループである。これは、様々な理由のために行われる。例えば、大きなアレイでは、ワード線及びビット線を横切るときにそのワード線及びビット線の抵抗及び容量によって生じる信号遅れ（即ち RC 遅れ）がとても大きいことがある。これらの RC 遅れは、大きなアレイを小さな副アレイのグループに分割し、各々のワード線及び／又はビット線の長さを短くすることによって低下させることができる。他の例では、メモリセルのグループへのアクセスに関連する電源は、メモリサイクルにおいて同時にアクセスされるメモリセルの数の上限を決定し得る。結果として、大きなメモリアレイはしばしば小さな副アレイに分割され、同時にアクセスされるメモリセルの数が減らされる。ただし、記述を簡単化するために、アレイは副アレイと同意語で用いられ、デコーダ、ドライバ、センス増幅器、及び入力／出力回路によって通常は連続している隣接したワード及びビット線を有するメモリセルの隣接したグループと称する。集積回路は、1 つ以上のメモリアレイを含んでもよい。

【0040】

（電流制限を用いたセット）

上記したように、可逆的抵抗スイッチング素子 202 は、2 以上の状態の間を可逆的にスイッチしてもよい。例えば、可逆的抵抗性スイッチング材料は、製造時の初期状態で高抵抗率であり、第 1 の電圧及び / 又は電流の印加によって低抵抗率にスイッチしてもよい。可逆的抵抗性スイッチング材料は、第 2 の電圧及び / 又は電流の印加によって高抵抗率状態に戻ってもよい。図 7 は、酸化金属可逆的抵抗スイッチング素子の 1 つの実施形態における電圧・電流を示す図である。ライン 400 は、可逆的抵抗スイッチング素子が高抵抗率 (R_{OFF}) のときの $I-V$ 特性を示す。ライン 402 は、可逆的抵抗スイッチング素子が低抵抗率 (R_{ON}) のときの $I-V$ 特性を示す。

【0041】

可逆的抵抗スイッチング素子がどちらの状態にあるかを決定するために、電圧が印加され、その結果の電流が測定される。高い測定電流 (ライン 402 参照) は、可逆的抵抗スイッチング素子が低抵抗率状態であることを示す。低い測定電流 (ライン 400) は、可逆的抵抗スイッチング素子が高抵抗率状態であることを示す。なお、異なる $I-V$ 特性を有する可逆的抵抗スイッチング素子の他の態様も、本明細書で開示される技術に適用可能であることに留意されたい。

【0042】

図 7 A は、メモリセルの状態を読み出すための 1 つの実施形態である回路を示す。図 7 A は、図 1 - 5 の実施形態に基づいたメモリセル 450, 452, 454, 456 を含むメモリアレイの一部を示す。多数のビット線のうちの 2 つと多数のワード線のうちの 2 つが示されている。1 つのビット線に対応する読出し回路が、トランジスタ 458 を介してそのビット線に接続される様子が示されている。トランジスタ 458 は、列デコーダ 312 によって印加されるゲート電圧によって制御され、対応するビット線を選択又は非選択する。トランジスタ 458 は、ビット線をデータバスに接続させる。書込み回路 460 (システム制御論理 330 の一部) はデータバスに接続されている。トランジスタ 462 はデータバスに接続しており、クランプ回路 464 (システム制御論理 330 の一部) によって制御されるクランプ装置として動作する。トランジスタ 462 はまた、コンパレータ 466 と参照電流供給源 I_{ref} に接続されている。コンパレータ 466 の出力は、(システム制御論理 330, コントローラ及び / 又はホストへの) データ出力端子とデータラッチ 468 に接続されている。書込み回路 460 はまた、データラッチ 468 に接続されている。

【0043】

可逆的抵抗スイッチング素子の状態を読み出そうとすると、全てのワード線にはまず V_{read} (例えば、略 2 ボルト) が印加され、全てのビット線は接地される。次に、選択ワード線が接地される。例示を目的として、メモリセル 450 が読出されるために選択されると仮定する。1 つ以上の選択ビット線は、(トランジスタ 458 をオンすることによって) データバスとクランプ装置 ($\sim 2V + V_t$ を受信するトランジスタ 462) を介して V_{read} にプルされる。クランプ装置のゲートは、 V_{read} よりも上であるとともに、ビットラインを V_{read} 程度に維持するために制御される。電流は、選択メモリセルによって V_{sense} ノードからトランジスタ 462 を介してプルされる。 V_{sense} ノードはまた、高抵抗率状態の電流と低抵抗率状態の電流の間の参照電流 I_{ref} を受信する。 V_{sense} ノードは、セル電流と参照電流 I_{ref} の相違電流に応じて変動する。コンパレータ 466 は、 V_{sense} 電圧と $V_{ref-read}$ 電圧を比較してデータ出力信号を生成する。メモリセル電流が I_{ref} よりも大きい場合、メモリセルは低抵抗率状態であり、 V_{sense} の電圧が V_{ref} よりも小さい。メモリセル電流が I_{ref} よりも小さければ、メモリセルは高抵抗率状態であり、 V_{sense} の電圧が V_{ref} よりも大きい。コンパレータ 466 からのデータ出力信号はデータラッチ 468 でラッチされる。

【0044】

図 7 を参照すると、高抵抗率状態 (ライン 400 参照) では、電圧 V_{SET} と十分な電流が印加されると、可逆的抵抗スイッチング素子は低抵抗率状態にセットされる。ライン

10

20

30

40

50

404は、VSETが印加されたときの挙動を示す。電圧はある程度一定に保たれ、電流はIset__limitに向けて上昇する。あるポイントで可逆的抵抗スイッチング素子はセットされ、装置の挙動はライン402に依存する。なお、可逆的抵抗スイッチング素子が最初にセットされるとき、装置をセットするのにVf（形成電圧）が必要とされる。その後、VSETが用いられる。形成電圧VfはVSETより大きくてもよい。

【0045】

低抵抗率状態（ライン402参照）では、電圧VRESETと十分な電流（Ireset）が印加されると、可逆的抵抗スイッチング素子は高抵抗率状態にリセットされる。ライン406は、VRESETが印加されたときの挙動を示す。あるポイントで可逆的抵抗スイッチング素子はリセットされ、装置の挙動はライン400に依存する。

10

【0046】

1つの実施形態では、Vsetは略5ボルトであり、Vresetは略3ボルトであり、Iset__limitは略5μAであり、Ireset電流は30μAと同程度である。

【0047】

電流がセット動作中に高くなり過ぎると、可逆的抵抗スイッチング素子は、高電流によってセット、そしてすぐにリセットする可能性がある。ある例では、可逆的抵抗スイッチング素子は、セットとリセットの間を振動する。他の予測不能な挙動もまた示し得る。そのような状況を防ぐために、電流がIset__limitと同程度であるがすぐにリセット又は振動を引き起こすほどの大きさとならないような手法により、セット動作中の電流

20

【0048】

セット動作中に電流を制限する1つの提案では、逆バイアスされているダイオードを介して可逆的抵抗スイッチング素子をセットする。例えば、図5を参照すると、セット動作中に逆バイアスされているダイオード204が提案されている。すなわち、導体208に導体206よりも高い電圧が印加され、n⁺領域242とp⁺領域246の間に逆バイアスが生成される。ダイオードが逆バイアスされているので、ダイオードを介した電流及び可逆的抵抗スイッチング素子を介した電流が制限される。この実施形態では、可逆的抵抗スイッチング素子をリセットするときに、ダイオードは順バイアスされる。このセット動作は、ダイオードと抵抗スイッチング素子に対して同様な極性を実現する電圧極性を導体に印加することによって、他のセル構造と同様に図1のメモリセル200でも用いられる。

30

【0049】

図8は、ダイオード204のI-V特性（対数表示）を示す。正電圧の範囲（順バイアス）では、グラフの右側に示されているように、電圧の増加に応じて電流は急激に増加する。負電圧の範囲（逆バイアス）では、ブレークダウンまで電流の増加はより緩やかである。逆バイアス時の大きな電流はダイオードを損傷させ得る。逆バイアスは電流制限回路を介して印加され、ダイオードに対する損傷を防ぐために電流が制限される。同様の電流制限は、リセット又はセット動作のために必要とされる前記したIset__limitを提供する。

40

【0050】

1つの実施形態では、ダイオードは低い逆ソフトブレークダウン電圧を有するように設計されている。そのような設計は、n⁺領域とp⁺領域の間の領域の厚みを制限することで成し遂げられる。

【0051】

図9は、酸化金属可逆的抵抗スイッチング素子とダイオードの電圧と電流のグラフである。ライン400-406は上述したとおりである。ライン420は、逆バイアス時のダイオードのI-V特性を示す。ライン422は、ブレークダウンVbdのときのダイオードのI-V特性を示す。ダイオードと可逆的抵抗スイッチング素子は直列に接続されており、それらには同一の電流が流れる。最も小さい電流を有する装置は、他の装置の電流を

50

制限する。そのように、順バイアス中においては、ダイオードと可逆的抵抗スイッチング素子を有するメモリセルは、ライン400, 402, 406に応じて動作する。リセットは、低抵抗率状態においてVRESETを印加することで行われる。メモリセルをセットしたい場合、メモリセルは逆バイアスされ、メモリセルはライン420とライン422に応じて動作する。電位Vset（例えば、-Vset）が可逆的抵抗スイッチング素子を介して印加されると、電流は上昇しようとする。電流が上昇すると、可逆的抵抗スイッチング素子はセットされる。ダイオードが逆バイアスされているので、そのダイオードのソフトブレイクダウンにおける逆方向電流によって、電流上昇は制限される。その結果、急激なリセット、又はセットとリセットの間の振動が防止される。

【0052】

10

図10は、メモリセルをセットするための回路の概略図である。図10は、4つのメモリセル500, 502, 504, 506を示しており、各々がダイオードと可逆的抵抗スイッチング素子を備えている。全アレイにおいては、4つよりも多いメモリセルが存在する。1つの実施形態では、メモリセルは図5の実施形態に基づいている。他の1つの実施形態では、図1のメモリセルが利用可能である。いずれにせよ、図2、3、又は4の構造も利用可能である。

【0053】

図10のメモリセル500は、選択ワード線と選択ビット線の交差点にあるときに、セットするために選択される。各ワード線は、VPPと1/2VPPの間に接続されるトランジスタ510, 512によって示される駆動回路を有している。1つの実施形態では、VPP（略6-10V）が集積回路で利用可能な最も大きい電圧である。トランジスタ510, 512のゲートに0ボルトを印加すると、選択ワード線はVPPに駆動される。トランジスタ510, 512のゲートにVPPを印加すると、非選択ワード線は1/2VPPに駆動される。略接地のバイアスが選択ビット線に印加され、VPPが選択ワード線に印加された場合、メモリセル500のダイオードは、ダイオードの逆ブレイクダウン電圧を超えてダイオードは逆バイアスされ、選択セルがセットされ得る。略接地のバイアスが選択ビット線に印加され、1/2VPPがワード線に印加されると、メモリセルをセットするのに十分な電圧差が得られない。

20

【0054】

BL選択回路は、接続されたトランジスタ520, 522を備える。各ビット線に1つのBL選択回路が設けられているか、ビット線の異なる部分集合に対して選択的に接続されるBL選択回路の集合が設けられている。トランジスタ520, 522のゲートに0ボルトを印加すると、非選択ビット線は1/2VPPに駆動される。選択ビット線に対しては、トランジスタ520, 522のゲートに1/2VPPが印加され、ノード521によってビット線は略接地のバイアスとなり、電流（選択メモリセルを介して流れる電流を示す）がノード521を流れる。

30

【0055】

ノード521は、ゲート同士が接続されるトランジスタ524, 526を有するカレントミラーに接続されている。他の回路（図10に図示せず）が参照電流 I_{LIMREF} を供給する。1つの実施形態では、 I_{LIMREF} は I_{set_limit} と等しい。他の実施形態では、 I_{LIMREF} は I_{set_limit} を表わす。トランジスタ526を流れる電流 I_{SET} は、 I_{LIMREF} をミラーする。ノード521の電流が I_{SET} に近づく、ノード521の電圧（VSENSEと表示される）は上昇する。VSENSEは、VSENSEとVREFを比較するコンパレータ530に提供される。VSENSEがVREFと等しい場合、コンパレータ530の出力は、セット動作が検出されたことを示す。参照電圧VREFは、装置522を流れるメモリセル電流が I_{set_limit} と等しくなったこと（又は、僅かに高いこと）にVSENSEの値が対応していることを示すように設定される。この回路は、メモリセルがセットされたときに電流が I_{set_limit} に近づくことを前提としており、この状態はコンパレータ530で検出される。コンパレータ530の出力は、 I_{LIMREF} を生成する回路を無効にするとともに、

40

50

トランジスタ 533 のゲートに信号を提供することによってビット線を非選択にし、ビット線を $1/2 V_{PP}$ にするために用いられる。

【0056】

図 11 は、セット動作中における図 10 の回路の挙動を示すフローチャートである。ステップ 550 では、全てのワード線と全てのビット線が $1/2 V_{PP}$ にバイアスされる。ステップ 552 では、例えば、トランジスタ 510, 512 のゲートに 0 V が印加され、選択ワード線が V_{PP} にバイアスされる。電圧 V_{PP} は、ダイオードを流れる $1 \mu A$ 以上の逆電流を引き起こすのに十分であり、さらに、抵抗材料に加わる電圧が約 2 ボルトである。他の実施形態では、選択ワード線は、非選択ワード線上の電圧よりも少なくともダイオード降下分は大きい電圧にバイアスされる。ステップ 554 では、BL 選択回路は、接地経路を用いて選択 BL を電流制限回路（電流ミラーとコンパレータ 530）に接続させる。そのように、選択ビット線は、選択メモリセルの可逆的抵抗スイッチング素子をセットするのに十分な電圧差を提供するまで降下する。ステップ 556 では、セットが行われると、電流制限回路に基づいてビット線電圧が上昇する。ステップ 558 では、コンパレータ 530 は、 V_{SENSE} が V_{ref} にまで上昇したことを検出し、その結果、セット動作が検出される。ステップ 560 では、コンパレータ 530 の出力は、 I_{LIMREF} の生成を無効にするために用いられるとともに、 $1/2 V_{PP}$ の「保護」電圧をビット線に印加してメモリセルがオーバーセットされることを防止するために（例えば、急激なリセット、又はリセットとセットの間の振動を引き起こす）用いられる。図 11 のプロセスは、1 つのメモリセル又は平行して複数のメモリセルに対して実行される。他の実施形態は、選択ワード線が接地であるとともに、選択 BL が $1/2 V_{PP}$ よりも少なくともダイオード降下分だけ大きい電圧への経路を有する実装を備えている。

【0057】

図 12 は、メモリセルをセットするための回路の第 2 実施形態の概略図である。図 12 と図 10 の回路の相違は、図 12 の回路が三重ウェル技術を利用することである。即ち、p - ウェル（p 基板内の n - ウェル内の p - ウェルである）に nmos を配置することにより、負電圧が利用可能となる。負電圧の利用によって、全ての電圧が $1/2 V_{PP}$ 分減少することができる。この配置は電力を節約し、回路上のストレスを緩和する。

【0058】

1 つの実施形態では、セット動作の実施前にメモリセルが読み出される。次に、セットされる予定であるとともに高抵抗率状態であるこれらメモリセルのみがセットされる。セットされる予定であるが低抵抗率状態であるメモリセルはセットされる必要がない。

【0059】

図 12 は、4 つのメモリセル 570, 572, 574, 576 を示しており、各々はダイオードと可逆的抵抗スイッチング素子を有する。メモリセル 570 は、選択ワード線と選択ビット線の交差点において、セットするために選択される。各ワード線は、 $1/2 V_{PP}$ と接地の間に接続されるトランジスタ 580, 582 によって示される駆動回路を有している。トランジスタ 580, 582 のゲートに 0 ボルトを印加すると、選択ワード線は $1/2 V_{PP}$ に駆動される。トランジスタ 580, 582 のゲートに $1/2 V_{PP}$ を印加すると、非選択ワード線は 0 ボルトに駆動される。略 - $1/2 V_{PP}$ のバイアスが選択ビット線に印加され、 $1/2 V_{PP}$ が選択ワード線に印加されると、メモリセル 570 のダイオードは、ダイオードの逆ブレイクダウン電圧を超えてダイオードは逆バイアスされ、セル 570 がセットされる。略 - $1/2 V_{PP}$ のバイアスが選択ビット線に印加され、0 ボルトがワード線に印加されると、メモリセルをセットするのに十分な電圧差が得られない。

【0060】

BL 選択回路は、接続されたトランジスタ 584, 586 を備える。各ビット線に 1 つの BL 選択回路が設けられているか、ビット線の異なる部分集合に対して選択的に接続される BL 選択回路の集合が設けられている。トランジスタ 584, 586 のゲートに $-1/2 V_{PP}$ を印加すると、非選択ビット線は 0 ボルトに駆動される。選択ビット線に対し

ては、トランジスタ 584, 586 のゲートに 0 ボルトが印加され、装置 590 によってビット線は略 $-1/2 \text{ VPP}$ のバイアスとなり、電流（選択メモリセルを介して流れる電流を示す）が電流制限回路を流れる。

【0061】

トランジスタ 586 は、ゲート同士が接続されるトランジスタ 588, 590 を有するカレントミラーに接続されている。他の回路（図 12 に図示せず）が参照電流 I_{LIMREF} を供給する。トランジスタ 586 の電流が I_{SET} に近づくと、ノード 521 の電圧（ V_{SENSE} と表示される）は上昇する。 V_{SENSE} は、 V_{SENSE} と V_{REF} を比較するコンパレータ 594 に提供される。 V_{SENSE} が V_{REF} と等しい場合、コンパレータ 594 の出力はセット動作が検出されたことを示しており、参照電流 I_{LIMREF} の生成が無効にされるとともに、ビット線が接地される。

10

【0062】

図 12 の回路は、異なる電圧レベルが用いられる以外（上記したように）、図 10 の回路に類似した動作をする。したがって、図 11 のフローチャートは、電圧に関するいくつかの変更とともに図 12 の回路にも適用される。例えば、ステップ 550 では、ワード線とビット線は 0 ボルトにバイアスされる。ステップ 552 では、選択ワード線は $1/2 \text{ VPP}$ にバイアスされる。ステップ 554 では、ビット線は、 $-1/2 \text{ VPP}$ への経路を用いて電流制限回路に接続される。選択メモリセルを介した電圧は VPP （ $-1/2 \text{ VPP}$ から $+1/2 \text{ VPP}$ ）である。

【0063】

20

容量性放電を利用したセット

ある実施形態では、メモリセルを流れる電流を制御及び／又は制限する回路がメモリセルから離れて設けられてもよい。この距離は、モノリシックな 3 次元メモリアレイにとって大きな問題となり得る。3 次元メモリアレイでは、制御回路が基板表面上にあり、メモリセルが 3 次元メモリアレイの上側層上にある（上述）。この距離によって、導電経路が長くなり、その結果、配線に比較的大きな容量が形成される。場合によっては、メモリセルがセットされると、次に、配線上の容量充電がメモリセルを介して消散され、それにより、余分な電流が可逆的抵抗スイッチング素子を流れる。この余分な電流は、素子をリセットするのが困難又は不可能なほどの低い抵抗値にまで可逆的抵抗スイッチング素子をセットするかもしれない。一つの提案は、セット動作中にビット線とデータバスを放電させることによって、セット完了後に不要な電流がメモリセルを介して駆動されないようにすることである。この実施形態では、セット動作中にダイオードは順バイアスされ、 V_{set} がパルスとして印加される。 V_{set} パルスは可逆的抵抗スイッチング素子をセットするのに必要な時間よりも短い。これにより、余分な電荷は、ビット線及びデータバスからの放電にのみ提供され、 V_{set} パルスによって提供されない。ある実施形態では、セット動作に続いて、セット動作が成功したか否かを見るための検証動作が行われる。失敗の場合、セット動作は再実行される。

30

【0064】

図 13 は、上記した容量性放電を利用するメモリセルをセットするために用いられる回路の 1 つの実施形態を示す概略図である。ある実施形態では、各ビット線にそのような回路が 1 つ設けられていてもよく、あるいは、そのような回路の集合が設けられており、異なるビット線の集合に選択的に接続されてもよい。

40

【0065】

図 13 の回路は、図 1 ~ 5 に関連して上記したように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル 602 を含む。メモリセル 602 は、キャパシタ 604 を有するビット線 B_L に接続されている。1 つの実施形態では、キャパシタ 604 は約 1 pF である。ビット線 B_L は、 B_L 選択回路を介してデータバスに接続されている。1 つの実施形態では、各ビット線に B_L 選択回路が設けられており、各ビット線にデータバス線が設けられている。メモリシステム用の制御回路は、列選択信号 $CSG < 15 : 0 >$ 及び

50

XCQ<3:0>を様々なBL選択回路に送り、どのビット線がデータバスに接続すべきかを特定する。適切な1つの信号CSG<15:0>がインバータ614の入力に提供され、適切な1つの信号XCQ<3:0>がインバータ614の電源ピンに提供されていると、関連するビット線BLが選択されたときにインバータ614の出力XCSELが0ボルトになる。それ以外では、インバータ614の出力XCSELはVPPとなる。信号XCSELはトランジスタ610, 612のゲートに提供される。インバータ614のXCSELがVPPの場合、0.7V(略ダイオード降下分)の非選択ビット線電圧UBLがトランジスタ612を介してビット線に提供される。インバータ614のXCSELが0ボルトの場合、データバスがトランジスタ610を介してビット線に接続される。寄生容量608を含むデータバスがトランジスタ606に接続される。トランジスタ606のゲートはパルスを受信する。パルス間において、データバスはフローティングである。パルス中(負パルス)において、VPPが(トランジスタ606を介して)データバスに提供され、データバスの寄生容量608を充電する。BL選択回路が選択されると、データバスからの電荷がビット線BLとその容量604を充電する。VPPへの経路が遮断されると、ビット線がフローティングし、ビット線BL(及び容量604)の電荷がメモリセル602を介して放電する。1つの実施形態では、ダイオードは順方向バイアスされ、正電圧のみが利用可能である。

【0066】

図14は、図13の回路を実行するためのプロセスに関わる1つの実施形態のフローチャートである。図14のプロセスは、1つのメモリセルに対して実行されてもよく、複数のメモリセルに対して同時に実行されてもよい。ステップ630では、選択ワード線は接地される。非選択ワード線は、VPP-0.7Vである。ステップ632では、選択ビット線がVPPとなる。これは、図示されるパルス(XSA_ENABLE)をトランジスタのゲートに印加するとともに、適切な選択信号CSG<15:0>, XCQ<3:0>を印加することによって、数十ナノ秒で達成される。非選択ビット線は0.7Vである。ステップ634では、VPPへの経路は、パルス(XSA_ENABLE)がオーバーしたことにより遮断される。したがって、データバスとビット線はフローティングである。ステップ634でビット線がVPPである間は、メモリセルの可逆的抵抗スイッチング素子はセット動作を実行するのに十分な電圧を受信し続ける。しかしながら、VPPの印加継続時間はセットを生じさせるには十分な長さではない。1つの実施形態では、可逆的抵抗スイッチング素子は、セットするのに数百ナノ秒を必要とする。しかしながら、VPPは数十ナノ秒のみ提供される。VPPへの経路が遮断されるので、ステップ636では、ビット線容量(及び、実施形態によっては、選択信号の動作に依存してデータバス容量も)が、可逆的抵抗スイッチング素子を含むメモリセルを介して消散する。容量性の電荷の消散による余分な電荷は、セット動作を終了させるのに十分である。

【0067】

ある実施形態では、容量性電荷の消散による余分な電荷がセット動作を終了させるのに十分でないこともある。したがって、ある実施では、図15のプロセスがメモリセルのセットを実行するために用いられる。図15のステップ650では、図14のプロセスが実行される。ステップ652では、検証動作が実行され、メモリセルがセットされたかどうかを見る。1つの実施形態では、(Vreset未満の)読出し電圧が印加される。メモリセルを介して検出された電流に基づいて、制御回路は可逆的抵抗スイッチング素子が高抵抗率状態又は低抵抗率状態のいずれにいるのかを決定する。メモリセルが低抵抗率状態であると検証されると(ステップ654参照)、ステップ656では、メモリセルがセット動作から非選択となる。メモリセルが低抵抗率状態であると検証されないと(ステップ654参照)、プロセスのループはステップ650に戻り、繰返される。なお、図15のプロセスは、本明細書に開示される他の手法を用いて、メモリセルをセット又はリセットすることも可能であることに留意されたい。

【0068】

上記した容量性放電方法は、セット動作中にメモリセルを流れる最大の電氣的電荷を制

10

20

30

40

50

限する。セット中の最大の電氣的電荷は、セット前にビット線に印加される電圧とビット線の容量（及び、追加的にはビット線に接続されるデータバスも）に依存している。最大の電氣的電荷は、メモリセル内のダイオードの抵抗に対して無関係である。これにより、セット動作後の R_{on} が高くなる。高い R_{on} によって、可逆的抵抗スイッチング素子をリセットするために必要とされる電流の I_{reset} が低くなる。リセット動作中にビット線が十分な電圧に維持されるので、ダイオードはそのような I_{reset} を提供可能である。

【0069】

上記したように、選択ビット線は充電されるとともに、事前に充電された装置（トランジスタ606）のオン・オフによって分離される。事前に充電された装置はデータバスに接続されており、データバスは選択ビット線に接続されている。図14の方法に対する他の改善は、セット時にメモリセルを流れる電流の増加を検出し、その検出結果を利用してビット線を除外することである。列検出回路は、セルを流れる電流の時間を減少させるけれども、放電よりもずっと速くビット線を除外レベルにまで降圧させる。

【0070】

図16は、上記の容量性放電を利用してメモリセルをセットするために用いられる回路の他の実施形態の概略図である。ある実施形態では、各ビット線にそのような回路が1つ設けられていてもよく、異なるビット線のグループに選択的に接続されるそのような回路のグループが設けられていてもよい。

【0071】

ある実施形態では、最初にワード線を選択することが望まれる。なぜなら、モノリシックな3次元メモリアレイでは、ワード線の選択は遅い。電荷は、図16に示されるような電荷共有によって、ビット線容量に素早く置かれる。追加のキャパシタは、事前充電時間中に回路内で利用可能な最大電圧にまで充電される。次に、ビット線が選択され、電荷共有装置710がターンオンしてこのキャパシタをビット線に接続させる。接続されたキャパシタは、容量比によって決定されるセット動作の要求電圧に素早く達し、電荷共有装置は遮断される。セット動作は、ビット線が電荷移送を受信した後に発生する。なぜなら、可逆的抵抗スイッチング素子をセットするために、電荷を移送するよりも長い時間がかかるからである。

【0072】

図16の回路は、図1～5に関連して上記したように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル702を含む。メモリセル702はキャパシタ704を有するビット線BLに接続されている。1つの実施形態では、キャパシタ704は1pFである。ビット線BLは、BL選択回路を介してデータバスに接続されている。1つの実施形態では、各ビット線にBL選択回路が設けられており、多数のビット線が複数線データバスに接続されている。図16のBL選択回路は、図13のビット線選択回路と同一である。

【0073】

データバスは、トランジスタ610を介してビット線に接続されている。キャパシタ712（例えば、2pF）を有するデータバスが、電荷共有を制御するトランジスタ710に接続されている。トランジスタ710のゲートはパルス（XPG_PULSE）を受信する。パルス間において、データバス（ノードSELB）はフローティングであるとともにノードGSELBから分離されている。パルス中（負パルス）において、データバス（ノードSELB）はGSELBに接続されている。キャパシタ708（例えば、0.5pF）はGSELBから接地に接続される。

【0074】

VPPとGSELBに接続されるトランジスタ706は、パルス（XSA_ENABLE）を受信する。パルス間において、GSELBはフローティングである。負パルス中において、VPPは、電流制限なしでGSELBを充電させるために用いられる。トランジスタ710がそのゲートにパルスを受信すると、GSELBの電荷がSELBを（VPP

10

20

30

40

50

) × (データバスの容量) / (データバスの容量 + G S E L B の容量) にまで充電する。S E L B の電荷は、図 1 3 に記載されているのと同様に、ビット線に移送される。

【 0 0 7 5 】

図 1 6 の回路はまた、G S E L B の電圧を参照 V r e f と比較するコンパレータ 7 2 0 を含む。コンパレータがデータバスとビット線の放電を感知すると、セットが成功したと判断し、メモリセルがセットされたことを示すセット検出信号を出力する。コンパレータ 7 2 0 の出力はメモリセルの制御ロジックに提供される。

【 0 0 7 6 】

図 1 7 は、図 1 6 の回路の動作のための様々な実施形態を説明するタイミング図である。t 1 と t 2 の間において、信号 X S A _ E N A B L E によってパルスがトランジスタ 7 0 6 に印加される。これにより、図示されるように、電流制限なしで G S E L B に電荷が充電される。t 3 と t 4 の間において、信号 X P G _ P U L S E によってパルスがトランジスタ 7 1 0 に印加される。これにより、電荷が S E L B と共有される。図 1 7 に示されるように、B L 選択回路によって電荷がビット線と共有される。ある例では、1 回の反復によってメモリセルがセットされる。他の実施形態では、2 つのパルス (G S E L B の充電と電荷の共有) の複数回の反復が、メモリセルがセットされるまで (t 5 参照)、ビット線の電荷を増加させるために用いられる。

【 0 0 7 7 】

図 1 8 は、上記した容量放電を利用してメモリセルをセットするために用いられる回路の他の実施形態の概略図である。いくつかの実施形態では、各ビット線にそのような回路が設けられていてもよく、異なるビット線のグループに選択的に接続されるそのような回路のグループが設けられていてもよい。図 1 8 の回路では、メモリセルが新しい状態にスイッチされる前に、ビット線選択装置がターンオフされる。

【 0 0 7 8 】

図 1 8 の回路は、図 1 ~ 図 5 に関連して上記されるように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル 7 5 0 を含む。メモリセル 7 5 0 は、キャパシタ 7 5 2 を有するビット線 B L に接続されている。ビット線 B L は、B L 選択回路を介してデータバスに接続されている。1 つの実施形態では、各ビット線に B L 選択回路が設けられており、多数のビット線が複数線データバスに接続されている。

【 0 0 7 9 】

キャパシタ 7 6 6 を有するデータバスが、そのゲートが接地されているトランジスタ 7 6 4 を介してノード G S B に接続されている。ノード G S B は、図 1 6 のコンパレータ 7 2 0 のように動作するコンパレータ 7 8 0 に接続されている。コンパレータ 7 8 0 の出力は、メモリシステムの制御ロジックに提供される。V P P と G S B に接続されるトランジスタ 7 6 0 は、パルス (P G パルス) を受信する。パルス中において、G S B はフローティングしている。パルス間において、V P P は G S B を充電するために用いられ、それはデータバスを充電する。選択信号 X C Q < 3 : 0 > と「デコード出力」に基づいて、B L 選択回路は、上記したようにメモリセル 7 5 0 をセットするために、データバスの電荷を選択ビット線と共有させる。

【 0 0 8 0 】

図 1 8 の B L 選択回路はトランジスタ 7 6 8、トランジスタ 7 7 0、インバータ 7 7 2、パスゲート 7 7 4 及びパスゲート 7 7 6 を含む。円 7 7 8 はパスゲート 7 7 4、7 7 6 の詳細 (4 つの内部トランジスタとインバータ) を提供する。パスゲートは入力 (i)、出力 (o)、トップノード (t) 及びボトムノード (b) を有する。入力 (i) が正電圧の場合、出力 (o) はボトムノード (b) の信号を受信する。入力 (i) が負又は 0 電圧の場合、出力 (o) はトップノード (t) の信号を受信する。パスゲート 7 7 6 は P G パルスを受信する (トランジスタ 7 6 0 によって受信されるものと同じである)。パルス中において (正電圧)、 「デコード出力」が正電圧を用いてビット線を選択していれば、パスゲート 7 6 6 のボトムノードの入力である適切な 1 つの X C Q < 3 : 0 > は、パスゲート 7 6 6 の出力に提供されるとともに、パスゲート 7 4 4 の出力に移送される。適切な 1

つのXCQ<3:0>は、選択ビット線に対してV_{pg}(セットのために用いられる電圧)であり、非選択ビット線に対してV_{PP}である。トランジスタ768のゲートがV_{PP}を受信すると、ビット線がデータバスからカットされる。トランジスタ768のゲートがV_{pg}を受信すると、データバスの電荷をビット線と共有する。なお、トランジスタ768のゲート電圧(V_{pg})は、トリムオプションによって、一時的な電流を制御するために設定される。

【0081】

パスゲート776に入力するパルス間において、V_{PP}はパスゲート776とパスゲート744の出力に転送され、次に、トランジスタ768のゲートに提供されてビット線がデータバスからカットされる。XCQ<3:0>又は「デコーダ出力」がビット線を選択しても、V_{PP}がトランジスタ768のゲートにパスされ、ビット線がデータバスからカットされる。

【0082】

図18Aは、図18の回路の動作に関する1つの実施形態を示すフローチャートである。ステップ788では、選択ワード線が接地される。ステップ790では、上記で説明したように、PGパルスのパルス間においてV_{PP}をノードGSBに転送させることによって、ノードGSBとデータバスが充電される。ステップ792では、上記したように、BL選択回路を利用してビット線をデータバスに接続することにより、データバスの電荷がビット線と共有される。ステップ794では、ビット線がデータバスからカットされ、ビット線がフローティングとなる。この結果、ビット線は、ステップ796においてメモリセル750を介して放電する。いくつかの実施形態では、図18Aのプロセスの1つの反復でもメモリセルをセットするのに十分である。他の実施形態では、メモリセルをセットするのに複数の反復が必要である(例えば、図17又は図15のプロセスを参照)。

【0083】

図13, 16, 18の回路は、セット電流よりもセット動作中の電氣的電荷の量を制限する。

【0084】

パルスリセット

これまでの実施形態では、可逆的抵抗スイッチング素子は、V_{reset}を印加して大きな電流を可逆的抵抗スイッチング素子に流すことでリセットされる。ステアリング素子としてダイオードを利用するメモリセルでは、セットとリセットの間での振動又は大きくて十分な電流の提供を失敗するということをリセット動作中に経験する可能性がある。本明細書で提案される1つの解決方法では、セット電圧以上の電圧を短いパルス時間(数十ナノ秒のオーダー)で印加することによってリセットを実行することである。パルスは、セット動作に必要なものよりも短い、リセット動作又は複数パルスに分割されたりリセット動作にとっては十分に長い。これにより、セット動作が発生しないこと、そしてセットとリセットの間での振動も発生しないことが保証される。短いパルスの印加後に、メモリセルがリセットされたかどうかを見るためにメモリセルは検証される。リセットが検証されなければ、他のパルスが印加される。このプロセスは、メモリセルがリセットされるまで続けられる。1つの実施形態では、ダイオードはリセット中に順バイアスされ、正電圧のみが用いられる。

【0085】

図19は、上記した短いパルスを利用してリセットを実行する回路の1つの実施形態である。図19の回路は、図1~5に関連して上記したように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル800を含む。メモリセル800はキャパシタ802を有するビット線BLに接続されている。1つの実施形態では、キャパシタ802は1pFである。ビット線BLは、BL選択回路を介してデータバスに接続されている。1つの実施形態では、各ビット線にBL選択回路が設けられていてもよく、多数のビット線が複数線データバスに接続されていてもよい。

【0086】

10

20

30

40

50

図19のBL選択回路は、トランジスタ810、トランジスタ816、インバータ814を含む。インバータ814は、適切な1つの選択信号CSG<15:0>をその入力に受信する。1つの実施形態では、CSG<15:0>は、デコーダからの16ビットバスである。インバータ814の上側電源入力は、メモリシステム制御回路から短いパルスPを受信する。このパルスは、上記した短いリセットパルスを調整及び発生させる。パルスPを受信している間、適切な1つの選択信号CSG<15:0>の反転値がインバータ814の出力に提供され、トランジスタ810、816のゲートに提供される。したがって、ビット線が選択されると、パルスPを受信している間、0ボルトがトランジスタ810、816のゲートに印加される。ビット線が選択されなければ、パルスPを受信している間、VPPボルトがトランジスタ810、816のゲートに印加される。パルス間では、VPPボルトがトランジスタ810、816のゲートに提供される。0ボルトがトランジスタ810のゲートに印加されると、ビット線BLは、トランジスタ810を介してデータバスと通信する。VPPがトランジスタ810、816のゲートに印加されると、非選択ビット線電圧UBLがトランジスタ816を介してビット線に印加される。1つの実施形態では、UBLは接地電圧である。

10

【0087】

データバスがキャパシタ806とトランジスタ804に接続されている。トランジスタ804のゲートに印加されるData_bit_Enable信号はロー（イネーブル）のとき、VPPがトランジスタ804を介してデータバスに提供される。したがって、トランジスタ810がデータバスとビット線の通信を許容すると、ビット線はVPPとなる。トランジスタ810がビット線をデータバスからカットすると、ビット線は装置816によって0ボルトとなる。そのように、ビット線は、パルスPに対して継続時間において同等の短いパルスであるが極性が反対のものとなる。制御回路は、セットを生じさせるには短すぎるパルスPを提供する。1つ又は複数のパルスは、リセットを生じさせる。

20

【0088】

図20は、図19の回路を実行するプロセスの1つの実施形態を記述するフローチャートである。ステップ830では、選択ワード線が接地される。非選択ワード線はVPPから0.7Vを引いた電圧に保持される。ステップ832では、適切にData_bit_Enableをアサートすることにより、データバスが選択されてVPPとなる。ビット線は全て低い電圧のままである（例えば、0ボルト）。ステップ834では、上記したように、BL選択回路を介して短いパルスが印加される間に、ビット線がデータバスに接続される。この短いパルスはリセットを生じさせるが、セットを生じさせない。ステップ836では、検証動作が実施され、メモリセルの抵抗を検出し、リセットが起きたかどうかを検出する。例えば、Vreset未満の電圧が印加され、メモリセルを流れる電流が測定されることによって、メモリセルが高抵抗率状態か低抵抗率状態かが決定される。メモリセルがリセット状態（ステップ838）でなければ、プロセスループがステップ834に戻り、他のパルスが印加される。メモリセルがリセットされたら検証されたら、ステップ840でビット線は非選択となり、メモリセル850は追加のリセット動作を受けない。

30

【0089】

図20のプロセスはパルス間で検証ステップを利用する。この検証ステップはリセットプロセスを遅速化させる。図21は、短いパルスを利用してリセットプロセスを実行する回路の概略図であるが、分離した検証ステップを利用しない。したがって、リセットプロセスの速度を速くする。

40

【0090】

図21の回路は、図1～5に関連して上記したように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル850を含む。メモリセル850はキャパシタ852を有するビット線BLに接続されている。1つの実施形態では、キャパシタ852は1pfである。ビット線BLは、BL選択回路を介してデータバスに接続されている。1つの実施形態では、各ビット線にBL選択回路が設けられていてもよく、多数のビット線が複数線データバスに接続されていてもよい。図21のBL選択回路は図19のビット線選択回路

50

と同一である。データバスはキャパシタ 8 5 8 (例えば、2 p f) を含む。

【0091】

データバスは、トランジスタ 8 5 6 に接続されている。トランジスタ 8 5 6 のゲートに V r e a d - V t h (略3ボルト) が印加され、電流がデータバスとノード A の間を流れる。トランジスタ 8 5 4 は、図 1 9 のトランジスタ 8 0 4 と同様の動作をする。トランジスタ 8 5 4 は、そのゲートに信号 SA_ENABLE を受信し、それに応答して V r e a d (略4ボルト) をノード A に提供する。

【0092】

ビット線のパルス中に、メモリセルは V r e a d を経験する。メモリセルが導通状態であると、メモリセルは低抵抗率状態であり、データバス及びノード A の電圧が降下する。この電圧降下は、ノード A の電圧と参照電圧 V r e f を比較するコンパレータ 8 6 0 で検出される。メモリセルが高抵抗率状態にリセットされると、メモリセルは導通状態ではなくなり、電圧が上昇する。この電圧上昇はコンパレータ 8 6 0 で検出される。したがって、コンパレータ 8 6 0 の出力は、パルス中にメモリセルの状態を提供する。メモリセルの制御ロジックは、並列にリセットされるメモリセルがリセットされて非選択となる経過を記録する。そのように、分離した検証ステップは不要である。

【0093】

図 2 1 A は、図 2 1 の回路を動作させるプロセスの 1 つの実施形態を記述するフローチャートである。ステップ 8 7 0 では、選択ワード線が接地される。ステップ 8 7 2 では、Data_bit_Enable 信号を適切にアサートすることによって、データバスが選択されて V r e a d となる。ビット線は全てロー電圧のままである(例えば、0 ボルト)。ステップ 8 7 4 では、上記したように、B L 選択回路を介して短いパルスが印加される間は、選択ビット線がデータバスに接続される。この短いパルスはリセットを生じさせるが、セットは生じさせない。ステップ 8 7 4 の短いパルス中に、メモリセルを流れる電流が検出され、その検出を示すものがメモリセルの制御ロジックに提供される。パルス中の検出がリセットが発生したことを確認すると、制御ロジックはビット線を非選択とし、メモリセル 8 5 0 には他のリセット動作(ステップ 8 7 8)が行われない。

【0094】

ある実施形態では、所定数のパルスを印加する図 2 1 A のプロセスの所定回の反復後に、メモリセルがリセットされていなければ、システム制御ロジック 3 3 0 は、メモリセルが固まってしまったか不良品であると結論する。その場合、メモリセルは余剰のメモリセルと置き換えられる。データ構造は、不良品のメモリセルと置換メモリセルの相関関係を維持する。参照としてその全体が本明細書に組み込まれる米国特許第 6, 8 6 8, 0 2 2 号では、不良品のメモリセルを取り換えて、余剰のメモリセルを提供及び利用する実施形態の集合が開示されている。

【0095】

ある実施形態では、上記したリセット動作が並列して複数のメモリセルに対して実行される。例えば、8 以上メモリセルが同時にリセットされる。特定のメモリセルが正確にリセットされたことが検出されると、システム制御ロジック 3 3 0 (又は、リセットプロセスで用いられる他の回路) は特定のメモリセルがリセットされたことの指示を記憶し(ラッチ又は他の記憶装置)、その特定のメモリセルに対して追加のリセット動作が行われない。

【0096】

リセットを実行するための上記スキームを利用する 1 つの実施形態は、セットを実行するためのシステムと統合される。セットを実行するためのシステムは、電圧レベルが増加する長いセットパルスをメモリセルに印加することを含む。例えば、図 2 2 は、電圧レベルが増加する(V s e t r a m p として示されている)パルス 8 8 0 を示す。メモリセルを流れる電流は電圧パルス中に検出される。セット電流が検出されると、パルスは終了する。例えば、ポイント 8 8 2 はメモリセルがセットされたことを示す。そのとき、電流がスパイクしており(カーブ 8 6 6 参照)、これは、メモリセルが低抵抗率状態に移行した

10

20

30

40

50

ことを示す。セットされているメモリセルの電圧はすぐに降下し、ほぼフラットになり（セットはまだ検出されている）、次に（メモリセルのための）パルスが終了するとゼロボルトにまで降下する。このように、セットのための最小電圧レベルが印加される。メモリセル内のダイオードは電流を制限するとともにセット電圧パルスの高さによく依存しているので、セット中の最小電流はメモリセルを流れる。

【0097】

図22に関連して説明したセット動作を成し遂げるために、追加の構成要素を有する図21の回路が利用される。図22Aは、図21の回路の部分（構成要素810, 814, 816, 850, 852, 858, 856）に加えて、追加の構成要素890, 892, 894, 896を示す。ゲートが接地されているトランジスタ856は、コンパレータ890に接続されている。コンパレータ890の他の入力は V_{REF} であり、 V_{REF} は $V_{setramp}$ に対して傾斜が比例している。セットが検出されたかどうかを示すコンパレータ890の出力は、回路896に報告される。回路896は、カレントミラーに対して参照電流 I_{ref} を生成する。カレントミラーはpモストランジスタ892, 894を含んでおり、トランジスタ892, 894のソースはいずれも $V_{setramp}$ に接続されている。トランジスタ892を流れる電流は I_{ref} のミラーである。

【0098】

動作において、選択ワード線WLは接地される。上記したように、 $V_{setramp}$ （電圧レベルが増加する長いセットパルス）は、カレントミラーに印加される。電圧レベルが増加する長いセットパルス（ $V_{setramp}$ ）はカレントミラーからデータバスに提供される。ビット線BLは、BL選択回路を利用して長いパルスの間においてデータバスに接続されている。パルス中にコンパレータ890によって電流が検出される。コンパレータ890によって電流スパイクが検出されると、 I_{ref} 回路896とシステム制御ロジック330に指示が伝達される。メモリセルがセットされたことの指示に応答して、 I_{ref} 回路896はカレントミラーに I_{ref} を提供するのを停止し、それに代えて、メモリセルに提供される電圧パルスを停止するために、0amp（又はとても小さな電流）を提供する。ある実施形態では、システム制御ロジック330は、メモリセルがセットされたことの指示に応答して、パルス（ $V_{setramp}$ ）を終了させる。状態変化を検出するときに、電圧のプログラミング及びプログラミングの停止中におけるメモリセルの検出に関するより多くの情報は米国特許第6,574,145号で見ることができ、参照としてその全体が本明細書に組み込まれている。

【0099】

セットとリセットの賢い検出

上記したように、セット中に可逆的抵抗スイッチング素子がオーバーセットされる可能性があり、それにより、リセット又はセットとリセットの間で振動してしまう。同様に、リセット中に可逆的抵抗スイッチング素子がオーバーリセットされる可能性があり、それにより、セット又はセットとリセットの間で振動してしまう。他の提案する解決方法は、即時に可逆的抵抗スイッチング素子をテストしてリセット（又はセット）することであり、これにより、反対動作又は振動が始まる前にプログラミングプロセスをとて素早く停止させる。

【0100】

図23は、リセット及びセット動作の高速検出を提供する回路である。回路は、図1～5に関連して上記したように、可逆的抵抗スイッチング素子とダイオードを有するメモリセル950を示す。メモリセル950は、列制御回路からの列選択信号に응答してビット線ドライバ952によって駆動されるビット線BLに接続されている。電圧は、トランジスタ954からドライバ952に提供される。図23は、 $V_{WR} - V_t$ の電圧をビット線に向けて駆動するトランジスタ954を示している。 V_{WR} は書込み電圧であり、 V_t はトランジスタ954の閾値である。リセット動作を実行すると、 V_{reset} （図7参照）のように、 $V_{WR} - V_t$ は可逆的抵抗スイッチング素子をリセットする電圧である。セット動作を実行すると、 V_{set} （図7参照）のように、 $V_{WR} - V_t$ は可逆的抵抗スイ

ッチング素子をセットする電圧である。

【 0 1 0 1 】

図 2 3 の検出回路は 2 つのカレントミラーを含む。第 1 カレントミラーは、トランジスタ 9 5 4 , 9 5 6 を含む。ノード X の電流は、ビット線が選択されたときにビット線 B L を流れる電流を示す。ノード Y の電流は、ノード X の電流のミラーである。第 2 カレントミラーは、トランジスタ 9 5 8 , 9 6 0 を含む。トランジスタ 9 6 0 は、システム制御ロジック内の回路から参照電流 I_{REFDET} を受信する。トランジスタ 9 5 8 は、F i g h t と示されるノードにおいてトランジスタ 9 5 6 に接続されている。したがって、2 つのカレントミラーはノード F i g h t によって接続されている。相互に接続されるカレントミラーの端子はミラー端子（ミラーされている端子とは逆である）であり、2 つのカレントミラーから接続されるこれら端子は別々に動作しようとすることがあり、そのため、接続端子は F i g h t と示されている。ノード X における第 1 カレントミラーの電流が I_{REFDET} よりも大きい場合、F i g h t における電圧は高くなる。ノード X における第 1 カレントミラーの電流が I_{REFDET} よりも小さい場合、F i g h t における電圧は小さくなる。F i g h t における電圧はインバータ 9 6 2 に提供される。インバータ 9 6 2 の出力は、AND ゲート 9 6 6 と反転された AND ゲート 9 6 4 の入力に提供される。AND ゲート 9 6 6 の他の入力、R S T _ M O D E と示されるシステム制御ロジックからの信号である。R S T _ M O D E は、図 2 3 の回路が可逆的抵抗スイッチング素子をリセットしようとするときにハイにアサートされており、それ以外はローである。AND ゲート 9 6 4 の他の入力、S E T _ M O D E と示されるシステム制御ロジックからの信号である。S E T _ M O D E は、図 2 3 の回路が可逆的抵抗スイッチング素子をセットしようとするときにハイにアサートされており、それ以外はローである。AND ゲート 9 6 4 , 9 6 6 の出力は、OR ゲート 9 6 8 に提供される。OR ゲート 9 6 8 の出力はトランジスタ 9 4 0 に提供される。トランジスタ 9 4 0 がターンオンするとき、トランジスタ 9 4 0 はノード G Y S E L B を介してビット線を接地する。

【 0 1 0 2 】

図 2 3 の回路は 1 つのビット線と 1 つのメモリセルに対応して示されていることに留意されたい。図 2 3 に示されるような回路の複数個を有するメモリシステムを考えると、セット又はリセットは複数のビット線又は複数のメモリセルに対して同時に実行される。

【 0 1 0 3 】

図 2 4 A は、リセット動作中に図 2 3 の回路を実行するためのプロセスの 1 つの実施形態を示すフローチャートである。ステップ 9 7 4 では、信号 R S T _ M O D E がロジック 1 に設定され、S E T _ M O D E がロジック 0 に設定される。ステップ 9 7 6 では、列制御回路が適切な制御信号をビット線ドライバ 9 5 2 に提供する。ステップ 9 7 8 では、V W R はリセット電圧（例えば、図 7 の V_{reset} ）に設定される。ステップ 9 7 4 , 9 7 8 は、システム制御ロジック（図 6 参照）の方向において実行される。ステップ 9 8 0 では、ビット線は、リセット動作が実行されるように充電されたままである。リセット動作が成功する前に、可逆的抵抗スイッチング素子は低抵抗率状態であり、メモリセルに大きな電流が流れる。この結果、ノード Y の電流は I_{REFDET} よりも大きくなり、F i g h t における電圧が高くなり、インバータ 9 6 2 の出力がローとなる。AND ゲート 9 6 6 の出力と AND ゲート 9 6 4 の出力はローとなり、OR ゲート 9 6 8 の出力はローであり、トランジスタ 9 4 0 はオフのままである。

【 0 1 0 4 】

ステップ 9 8 2 では、リセットが生じて可逆的抵抗スイッチング素子は高抵抗率状態に移行する。ステップ 9 8 4 では、リセット動作が直ちに停止する。可逆的抵抗スイッチング素子が高抵抗率状態にあるので、メモリセルを流れる電流が小さくなり、ノード Y の電流が小さくなる。ノード Y における電流が I_{REFDET} よりも小さいので、F i g h t における電圧が小さくなり、インバータ 9 6 2 の出力がハイとなる。AND ゲート 9 6 6 の出力はハイとなり、OR ゲート 9 6 8 の出力はハイとなり、トランジスタ 9 4 0 がターンオンする。電流がトランジスタ 9 4 0 を流れると、ビット線はトランジスタ 9 4 0 を介

して消散して（GYSELBを介して）接地となる。これにより、可逆的抵抗スイッチング素子の電圧差が十分でなくなるのでリセット動作が停止する。

【0105】

図24Bは、セット動作中に図23の回路を実行するためのプロセスの1つの実施形態を示すフローチャートである。ステップ988では、信号RST_MODEがロジック0に設定され、SET_MODEがロジック1に設定される。ステップ990では、列制御回路が適切な制御信号をビット線ドライバ952に提供する。ステップ992では、VWRはセット電圧（例えば、図7のVset）に設定される。ステップ998, 992は、システム制御ロジック330（図6参照）の方向において実行される。ステップ994では、ビット線は、セット動作が実行されるように充電されたままである。セット動作が成功する前に、可逆的抵抗スイッチング素子は高抵抗率状態であり、メモリセルに小さな電流が流れる。この結果、ノードYの電流は I_{REFDET} よりも小さくなり、Fightにおける電圧が小さくなり、インバータ962の出力がハイとなる。ANDゲート966の出力とANDゲート964の出力はローとなり、ORゲート968の出力はローであり、トランジスタ940はオフのままである。

10

【0106】

ステップ996では、セットが生じて可逆的抵抗スイッチング素子は低抵抗率状態に移行する。ステップ998では、セット動作が直ちに停止する。可逆的抵抗スイッチング素子が低抵抗率状態にあるので、メモリセルを流れる電流が大きくなり、ノードYの電流が大きくなる。ノードYにおける電流が I_{REFDET} よりも大きいので、Fightにおける電圧が大きくなり、インバータ962の出力がローとなる。ANDゲート964の出力はハイとなり、ORゲート968の出力はハイとなり、トランジスタ940がターンオンする。電流がトランジスタ940を流れると、ビット線はトランジスタ940を介して消散して（GYSELBを介して）接地となる。これにより、可逆的抵抗スイッチング素子の電圧差が十分でなくなるのでセット動作が停止する。

20

【0107】

上記した多くの回路図では、図示される回路は、これら回路の2者択一なものとの交換可能であり、例えば、NMOSとPMOS装置の型は交換してもよく、正電圧は負電圧と変更してもよい。

【0108】

上述の本発明に係る詳細な記載は、実例及び描写を目的として用意されたものであり、本発明を開示した詳細な形態に限定又は制限することを意図したものではない。上記教示において多くの改良や変形例が可能である。開示される実施形態は、本発明の本質を最も良く表すために選ばれたものであり、当業者であれば、実用上の変形例において、本発明を様々な実施形態において最適に利用し、特定の用途に合致するように様々な改良を加えることができる。本発明の範囲は、添付される特許請求の範囲によって定義されるものである。

30

【図 1】

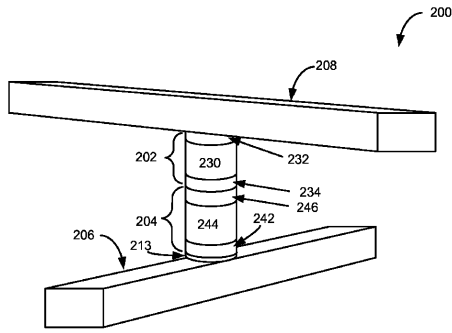


Fig. 1

【図 2】

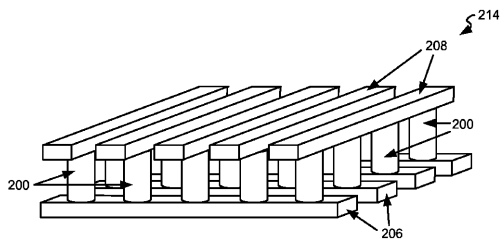


Fig. 2

【図 3】

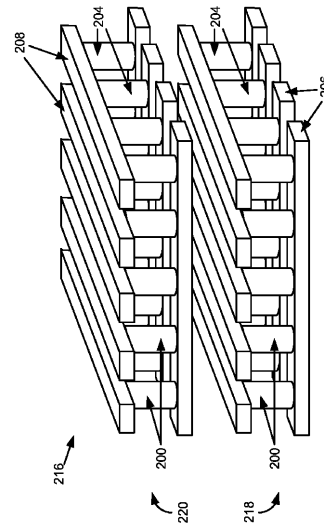


Fig. 3

【図 4】

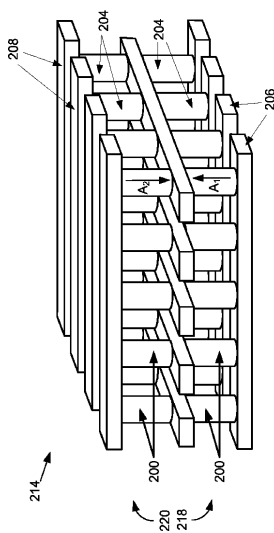


Fig. 4

【図 5】

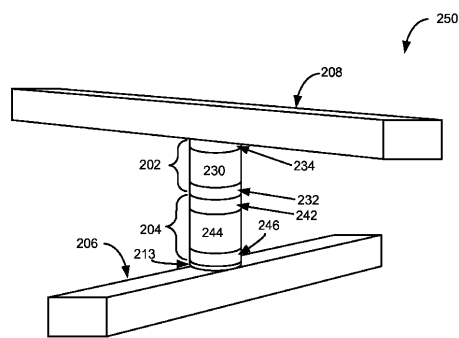
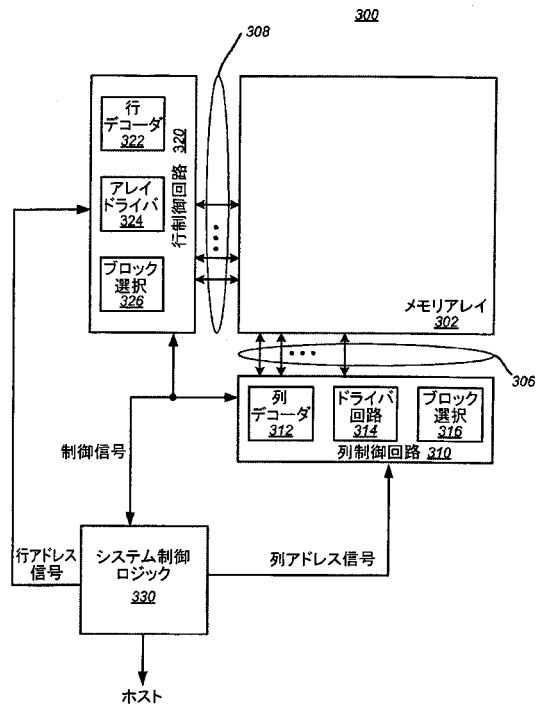
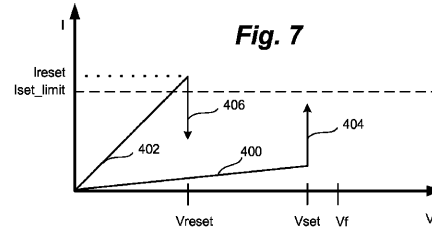


Fig. 5

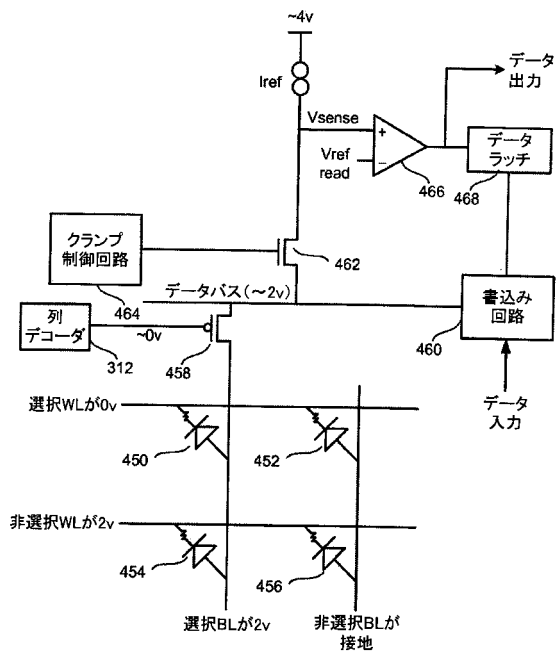
【 図 6 】



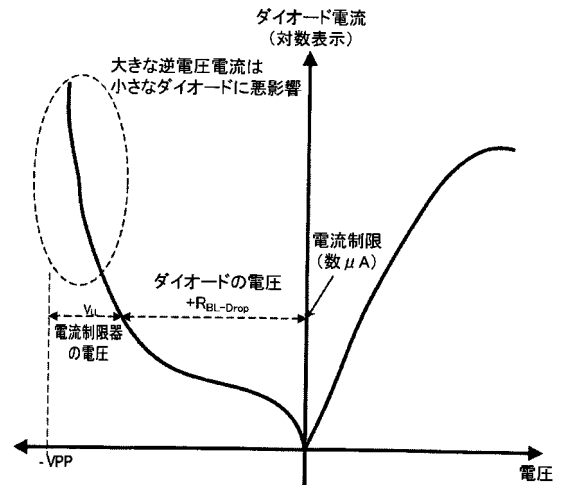
【 図 7 】



【圖 7 A】

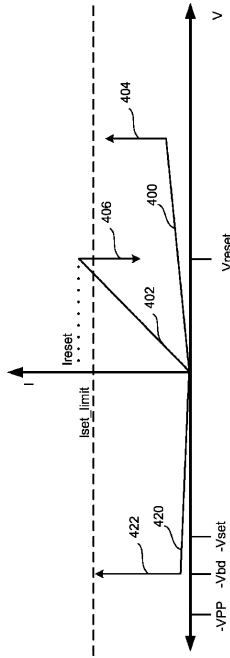


【 圖 8 】

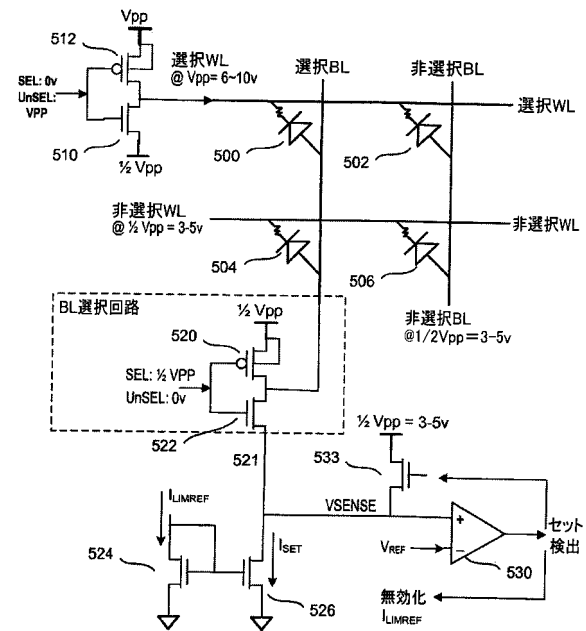


【図 9】

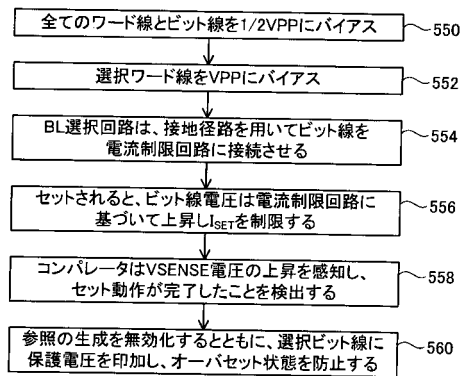
Fig. 9



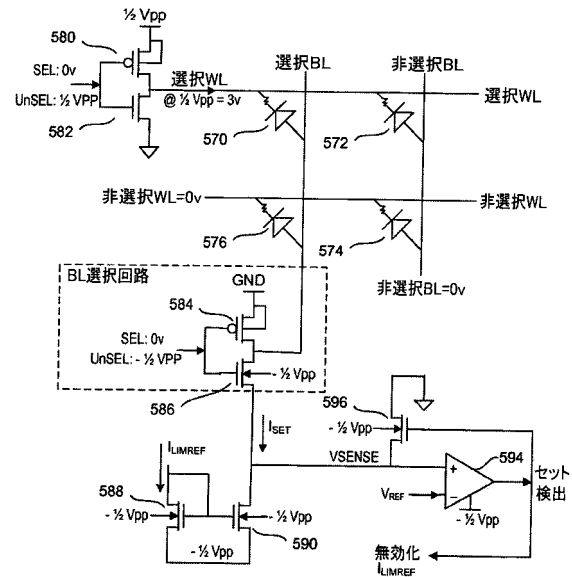
【図 10】



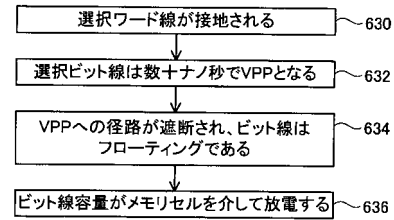
【図 11】



【図 12】



【 図 1 4 】



```

graph TD
    650[VPPの印加とメモリセルを介したビットラインの放電] --> 652[メモリセルを検証する]
    652 --> 654{メモリセル検証?}
    654 -- NO --> 650
    654 -- YES --> 656[メモリセルを非選択とする]
  
```

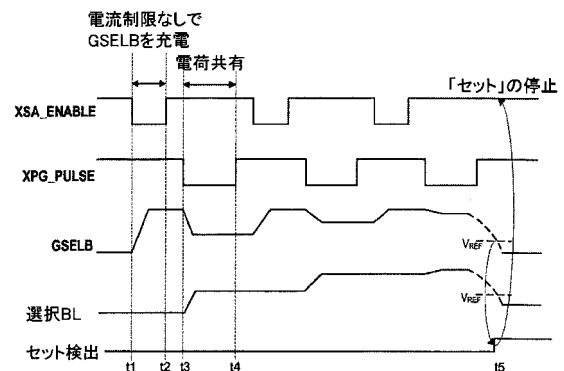
650 VPPの印加とメモリセルを介したビットラインの放電

652 メモリセルを検証する

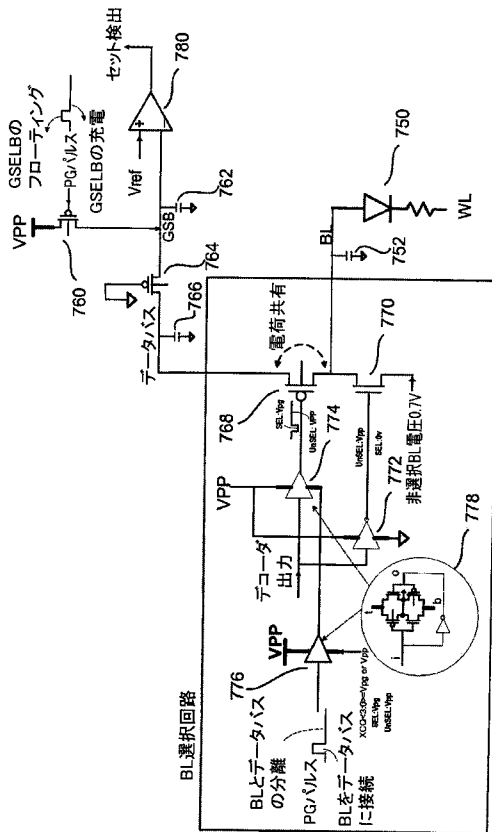
654 メモリセル検証？

656 メモリセルを非選択とする

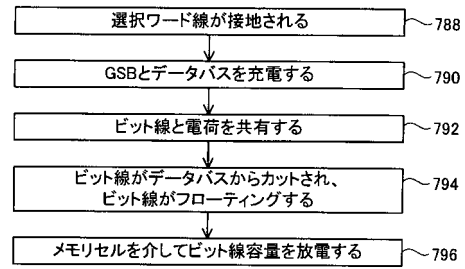
【 図 1 7 】



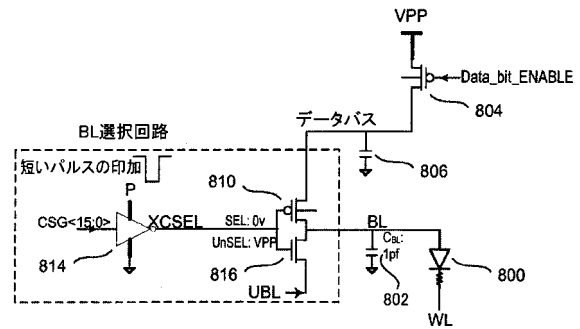
【図18】



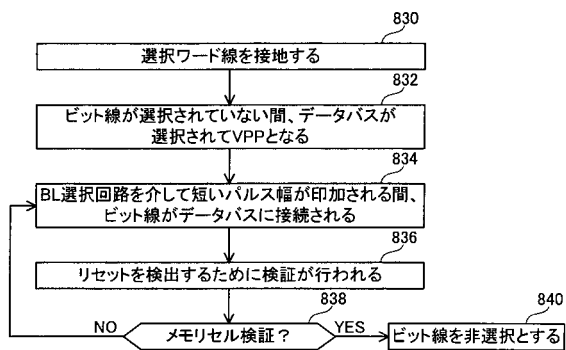
【図18A】



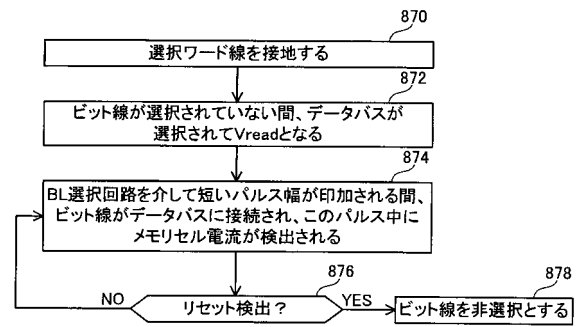
【図19】



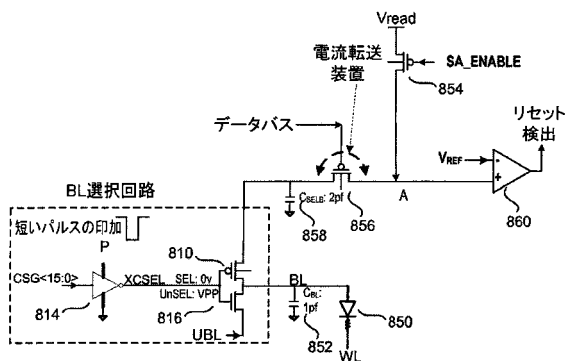
【図20】



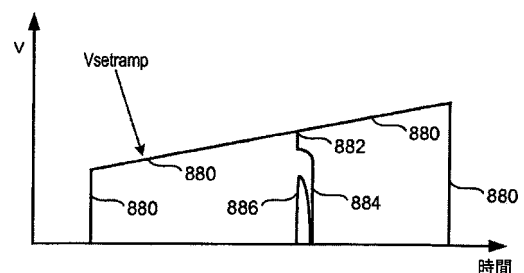
【図21A】



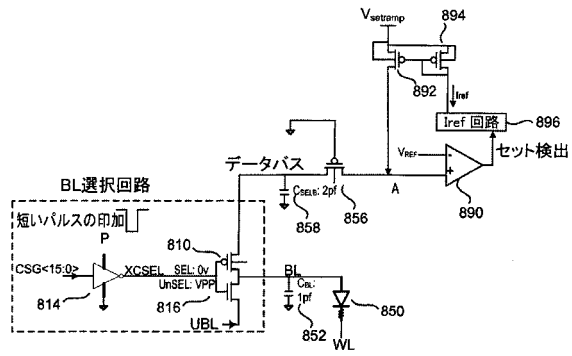
【図21】



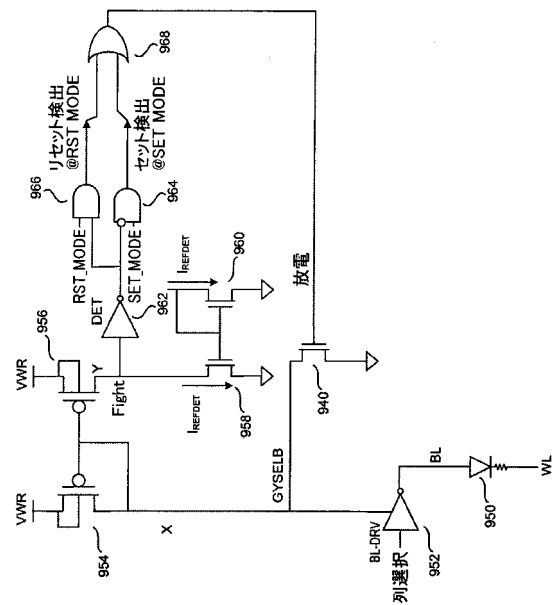
【図22】



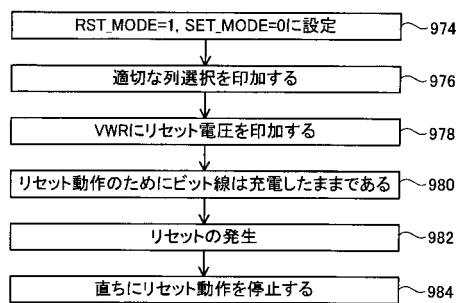
【図 2 2 A】



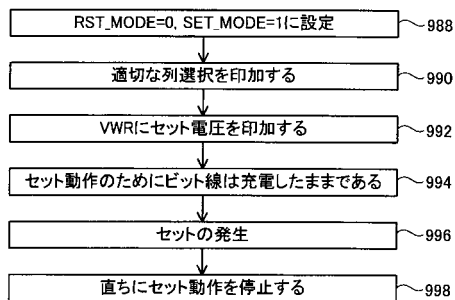
【図 2 3】



【図 2 4 A】



【図 2 4 B】



フロントページの続き

(72)発明者 ファゾーリ ルカ ジー .
アメリカ合衆国 9 5 0 3 5、カリフォルニア州、ミルピタス、マッカーシー ブールバード 6
0 1

(72)発明者 ヤン ティエンホン
アメリカ合衆国 9 5 0 3 5、カリフォルニア州、ミルピタス、マッカーシー ブールバード 6
0 1

審査官 後藤 彰

(56)参考文献 特開 2 0 0 9 - 2 5 2 2 5 3 (J P , A)
特表 2 0 0 5 - 5 1 4 7 1 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 3 / 0 0