



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0104561
(43) 공개일자 2020년09월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 5/36 (2006.01)
(52) CPC특허분류
G09G 3/2092 (2013.01)
G09G 5/363 (2013.01)
(21) 출원번호 10-2019-0023036
(22) 출원일자 2019년02월27일
심사청구일자 2019년02월27일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김선욱
경기 남양주시 도농로 34, 214동 2003호 (도농동, 부영그린타운)
김창현
경기도 성남시 분당구 미금일로 136, 503동 202호 (구미동, 까치마을건영빌라)
(74) 대리인
이기성

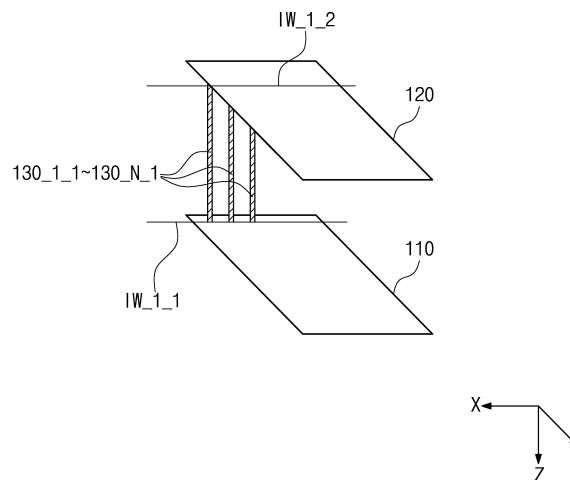
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛

(57) 요약

본 출원의 일 실시예에 따르는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛은, 제1 입력 배선이 형성되고, 외부로 연장된 제1 레이어, 상기 제1 레이어와 평행하게 이격되고, 제2 입력 배선이 형성된 적어도 하나의 제2 레이어 및 상기 제1 및 제2 레이어에 대해 수직으로, 상기 제1 및 제2 입력 배선을 전기적으로 연결하는 적어도 하나의 모놀로식 안티티어 비아를 포함한다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0421 (2013.01)

G09G 2330/021 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711069761
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	모노리틱 3D에 기반한 CPU/GPU 컴포넌트의 아키텍처적 설계
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

제1 입력 배선이 형성되고, 외부로 연장된 제1 레이어;

상기 제1 레이어와 평행하게 이격되고, 제2 입력 배선이 형성된 적어도 하나의 제2 레이어; 및

상기 제1 및 제2 레이어에 대해 수직으로, 상기 제1 및 제2 입력 배선을 전기적으로 연결하는 적어도 하나의 모놀로식 안티티어 비아를 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 2

제1항에 있어서,

상기 제1 레이어와 상기 적어도 하나의 제2 레이어 각각에, 동일한 격자 패턴으로 배치되는 복수의 3상태 버퍼들을 더 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 3

제2항에 있어서,

상기 제1 입력 배선을 따라 일단에 위치하는 하나의 입력 드라이버; 및

상기 복수의 3상태 버퍼들과 연결된 복수의 출력 배선들을 따라 일단에 위치하는 복수의 출력 드라이버를 더 포함하고,

상기 하나의 입력 드라이버는, 상기 제1 입력 배선을 통해 상기 복수의 3상태 버퍼들과 연결된 복수의 입력 배선들을 한번에 활성화시키는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 4

제3항에 있어서,

상기 복수의 출력 드라이버들을 서로 연결시키는 외부 모놀로식 안티티어 비아를 더 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 5

제2항에 있어서,

상기 적어도 하나의 모놀로식 안티티어 비아의 개수는 상기 복수의 3상태 버퍼들의 개수에 대응되는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 6

제1 출력 배선이 형성된 제1 레이어;

상기 제1 레이어와 평행하게 이격되고, 제2 출력 배선이 형성된 적어도 하나의 제2 레이어; 및

상기 제1 및 제2 레이어에 대해 수직으로, 상기 제1 및 제2 출력 배선을 전기적으로 연결하는 적어도 하나의 모놀로식 안티티어 비아를 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 7

제6항에 있어서,

상기 제1 레이어와 상기 적어도 하나의 제2 레이어 각각에, 동일한 격자 패턴으로 배치되는 복수의 3상태 버퍼들을 더 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 8

제7항에 있어서,

상기 제1 출력 배선을 따라 일단에 위치하는 하나의 출력 드라이버; 및

상기 복수의 3상태 버퍼들과 연결된 복수의 입력 배선들을 따라 일단에 위치하는 복수의 입력 드라이버를 더 포함하고,

상기 하나의 출력 드라이버는, 상기 제1 출력 배선을 통해 상기 복수의 3상태 버퍼들과 연결된 복수의 출력 배선들을 한번에 활성화시키는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 9

제8항에 있어서,

상기 복수의 입력 드라이버들을 서로 연결시키는 외부 모놀로식 안티티어 비아를 더 포함하는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

청구항 10

제7항에 있어서,

적어도 하나의 모놀로식 안티티어 비아의 개수는 상기 복수의 3상태 버퍼들의 개수에 대응되는, 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛.

발명의 설명

기술 분야

[0001] 본 출원은 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛에 관한 것으로, 특히, 종래의 배선 길이를 감소시킬 수 있는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛에 관한 것이다.

배경 기술

[0002] GPU(Graphics Processing Unit)는 높은 데이터 병렬 처리(data parallelism)를 위해, 레지스터 파일(register file), 캐시(cache), 공유 메모리(shared memory)를 사용하여 수 만개의 스레드(thread)를 실행할 수 있다. 더욱이, GPU 레지스터 파일의 크기는 점점 커지는 추세이고, 이에 따라 레지스터 파일의 소비 전력은 GPU 전체 소비 전력의 중요한 부분을 차지하게 된다.

[0003] 구체적으로, GPU 레지스터 파일은 레지스터 파일 뱅크(bank), 크로스바 네트워크(crossbar network), 오퍼랜드 콜렉터(operand collector), 아비터(arbiter)로 구성될 수 있다. 여기서, 레지스터 파일 뱅크(bank)는 GPU 시스템의 높은 처리량(throughput)을 위해 여러 뱅크(multiple bank)들로 구성될 수 있다.

[0004] 특히, 크로스바 네트워크는 대량의 배선(massive wire)들을 통해 레지스터 파일 뱅크와 오퍼랜드 콜렉터를 연결할 수 있다. 이러한 대량의 배선에서 발생하는 소비 전력은 GPU 레지스터 파일의 구성 요소 중 가장 크며, 대량의 배선의 길이는 크로스바 네트워크의 지연시간(delay)을 결정하는 중요한 요소일 수 있다.

[0005] 한편, 일반적인 3차원 집적 기술(integration technology)인 TSV 기반 방식은 두 다이(die) 사이에 수직으로 구멍(hole)을 뚫어 TSV를 통해 전극(electrode)을 형성하기 때문에, GPU 레지스터 파일과 같은 세분화된 아키텍처(fine-grained architecture)에 적합하지 않다.

[0006] 반면, 모놀리틱 3D 집적(monolithic 3D integration) 기술은 아주 작은 크기의 MIVs(monolithic inter-tier vias)를 사용하여 높은 밀도의 집적(high integration density)을 가능하게 한다. 특히, MIVs는 TSV보다 훨씬 높은 정렬 정밀도(alignment precision)를 지원하며, 우수한 전기적 특성(electrical characteristics)으로 인해 지연시간(delay)이 적고 동적 전력(dynamic power) 및 누설 전력(leakage power)이 낮다.

[0007] 이에, 본 출원에서, GPU 레지스터 파일의 구성 요소 중 크로스바 네트워크의 배선 연결을 단순화하고, 배선의 연결길이를 감소시켜 MIVs를 이용한 삼차원의 크로스바 네트워크 기반의 그래픽 처리 유닛을 제공하고자 한다.

발명의 내용

해결하려는 과제

[0008] 본 출원의 목적은, 이차원 크로스바 네트워크에 비해, 입력 배선 및 출력 배선 중 어느 하나의 배선의 길이를 감소시켜, 배선길이에 따른 소비전력을 감소시킬 수 있는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛을 제공하기 위한 것이다.

과제의 해결 수단

[0009] 본 출원의 일 실시예에 따르는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛은, 제1 입력 배선이 형성되고, 외부로 연장된 제1 레이어, 상기 제1 레이어와 평행하게 이격되고, 제2 입력 배선이 형성된 적어도 하나의 제2 레이어 및 상기 제1 및 제2 레이어에 대해 수직으로, 상기 제1 및 제2 입력 배선을 전기적으로 연결하는 적어도 하나의 모놀로식 안티티어 비아를 포함한다.

[0010] 실시예에 있어서, 상기 제1 레이어와 상기 적어도 하나의 제2 레이어 각각에, 동일한 격자 패턴으로 배치되는 복수의 3상태 버퍼들을 더 포함한다.

[0011] 실시예에 있어서, 상기 제1 입력 배선을 따라 일단에 위치하는 하나의 입력 드라이버 및 상기 복수의 3상태 버퍼들과 연결된 복수의 출력 배선들을 따라 일단에 위치하는 복수의 출력 드라이버를 더 포함하고, 상기 하나의 입력 드라이버는, 상기 제1 입력 배선을 통해 상기 복수의 3상태 버퍼들과 연결된 복수의 입력 배선들을 한번에 활성화시킨다.

[0012] 실시예에 있어서, 상기 복수의 출력 드라이버들을 서로 연결시키는 외부 모놀로식 안티티어 비아를 더 포함한다.

[0013] 실시예에 있어서, 상기 적어도 하나의 모놀로식 안티티어 비아의 개수는 상기 복수의 3상태 버퍼들의 개수에 대응된다.

[0014] 본 출원의 다른 실시예에 따르는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛은, 제1 출력 배선이 형성된 제1 레이어, 상기 제1 레이어와 평행하게 이격되고, 제2 출력 배선이 형성된 적어도 하나의 제2 레이어 및 상기 제1 및 제2 레이어에 대해 수직으로, 상기 제1 및 제2 출력 배선을 전기적으로 연결하는 적어도 하나의 모놀로식 안티티어 비아를 포함한다.

[0015] 실시예에 있어서, 상기 제1 레이어와 상기 적어도 하나의 제2 레이어 각각에, 동일한 격자 패턴으로 배치되는 복수의 3상태 버퍼들을 더 포함한다.

[0016] 실시예에 있어서, 상기 제1 출력 배선을 따라 일단에 위치하는 하나의 출력 드라이버 및 상기 복수의 3상태 버퍼들과 연결된 복수의 입력 배선들을 따라 일단에 위치하는 복수의 입력 드라이버를 더 포함하고, 상기 하나의 출력 드라이버는, 상기 제1 출력 배선을 통해 상기 복수의 3상태 버퍼들과 연결된 복수의 출력 배선들을 한번에 활성화시킨다.

[0017] 실시예에 있어서, 상기 복수의 입력 드라이버들을 서로 연결시키는 외부 모놀로식 안티티어 비아를 더 포함한다.

[0018] 실시예에 있어서, 적어도 하나의 모놀로식 안티티어 비아의 개수는 상기 복수의 3상태 버퍼들의 개수에 대응된다.

발명의 효과

[0019] 본 출원의 실시 예에 따른 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛은, 이차원 크로스바 네트워크에 비해, 입력 배선 및 출력 배선 중 어느 하나의 배선의 길이를 감소시켜, 배선길이에 따른 소비전력을 감소시킬 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 출원의 일 실시예에 따른 삼차원 크로스바 네트워크의 블록도이다.

도 2는 도 1의 삼차원 크로스바 네트워크에 대한 실시 예이다.

도 3은 도 2의 제1 레이어에 대한 평면도이다.

도 4는 도 2의 적어도 하나의 제2 레이어에 대한 평면도이다.

도 5는 본 출원의 다른 실시예에 따른 삼차원 크로스바 네트워크의 블록도이다.

도 6은 도 5의 삼차원 크로스바 네트워크에 대한 실시 예이다.

도 7은 도 6의 제1 레이어에 대한 평면도이다.

도 8은 도 6의 적어도 하나의 제2 레이어에 대한 평면도이다.

도 9는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛에 대한 실시 예이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0022] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0023] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0025] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0027] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.
- [0028] 도 1은 본 출원의 일 실시예에 따른 삼차원 크로스바 네트워크(100)의 블록도이다.
- [0029] 도 1을 참조하면, 삼차원 크로스바 네트워크(100)는 제1 레이어(110), 제2 레이어(120) 및 적어도 하나의 모놀로식 안티티어 비아(130_1_1~130_N_1)를 포함할 수 있다.
- [0030] 먼저, 제1 레이어(110)는 X축 방향의 외부로 연장된 제1 입력 배선(IW_1_1)이 형성될 수 있다.
- [0031] 다음으로, 적어도 하나의 제2 레이어(120)는 제1 레이어(110)와 평행하게 이격되고, 제1 입력 배선(IW_1_1)과 평행하는 제2 입력 배선(IW_1_2)이 형성될 수 있다. 여기서, 적어도 하나의 제2 레이어(120)는 설명의 편의를 위해 하나의 레이어로 도시되지만 이를 한정하는 것은 아니며, 적어도 하나의 제2 레이어(120)는 Z축 방향으로

동일한 레이어들이 복수개로 분할 형성될 수 있다.

- [0032] 본 출원의 기술적 사상에 따른 일 실시예에 있어서, 적어도 하나의 모놀로식 안티티어 비아(130_1_1~130_N_1)는 제1 및 제2 레이어(110, 120)에 대해 수직으로, 제1 및 제2 입력 배선(IW_1_1, IW_1_2)을 서로 연결시킬 수 있다.
- [0033] 이에 따라, 제1 및 제2 입력 배선(IW_1_1, IW_1_2)이 하나의 입력 배선으로 길게 연장되는 종래의 이차원 크로스바 네트워크에 비해, 삼차원 크로스바 네트워크(100)는 제1 및 제2 입력 배선(IW_1_1, IW_1_2)을 전기적으로 서로 연결시키면서, 제1 및 제2 입력 배선(IW_1_1, IW_1_2)을 각각의 연장 길이를 감소시켜 배선길이에 따른 소비전력을 감소시킬 수 있다.
- [0034] 도 2는 도 1의 삼차원 크로스바 네트워크(200)에 대한 실시 예이고, 도 3은 도 2의 제1 레이어(210)에 대한 평면도이고, 도 4는 도 2의 적어도 하나의 제2 레이어(220_1~220_L-1)에 대한 평면도이다.
- [0035] 이하, 도 2에서 도시된 입력 배선들, 출력 배선들 및 복수의 3상태 버퍼들(250_1_1~250_N_M)은 설명의 편의를 일부 구성들이 생략되었지만 이를 한정하는 것은 아니며, 도 3과 도 4에 도시된 평면도를 참조하여 설명될 것이다.
- [0036] 도 2 내지 도 4를 참조하면, 삼차원 크로스바 네트워크(200)는 제1 레이어(210), 적어도 하나의 제2 레이어(220_1~220_L-1), 복수의 모놀로식 안티티어 비아(230_1_1~230_N_M) 및 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M), 적어도 둘 이상의 출력 드라이버들(260_1~260_L) 및 하나의 입력 드라이버(270)를 포함할 수 있다.
- [0037] 먼저, 제1 레이어(210)는 X축 방향의 외부로 연장되는 제1 복수의 입력 배선들(IW_1_1~IW_M_1)이 형성될 수 있다. 즉, 제1 레이어(210)는 하나의 입력 드라이버(270)로 연장되는 제1 복수의 입력 배선들(IW_1_1~IW_M_1)이 형성될 수 있다.
- [0038] 또한, 제1 레이어(210)는 제1 출력 드라이버(260_1)에 연장되는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)이 형성될 수 있다.
- [0039] 다음으로, 적어도 하나의 제2 레이어(220_1~220_L-1)는 제1 레이어(210)와 평행하게 이격되고, 제1 복수의 입력 배선들(IW_1_1~IW_M_1)과 평행하는 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)이 형성될 수 있다. 즉, 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)은 제1 복수의 입력 배선들(IW_1_1~IW_M_1)과 다르게 하나의 입력 드라이버(270)로 연장되지 않을 수 있다.
- [0040] 또한, 적어도 하나의 제2 레이어(220_1~220_L-1)는 Y축 방향의 외부로 연장되는 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)이 형성될 수 있다. 즉, 적어도 하나의 제2 레이어(220_1~220_L-1)는 적어도 둘 이상의 출력 드라이버들(260_2~260_L)로 연장되는 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)이 형성될 수 있다.
- [0041] 다음으로, 복수의 모놀로식 안티티어 비아들(230_1_1~230_N_M)은 제1 레이어(210) 및 적어도 하나의 제2 레이어(220_1~220_L-1)에 대하여 수직으로, 제1 복수의 입력 배선들(IW_1_1~IW_M_1)과 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)을 전기적으로 연결할 수 있다. 예를 들면, 복수의 모놀로식 안티티어 비아들(230_1_1~230_N_M)은 양단 레이어 사이에 위치한 레이어를 관통할 수 있다.
- [0042] 이에, 복수의 모놀로식 안티티어 비아들(230_1_1~230_N_M)은 Z축 방향으로, 제1 복수의 입력 배선들(IW_1_1~IW_M_1)과 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)을 하나의 입력 드라이버(270)에 연결시킬 수 있어, 각 입력 배선 길이 감소에 따른 소비전력을 감소시킬 수 있다.
- [0043] 다음으로, 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M)은 제1 레이어(210) 및 적어도 하나의 제2 레이어(220_1~220_L-1)에 배치될 수 있다.
- [0044] 도 3 및 도 4에 도시된 바와 같이, 제1 복수의 3상태 버퍼들(250_1_1~250_N_M)은 제1 레이어(210)에 격자 패턴으로 배치되고, 제2 복수의 3상태 버퍼들(250_1_1_2~250_N_M_2)은 적어도 하나의 제2 레이어(220_1~220_L-1) 중 어느 하나의 레이어(예컨대, 220_1)에 격자 패턴으로 배치되며, 제L 복수의 3상태 버퍼들(250_1_1_L~250_N_M_L)은 적어도 하나의 제2 레이어(220_1~220_L-1) 중 상단에 위치한 레이어(예컨대, 220_L)에 배치될 수 있다.

- [0045] 즉, 각 복수의 3상태 버퍼들(250_1_1~250_N_M)은 레이어마다 동일한 격자 패턴으로 배치될 수 있다. 이때, 복수의 3상태 버퍼들(250_1_1~250_N_M)의 개수($N \times M$)는 복수의 모놀로식 안티티어 비아들(230_1_1~230_N_M)의 개수에 대응될 수 있다.
- [0046] 구체적으로, 각 3상태 버퍼(예컨대, 250_1_1)는 하나의 입력 배선(예컨대, IW_1_1), 하나의 출력 배선(예컨대, OW_1_1) 및 하나의 모놀로식 안티티어 비아(예컨대, 230_1_1)가 교차될 수 있다.
- [0047] 예를 들면, 각 3상태 버퍼(예컨대, 250_1_1)는 임시 저장 장치로서, 로우(low), 하이(high), 하이 임피던스(high impedance:Hi-Z)의 3가지 상태를 출력하는 논리 소자일 수 있다. 또한, 하나의 3상태 버퍼(예컨대, 250_1_1)는 제어신호에 따라, 하나의 입력 배선(예컨대, IW_1_1)을 하나의 출력 배선(예컨대, OW_1_1)으로 스위칭하여 데이터를 출력할 수 있다.
- [0048] 다음으로, 적어도 둘 이상의 출력 드라이버들(260_1~260_L)은 레이어 마다 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M_L)과 연결된 제1 내지 제L 복수의 출력 배선들(OW_1_1~OW_N_1, OW_1_2~OW_N_2, ..., OW_1_L~OW_N_L)을 따라 연장된 일단에 위치할 수 있다.
- [0049] 이때, 적어도 둘 이상의 출력 드라이버들(260_1~260_L)의 개수는 레이어 개수(L)에 대응될 수 있다.
- [0050] 한편, 적어도 둘 이상의 출력 드라이버들(260_1~260_L)은 외부 모놀로식 안티티어 비아들(예컨대, 231_1~231_N)을 통해 서로 전기적으로 연결될 수 있다. 예를 들면, 적어도 둘 이상의 출력 드라이버들(260_1~260_L)은 외부 모놀로식 안티티어 비아들(예컨대, 231_1~231_N)을 이용하여, 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M_L)로부터 출력받는 데이터를 하나의 출력 드라이버(예컨대, 260_1)를 통해 외부로 전달할 수 있다.
- [0051] 다음으로, 하나의 입력 드라이버(270)는 제1 레이어(210)로부터 제1 복수의 입력 배선(IW_1_1, IW_2_1, ..., IW_M_1)을 따라 연장된 일단에 위치할 수 있다.
- [0052] 실시예에 따른 하나의 입력 드라이버(270)는 제1 복수의 입력 배선(IW_1_1, IW_2_1, ..., IW_M_1)을 활성화하여, 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M_L)에 데이터를 한번에 전송할 수 있다.
- [0053] 예를 들면, 하나의 입력 드라이버(270)는 제1 복수의 입력 배선(IW_1_1, IW_2_1, ..., IW_M_1)을 활성화하여, 복수의 모놀로식 안티티어 비아(230_1_1~230_N_M)를 통해 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)을 활성화시킬 수 있다. 즉, 하나의 입력 드라이버(270)는 복수의 모놀로식 안티티어 비아(230_1_1~230_N_M)를 통해 제1 내지 제L 복수의 입력 배선들(IW_1_1~IW_M_1, IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)을 한번에 활성화시킬 수 있다.
- [0054] 이에 따라, 하나의 입력 드라이버(270)는 제1 복수의 입력 배선(IW_1_1, IW_2_1, ..., IW_M_1)을 통해 제1 내지 제L 복수의 3상태 버퍼들(250_1_1~250_N_M_L)에 동시에 데이터를 입력시킬 수 있다.
- [0055] 도 5는 본 출원의 다른 실시예에 따른 삼차원 크로스바 네트워크(300)의 블록도이다.
- [0056] 도 5를 참조하면, 삼차원 크로스바 네트워크(300)는 제1 레이어(310), 제2 레이어(320) 및 적어도 하나의 모놀로식 안티티어 비아(330_1_1~330_1_M)를 포함할 수 있다.
- [0057] 먼저, 제1 레이어(310)는 Y축 방향의 외부로 연장된 제1 출력 배선(OW_1_1)이 형성될 수 있다.
- [0058] 다음으로, 적어도 하나의 제2 레이어(320)는 제1 레이어(310)와 평행하게 이격되고, 제1 출력 배선(OW_1_1)과 평행하는 제2 출력 배선(OW_2_1)이 형성될 수 있다. 여기서, 적어도 하나의 제2 레이어(320)는 설명의 편의를 위해 하나의 레이어로 도시되지만 이를 한정하는 것은 아니며, 적어도 하나의 제2 레이어(320)는 Z축 방향으로 동일한 레이어들이 복수개로 분할 형성될 수 있다.
- [0059] 본 출원의 기술적 사상에 따른 다른 실시예에 있어서, 적어도 하나의 모놀로식 안티티어 비아(330_1_1~330_1_M)는 제1 및 제2 레이어(310, 320)에 대해 수직으로, 제1 및 제2 출력 배선(OW_1_1, OW_1_2)을 서로 연결시킬 수 있다.
- [0060] 이에 따라, 제1 및 제2 출력 배선(OW_1_1, OW_1_2)이 하나의 출력 배선으로 길게 연장되는 종래의 이차원 크로스바 네트워크에 비해, 삼차원 크로스바 네트워크(300)는 제1 및 제2 출력 배선(OW_1_1, OW_1_2)을 전기적으로 서로 연결시키면서, 제1 및 제2 출력 배선(OW_1_1, OW_2_1) 각각의 연장 길이를 감소시켜, 배선길이에 따른 소비 전력을 감소시킬 수 있다.

- [0061] 도 6은 도 5의 삼차원 크로스바 네트워크(400)에 대한 실시 예이고, 도 7은 도 6의 제1 레이어(410)에 대한 평면도이고, 도 8은 도 6의 적어도 하나의 제2 레이어(420_1~420_L-1)에 대한 평면도이다.
- [0062] 이하, 도 6에 도시된 입력 배선들, 출력 배선들 및 복수의 3상태 버퍼들(250_11~250_NM)은 설명의 편의를 일부 구성들이 생략되었지만 이를 한정하는 것은 아니며, 도 7과 도 8에 도시된 평면도를 참조하여 설명될 것이다.
- [0063] 도 6 내지 도 8을 참조하면, 삼차원 크로스바 네트워크(400)는 제1 레이어(410), 적어도 하나의 제2 레이어(420_1~420_L-1), 복수의 모놀로식 안티티어 비아들(430_1_1~430_N_M) 및 제1 내지 제L 복수의 3상태 버퍼들(450_1_1~450_N_M), 적어도 둘 이상의 입력 드라이버들(460_1~460_L) 및 하나의 출력 드라이버(470)를 포함할 수 있다.
- [0064] 먼저, 제1 레이어(410)는 Y축 방향의 외부로 연장되는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)이 형성될 수 있다. 즉, 제1 레이어(410)는 하나의 출력 드라이버(470)로 연장되는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)이 형성될 수 있다.
- [0065] 또한, 제1 레이어(410)는 제1 입력 드라이버(460_1)에 연장되는 제1 복수의 입력 배선들(OW_1_1~OW_M_1)이 형성될 수 있다.
- [0066] 다음으로, 적어도 하나의 제2 레이어(420_1~420_L-1)는 제1 레이어(410)와 평행하게 이격되고, 제1 복수의 출력 배선들(OW_1_1~OW_N_1)과 평행하는 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)이 형성될 수 있다. 즉, 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)은 제1 복수의 출력 배선들(OW_1_1~OW_N_1)과 다르게 하나의 출력 드라이버(470)로 연장되지 않을 수 있다.
- [0067] 또한, 적어도 하나의 제2 레이어(420_1~420_L-1)는 X축 방향의 외부로 연장되는 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)이 형성될 수 있다. 즉, 적어도 하나의 제2 레이어(220_1~220_L-1)는 적어도 둘 이상의 입력 드라이버들(460_2~460_L)로 연장되는 제2 내지 제L 복수의 입력 배선들(IW_1_2~IW_M_2, IW_1_3~IW_M_3, ..., IW_1_L~IW_M_L)이 형성될 수 있다.
- [0068] 다음으로, 복수의 모놀로식 안티티어 비아들(430_1_1~430_N_M)은 제1 레이어(410) 및 적어도 하나의 제2 레이어(420_1~420_L-1)에 대하여 수직으로, 제1 복수의 출력 배선들(OW_1_1~OW_N_1)과 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)을 전기적으로 연결할 수 있다. 예를 들면, 복수의 모놀로식 안티티어 비아들(430_1_1~430_N_M)은 양단 레이어 사이에 위치한 레이어를 관통할 수 있다.
- [0069] 이에, 복수의 모놀로식 안티티어 비아들(430_1_1~430_N_M)은 Z축 방향으로, 제1 복수의 출력 배선들(OW_1_1~OW_N_1)과 제2 내지 제L 복수의 출력 배선들(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)을 하나의 출력 드라이버(470)에 연결시킬 수 있어, 각 출력 배선 길이 감소에 따른 소비전력을 감소시킬 수 있다.
- [0070] 다음으로, 제1 내지 제L 복수의 3상태 버퍼들(450_1_1~450_N_M_L)은 제1 레이어(410) 및 적어도 하나의 제2 레이어(420_1~420_L-1)에 배치될 수 있다.
- [0071] 도 7과 도 8에 도시된 바와 같이, 제1 복수의 3상태 버퍼들(450_1_1_1~450_N_M_1)은 제1 레이어(410)에 격자 패턴으로 배치되고, 제2 복수의 3상태 버퍼들(450_1_1_2~450_N_M_2)은 적어도 하나의 제2 레이어(420_1~420_L-1) 중 어느 하나의 레이어(예컨대, 420_1)에 격자 패턴으로 배치되며, 제L 복수의 3상태 버퍼들(450_1_1_L~450_N_M_L)은 적어도 하나의 제2 레이어(420_1~420_L-1) 중 상단에 위치한 레이어(예컨대, 420_L)에 배치될 수 있다.
- [0072] 즉, 각 복수의 3상태 버퍼들(450_1_1~450_N_M)은 레이어마다 동일한 격자 패턴으로 배치될 수 있다. 이때, 각 복수의 3상태 버퍼들(450_1_1~450_N_M)의 개수(N×M)는 복수의 모놀로식 안티티어 비아들(430_1_1~430_N_M)의 개수에 대응될 수 있다.
- [0073] 구체적으로, 각 3상태 버퍼(예컨대, 450_1_1)는 하나의 입력 배선(예컨대, IW_1_1), 하나의 출력 배선(예컨대, OW_1_1) 및 하나의 모놀로식 안티티어 비아(예컨대, 430_1_1)가 교차될 수 있다.
- [0074] 예를 들면, 각 3상태 버퍼(예컨대, 450_1_1)는 임시 저장 장치로서, 로우(low), 하이(high), 하이 임피던스(high impedance; Hi-Z)의 3가지 상태를 출력하는 논리 소자일 수 있다. 또한, 하나의 3상태 버퍼(예컨대, 450_1_1)는 제어신호에 따라, 하나의 입력 배선(예컨대, IW_1_1)을 하나의 출력 배선(예컨대, OW_1_1)으로 스위칭하여 데이터를 출력할 수 있다.

- [0075] 다음으로, 적어도 둘 이상의 입력 드라이버들(460_1~460_L)은 레이어 마다 제1 내지 제L 복수의 3상태 버퍼들(450_1_1_1~450_N_M_L)과 연결된 제1 내지 제L 복수의 입력 배선(IW_1_1~IW_M_1, IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)을 따라 연장된 일단에 위치할 수 있다.
- [0076] 이때, 적어도 둘 이상의 입력 드라이버들(460_1~460_L)의 개수는 레이어 개수(L)에 대응될 수 있다.
- [0077] 한편, 적어도 둘 이상의 입력 드라이버들(460_1~460_L)은 외부 모놀로식 안티티어 비아들(예컨대, 431_1~431_N)을 통해 서로 전기적으로 연결될 수 있다. 예를 들면, 적어도 둘 이상의 입력 드라이버들(460_1~460_L)은 외부 모놀로식 안티티어 비아들(예컨대, 431_1~431_N)을 이용하여, 외부로부터 어느 하나의 입력 드라이버(예컨대, 360_1)로 입력받는 데이터를 나머지 입력 드라이버(예컨대, 360_2~360_L)에 공유할 수 있다.
- [0078] 다음으로, 하나의 출력 드라이버(470)는 제1 레이어(410)로부터 제1 복수의 출력 배선들(OW_1_1~OW_N_1)을 따라 연장된 일단에 위치할 수 있다.
- [0079] 실시예에 따른 하나의 출력 드라이버(470)는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)을 활성화하여, 제1 내지 제L 복수의 3상태 버퍼들(250_1_1_1~250_N_M_L)로부터 데이터를 한번에 전송받을 수 있다.
- [0080] 예를 들면, 하나의 출력 드라이버(470)는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)을 활성화하여, 복수의 모놀로식 안티티어 비아(430_1_1~430_N_M)를 통해 제2 내지 제L 복수의 출력 배선(OW_1_2~OW_N_2, OW_1_3~OW_N_3, ..., OW_1_L~OW_N_L)을 활성화시킬 수 있다. 즉, 하나의 출력 드라이버(470)는 복수의 모놀로식 안티티어 비아(430_1_1~430_N_M)를 통해 제1 내지 제L 복수의 출력 배선(OW_1_1~OW_N_1, OW_1_2~OW_N_2, ..., OW_1_L~OW_N_L)을 한번에 활성화시킬 수 있다.
- [0081] 이에 따라, 하나의 출력 드라이버(470)는 제1 복수의 출력 배선들(OW_1_1~OW_N_1)을 통해 제1 내지 제L 복수의 3상태 버퍼들(450_1_1_1~450_N_M_L)로부터 데이터를 동시에 전송받을 수 있다.
- [0082] 도 9는 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛(1000)에 대한 실시 예이다.
- [0083] 도 1 내지 도 9를 참조하면, 그래픽 처리유닛(1000)은 삼차원 크로스바 네트워크(500), 레지스터 파일부(610), 오퍼랜드 콜렉터부(620) 및 아비터(630)를 포함할 수 있다.
- [0084] 먼저, 삼차원 크로스바 네트워크(500)는 제1 내지 제L 복수의 입력 배선들(IW_1_1~IW_M_1, IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)과 제1 내지 제L 복수의 출력 배선들(OW_1_1~OW_N_1, OW_1_2~OW_N_2, ..., OW_1_L~OW_N_L)을 포함할 수 있다.
- [0085] 일 실시예에 따른 삼차원 크로스바 네트워크(500)는 제1 내지 제L 복수의 입력 배선들(IW_1_1~IW_M_1, IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)이 한번에 활성화될 수 있다. 도 2에 도시된 바와 같이, 삼차원 크로스바 네트워크(500)는 하나의 입력 드라이버(270)를 통해 제1 내지 제L 복수의 입력 배선들(IW_1_1~IW_M_1, IW_1_2~IW_M_2, ..., IW_1_L~IW_M_L)을 한번에 활성화시킬 수 있다.
- [0086] 다른 실시예에 따른 삼차원 크로스바 네트워크(500)는 제1 내지 제L 복수의 출력 배선들(OW_1_1~OW_N_1, OW_1_2~OW_N_2, ..., OW_1_L~OW_N_L)이 한번에 활성화될 수 있다. 도 7에 도시된 바와 같이, 삼차원 크로스바 네트워크(500)는 하나의 출력 드라이버(470)를 통해 제1 내지 제L 복수의 출력 배선들(OW_1_1~OW_N_1, OW_1_2~OW_N_2, ..., OW_1_L~OW_N_L)을 한번에 활성화시킬 수 있다.
- [0087] 다음으로, 레지스터 파일부(610)는 SRAM memory 구조로 형성된 복수개의 뱅크들(610_1~610_N)을 포함할 수 있다.
- [0088] 여기서, 복수개의 뱅크들(610_1~610_N)은 일련의 실행 코드에 해당하는 스레드(Thread)의 모든 컨텍스트(Context)를 저장할 수 있다. 구체적으로, 복수개의 뱅크들(10_1~10_N)은 스레드(Thread)의 모든 컨텍스트(Context) 중 오퍼랜드(Operand)를 저장할 수 있다. 여기서, 오퍼랜드(Operand)는 명령 실행에 사용되는 데이터나 정보를 의미할 수 있다.
- [0089] 도 2에 도시된 바와 같이, 실시예에 따른 복수개의 뱅크들(10_1~10_N)은 하나의 입력 드라이버(270)를 통해 활성화되는 삼차원 크로스바 네트워크(500)에 대해 오퍼랜드(Operand)를 동시에 전송할 수 있다.
- [0090] 다음으로, 오퍼랜드 콜렉터부(620)는 레지스터 파일부(610)에 오퍼랜드(Operand)를 요청함에 따라, 복수개의 뱅크들(10_1~10_N)로부터 삼차원 크로스바 네트워크(500)를 통해 오퍼랜드(Operand)를 전송받아 저장하고, 스레드(Thread)가 수행될 때, 실행유닛으로 전달할 수 있다.

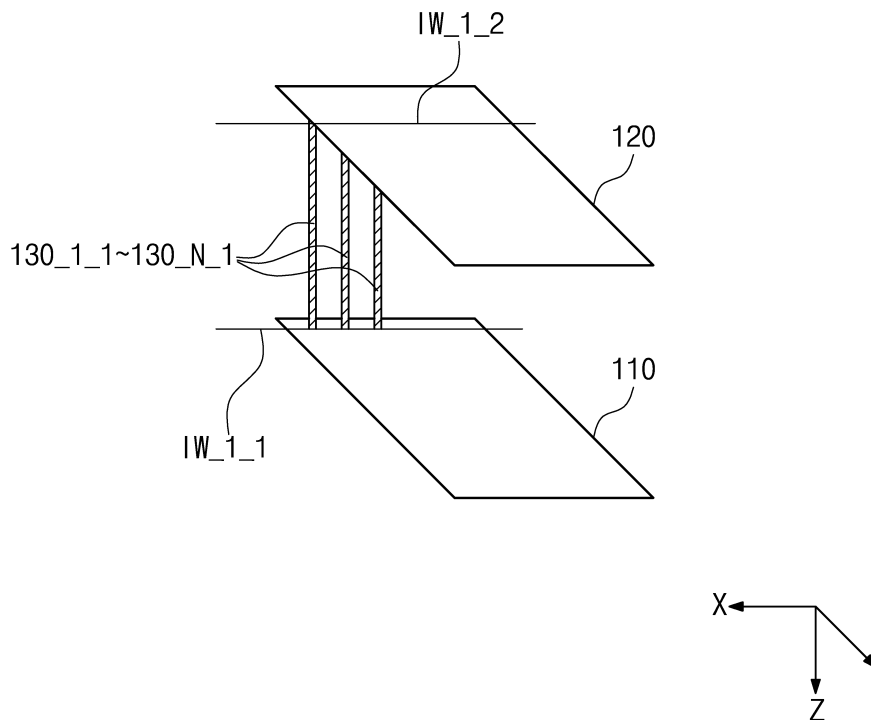
- [0091] 도 7에 도시된 바와 같이, 실시예에 따른 오퍼랜드 콜렉터부(620)는 하나의 출력 드라이버(470)를 통해 활성화되는 삼차원 크로스바 네트워크(500)에 대해 오퍼랜드(Operand)를 한번에 전송받을 수 있다.
- [0092] 이때, 어비터(630)는 복수개의 뱅크들(610_1~610_N)로부터 삼차원 크로스바 네트워크(500)를 통해 오퍼랜드 콜렉터부(620)로 전송되는 오퍼랜드(Operand)에 대한 요청 장애(request conflict)를 차단할 수 있도록, 삼차원 크로스바 네트워크(500)를 스케줄러 기능을 제어할 수 있다.
- [0093] 본 출원의 실시예에 따른 삼차원 크로스바 네트워크 기반의 그래픽 처리유닛(1000)은 종래의 이차원 크로스바 네트워크의 각 배선 길이를 감소시킬 수 있어, 배선 길이에 따라 소모되는 소비전력을 감소시킬 수 있다. 나아가, 종래의 이차원 크로스바 네트워크 면적 대비 감소된 삼차원 크로스바 네트워크(500)로 인하여, 그래픽 처리유닛(1000)은 상대적으로 복수개의 뱅크들(10_1~10_N)과 오퍼랜드 콜렉터부(20)의 면적을 늘릴 수 있게 하는 효과가 있다.
- [0094] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

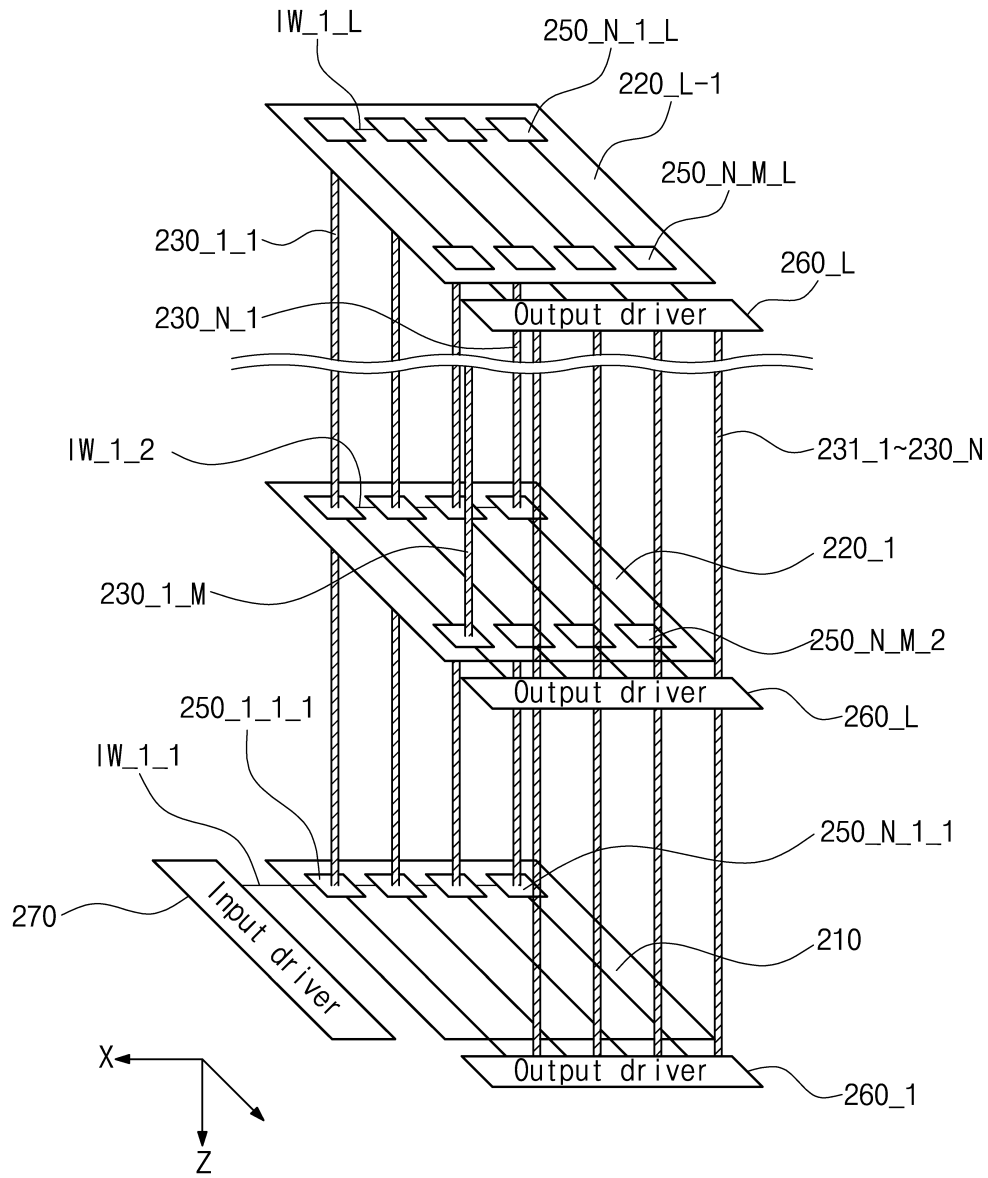
- [0095] 100, 200, 300, 400, 500: 삼차원 크로스바 네트워크
- 110: 제1 레이어
- 120: 제2 레이어
- 130_1_1~130_N_M: 적어도 하나의 모듈로식 안티티어 비아
- 1000: 그래픽 처리유닛

도면

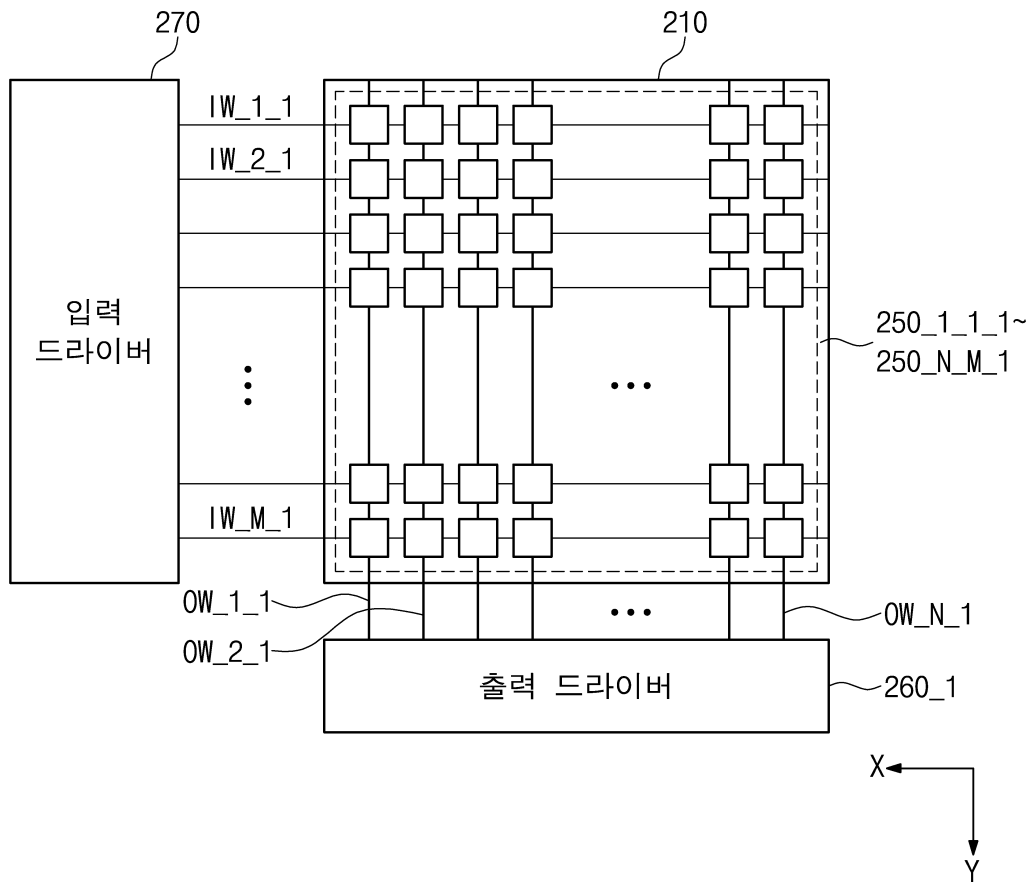
도면1



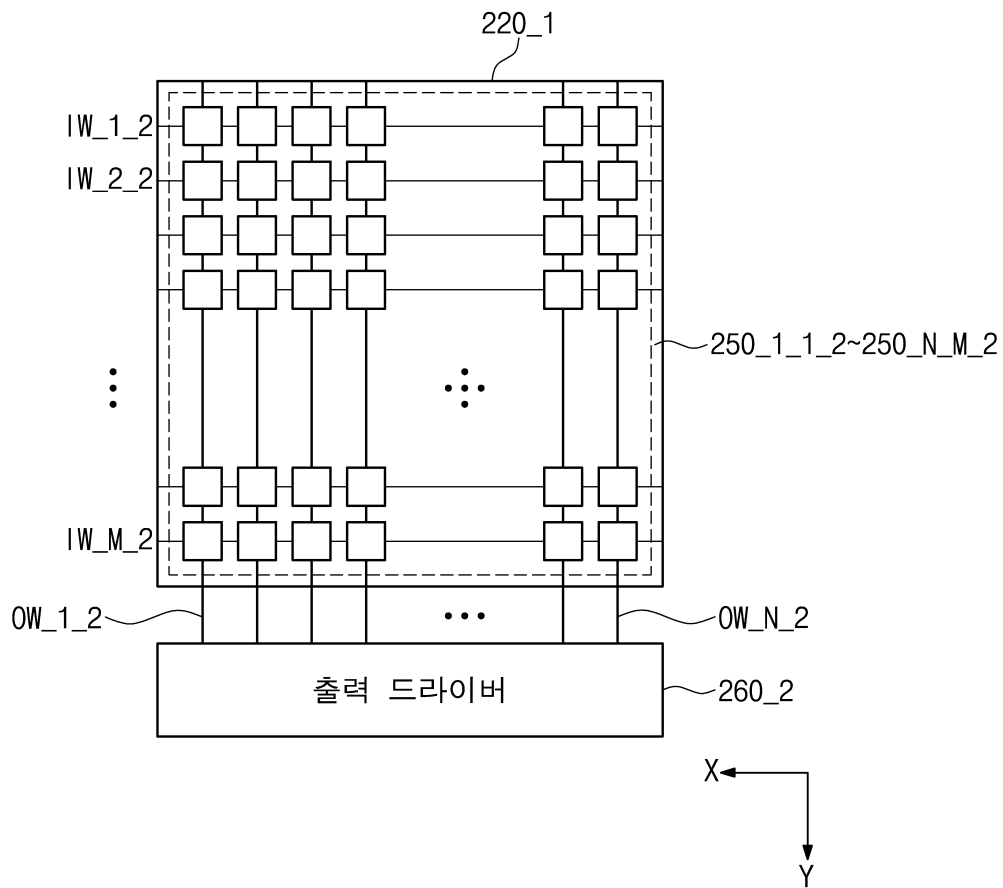
도면2



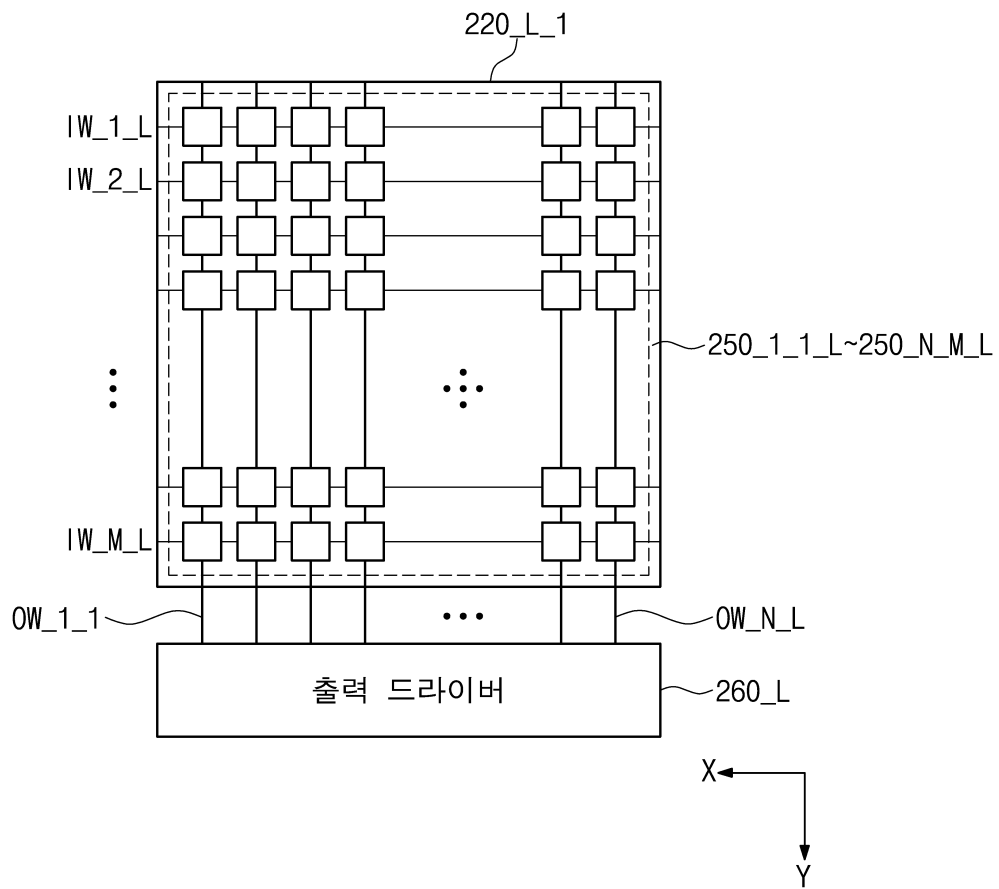
도면3



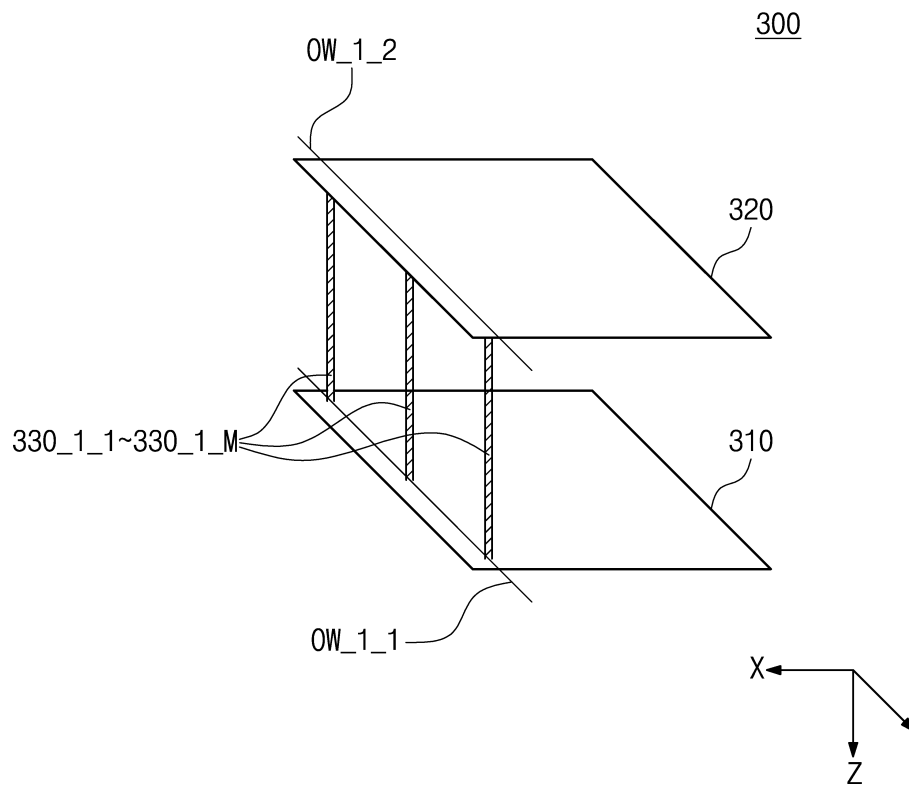
도면4a



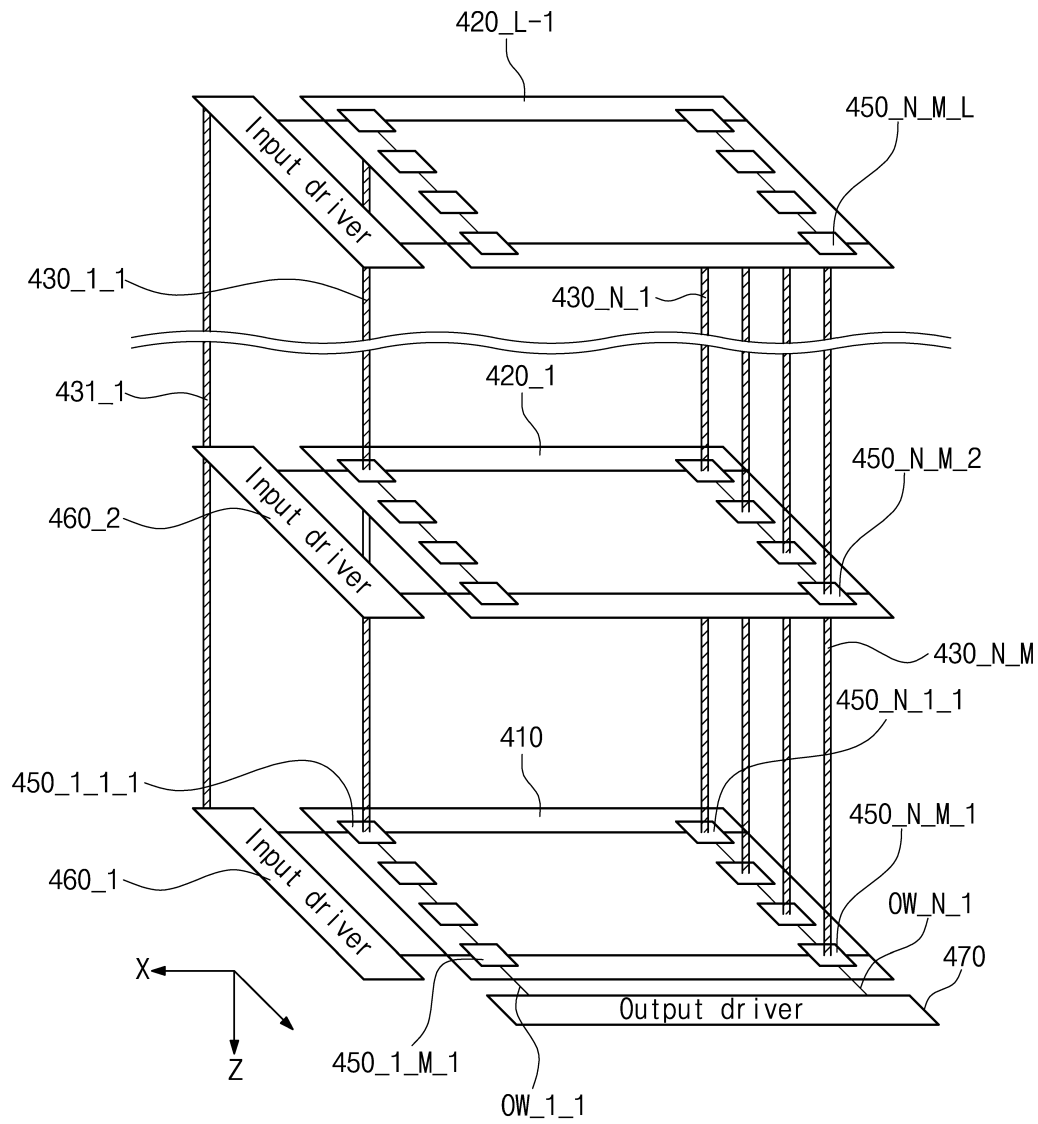
도면4b



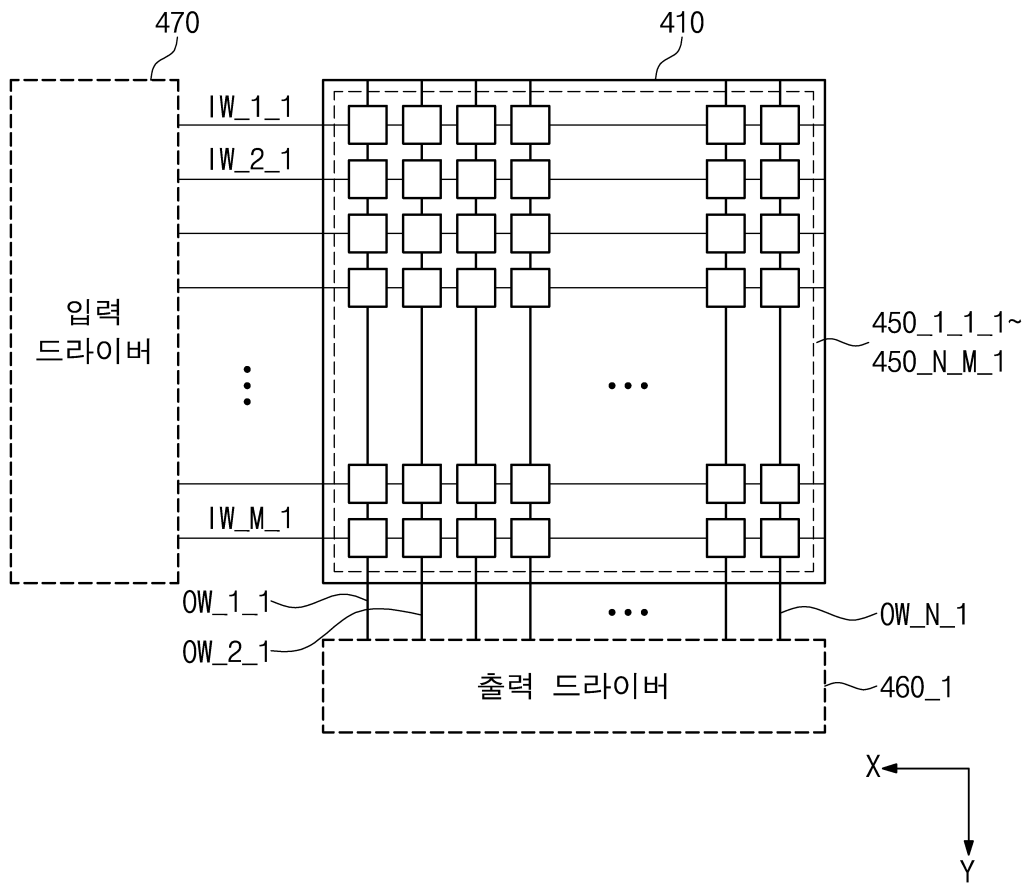
도면5



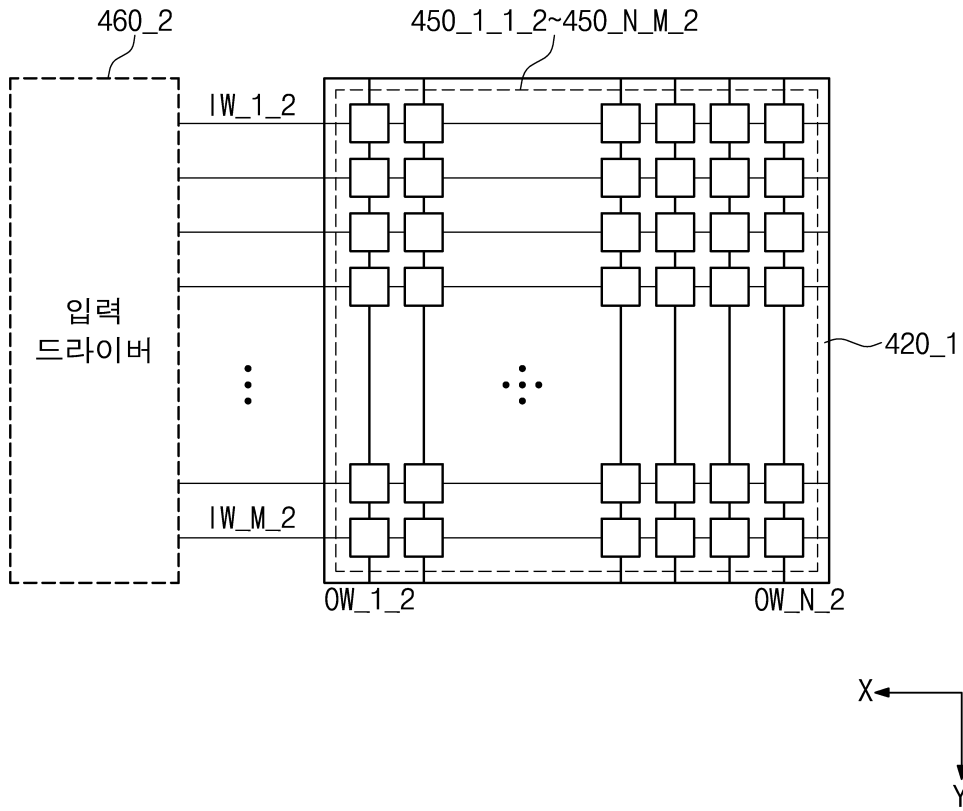
도면6



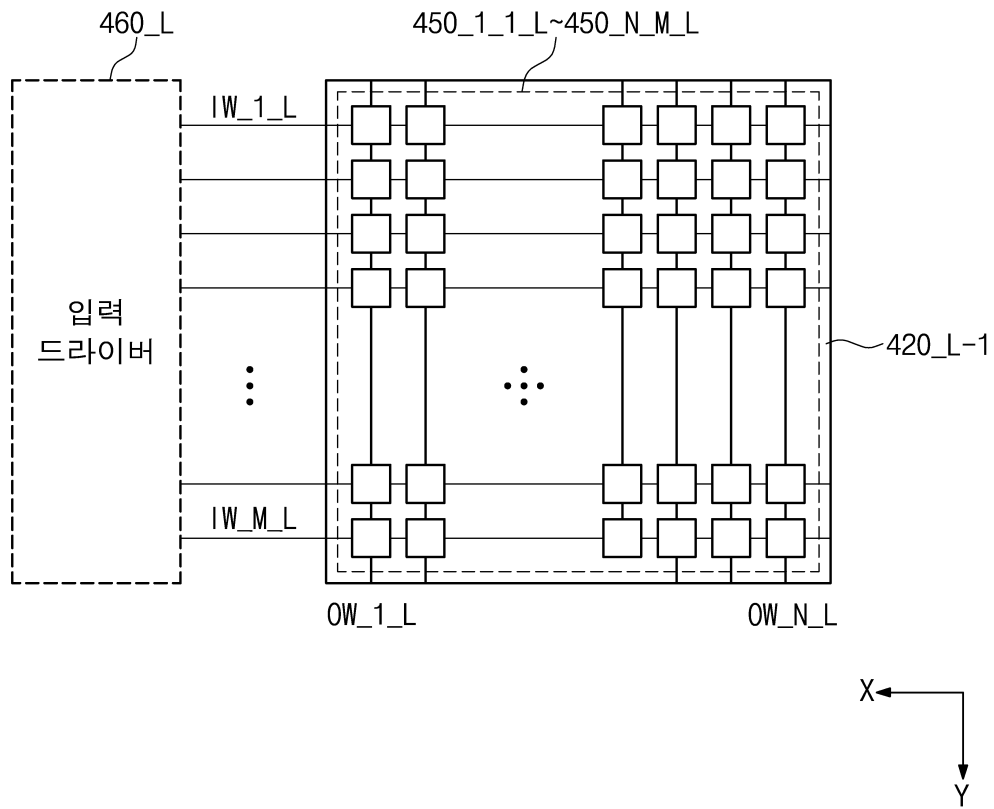
도면7



도면 8a



도면 8b



도면9

