



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년03월23일  
 (11) 등록번호 10-0889553  
 (24) 등록일자 2009년03월12일

(51) Int. Cl.  
*H01L 23/48* (2006.01) *H01L 21/60* (2006.01)  
 (21) 출원번호 10-2007-0073544  
 (22) 출원일자 2007년07월23일  
 심사청구일자 2007년07월23일  
 (65) 공개번호 10-2009-0010442  
 (43) 공개일자 2009년01월30일  
 (56) 선행기술조사문헌  
 KR1020060007682 A  
 KR100752198 B1  
 KR1020080024277 A  
 KR1020050115143 A

(73) 특허권자  
**주식회사 동부하이텍**  
 서울특별시 강남구 대치동 891-10  
 (72) 발명자  
**정오진**  
 경기 부천시 오정구 내동 25-5  
 (74) 대리인  
**김용인, 박영복**

전체 청구항 수 : 총 12 항

심사관 : 김기영

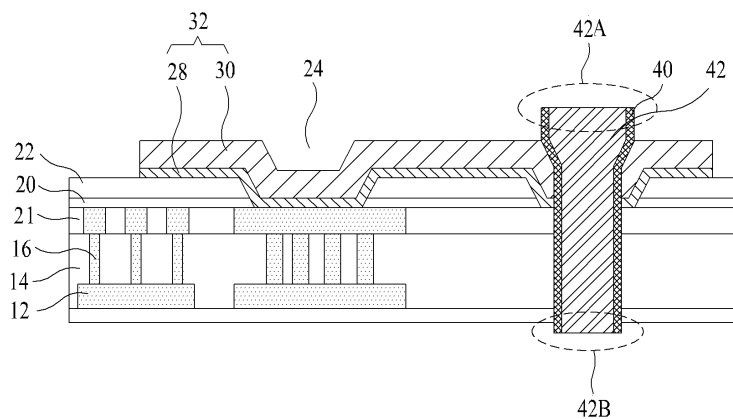
**(54) 시스템 인 패키지 및 그 제조 방법**

**(57) 요약**

본 발명은 비아 컨덕터와 범프를 동시에 형성함으로써 제조 공정을 단순화할 수 있는 시스템 인 패키지 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명의 시스템 인 패키지의 제조 방법은 금속 배선이 형성된 반도체 기판에 페시베이션막을 형성하는 단계와; 상기 페시베이션막을 패터닝하여 제1 및 제2 개구부를 형성하는 단계와; 상기 제1 및 제2 개구부를 덮고 상기 제1 개구부를 통해 상기 금속 배선과 접속된 패드를 형성하는 단계와; 상기 패드가 형성된 페시베이션막 상에 포토레지스트를 형성하는 단계와; 상기 제2 개구부와 중첩된 영역에, 상기 포토레지스트부터 상기 패드를 관통하여 상기 반도체 기판의 일부까지 연장된 깊은 트렌치를 형성하는 단계와; 상기 깊은 트렌치 내부에 상기 패드와 사이드 컨택되는 비아 컨덕터를 형성하는 단계와; 상기 포토레지스트를 제거하여 상기 비아 컨덕터의 일측단을 제1 범프로 돌출시키는 단계와; 상기 반도체 기판의 배면을 식각하여 상기 비아 컨덕터 타측단을 제2 범프로 돌출시키는 단계와; 상기 제1 및 제2 범프를 다른 반도체 칩 또는 인쇄회로기판과 전기적으로 연결시키는 단계를 포함한다.

**대표도 - 도11**



**특허청구의 범위**

**청구항 1**

금속 배선이 형성된 반도체 기판에 페시베이션막을 형성하는 단계와;  
 상기 페시베이션막을 패터닝하여 제1 및 제2 개구부를 형성하는 단계와;  
 상기 제1 및 제2 개구부를 덮고 상기 제1 개구부를 통해 상기 금속 배선과 접속된 패드를 형성하는 단계와;  
 상기 패드가 형성된 페시베이션막 상에 포토레지스트를 형성하는 단계와;  
 상기 제2 개구부와 중첩된 영역에, 상기 포토레지스트로부터 상기 패드를 관통하여 상기 반도체 기판의 일부까지 연장된 깊은 트렌치를 형성하는 단계와;  
 상기 깊은 트렌치 내부에 상기 패드와 사이드 컨택되는 비아 컨덕터를 형성하는 단계와;  
 상기 포토레지스트를 제거하여 상기 비아 컨덕터의 일측단을 제1 범프로 돌출시키는 단계와;  
 상기 반도체 기판의 배면을 식각하여 상기 비아 컨덕터 타측단을 제2 범프로 돌출시키는 단계와;  
 상기 제1 및 제2 범프를 다른 반도체 칩 또는 인쇄회로기판과 전기적으로 연결시키는 단계를 포함하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 2**

청구항 1에 있어서,  
 상기 페시베이션막을 형성하는 단계는  
 질화물 페시베이션막을 형성하는 단계와;  
 TEOS 페시베이션막을 형성하는 단계를 포함하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 3**

청구항 2에 있어서,  
 상기 질화물 페시베이션막은 2000~3000Å 범위의 두께로 형성하고, 상기 TEOS 페시베이션막은 6000~10000Å 범위의 두께로 형성하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 4**

청구항 1에 있어서,  
 상기 포토레지스트의 두께는 2~10 $\mu$ m 범위의 두께로 형성되며, 90:1의 높은 식각선택비를 갖는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 5**

청구항 1에 있어서,  
 상기 깊은 트렌치의 선포는 10~30 $\mu$ m 범위로, 깊이는 40 $\mu$ m 이상에서 상기 반도체 기판이 관통되지 않는 범위 내로 형성하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 6**

청구항 1에 있어서,  
 상기 비아 컨덕터는 구리로 형성되고,  
 상기 비아 컨덕터를 형성한 후, 상기 깊은 트렌치의 내면에 상기 비아 컨덕터를 감싸도록 배리어 메탈과 시드 메탈을 순차적으로 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 7**

청구항 6에 있어서,

상기 배리어 메탈은 Ti, TiN, TiSiN, Ta, TaN 계열의 메탈을 포함하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 8**

청구항 6에 있어서,

상기 비아 컨덕터를 전기 도금 또는 무전해 전기 도금을 이용하는 형성하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 9**

청구항 8에 있어서,

상기 비아 컨덕터의 깊이를 10~20 $\mu$ m 범위로 형성하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 10**

청구항 6에 있어서,

상기 비아 컨덕터를 150℃ 20분~120분 조건하에서 어닐링하는 단계를 추가로 포함하는 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 11**

청구항 1에 있어서,

상기 비아 컨덕터는 상기 패드의 경사 측면 및 수직 측면과 컨택된 것을 특징으로 하는 시스템 인 패키지의 제조 방법.

**청구항 12**

다수의 반도체 칩이 적층된 구조로 인쇄 회로 기판과 접속된 시스템 인 패키지에서, 적어도 하나의 반도체 칩은,

금속 배선을 포함한 반도체 기판 상에 형성되고, 제1 및 제2 개구부가 형성된 페시베이션막과;

상기 페시베이션 상에서 상기 제1 및 제2 개구부를 덮고, 상기 제1 개구부를 통해 상기 금속 배선과 접속된 패드와;

상기 제2 개구부와 중첩된 영역에서, 상기 패드부터 상기 반도체 기판을 관통하여 형성되고, 상기 패드와 사이드 컨택된 비아 컨덕터와;

상기 비아 컨덕터와 일체화되고 상기 패드 보다 돌출된 제1 범프와;

상기 비아 컨덕터와 일체화되고 상기 반도체 기판 보다 돌출된 제2 범프를 구비하는 것을 특징으로 하는 시스템 인 패키지.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체 소자 패키지의 제조 방법에 관한 것으로서, 특히 다수의 반도체 칩이 적층 구조로 연결된 시스템 인 패키지의 공정 수를 감소시킬 수 있는 시스템 인 패키지 및 그 제조 방법에 관한 것이다.

**배경기술**

<2> 각종 전자기기의 모바일화, 소형화, 다기능화가 진행되면서 다양한 칩을 한 개의 패키지에 구현하는 3차원(3D) 시스템 인 패키지(System In Package; SIP)에 대한 관심이 고조되고 있다. 기존 휴대용 기기에서는 메모리등

반도체 개별 소자들이 각각 패키지 형태로 내장되어 상호 연결되었으나, 시스템 인 패키지 기술을 활용하면 모든 개별소자들을 하나의 패키지 안에 내장할 수 있어서 제품을 소형화할 수 있고 소비전력을 감소시키면서 다양한 기능을 구현할 수 있다. 시스템 인 패키지 기술은 메모리, 로직 디바이스, 센서, 컨버터 등에 적용되고 있다.

- <3> 종래의 시스템 인 패키지는 반도체 칩을 관통하는 비아 컨덕터(Via Conductor)를 이용하여 적층된 다수의 반도체 칩들을 전기적으로 연결함과 아울러 반도체 칩들을 인쇄 회로 기판(Printed Circuit Board; 이하 PCB)와 전기적으로 연결한다.
- <4> 그러나, 종래의 시스템 인 패키지는 비아 컨덕터를 적용함에 따라 제조 공정이 복잡한 문제가 있다. 예를 들면, 종래의 시스템 인 패키지의 제조 방법은 반도체 칩에 비아 컨덕터를 형성하는 공정 이외에도, 비아 컨덕터와 패드를 연결하는 컨덕터를 형성하는 공정과, 패드 상에 다른 반도체 칩 또는 PCB와의 전기적 연결을 위한 범프를 형성하는 공정 등을 더 필요로 함으로써 제조 공정이 복잡한 문제가 있다. 또한, 식각이 어려운 구리(Cu)를 이용하여 범프를 형성하는 경우에는 구리층 패터닝을 위한 화학 기계적 연마(Chemical Mechanical Polishing; 이하 CMP) 공정이 더 추가되어야 하므로 제조 공정은 더욱 복잡해지게 된다.

**발명의 내용**

**해결 하고자하는 과제**

- <5> 따라서, 본 발명이 해결하고자 하는 과제는 비아 컨덕터와 범프를 동시에 형성함으로써 제조 공정을 단순화할 수 있는 시스템 인 패키지 및 그 제조 방법을 제공하는 것이다.

**과제 해결수단**

- <6> 상기 과제를 해결하기 위하여, 본 발명에 따른 시스템 인 패키지의 제조 방법은 금속 배선이 형성된 반도체 기판에 페시베이션막을 형성하는 단계와; 상기 페시베이션막을 패터닝하여 제1 및 제2 개구부를 형성하는 단계와; 상기 제1 및 제2 개구부를 덮고 상기 제1 개구부를 통해 상기 금속 배선과 접촉된 패드를 형성하는 단계와; 상기 패드가 형성된 페시베이션막 상에 포토레지스트를 형성하는 단계와; 상기 제2 개구부와 중첩된 영역에, 상기 포토레지스트부터 상기 패드를 관통하여 상기 반도체 기판의 일부까지 연장된 깊은 트렌치를 형성하는 단계와; 상기 깊은 트렌치 내부에 상기 패드와 사이드 컨택되는 비아 컨덕터를 형성하는 단계와; 상기 포토레지스트를 제거하여 상기 비아 컨덕터의 일측단을 제1 범프로 돌출시키는 단계와; 상기 반도체 기판의 배면을 식각하여 상기 비아 컨덕터 타측단을 제2 범프로 돌출시키는 단계와; 상기 제1 및 제2 범프를 다른 반도체 칩 또는 인쇄회로기판과 전기적으로 연결시키는 단계를 포함한다.
- <7> 상기 페시베이션막을 형성하는 단계는 질화물 페시베이션막을 형성하는 단계와; TEOS 페시베이션막을 형성하는 단계를 포함하고, 상기 질화물 페시베이션막은 2000~3000Å 범위의 두께로, 상기 TEOS 페시베이션막은 6000~10000Å 범위의 두께로 형성한다.
- <8> 상기 포토레지스트의 두께는 2~10μm 범위의 두께로 형성되며, 90:1의 높은 식각선택비를 갖는다.
- <9> 상기 깊은 트렌치의 선포는 10~30μm 범위로, 깊이는 40μm 이상에서 상기 반도체 기판이 관통되지 않는 범위 내로 형성한다.
- <10> 상기 비아 컨덕터는 구리로 형성되고, 상기 본 발명은 깊은 트렌치의 내면에 상기 비아 컨덕터를 감싸도록 배리어 메탈과 시드 메탈을 순차적으로 형성하는 단계를 추가로 포함한다. 상기 배리어 메탈은 Ti, TiN, TiSiN, Ta, TaN 계열의 메탈을 포함한다. 상기 비아 컨덕터를 전기 도금 또는 무전해 전기 도금을 이용하는 형성한다. 상기 비아 컨덕터의 깊이를 10~20μm 범위로 형성한다.
- <11> 그리고, 본 발명은 상기 비아 컨덕터를 150℃ 20분~120분 조건하에서 어닐링하는 단계를 추가로 포함한다.
- <12> 상기 비아 컨덕터는 상기 패드의 경사 측면 및 수직 측면과 컨택된다.
- <13> 본 발명의 다른 특징에 따른 시스템 인 패키지는 다수의 반도체 칩이 적층된 구조로 인쇄 회로 기판과 접촉된 시스템 인 패키지에서, 적어도 하나의 반도체 칩은, 금속 배선을 포함한 반도체 기판 상에 형성되고, 제1 및 제2 개구부가 형성된 페시베이션막과; 상기 페시베이션 상에서 상기 제1 및 제2 개구부를 덮고, 상기 제1 개구부를 통해 상기 금속 배선과 접촉된 패드와; 상기 제2 개구부와 중첩된 영역에서, 상기 패드부터 상기 반도체 기판을 관통하여 형성되고, 상기 패드와 사이드 컨택된 비아 컨덕터와; 상기 비아 컨덕터와 일체화되고 상기 패드

보다 돌출된 제1 범프와; 상기 비아 컨덕터와 일체화되고 상기 반도체 기판 보다 돌출된 제2 범프를 구비한다.

**효 과**

<14> 본 발명에 따른 반도체 소자 패키지 및 그 제조 방법은 패드와 사이트 콘택으로 직접 연결된 비아 컨덕터를 범프와 일체화된 구조로 동시에 형성함으로써 공정 수를 줄이고 제조 원가를 절감하여 생산성을 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

<15> 상기 특징 외에 본 발명의 다른 특징 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<16> 이하, 본 발명의 바람직한 실시 예들을 첨부한 도 1 내지 도 12를 참조하여 상세하게 설명하기로 한다.

<17> 도 1 내지 도 12는 본 발명의 실시 예에 따른 시스템 인 패키지의 제조 방법을 단계적으로 나타낸 단면도들이다.

<18> 본 발명의 시스템 인 패키지의 제조 방법은 도 1 내지 도 4에 도시된 바와 같이 임의의 반도체 칩 상에 패드(30)를 형성하는 공정과, 도 5 내지 도 11에 도시된 바와 같이 패드(30)부터 반도체 기판(10)까지 관통하여 형성되고 제1 및 제2 범프(42A, 42B)와 일체화된 비아 컨덕터(42)를 형성하는 공정과, 도 12에 도시된 바와 같이 도 11에 도시된 반도체 칩(50)을 다른 반도체 칩(60) 및 PCB(70)와 적층 구조로 서로 연결하는 본딩 공정을 포함한다. 본 발명의 실시 예에서는 저저항 금속인 구리(Cu)를 이용하여 비아 컨덕터(42)를 형성한 경우를 예로 들어 설명하기로 한다.

<19> 도 1을 참조하면, 반도체 기판(10) 상에 임의의 반도체 칩에 적당한 하부 구조물이 형성된다. 하부 구조물은 다수의 금속 배선 및 절연막을 포함하는 것으로, 도면에는 반도체 기판(10) 상에 형성된 다수의 하부 금속 배선(12) 및 상부 금속 배선(18)과, 상하부 금속 배선(18, 12) 사이의 절연막(14)을 관통하여 상하부 금속 배선(19, 12)을 각각 전기적으로 연결하는 콘택(14)과, 상부 금속 배선(18)이 매립된 절연막(21)을 포함하는 예를 개략적으로 도시하였다. 상부 금속 배선(18)으로 구리를 이용하는 경우 절연막(21)을 패터닝하여 상부 금속 배선(18)이 형성될 트렌치를 형성하고, 트렌치에 매립되고 절연막(21)의 표면의 덮도록 구리를 증착한 다음, CMP 공정으로 절연막(21)이 노출될 때까지 구리를 식각함으로써 절연막(21)과 같은 평탄한 표면을 갖는 상부 금속 배선(18)이 형성된다.

<20> 이어서, 상부 금속 배선(18)이 매립된 절연막(21) 상에 복층 구조로 제1 및 제2 페시베이션막(20, 22)을 형성한다. 제1 페시베이션막(20)은 SiNx 등과 같은 질화 절연물을 증착하여 2000~3000Å 정도의 두께로 형성할 수 있다. 제2 페시베이션막(22)은 낮은 유전 상수를 갖는 산화 절연물, 예를 들면 TEOS(Tetra Etyl Ortho Silicate)를 6000~10000Å 정도의 두께로 형성할 수 있다.

<21> 도 2를 참조하면, 제1 및 제2 페시베이션막(22)을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 제1 및 제2 개구부(24, 26)를 형성한다. 제1 개구부(24)는 후속 공정에서 형성될 패드와 전기적으로 접속될 상부 금속 배선(18)을 노출시킨다. 제2 개구부(26)는 후속 공정에서 비아 컨덕터가 형성될 영역을 마련한다.

<22> 도 3을 참조하면, 개구부(24, 26)가 형성된 페시베이션막(22) 상에 배리어 메탈(Barrier Metal; 28)과 패드 메탈(Pad Metal)(30)이 순차적으로 형성된다. 예를 들면, 알루미늄(Al) 패드를 형성하고자 하는 경우, 알루미늄 패드 배리어 메탈(28)과, 알루미늄 메탈(30)이 페시베이션막(22) 상에 적층된다.

<23> 도 4를 참조하면, 패드 메탈(30) 및 배리어 메탈(28)을 포토리소그래피 공정 및 식각 공정으로 패터닝하여 제1 및 제2 개구부(24, 26)를 덮는 패드(32)를 형성한다. 배리어 메탈(28) 및 패드 메탈(30)이 적층된 패드(32)는 제1 개구부(24)를 통해 상부 금속 배선(18)과 전기적으로 연결된다.

<24> 도 5를 참조하면, 패드(32)가 형성된 페시베이션막(22) 상에 포토레지스트(34)가 코팅된다. 예를 들면, 포토레지스트(34)는 2~10μm 정도의 두께로 코팅되고 90:1 정도의 높은 선택비(High Selectivity)를 갖는 것을 이용할 수 있다.

<25> 도 6을 참조하면, 포토레지스트(36)를 포토리소그래피 공정으로 패터닝하여 후속의 비아 컨덕터가 형성될 영역을 오픈하는 트렌치(36)를 형성한다. 포토레지스트(36)를 관통하는 트렌치(36)는 도 2에 도시된 페시베이션막(20, 22)의 제2 개구부(26)와 중첩된다.

- <26> 도 7을 참조하면, 포토레지스트(36)를 관통하는 트렌치(36)는 패드(32)를 관통하여 반도체 기판(10)의 하부까지 연장되어 깊게 형성된다. 깊은 트렌치(36)는 고속 식각 장비를 이용하여 패드(32) 및 페시베이션막(22, 20)과 절연막(14, 12)을 관통하고 반도체 기판(10)의 하부까지 연장되어 형성되지만, 반도체 기판(10)을 관통하지 않도록 형성한다. 예를 들면, 깊은 트렌치(36)는 10~30μm 정도의 선폭을 갖고, 40μm 정도의 깊이를 갖도록 형성할 수 있다. 깊은 트렌치(36)는 패드(32)의 측면, 예를 들면 경사면 및 수직면이 노출되도록 패드(32)를 관통한다.
- <27> 도 8 및 도 9를 참조하면, 깊은 트렌치(36)의 내면에 배리어 메탈(40)을 형성한 다음, 깊은 트렌치(36)에 구리를 매립하여 비아 컨덕터(42)를 형성하고, 구리 어닐링(annealing) 공정을 실시한다. 구리가 반도체 기판(10) 또는 절연막(14)으로 유기 절연물을 이용한 경우 유기 절연막(14)으로의 확산을 방지하기 위하여, 배리어 메탈(40)로 Ti, TiN, TiSiN, Ta, TaN 계열의 메탈을 이용한다. 그 다음, 배리어 메탈(40) 상에 시드(Seed) 메탈(미도시)을 더 형성한 다음, 전기도금법 또는 무전해도금법으로 구리 도금 공정을 실시하여 깊은 트렌치(36)를 가득 채운 구리 비아 컨덕터(42)를 형성하고, 구리 비아 컨덕터(42)의 안정화를 위해 150℃ 20분~120분 조건하에서 어닐링 처리한다. 비아 컨덕터(42)는 배리어 메탈(40)을 통해 패드(32)의 측면, 즉 경사면 및 수직면과 사이드 콘택(Side contact) 구조로 접속된다. 비아 컨덕터(42)는 10~20μm 정도의 깊이를 갖도록 형성될 수 있다.
- <28> 도 10을 참조하면, 포토레지스트(36)를 식각하여 비아 컨덕터(42)의 상단부가 돌출된 구조를 갖게 한다. 패드(32) 위로 돌출된 비아 컨덕터(42)의 상부 돌출부는 다른 반도체 칩 또는 PCB와 전기적으로 연결되는 제1 범프(42A) 기능을 한다.
- <29> 도 11을 참조하면, 반도체 기판(10)의 배면을 그라인딩하여 비아 컨덕터(42)의 하단부가 돌출된 구조를 갖게 한다. 반도체 기판(10)의 배면을 실리콘 식각비가 상대적으로 높은 식각 방법으로 백그라인딩하여 비아 컨덕터(42)가 노출될 때까지 반도체 기판(10)을 식각한다. 비아 컨덕터(42)의 식각비가 반도체 기판(10) 보다 낮으므로 비아 컨덕터(42)를 하단부가 돌출된다. 반도체 기판(10) 아래로 돌출된 비아 컨덕터(42)는 다른 반도체 칩 또는 PCB와 전기적으로 연결되는 제2 범프(42B) 기능을 한다. 반도체 기판(10)의 백그라인딩으로 비아 컨덕터(42) 하부의 배리어 메탈(40)도 식각되어 비아 컨덕터(42)의 하면이 노출된다.
- <30> 이에 따라, 임의의 반도체 칩(50)을 관통하는 비아 컨덕터(42)가 돌출 구조의 제1 및 제2 범프(42A, 42B)와 일체화된 구조로 동시에 형성되고, 비아 컨덕터(42)는 패드(32)를 관통하여 사이드 콘택된다. 따라서, 종래의 패드와 비아 컨덕터를 연결하는 컨덕터를 형성하는 공정과, 범프를 형성하는 공정, 구리 CMP 공정 등을 제거할 수 있으므로 공정 수가 감소된다.
- <31> 한편, 임의의 반도체 칩(50)이 마지막 층에 위치하여 반도체 기판(10)의 배면이 다른 소자와 전기적으로 접속될 필요가 없는 경우, 즉 제2 범프(42B)가 필요없는 경우 도 11에 도시된 반도체 기판(10)의 백그라인딩 공정을 생략할 수 있다.
- <32> 도 12를 참조하면, 도 11에 도시된 반도체 칩(50)을 다른 반도체 칩(60) 및 PCB(70)와 적층 구조로 연결하는 본딩 공정을 수행한다. 예를 들면, 반도체 칩(50)의 비아 컨덕터(42)와 일체화되고 반도체 기판(10) 보다 돌출된 제2 범프(42B)를 다른 반도체 칩(60)의 범프(62)와 전기적으로 연결하는 본딩 공정을 수행한다. 그리고, 반도체 칩(50)의 비아 컨덕터(42)와 일체화되고 패드(32) 보다 돌출된 제2 범프(42B)를 PCB(70)와 전기적으로 연결하는 본딩 공정을 수행한다.
- <33> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

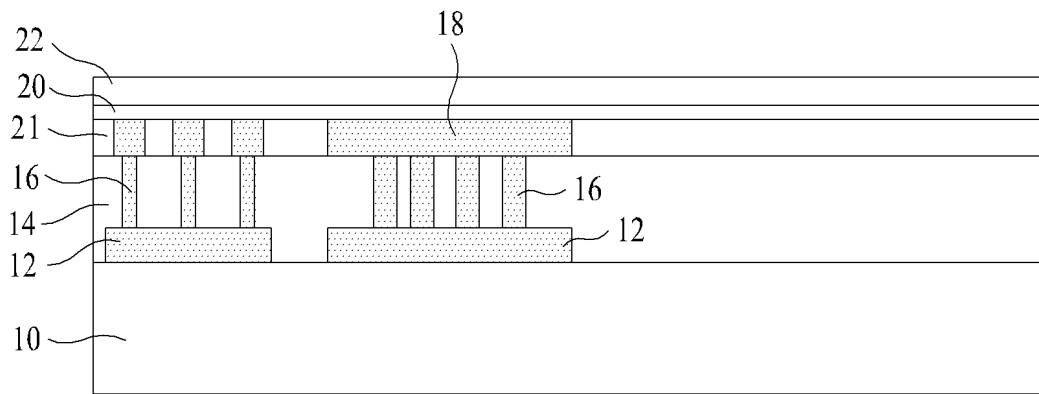
### 도면의 간단한 설명

- <34> 도 1 내지 도 12는 본 발명의 실시 예에 따른 시스템 인 패키지의 제조 방법을 단계적으로 나타낸 단면도들.
- <35> <도면의 도면 부호에 대한 간단한 설명>
- <36> 10 : 반도체 기판    12 : 하부 금속 배선
- <37> 14, 21 : 절연막    16 : 콘택
- <38> 18 : 상부 금속 배선    20, 22 : 페시베이션

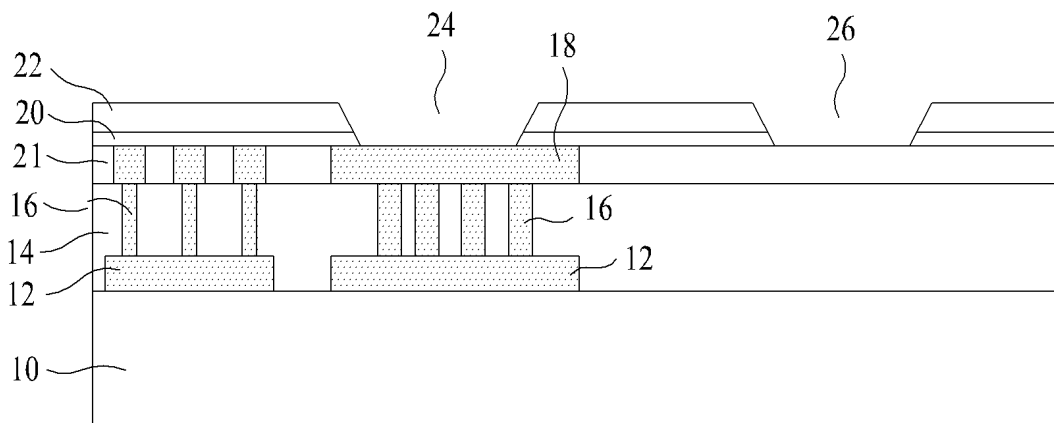
- <39> 24, 26 : 개구부
- <40> 30 : 패드 메탈
- <41> 36 : 트렌치
- <42> 42A, 42B : 범프
- <43> 70 : 인쇄 회로 기판
- 28, 40 : 배리어 메탈
- 32 : 패드
- 42 : 비아 컨덕터
- 50, 60 : 반도체 칩

도면

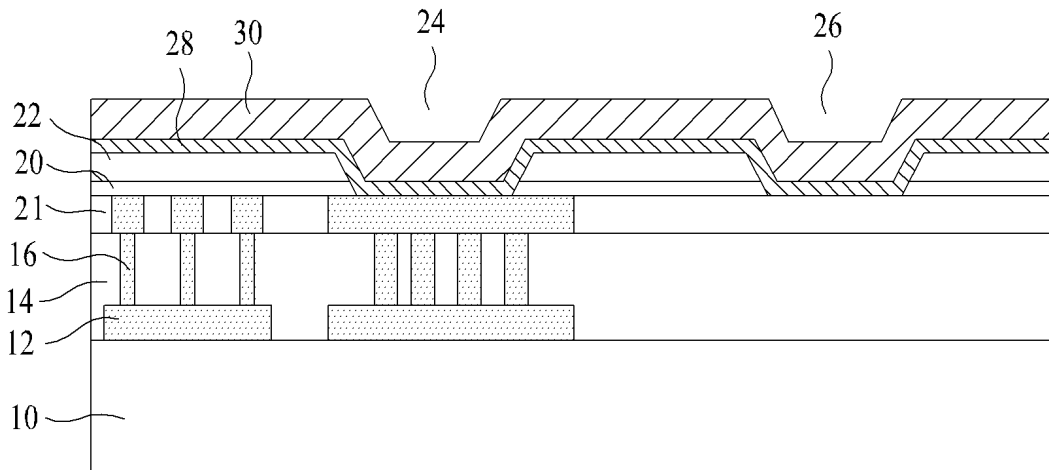
도면1



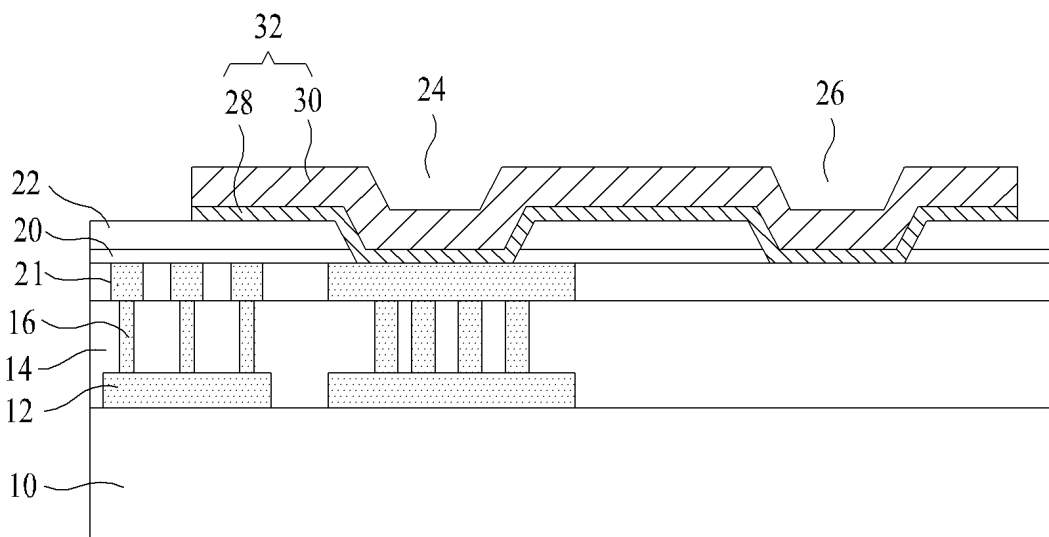
도면2



도면3

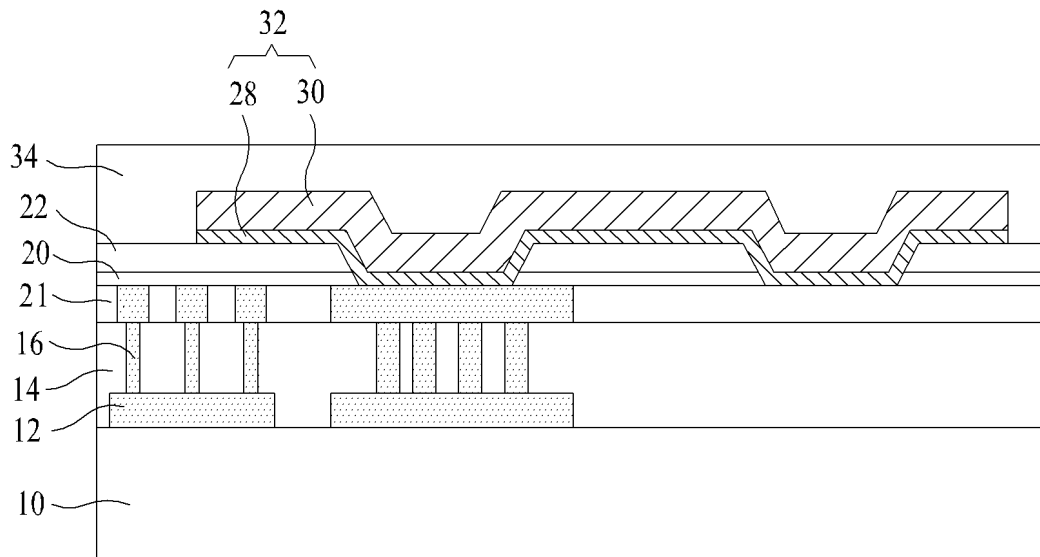


도면4

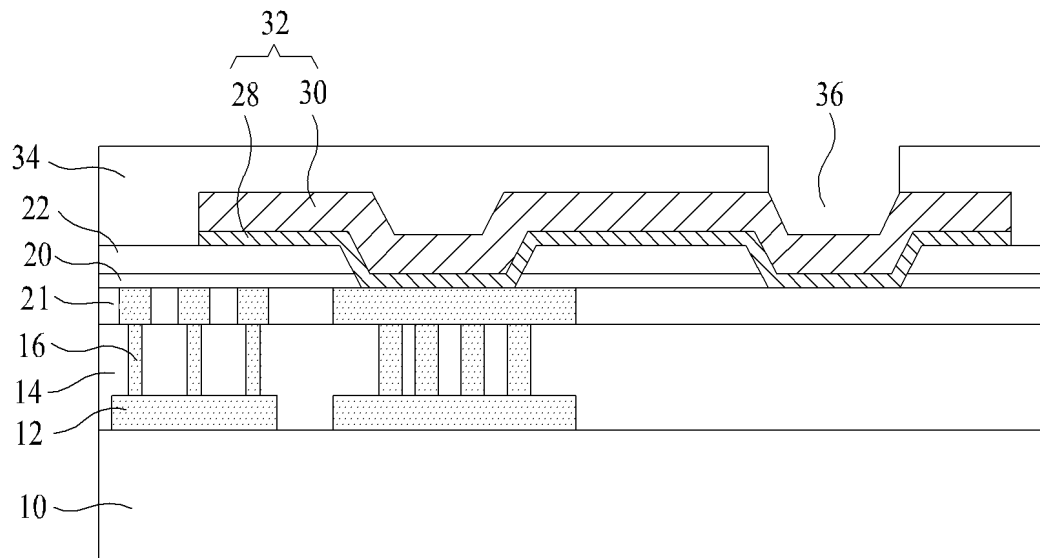




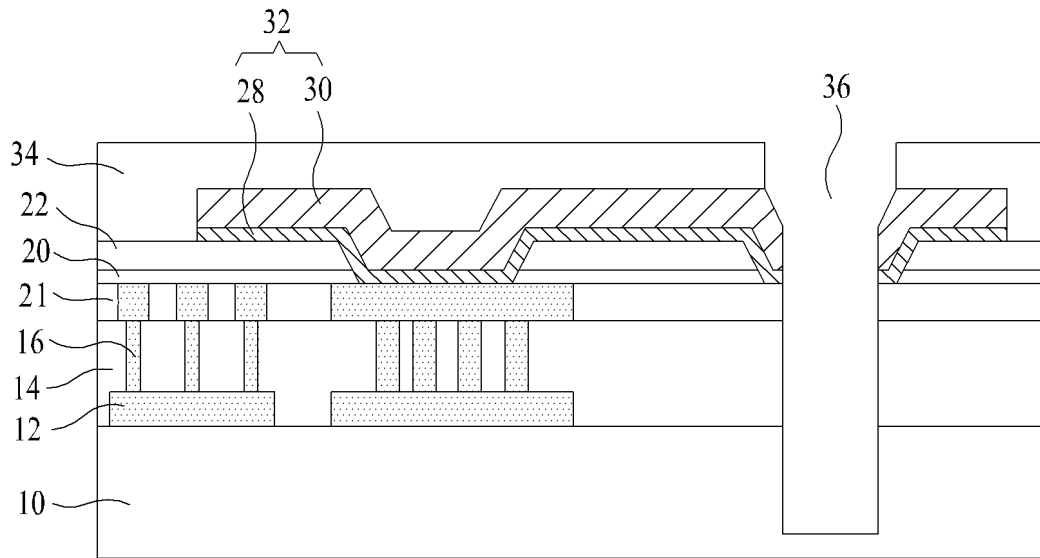
도면5



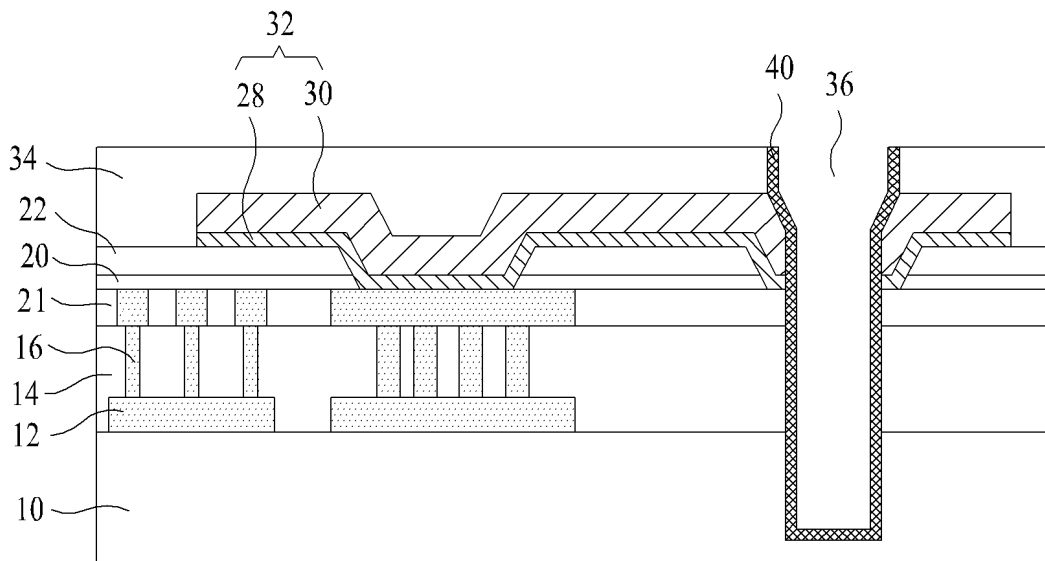
도면6



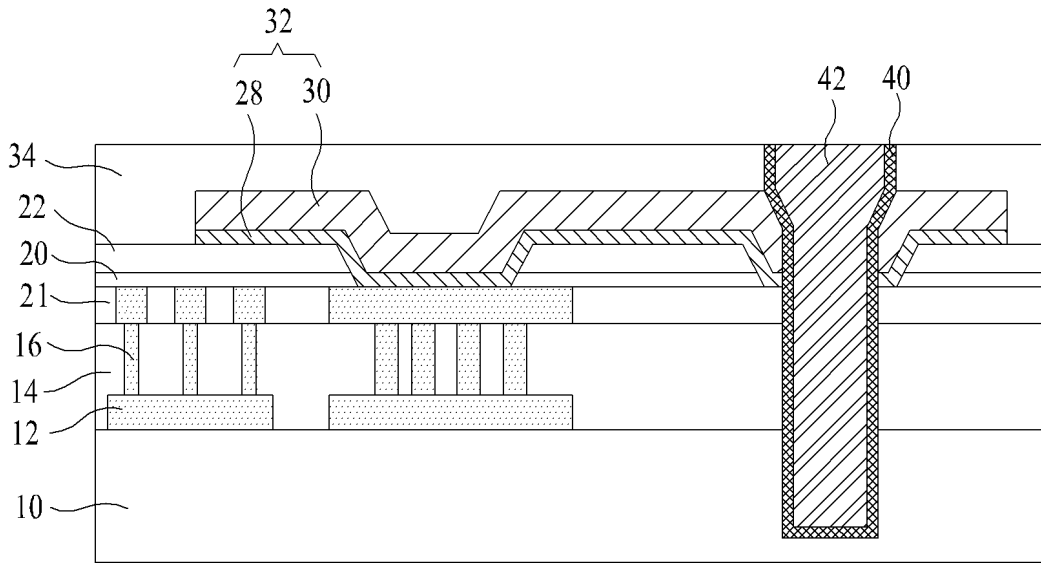
도면7



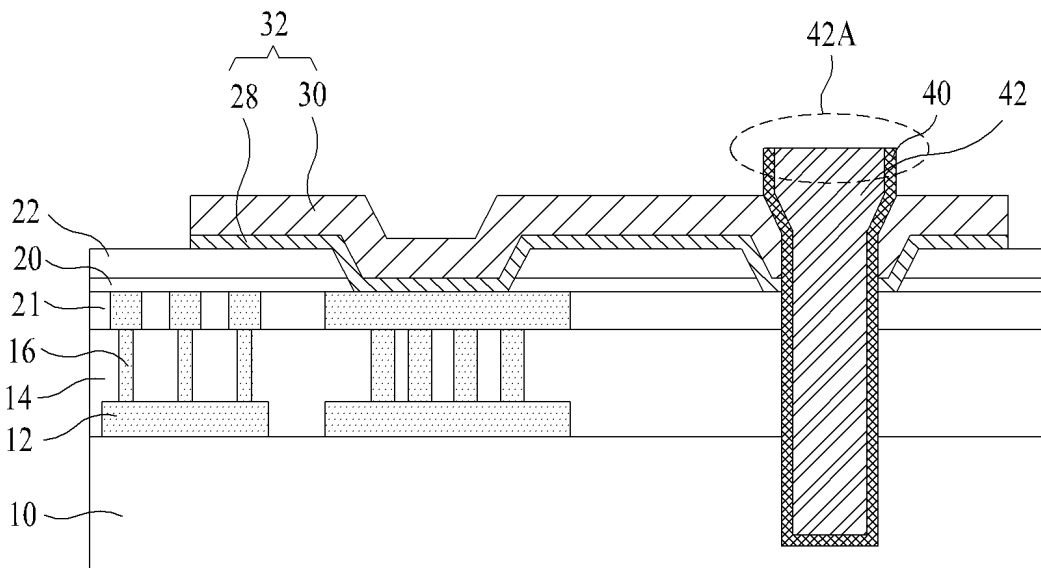
도면8



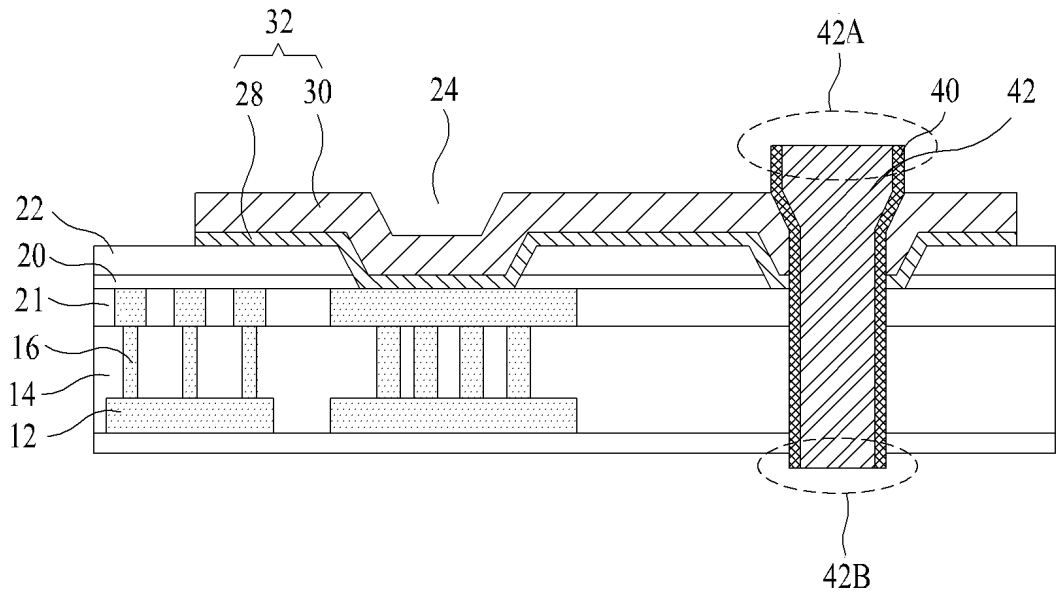
도면9



도면10



도면11



도면12

