

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4130317号
(P4130317)

(45) 発行日 平成20年8月6日 (2008.8.6)

(24) 登録日 平成20年5月30日 (2008.5.30)

(51) Int. Cl.

F I

H O 3 F 3/68 (2006.01)

H O 3 F 1/32 (2006.01)

H O 3 F 3/24 (2006.01)

H O 3 F 3/68 B

H O 3 F 1/32

H O 3 F 3/24

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2002-24268 (P2002-24268)	(73) 特許権者	000006013
(22) 出願日	平成14年1月31日 (2002.1.31)		三菱電機株式会社
(65) 公開番号	特開2003-229728 (P2003-229728A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成15年8月15日 (2003.8.15)	(74) 代理人	100123434
審査請求日	平成17年1月17日 (2005.1.17)		弁理士 田澤 英昭
前置審査		(74) 代理人	100088605
			弁理士 加藤 公延
		(74) 代理人	100101133
			弁理士 濱田 初音
		(72) 発明者	上田 博民
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		(72) 発明者	新庄 真太郎
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
			最終頁に続く

(54) 【発明の名称】 高周波増幅器

(57) 【特許請求の範囲】

【請求項 1】

複数の増幅手段を用いて高周波を増幅する高周波増幅器において、
一定の電圧でバイアスする増幅素子を用いた定電圧駆動の増幅手段と、
一定の電流でバイアスする増幅素子を用いた定電流駆動の増幅手段とを並列合成したことを特徴とする高周波増幅器。

【請求項 2】

n 個 (n は 2 以上の整数) の増幅手段を備え、当該増幅手段は m 個 (m は 1 以上 n - 1 以下の整数) の定電流駆動の増幅手段と n - m 個の定電圧駆動の増幅手段とを並列合成したことを特徴とする請求項 1 記載の高周波増幅器。

【請求項 3】

定電圧駆動の増幅手段は、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電圧でバイアスし、

定電流駆動の増幅手段は、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスすることを特徴とする請求項 2 記載の高周波増幅器。

【請求項 4】

定電圧駆動の増幅手段は、入力整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路と、出力整合を行うと共に前記増幅素子に電源電力を供給する出力整合電源回路とを備え、

定電流駆動の増幅手段は、入力整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路と、出力整合を行うと共に前記増幅素子に電源電力を供給する出力整合電源回路とを備えたことを特徴とする請求項 2 記載の高周波増幅器。

【請求項 5】

定電圧駆動の増幅手段および定電流駆動の増幅手段に電源電力を供給すると共に前記定電圧駆動の増幅手段および前記定電流駆動の増幅手段の出力整合を行う出力整合電源回路を備え、

前記定電圧駆動の増幅手段は、入力の整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路を備え、

前記定電流駆動の増幅手段は、入力の整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路を備えたことを特徴とする請求項 2 記載の高周波増幅器。

10

【請求項 6】

定電圧駆動の増幅手段および定電流駆動の増幅手段の入力整合を行う入力整合回路と、前記定電圧駆動の増幅手段および前記定電流駆動の増幅手段に電源電力を供給すると共に前記定電圧駆動の増幅手段および前記定電流駆動の増幅手段の出力整合を行う出力整合電源回路とを備え、

前記定電圧駆動の増幅手段は、一定のバイアス電圧を増幅素子に供給する定電圧バイアス回路を備え、

前記定電流駆動の増幅手段は、一定のバイアス電流を増幅素子に供給する定電流バイアス回路を備えたことを特徴とする請求項 2 記載の高周波増幅器。

20

【請求項 7】

増幅素子は、同一チップ上に一定の電圧でバイアスするバイポーラトランジスタのベースと一定の電流でバイアスするバイポーラトランジスタのベースとを分離して構成し、

前記一定の電圧でバイアスするバイポーラトランジスタのコレクタと前記一定の電流でバイアスするバイポーラトランジスタのコレクタとを一つのコレクタパッドに接続するコレクタ引き出しパターンと、

前記一定の電圧でバイアスするバイポーラトランジスタのエミッタと前記一定の電流でバイアスするバイポーラトランジスタのエミッタとを一つのエミッタパッドに接続するエミッタ引き出しパターンと、

30

前記一定の電圧でバイアスするバイポーラトランジスタのベースと一定のバイアス電圧が供給されるベースパッドとを接続するベース引き出しパターンと、

前記一定の電流でバイアスするバイポーラトランジスタのベースと一定のバイアス電流が供給されるベースパッドとを接続するベース引き出しパターンとを備え、

前記ベース引き出しパターンと前記エミッタ引き出しパターンとが重なる部分を少なく構成したことを特徴とする請求項 1 記載の高周波増幅器。

【請求項 8】

定電圧駆動の増幅手段は、増幅素子として F E T を使用して当該 F E T のゲートを一定の電圧でバイアスし、

定電流駆動の増幅手段は、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスすることを特徴とする請求項 2 記載の高周波増幅器。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バイポーラトランジスタを使用した高周波増幅器に関するものである。

【0002】

【従来の技術】

デジタル携帯電話等に使用される高周波増幅器は、隣接チャネルとの混信を防ぐために低い歪特性が要求される。そこで高周波増幅器は、増幅に使用するトランジスタの利得を圧

50

縮し、また位相の回転を抑制して歪特性の改善を行っている。

【 0 0 0 3 】

従来の高周波増幅器は、増幅素子のトランジスタにダイオード、F E T、バイポーラトランジスタ等を接続して増幅回路全体で位相の回転を抑制し、また利得を圧縮して低歪特性を補償していた。

図 9 は、従来の高周波増幅器を示す構成図である。この図は、従来の高周波増幅器の一例として、特開平 1 0 - 1 3 5 7 5 0 号公報に開示された 2 段構成高周波増幅器を示すものである。図において、1 0 1 は前段のバイポーラトランジスタ、1 0 2 は後段のバイポーラトランジスタ、1 0 3 は R F 入力端子、1 0 4 はバイポーラトランジスタ 1 0 1 の入力整合回路、1 0 5 は定電流源、1 0 6 は電源電圧端子、1 0 7 は段間整合回路、1 0 8 は定電圧源、1 0 9 はバイポーラトランジスタ 1 0 2 の出力整合回路、1 1 0 は R F 出力端子である。

【 0 0 0 4 】

次に動作について説明する。

バイポーラトランジスタ 1 0 1 のベース電流を一定に保持して前段の増幅回路を動作させ、また、バイポーラトランジスタ 1 0 2 のベース電圧を一定に保持して後段の増幅回路を動作させる。前段の増幅回路のバイポーラトランジスタ 1 0 1 で増幅した信号に生じる位相の回転が、後段の増幅回路のバイポーラトランジスタ 1 0 2 で生じる位相の回転によって相殺され、当該高周波増幅器から出力される増幅信号は位相の回転が抑制されたものとなり、歪特性が改善される。

【 0 0 0 5 】

このように、ベース電流を一定に保持したバイポーラトランジスタ 1 0 1 と、ベース電圧を一定に保持したバイポーラトランジスタ 1 0 2 とを組み合わせた 2 段構成とすると、歪補償用の素子を新たに挿入することなく歪特性の改善を行うことができ、部品点数を削減することができる。

【 0 0 0 6 】

【発明が解決しようとする課題】

従来の高周波増幅器は以上のように構成されているので、ベース電流を一定に保持したバイポーラトランジスタの増幅回路と、ベース電圧を一定に保持したバイポーラトランジスタの増幅回路とを少なくとも 2 段組み合わせることから、当該高周波増幅器のサイズが大型化してしまうという課題があった。また、歪特性を改善するには、後段トランジスタのエミッタサイズを大きくし、また、アイドル電流値（D C 電圧を印加した際にコレクタ・ベース間に流れる電流値）を大きく設定する必要があるが、こうすると、特に低出力のとき付加効率が悪くなり、また、高出力のときにも付加効率が低下するという課題があった。

【 0 0 0 7 】

この発明は上記のような課題を解決するためになされたもので、高出力で優れた歪特性を有しながら付加効率が高く、また、特に低出力電力において付加効率が改善された高周波増幅器を得ることを目的とする。

【 0 0 0 8 】

また、小型化を図りながら歪特性および付加効率が改善された高周波増幅器を得ることを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

この発明に係る高周波増幅器は、一定の電圧でバイアスする増幅素子を用いた定電圧駆動の増幅手段と、一定の電流でバイアスする増幅素子を用いた定電流駆動の増幅手段とを並列合成したものである。

【 0 0 1 0 】

この発明に係る高周波増幅器は、 n 個（ n は 2 以上の整数）の増幅手段を備え、当該増幅手段は m 個（ m は 1 以上 $n - 1$ 以下の整数）の定電流駆動の増幅手段と $n - m$ 個の定電圧駆動の増幅手段とを並列合成したものである。

【 0 0 1 1 】

この発明に係る高周波増幅器は、定電圧駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電圧でバイアスし、定電流駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスするものである。

【 0 0 1 2 】

この発明に係る高周波増幅器は、定電圧駆動の増幅手段が、入力整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路と、出力整合を行うと共に増幅素子に電源電力を供給する出力整合電源回路とを備え、定電流駆動の増幅手段が、入力整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路と、出力整合を行うと共に増幅素子に電源電力を供給する出力整合電源回路とを備えたものである。

10

【 0 0 1 3 】

この発明に係る高周波増幅器は、定電圧駆動の増幅手段および定電流駆動の増幅手段に電源電力を供給すると共に定電圧駆動の増幅手段および定電流駆動の増幅手段の出力整合を行う出力整合電源回路を備え、定電圧駆動の増幅手段が、入力の整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路を備え、定電流駆動の増幅手段が、入力の整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路を備えたものである。

20

【 0 0 1 4 】

この発明に係る高周波増幅器は、定電圧駆動の増幅手段および定電流駆動の増幅手段の入力整合を行う入力整合回路と、定電圧駆動の増幅手段および定電流駆動の増幅手段に電源電力を供給すると共に定電圧駆動の増幅手段および定電流駆動の増幅手段の出力整合を行う出力整合電源回路とを備え、定電圧駆動の増幅手段が、一定のバイアス電圧を増幅素子に供給する定電圧バイアス回路を備え、定電流駆動の増幅手段が、一定のバイアス電流を増幅素子に供給する定電流バイアス回路を備えたものである。

【 0 0 1 5 】

この発明に係る高周波増幅器は、増幅素子が、同一チップ上に一定の電圧でバイアスするバイポーラトランジスタのベースと一定の電流でバイアスするバイポーラトランジスタのベースとを分離して構成し、一定の電圧でバイアスするバイポーラトランジスタのコレクタと一定の電流でバイアスするバイポーラトランジスタのコレクタとを一つのコレクタパッドに接続するコレクタ引き出しパターンと、一定の電圧でバイアスするバイポーラトランジスタのエミッタと一定の電流でバイアスするバイポーラトランジスタのエミッタとを一つのエミッタパッドに接続するエミッタ引き出しパターンと、一定の電圧でバイアスするバイポーラトランジスタのベースと一定のバイアス電圧が供給されるベースパッドとを接続するベース引き出しパターンと、一定の電流でバイアスするバイポーラトランジスタのベースと一定のバイアス電流が供給されるベースパッドとを接続するベース引き出しパターンとを備え、ベース引き出しパターンとエミッタ引き出しパターンとが重なる部分を少なく構成したものである。

30

【 0 0 1 6 】

この発明に係る高周波増幅器は、定電圧駆動の増幅手段が、増幅素子としてFETを使用して当該FETのゲートを一定の電圧でバイアスし、定電流駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスするものである。

40

【 0 0 1 7 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1 .

図 1 は、この発明の実施の形態 1 による高周波増幅器を示す回路図である。図において、1 は増幅素子のバイポーラトランジスタ 7 とバイアス回路等によって構成され、バイポー

50

ラトランジスタ 7 のベースに定電圧を供給して駆動するアンプ（定電圧駆動の増幅手段）である。2 は増幅素子のバイポーラトランジスタ 8 とバイアス回路等によって構成され、バイポーラトランジスタ 8 のベースに定電流を供給して駆動するアンプ（定電流駆動の増幅手段）である。3 は R F 入力端子、4 は R F 出力端子、A はアンプ 1 とアンプ 2 とを並列合成したアンプである。

【 0 0 1 8 】

7 はアンプ 1 を構成する増幅素子のバイポーラトランジスタ、8 はアンプ 2 を構成する増幅素子のバイポーラトランジスタ、9 はバイポーラトランジスタ 7 のベースに装荷された容量性素子、10 はバイポーラトランジスタ 8 のベースに装荷された容量性素子、11 はアンプ 1 およびアンプ 2 の出力電力を R F 出力端子 4 へ出力する容量性素子、12 は定電圧ベースバイアス回路（定電圧バイアス回路）、13 は定電流ベースバイアス回路（定電流バイアス回路）、14 はバイポーラトランジスタ 7 のコレクタおよびバイポーラトランジスタ 8 のコレクタに電源電力を供給する電源回路である。

また、少なくともバイポーラトランジスタ 7 とバイポーラトランジスタ 8 は、同一のチップ上に形成される。

なお、図 1（b）は、図 1（a）に示す高周波増幅器の具体的な回路構成の一例を示したものである。

【 0 0 1 9 】

図 2 は、実施の形態 1 による高周波増幅器の入力電力に対する利得の特性を示す説明図である。図において、15 はアンプ 1 の入力電力（Pin）に対する利得（Gain）の特性曲線、16 はアンプ 2 の入力電力に対する利得の特性曲線、17 はアンプ 1 とアンプ 2 とを並列合成したアンプ A の入力電力に対する利得の特性曲線である。

【 0 0 2 0 】

次に動作について説明する。

アンプ 1 はバイポーラトランジスタ 7 のベースに容量性素子 9 を装荷しており、アンプ 2 はバイポーラトランジスタ 8 のベースに容量性素子 10 を装荷していることから、アンプ 1 とアンプ 2 とは互いに異なるバイアス条件に設定することが可能で、アンプ 1 は定電圧駆動によって増幅動作を行い、アンプ 2 は定電流駆動によって増幅動作を行う。

【 0 0 2 1 】

アンプ 1 の基本的な増幅動作を説明する。R F 入力端子 3 から入力された信号は容量性素子 9 を介してバイポーラトランジスタ 7 のベースに入力される。このときバイポーラトランジスタ 7 のベースには、定電圧ベースバイアス回路 12 によって一定のベースバイアス電圧が供給されている。また、バイポーラトランジスタ 7 のコレクタには電源回路 14 によって電源電力が供給され、増幅された信号は容量性素子 11 を介して R F 出力端子 4 に出力される。なお、バイポーラトランジスタ 7 のエミッタは接地されている。

【 0 0 2 2 】

アンプ 2 の基本的な増幅動作を説明する。R F 入力端子 3 から入力された信号は容量性素子 10 を介してバイポーラトランジスタ 8 のベースに入力される。このとき、バイポーラトランジスタ 8 のベースには、定電流ベースバイアス回路 13 によって一定のベースバイアス電流が供給されている。また、バイポーラトランジスタ 8 のコレクタには電源回路 14 によって電源電力が供給され、増幅された信号は容量性素子 11 を介して R F 出力端子 4 に出力される。なお、バイポーラトランジスタ 8 のエミッタは接地されている。

【 0 0 2 3 】

アンプ 1 において、バイポーラトランジスタ 7 のベースに、一定のバイアス電圧を供給し、また、アイドル電流値（D C 電圧のみを入力した際にコレクタ・ベース間に流れる電流値）を適切に設定すると、アンプ 1 の利得特性は図 2 に示す特性曲線 15 のようになり、入力信号の大きさが小さい範囲、即ち入力電力が低い範囲では利得が一定で、それ以上入力電力が大きくなると一定の範囲内において、入力電力と共に利得が増加し、さらに入力電力が大きくなると利得が減少する。

【 0 0 2 4 】

アンプ 2 において、入力電力を増幅するバイポーラトランジスタ 8 のベースに、一定のバイアス電流を供給し、また、アイドル電流値を適切に設定すると、アンプ 2 の利得特性は図 2 に示す特性曲線 16 のようになり、入力電力が低い範囲では利得が一定で、それ以上入力電力が大きくなると利得は減少する。

【0025】

図 1 に示す定電圧ベースバイアス回路 12 を用いたアンプ 1 と、定電流ベースバイアス回路 13 を用いたアンプ 2 とを並列合成したアンプ A の利得は、図 2 に示す特性曲線 17 のようになる。特性曲線 17 は、特性曲線 15 や特性曲線 16 に比べて入力電力の高い範囲まで利得が一定で、出力信号に生じる歪が少ないことを示している。アンプ A のように、バイポーラトランジスタ 7 のベースに定電圧を供給して駆動するアンプ 1 とバイポーラトランジスタ 8 のベースに定電流を供給して駆動するアンプ 2 とを並列合成すると、出力歪が少なくなり広範囲の入力電力について一定の利得が得られ、歪特性の優れた高周波増幅器を成すことができる。

10

【0026】

アンプ 1 とアンプ 2 を並列合成したアンプ A は、図 2 に示す特性曲線 17 のような入力電力・利得特性を得るため、アンプ 1 の入力電力・利得特性と、アンプ 2 の入力電力・利得特性とを調整する。これは、アンプ 1 の飽和出力電力とアンプ 2 の飽和出力電力の整合性や、アンプ 1 の歪特性とアンプ 2 の歪特性の整合性を考慮したもので、具体的には各々のアンプの増幅素子のトランジスタサイズを調整し、トランジスタサイズ比の最適化および各アンプのアイドル電流値の最適化を行って、アンプ 1 とアンプ 2 の整合性を最適化する。

20

【0027】

図 3 は、実施の形態 1 による高周波増幅器の出力電力 (Pout) の歪特性を示す説明図である。図において、18 はアンプ 1 の出力電力 (Pout) の歪特性曲線、19 はアンプ 1 とアンプ 2 を並列合成したアンプ A の出力電力の歪特性曲線である。

【0028】

通信システムの規格には歪特性の要求値が規定されており、例えば、W - CDMA の規格では、出力電力 (Pout) = 26.5 dBm のとき、隣接チャネル漏洩電力 (ACPR) - 38 dBc となるように定められている。定電圧駆動のアンプ 1 は、図 3 の歪特性曲線 18 に示すように、低い出力電力から歪特性が良好で、出力電力が 26.5 dBm において隣接チャネル漏洩電力が - 38 dBc となる歪特性が得られる。また、低い出力電力範囲では隣接チャネル漏洩電力が - 50 dBc 以下となり、- 38 dBc 以下を要求する規格を満足するものである。このような歪特性を有するアンプ 1 と定電流駆動のアンプ 2 を並列合成したアンプ A の歪特性は、歪特性曲線 19 に示すようになる。

30

【0029】

歪特性曲線 19 のような歪特性は、アンプ 1 のアイドル電流値とアンプ 2 のアイドル電流値の調整・設定によって得られる。具体的には、アンプ 1 が備えるバイポーラトランジスタ 7 のエミッタ面積 AE1 が、アンプ 2 が備えるバイポーラトランジスタ 8 のエミッタ面積 AE2 より大きくなるように (AE1 > AE2) 各トランジスタサイズを設定し、また、バイポーラトランジスタ 7 のベースバイアス電圧 Vbe1 がバイポーラトランジスタ 8 のベースバイアス電圧 Vbe2 より大きくなるように (Vbe1 > Vbe2) 当該回路を構成する。こうすると、低出力電力において隣接チャネル漏洩電力が約 - 40 dBc となり、また、出力電力が 26.5 dBm において隣接チャネル漏洩電力が - 38 dBc となる良好な歪特性が得られる。

40

【0030】

また、定電流駆動のアンプ 2 のアイドル電流値を低く設定し、これに合わせて定電圧駆動のアンプ 1 のアイドル電流値を調整した場合にも、アンプ 1 とアンプ 2 を並列合成したアンプ A の歪特性は前記説明のように良好なものとなる。アイドル電流値を低く設定して定電流駆動のアンプ 2 と定電圧駆動のアンプ 1 を並列合成すると、優れた歪特性を有しながら後述するように付加効率も良好な高周波増幅器が得られる。

50

【 0 0 3 1 】

次に、実施の形態 1 の高周波増幅器の付加効率について説明する。

図 4 は、実施の形態 1 による高周波増幅器の出力電力 (P o u t) の付加効率を示す説明図である。図において、20 はアンプ 1 の出力の付加効率を示す特性曲線、21 はアンプ A の出力の付加効率を示す特性曲線である。

【 0 0 3 2 】

アンプ A を構成する定電流駆動のアンプ 2 のアイドル電流値を低く設定し、これに合わせて定電圧駆動のアンプ 1 のアイドル電流値を調整して最適化すると、図 4 の特性曲線 21 に示すような付加効率を得られる。図 4 の特性曲線 21 と特性曲線 20 を比較すると、どのような出力電力においても、アンプ 1 に比べてアンプ A の付加特性が良好で、特に出力電力の低い範囲と飽和出力電力においてアンプ A の付加効率がアンプ 1 に比べて良好であることがわかる。このように、定電流駆動のアンプ 2 のアイドル電流値を低く設定して、これに合わせて定電圧駆動のアンプ 1 のアイドル電流値を設定して並列合成すると、障害となるほど歪特性を劣化させることなく付加効率を良好にすることができる。

10

【 0 0 3 3 】

以上のように、この実施の形態 1 によれば、定電圧駆動のアンプ 1 と定電流駆動のアンプ 2 とを並列合成したので、入力電力が高い範囲まで利得を一定に保つことができ、優れた歪特性が得られるという効果がある。

【 0 0 3 4 】

また、定電流駆動のアンプ 2 のアイドル電流値を低く設定して、これに対応させて定電圧駆動のアンプ 1 のアイドル電流値を調整したので、良好な歪特性が得られ、特に低出力電力や飽和出力電力において優れた付加効率を得られるという効果がある。

20

【 0 0 3 5 】

実施の形態 2 .

図 5 は、この発明の実施の形態 2 による高周波増幅器を示す回路図である。図において、22 はベースに供給される定電圧によって駆動される増幅素子のバイポーラトランジスタ、23 はベースに供給される定電流によって駆動される増幅素子のバイポーラトランジスタ、24 は R F 入力端子、25 は入力整合回路と定電圧ベースバイアス回路とを一体化した入力整合定電圧バイアス回路、26 は出力整合回路と電源回路とを一体化した出力整合電源回路、27 は入力整合回路と定電流ベースバイアス回路とを一体化した入力整合定電流バイアス回路、28 は出力整合回路と電源回路とを一体化した出力整合電源回路、29 は R F 出力端子、30 はバイポーラトランジスタ 22 のベースに装荷された容量性素子、31 はバイポーラトランジスタ 23 のベースに装荷された容量性素子、201 は増幅素子のバイポーラトランジスタ 22 と容量性素子 30 と入力整合定電圧バイアス回路 25 と出力整合電源回路 26 とを備えたアンプ (定電圧駆動の増幅手段) 、202 は増幅素子のバイポーラトランジスタ 23 と容量性素子 31 と入力整合定電流バイアス回路 27 と出力整合電源回路 28 とを備えたアンプ (定電流駆動の増幅手段) 、B はアンプ 201 とアンプ 202 とを並列合成したアンプである。

30

【 0 0 3 6 】

次に動作について説明する。

40

この実施の形態 2 による高周波増幅器は、定電圧駆動のアンプ 201 に入力整合定電圧バイアス回路 25 と出力整合電源回路 26 とを備え、また、定電流駆動のアンプ 202 に入力整合定電流バイアス回路 27 と出力整合電源回路 28 とを備えたもので、バイポーラトランジスタ 22 は図 1 に示すバイポーラトランジスタ 7 に相当し、バイポーラトランジスタ 23 は図 1 に示すバイポーラトランジスタ 8 に相当し、また、容量性素子 30 は図 1 に示す容量性素子 9 に、容量性素子 31 は図 1 に示す容量性素子 10 に相当するもので、それぞれ同様な作用効果が得られるものである。

【 0 0 3 7 】

実施の形態 2 によるアンプ 201 とアンプ 202 は、それぞれ実施の形態 1 によるアンプ 1 とアンプ 2 に相当する動作を行うもので、増幅素子のバイポーラトランジスタのエミッ

50

タ面積やVbe電圧によって設定されるアイドル電流値等は、実施の形態1の説明と同様に扱うことができるものである。また、高周波増幅も同様に動作し、出力電力の歪特性や付加効率も同様なものである。このように、実施の形態2によるアンプ201とアンプ202とを並列合成したアンプBは、実施の形態1のアンプ1とアンプ2とを並列合成したアンプAと同様に動作し、作用効果も同様であるため、これらの説明を省略し、実施の形態2のアンプ201とアンプ202の特徴的な動作を説明する。

【0038】

アンプ201は、RF入力端子24から入力された信号を、入力整合定電圧バイアス回路25を用いて整合し、容量性素子30を介してバイポーラトランジスタ22のベースに入力する。このときバイポーラトランジスタ22のベースには、入力整合定電圧バイアス回路25によって一定のベースバイアス電圧が供給されている。また、バイポーラトランジスタ22のコレクタには出力整合電源回路26によって電源電力が供給されている。バイポーラトランジスタ22が増幅した信号は、出力整合電源回路26によって出力整合が行われ、出力整合電源回路28から出力された信号と共にRF出力端子29に出力される。なお、バイポーラトランジスタ22のエミッタは接地されている。

【0039】

アンプ202は、入力整合定電流バイアス回路27を用いてRF入力端子24から入力された信号の入力整合を行い、容量性素子31を介してバイポーラトランジスタ23のベースに入力する。このときバイポーラトランジスタ23のベースには、入力整合定電流バイアス回路27によって一定のベースバイアス電流が供給されている。また、バイポーラトランジスタ23のコレクタには出力整合電源回路28によって電源電力が供給されている。バイポーラトランジスタ23が増幅した信号は、出力整合電源回路28によって出力整合が行われ、出力整合電源回路26から出力された出力電力と共にRF出力端子29に出力される。なお、バイポーラトランジスタ23のエミッタは接地されている。

【0040】

以上のように、この実施の形態2によれば、アンプ201に入力整合回路と定電圧ベースバイアス回路を一体化した入力整合定電圧バイアス回路25と出力整合回路と電源回路とを一体化した出力整合電源回路26とを備え、アンプ202に入力整合回路と定電流ベースバイアス回路を一体化した入力整合定電流バイアス回路27と出力整合回路と電源回路とを一体化した出力整合電源回路28とを備えたので、高周波増幅器を構成する部品点数を削減することができ、また当該高周波増幅器の小型化を図ることができるという効果がある。

【0041】

また、定電圧駆動のアンプ201と定電流駆動のアンプ202を並列合成したので、入力電力が高い範囲まで利得を一定に保つことができ、優れた歪特性が得られるという効果がある。

【0042】

また、定電流駆動のアンプ202のアイドル電流値を低く設定して、これに対応させて定電圧駆動のアンプ201のアイドル電流値を調整したので、良好な歪特性が得られ、特に低出力電力や飽和出力電力において優れた付加効率 that 得られるという効果がある。

【0043】

実施の形態3

図6は、この発明の実施の形態3による高周波増幅器を示す回路図である。図において、32はベースに供給された定電圧によって駆動される増幅素子のバイポーラトランジスタ、33はベースに供給された定電流によって駆動される増幅素子のバイポーラトランジスタ、34はRF入力端子、35は入力整合回路と定電圧ベースバイアス回路とを一体化した入力整合定電圧バイアス回路、36は出力整合回路と電源回路とを一体化した出力整合電源回路、37は入力整合回路と定電流ベースバイアス回路とを一体化した入力整合定電流バイアス回路、38はRF出力端子、39はバイポーラトランジスタ32のベースに装荷された容量性素子、40はバイポーラトランジスタ33のベースに装荷された容量性素子。

子、301はバイポーラトランジスタ32を使用して増幅を行うアンプ（定電圧駆動の増幅手段）、302はバイポーラトランジスタを使用して増幅を行うアンプ（定電流駆動の増幅手段）、Cはアンプ301とアンプ302とを並列合成したアンプである。

【0044】

次に動作について説明する。

この実施の形態3による高周波増幅器は、定電圧駆動のアンプ301に入力整合定電圧バイアス回路35を備え、また、定電流駆動のアンプ302に入力整合定電流バイアス回路37を備え、アンプ301とアンプ302を並列合成したアンプCに、アンプ301とアンプ302の出力を整合し、また電源電力を供給する出力整合電源回路36を備えたものである。アンプ301のバイポーラトランジスタ32は図1に示すバイポーラトランジスタ7に相当し、アンプ302のバイポーラトランジスタ33は図1に示すバイポーラトランジスタ8に相当し、また、容量性素子39は図1に示す容量性素子9に、容量性素子40は図1に示す容量性素子10に相当するもので、それぞれ同様な作用効果が得られるものである。

10

【0045】

実施の形態3によるアンプ301とアンプ302は、それぞれ実施の形態1によるアンプ1とアンプ2に相当する動作を行うもので、増幅素子のバイポーラトランジスタのエミッタ面積やVbe電圧によって設定されるアイドル電流値等は、実施の形態1の説明と同様に取り扱うことができるものである。また、高周波増幅も同様に動作し、出力電力の歪特性や付加効率も同様なものである。このように、実施の形態3によるアンプ301とアンプ302とを並列合成したアンプCは、実施の形態1のアンプ1とアンプ2とを並列合成したアンプAと同様に動作し、作用効果も同様であるため、これらの説明を省略し、実施の形態3のアンプ301とアンプ302の特徴的な動作を説明する。

20

【0046】

アンプ301は、RF入力端子34から入力された信号を入力整合定電圧バイアス回路35を用いて整合し、容量性素子39を介してバイポーラトランジスタ32のベースに入力する。このときバイポーラトランジスタ32のベースには、入力整合定電圧バイアス回路35によって一定のベースバイアス電圧が供給されている。また、バイポーラトランジスタ32のコレクタには、出力整合電源回路36によって電源電力が供給されている。バイポーラトランジスタ32が増幅した信号は、出力整合電源回路36によってバイポーラトランジスタ33の出力信号と共に整合されてRF出力端子38へ出力される。なお、バイポーラトランジスタ32のエミッタは接地されている。

30

【0047】

アンプ302は、RF入力端子34から入力された信号を入力整合定電流バイアス回路37を用いて整合し、容量性素子40を介してバイポーラトランジスタ33のベースに入力する。このときバイポーラトランジスタ33のベースには、入力整合定電流バイアス回路35によって一定のベースバイアス電流が供給されている。また、バイポーラトランジスタ33のコレクタには、出力整合電源回路36によって電源電力が供給され、バイポーラトランジスタ33が増幅した信号は、出力整合電源回路36によってバイポーラトランジスタ32の出力信号と共に整合されてRF出力端子38へ出力される。なお、バイポーラトランジスタ33のエミッタは接地されている。

40

【0048】

以上のように、この実施の形態3によれば、定電圧駆動のアンプ301に入力整合回路と定電圧ベースバイアス回路とを一体化した入力整合定電圧バイアス回路35を備え、定電流駆動のアンプ302に入力整合回路と定電流ベースバイアス回路とを一体化した入力整合定電流バイアス回路37を備え、また、アンプ301とアンプ302の出力電力を整合する出力整合回路とアンプ301とアンプ302に電源電力を供給する電源回路とを一体化した出力整合電源回路36を備えたので、高周波増幅器の部品点数を削減することができる、また当該高周波増幅器の小型化を図ることができるという効果がある。

【0049】

50

また、定電圧駆動のアンプ 301 と定電流駆動のアンプ 302 とを並列合成したので、入力電力が高い範囲まで利得を一定に保つことができ、優れた歪特性を得ることができるという効果がある。

【0050】

また、定電流駆動のアンプ 302 のアイドル電流値を低く設定して、これに対応させて定電圧駆動のアンプ 301 のアイドル電流値を調整したので、良好な歪特性が得られ、特に低出力電力や飽和出力電力において優れた付加効率が得られるという効果がある。

【0051】

実施の形態 4 .

図 7 は、この発明の実施の形態 4 による高周波増幅器を示す回路図である。図において、41 はベースに供給される定電圧によって駆動される増幅素子のバイポーラトランジスタ、42 はベースに供給される定電流によって駆動される増幅素子のバイポーラトランジスタ、43 は RF 入力端子、44 は定電圧ベースバイアス回路（定電圧バイアス回路）、45 は出力整合回路と電源回路を一体化した出力整合電源回路、46 は定電流ベースバイアス回路（定電流バイアス回路）、47 は RF 出力端子、48 は入力整合回路、49 はバイポーラトランジスタ 41 のベースに装荷された容量性素子、50 はバイポーラトランジスタ 42 のベースに装荷された容量性素子、401 はバイポーラトランジスタ 41 を使用して増幅を行うアンプ（定電圧駆動の増幅手段）、402 はバイポーラトランジスタ 42 を使用して増幅を行うアンプ（定電流駆動の増幅手段）、D はアンプ 401 とアンプ 402 とを並列合成したアンプである。

【0052】

次に動作について説明する。

この実施の形態 4 による高周波増幅器は、定電圧駆動のアンプ 401 に定電圧ベースバイアス回路 44 を備え、また、定電流駆動のアンプ 402 に定電流ベースバイアス回路 46 を備え、アンプ 401 とアンプ 402 を並列合成したアンプ D に、アンプ 401 とアンプ 402 に入力する信号の整合を行う入力整合回路 48 と、アンプ 401 とアンプ 402 に電源電力を供給し、またアンプ 401 とアンプ 402 の出力信号の整合を行い、RF 出力端子 47 へ出力する出力整合電源回路 45 を備えたものである。アンプ 401 のバイポーラトランジスタ 41 は図 1 に示すバイポーラトランジスタ 7 に相当し、アンプ 402 のバイポーラトランジスタ 42 は図 1 に示すバイポーラトランジスタ 8 に相当し、また、容量性素子 49 は図 1 に示す容量性素子 9 に、容量性素子 50 は図 1 に示す容量性素子 10 に相当するもので、それぞれ同様な作用効果が得られるものである。

【0053】

実施の形態 4 によるアンプ 401 とアンプ 402 は、それぞれ実施の形態 1 によるアンプ 1 とアンプ 2 に相当する動作を行うもので、増幅素子のバイポーラトランジスタのエミッタ面積や V_{be} 電圧によって設定されるアイドル電流値等は、実施の形態 1 の説明と同様に取り扱うことができるものである。また、高周波増幅も同様に動作し、出力電力の歪特性や付加効率も同様なものである。このように、実施の形態 4 によるアンプ 401 とアンプ 402 とを並列合成したアンプ D は、実施の形態 1 のアンプ 1 とアンプ 2 とを並列合成したアンプ A と同様に動作し、作用効果も同様であるため、これらの説明を省略し、実施の形態 4 のアンプ 401 とアンプ 402 の特徴的な動作を説明する。

【0054】

アンプ D を構成するアンプ 401 は、RF 入力端子 43 から入力され、入力整合回路 48 によって整合された信号を、定電圧ベースバイアス回路 44 を用いて一定の電圧にバイアスし、容量性素子 49 を介してバイポーラトランジスタ 41 のベースに入力する。このとき、バイポーラトランジスタ 41 のコレクタには、出力整合電源回路 45 によって電源電力が供給され、バイポーラトランジスタ 41 が増幅した信号は、出力整合電源回路 45 によってバイポーラトランジスタ 42 の出力信号と共に整合されて RF 出力端子 47 に出力される。なお、バイポーラトランジスタ 41 のエミッタは接地されている。

【0055】

アンプDを構成するアンプ402は、RF入力端子43から入力され、入力整合回路48によって整合された信号を、定電流ベースバイアス回路46を用いて一定の電流にバイアスし、容量性素子50を介してバイポーラトランジスタ42のベースに入力する。このとき、バイポーラトランジスタ42のコレクタには、出力整合電源回路45によって電源電力が供給され、バイポーラトランジスタ42が増幅した信号は、出力整合電源回路45によってバイポーラトランジスタ41の出力信号と共に整合されてRF出力端子47に出力される。なお、バイポーラトランジスタ42のエミッタは接地されている。

【0056】

以上のように、この実施の形態4によれば、定電圧駆動のアンプ401と定電流駆動のアンプ402とを並列合成したアンプDに、入力信号の整合を行ってアンプ401およびアンプ402に入力する入力整合回路48と、アンプ401およびアンプ402に電源電力を供給し、アンプ401およびアンプ402の出力信号を整合する出力整合電源回路45とを備えたので、高周波増幅器の部品点数を削減することができ、また当該高周波増幅器の小型化を図ることができるという効果がある。

【0057】

また、定電圧駆動のアンプ401と定電流駆動のアンプ402とを並列合成したので、入力電力が高い範囲まで利得を一定に保つことができ、優れた歪特性を得ることができるという効果がある。

【0058】

また、定電流駆動のアンプ402のアイドル電流値を低く設定し、これに対応させて定電圧駆動のアンプ401のアイドル電流値を調整したので、良好な歪特性が得られ、特に低出力電力や飽和出力電力において優れた付加効率が得られるという効果がある。

【0059】

実施の形態5

図8は、この発明の実施の形態5による高周波増幅器に用いられる並列合成したバイポーラトランジスタの構成を示す説明図である。図示したものは複数のバイポーラトランジスタを同一チップ上に形成したもので、このチップ上に備えられた複数のベースを定電圧駆動するものと定電流駆動するものとに分けて構成したものである。図において、51は定電圧駆動するバイポーラトランジスタのベースパッド、52は定電流駆動するバイポーラトランジスタのベースパッド、53は各バイポーラトランジスタのコレクタを並列合成するコレクタパッド、54aは定電圧駆動するバイポーラトランジスタのベースとベースパッド51とを接続するベース引き出しパターン、54bは定電流駆動するバイポーラトランジスタのベースとベースパッド52とを接続するベース引き出しパターン、55はエミッタ引き出しパターン、56はコレクタ引き出しパターン、57は各バイポーラトランジスタのエミッタを並列合成するエミッタパッドである。

【0060】

図8に示したものは、例えば、定電圧駆動するバイポーラトランジスタと定電流駆動するバイポーラトランジスタとのエミッタ面積比が2:1になるように構成したものである。これらのバイポーラトランジスタは、コレクタ引き出しパターン56を用いて定電圧駆動するバイポーラトランジスタと定電流駆動するバイポーラトランジスタの各コレクタを一つのコレクタパッド53に接続して合成し、また、エミッタ引き出しパターン55を用いて定電圧駆動するバイポーラトランジスタと定電流駆動するバイポーラトランジスタの各エミッタを一つのエミッタパッド57に接続して合成している。また、各バイポーラトランジスタのエミッタは、エミッタパッド57上に形成されたバイアホール（図示を省略したスルーホール）を介してグランド（図示省略）に接地されている。

【0061】

定電圧駆動するバイポーラトランジスタのベースは、当該ベースを構成する部分から引き出されたベース引き出しパターン54aによってベースパッド51に接続される。また、定電流駆動するバイポーラトランジスタのベースは、当該ベースを構成する部分から引き出されたベース引き出しパターン54bによってベースパッド52に接続される。なお、

10

20

30

40

50

ベース引き出しパターン 5 4 a , 5 4 b とエミッタ引き出しパターン 5 5 とは、できるだけ重ならないように、好ましくは、できるだけ離れるように構成して、良好な高周波特性が得られるようにする。

【 0 0 6 2 】

このように構成して、ベースパッド 5 1 に一定のバイアス電圧を供給し、また、ベースパッド 5 2 に一定のバイアス電流を供給すると、定電圧駆動するバイポーラトランジスタのベースは一定の電圧でバイアスされ、また定電流駆動するバイポーラトランジスタのベースは一定の電流でバイアスされる。

【 0 0 6 3 】

なお、実施の形態 2 の高周波増幅器のように、定電圧駆動のアンプと定電流駆動のアンプに個別の電源回路を用いて電源電力を供給する構成の場合には、各バイポーラトランジスタのコレクタを個別に備えたコレクタパッドに接続して構成する。

また、この実施の形態 5 で説明したように定電圧で駆動するバイポーラトランジスタと定電流で駆動するバイポーラトランジスタとを並列合成して、実施の形態 1 ~ 4 で説明した高周波増幅器に用いることも可能である。

【 0 0 6 4 】

以上のように、この実施の形態 5 によれば、複数のバイポーラトランジスタを同一チップ上に形成して、定電圧を供給するベースと定電流を供給するベースとに分けて構成し、複数のコレクタをコレクタ引き出しパターン 5 6 を用いて一つのコレクタパッド 5 3 に接続し、複数のエミッタをエミッタ引き出しパターン 5 5 を用いて一つのエミッタパッド 5 7 に接続し、ベース引き出しパターン 5 4 a を用いて定電圧駆動するバイポーラトランジスタのベースと定電圧が供給されるベースパッド 5 1 とを接続し、ベース引き出しパターン 5 4 b を用いて定電流駆動するバイポーラトランジスタと定電流が供給されるベースパッド 5 2 とを接続するようにしたので、小型化を図りながら複数のバイポーラトランジスタを並列合成して同一チップ上に形成することができるという効果がある。

【 0 0 6 5 】

実施の形態 6 .

次に、この発明の実施の形態 6 による高周波増幅器を説明する。実施の形態 6 による高周波増幅器は、実施の形態 1 ~ 4 で説明した高周波増幅器の定電圧駆動のアンプに用いる増幅素子に、バイポーラトランジスタに代えて F E T を使用して構成したものである。F E T のゲートに一定のバイアス電圧を供給することで、バイポーラトランジスタを使用したものと同様に増幅動作を行い、また同様な作用効果が得られる。

【 0 0 6 6 】

なお、実施の形態 1 ~ 4 ではバイポーラトランジスタを増幅素子に使用した高周波増幅器を説明したが、S i B J T、S i G e B J T、I n G a p 等の化合物から成る H B T を増幅素子として使用しても同様な作用効果が得られる。

【 0 0 6 7 】

また、前記各実施の形態では、定電圧ベースバイアスによって駆動されるバイポーラトランジスタと、定電流ベースバイアスによって駆動されるバイポーラトランジスタが、それぞれ一つずつ並列合成されたものを例示して説明したが、この発明の高周波増幅器はこれに限定されず、当該高周波増幅器を n 個 (n は 2 以上の整数) のアンプ (増幅手段) で構成し、 m 個 (m は 1 以上 $n - 1$ 以下の整数) の定電流駆動のアンプと、 $n - m$ 個の定電圧駆動のアンプとを並列合成して実施することができるもので、このように構成したものであれば同様な作用効果が得られる。

【 0 0 6 8 】

以上のように、この実施の形態 6 によれば、定電圧駆動のアンプの増幅素子に F E T を用いて構成し、定電圧で駆動するアンプと定電流で駆動するアンプとを並列合成したので、優れた歪特性を有しながら付加効率も良好にできるという効果がある。

【 0 0 6 9 】

【発明の効果】

以上のように、この発明によれば、一定の電圧でバイアスする増幅素子を用いた定電圧駆動の増幅手段と、一定の電流でバイアスする増幅素子を用いた定電流駆動の増幅手段とを並列合成したので、優れた歪特性を有しながら良好な付加効率を得ることができるという効果がある。

【0070】

この発明によれば、 n 個（ n は2以上の整数）の増幅手段を備え、当該増幅手段は m 個（ m は1以上 $n-1$ 以下の整数）の定電流駆動の増幅手段と $n-m$ 個の定電圧駆動の増幅手段とを並列合成したので、優れた歪特性を有しながら良好な付加効率を得ることができるという効果がある。

【0071】

この発明によれば、定電圧駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電圧でバイアスし、定電流駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスするようにしたので、優れた歪特性を有しながら良好な付加効率を得ることができるという効果がある。

【0072】

この発明によれば、定電圧駆動の増幅手段が、入力整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路と、出力整合を行うと共に増幅素子に電源電力を供給する出力整合電源回路とを備え、定電流駆動の増幅手段が、入力整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路と、出力整合を行うと共に増幅素子に電源電力を供給する出力整合電源回路とを備えたので、当該高周波増幅器を構成する部品点数が削減でき、小型化が図れるという効果がある。

【0073】

この発明によれば、定電圧駆動の増幅手段および定電流駆動の増幅手段に電源電力を供給すると共に定電圧駆動の増幅手段および定電流駆動の増幅手段の出力整合を行う出力整合電源回路を備え、定電圧駆動の増幅手段が、入力の整合を行うと共に一定のバイアス電圧を増幅素子に供給する入力整合定電圧バイアス回路を備え、定電流駆動の増幅手段が、入力の整合を行うと共に一定のバイアス電流を増幅素子に供給する入力整合定電流バイアス回路を備えたので、当該高周波増幅器を構成する部品点数が削減でき、小型化が図れるという効果がある。

【0074】

この発明によれば、定電圧駆動の増幅手段および定電流駆動の増幅手段の入力整合を行う入力整合回路と、定電圧駆動の増幅手段および定電流駆動の増幅手段に電源電力を供給すると共に定電圧駆動の増幅手段および定電流駆動の増幅手段の出力整合を行う出力整合電源回路とを備え、定電圧駆動の増幅手段が、一定のバイアス電圧を増幅素子に供給する定電圧バイアス回路を備え、定電流駆動の増幅手段が、一定のバイアス電流を増幅素子に供給する定電流バイアス回路を備えたので、当該高周波増幅器を構成する部品点数が削減でき、小型化が図れるという効果がある。

【0075】

この発明によれば、増幅素子が、同一チップ上に一定の電圧でバイアスするバイポーラトランジスタのベースと一定の電流でバイアスするバイポーラトランジスタのベースとを分離して構成し、一定の電圧でバイアスするバイポーラトランジスタのコレクタと一定の電流でバイアスするバイポーラトランジスタのコレクタとを一つのコレクタパッドに接続するコレクタ引き出しパターンと、一定の電圧でバイアスするバイポーラトランジスタのエミッタと一定の電流でバイアスするバイポーラトランジスタのエミッタとを一つのエミッタパッドに接続するエミッタ引き出しパターンと、一定の電圧でバイアスするバイポーラトランジスタのベースと一定のバイアス電圧が供給されるベースパッドとを接続するベース引き出しパターンと、一定の電流でバイアスするバイポーラトランジスタのベースと一定のバイアス電流が供給されるベースパッドとを接続するベース引き出しパターンとを備え、ベース引き出しパターンとエミッタ引き出しパターンとが重なる部分を少なく構成し

10

20

30

40

50

たので、良好な高周波特性を確保して小型化を図りながら複数のバイポーラトランジスタを並列合成して同一チップ上に形成することができるという効果がある。

【 0 0 7 6 】

この発明によれば、定電圧駆動の増幅手段が、増幅素子として F E T を使用して当該 F E T のゲートを一定の電圧でバイアスし、定電流駆動の増幅手段が、増幅素子としてバイポーラトランジスタを使用して当該バイポーラトランジスタのベースを一定の電流でバイアスするようにしたので、優れた歪特性を有しながら良好な付加効率を得ることができるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による高周波増幅器を示す回路図である

10

【図 2】 実施の形態 1 による高周波増幅器の入力電力に対する利得の特性を示す説明図である。

【図 3】 実施の形態 1 による高周波増幅器の出力電力の歪特性を示す説明図である。

【図 4】 実施の形態 1 による高周波増幅器の出力電力の付加効率を示す説明図である。

【図 5】 この発明の実施の形態 2 による高周波増幅器を示す回路図である。

【図 6】 この発明の実施の形態 3 による高周波増幅器を示す回路図である。

【図 7】 この発明の実施の形態 4 による高周波増幅器を示す回路図である。

【図 8】 この発明の実施の形態 5 による高周波増幅器に用いられる並列合成したバイポーラトランジスタの構成を示す説明図である。

【図 9】 従来の高周波増幅器を示す構成図である。

20

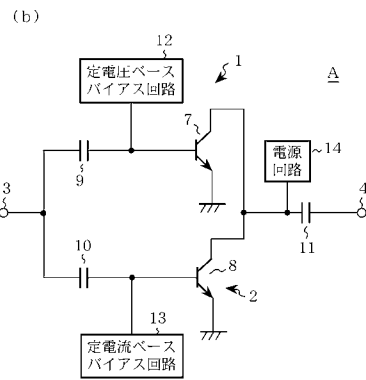
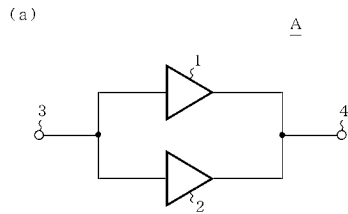
【符号の説明】

1 アンプ（定電圧駆動の増幅手段）、2 アンプ（定電流駆動の増幅手段）、3 R F 入力端子、4 R F 出力端子、5 , 6 特性曲線、7 , 8 バイポーラトランジスタ、9 , 10 , 11 容量性素子、12 定電圧ベースバイアス回路（定電圧バイアス回路）、13 定電流ベースバイアス回路（定電流バイアス回路）、14 電源回路、15 , 16 , 17 特性曲線、18 , 19 歪特性曲線、20 , 21 特性曲線、22 , 23 バイポーラトランジスタ、24 R F 入力端子、25 入力整合定電圧バイアス回路、26 出力整合電源回路、27 入力整合定電流バイアス回路、28 出力整合電源回路、29 R F 出力端子、30 , 31 容量性素子、32 , 33 バイポーラトランジスタ、34 R F 入力端子、35 入力整合定電圧バイアス回路、36 出力整合電源回路、37 入力整合定電流バイアス回路、38 R F 出力端子、39 , 40 容量性素子、41 , 42 バイポーラトランジスタ、43 R F 入力端子、44 定電圧ベースバイアス回路（定電圧バイアス回路）、45 出力整合電源回路、46 定電流ベースバイアス回路（定電流バイアス回路）、47 R F 出力端子、48 入力整合回路、49 , 50 容量性素子、51 , 52 ベースパッド、53 コレクタパッド、54 a , 54 b ベース引き出しパターン、55 エミッタ引き出しパターン、56 コレクタ引き出しパターン、57 エミッタパッド、201 アンプ（定電圧駆動の増幅手段）、202 アンプ（定電流駆動の増幅手段）、301 アンプ（定電圧駆動の増幅手段）、302 アンプ（定電流駆動の増幅手段）、401 アンプ（定電圧駆動の増幅手段）、402 アンプ（定電流駆動の増幅手段）、A , B , C , D アンプ。

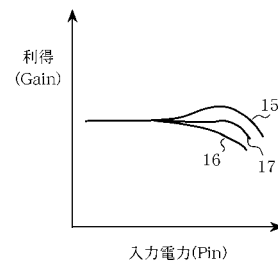
30

40

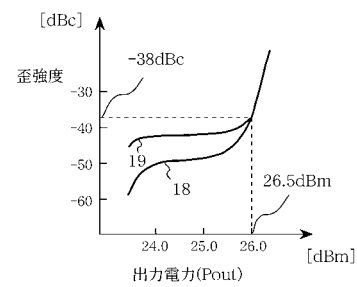
【図 1】



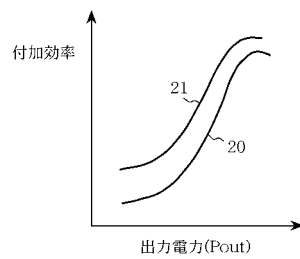
【図 2】



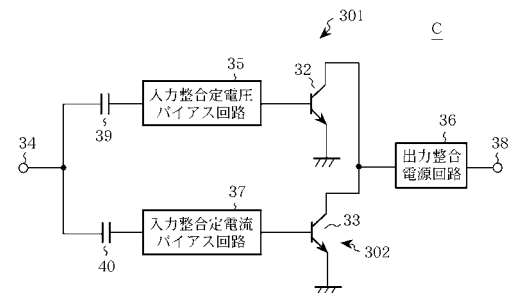
【図 3】



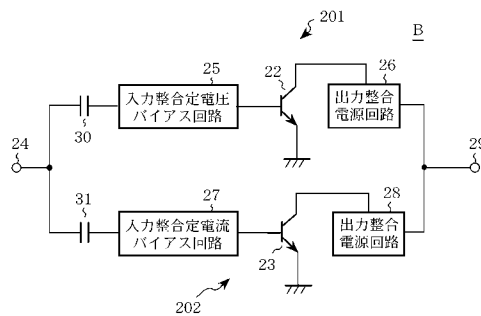
【図 4】



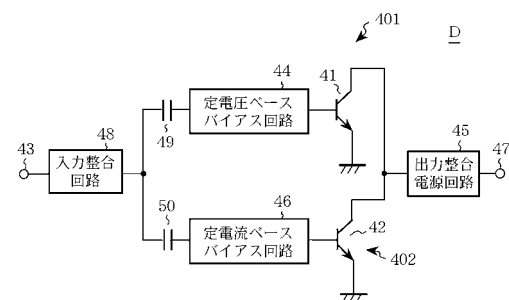
【図 6】



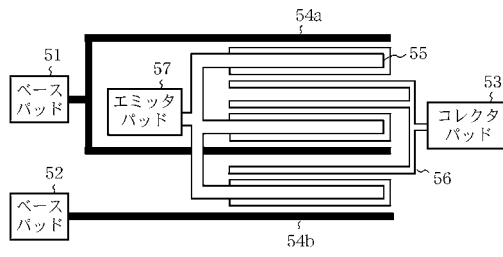
【図 5】



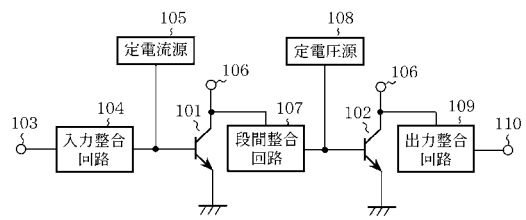
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 末松 憲治
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 森 一富
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 井上 晃
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 太田 彰
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 関 博昭
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 野元 久道

- (56)参考文献 特開平10-135750(JP,A)
特開2001-284984(JP,A)
実開平05-011527(JP,U)
特開昭61-248606(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/68
H03F 1/32
H03F 3/24