

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-5014

(P2009-5014A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.

H03F 3/34 (2006.01)

F I

H03F 3/34

C

テーマコード(参考)

5J500

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2007-163011 (P2007-163011)
 (22) 出願日 平成19年6月20日 (2007.6.20)

(71) 出願人 000227180
 日置電機株式会社
 長野県上田市小泉81番地
 (74) 代理人 100091281
 弁理士 森田 雄一
 (72) 発明者 寺島 隆幸
 長野県上田市小泉81番地 日置電機株式
 会社内
 Fターム(参考) 5J500 AA01 AA47 AC62 AC71 AF17
 AH25 AH29 AK01 AK27 AM13
 AS15 AT03 NM02 NN04

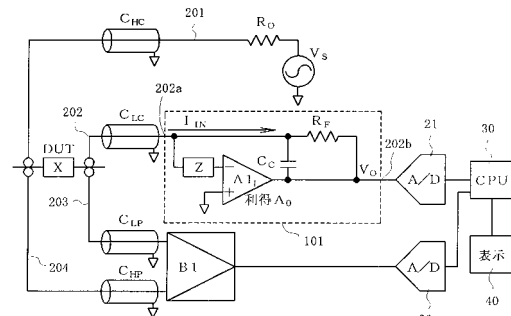
(54) 【発明の名称】 電流電圧変換回路

(57) 【要約】

【課題】 オペアンプを用いた電流電圧変換回路において、動作の安定化を図ると共に接続ケーブルによる入力容量の影響を除去し、帯域の拡大や検出誤差の低減を可能にする。

【解決手段】 オペアンプとして電流帰還型オペアンプ A_{1I} を用い、その帰還回路に、回路入力端子 202a とオペアンプ A_{1I} の反転入力端子との間に接続された補償インピーダンス Z と、回路入力端子 202a とオペアンプ A_{1I} の出力端子との間に接続された帰還抵抗 R_F 及び位相補償コンデンサ C_C の並列回路とを備え、補償インピーダンス Z として、低周波数領域では低インピーダンス値であって高周波数領域では高インピーダンス値であり、かつ、オペアンプ A_{1I} のループゲインが小さい周波数領域では入出力の位相差がほぼゼロとなるような素子を用いる。

【選択図】 図1



101 : 電流電圧変換回路
 201~204 : 接続ケーブル
 202a : 回路入力端子
 202b : 回路出力端子
 A_{1I} : 電流帰還型オペアンプ
 Z : 補償インピーダンス

【特許請求の範囲】

【請求項 1】

出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電流帰還型オペアンプであり、

前記帰還回路は、

前記入力電流が流入する回路入力端子と前記反転入力端子との間に接続された補償インピーダンスと、前記回路入力端子と前記オペアンプの出力端子との間に接続された前記帰還抵抗及び位相補償コンデンサの並列回路と、を備え、

前記補償インピーダンスとして、

低周波数領域では低インピーダンス値であって高周波数領域では高インピーダンス値であり、かつ、前記オペアンプのループゲインが小さい周波数領域では入出力の位相差がほぼゼロとなるような素子を用いることを特徴とする電流電圧変換回路。

【請求項 2】

出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電流帰還型オペアンプであり、

前記帰還回路は、

前記入力電流が流入する回路入力端子と前記反転入力端子との間に接続された補償インピーダンスと、前記回路入力端子と前記オペアンプの出力端子との間に接続された前記位相補償コンデンサと、前記回路入力端子と回路出力端子との間に接続された前記帰還抵抗と、前記オペアンプの出力端子と前記回路出力端子との間に接続されたアンプと、を備え、

前記補償インピーダンスとして、

低周波数領域では低インピーダンス値であって高周波数領域では高インピーダンス値であり、かつ、前記オペアンプのループゲインが小さい周波数領域では入出力の位相差がほぼゼロとなるような素子を用いることを特徴とする電流電圧変換回路。

【請求項 3】

出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電圧帰還型オペアンプであり、

前記帰還回路は、

前記入力電流が流入する回路入力端子と前記オペアンプの出力端子との間に接続された前記位相補償コンデンサと、前記回路入力端子と回路出力端子との間に接続された前記帰還抵抗と、前記オペアンプの出力端子と前記回路出力端子との間に接続されたアンプと、を備えたことを特徴とする電流電圧変換回路。

【請求項 4】

請求項 1 に記載した電流電圧変換回路において、

前記回路入力端子と前記補償インピーダンスの入力側と前記オペアンプの非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記補償インピーダンスの入力側との間に接続される直流カット用のコンデンサと、

前記補償インピーダンスの入力側に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、

前記回路入力端子と前記オペアンプの非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたことを特徴とする電

10

20

30

40

50

流電圧変換回路。

【請求項 5】

請求項 2 に記載した電流電圧変換回路において、

前記回路入力端子と前記補償インピーダンスの入力側と前記オペアンプの非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記補償インピーダンスの入力側との間に接続される直流カット用のコンデンサと、

前記補償インピーダンスの入力側に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、

前記回路入力端子と前記オペアンプの非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたことを特徴とする電流電圧変換回路。

10

【請求項 6】

請求項 3 に記載した電流電圧変換回路において、

前記回路入力端子と前記オペアンプの反転入力端子及び非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記反転入力端子との間に接続される直流カット用のコンデンサと

20

、前記反転入力端子に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、

前記回路入力端子と前記非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたことを特徴とする電流電圧変換回路。

【請求項 7】

請求項 5 または 6 に記載した電流電圧変換回路において、

前記回路入力端子と前記オペアンプの出力端子との間に、前記オペアンプの出力電圧を前記回路入力端子側に帰還して前記回路入力端子の電圧をほぼゼロに維持するための電圧帰還回路を接続したことを特徴とする電流電圧変換回路。

30

【請求項 8】

請求項 4 ~ 7 の何れか 1 項に記載した電流電圧変換回路において、

前記オペアンプのバイアス電流に比べて、前記直流サーボ回路の積分回路を構成するオペアンプのバイアス電流が十分に小さいことを特徴とする電流電圧変換回路。

【請求項 9】

請求項 1 ~ 8 の何れか 1 項に記載した電流電圧変換回路が、前記回路入力端子に同軸ケーブルを介して接続された遠隔地の測定対象物のインピーダンスを測定するインピーダンス測定装置として構成されていることを特徴とする電流電圧変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、例えば遠隔地にある測定対象物のインピーダンス測定に使用される電流電圧変換回路に関し、詳しくは、オペアンプにより入力電流を電圧に変換して出力する電流電圧変換回路に関するものである。

【背景技術】

【0002】

図 1 2 は、従来電流電圧変換回路を用いたインピーダンス測定装置を示しており、例えば特許文献 1 や特許文献 2 に記載されたものと同様の回路である。

図 1 2 において、 V_s は信号源、 R_o は出力抵抗、 DUT はインピーダンス X を有する測定対象物、10 は電流電圧変換回路、A1 はオペアンプ、 R_f は帰還抵抗、B1 はアンプ、21, 22 は A/D 変換回路、30 は CPU、40 は表示装置である。

50

また、201～204は同軸ケーブル等の接続ケーブル、 C_{HC} 、 C_{LC} 、 C_{LP} 、 C_{HP} はこれらの静電容量を示している。

【0003】

この従来技術では、信号源 V_S から測定対象物DUTに交流電圧を印加し、その時に流れる電流を電流電圧変換回路10により電圧に変換してA/D変換すると共に、測定対象物DUTの両端電圧を計装アンプB1により増幅してA/D変換し、CPU30がA/D変換回路21、22の出力を用いて測定対象物DUTのインピーダンスを演算している。

なお、図13は図12の主要部を等価的に示したものであり、図13において、 C_{IN} は前記静電容量 C_{LC} 、 C_{LP} の合成容量として表される電流電圧変換回路10の入力容量である。

10

【0004】

さて、JIS規格では、静電容量が1[nF]以下のコンデンサを測定する場合には信号源の周波数を1[MHz]とするように規定されているため、例えば、測定対象物DUTとして1[pF]を下回る容量のコンデンサを測定する場合には、1[MHz]における測定対象物DUTのインピーダンスが160[k Ω]にもなる。

このような場合、オペアンプA1の反転入力端子に流入する電流が小さくなるので、帰還抵抗 R_F を相当程度大きくしなければ検出信号はノイズに埋もれてしまう。しかし、帰還抵抗 R_F を大きくすると、帰還抵抗 R_F と入力容量 C_{IN} との直列回路により分圧されてオペアンプA1の反転入力端子に加わる電圧が小さくなり、誤差が大きくなって十分な検出精度を得ることができない。

20

【0005】

また、入力容量 C_{IN} が大きい場合、この入力容量 C_{IN} と帰還抵抗 R_F との分圧点から反転入力端子に加わる帰還電圧は、オペアンプA1の出力電圧に対して位相が回転する。一般にオペアンプA1の出力電圧は、数[kHz]以上で入力電圧に対して位相が90°遅れているので、この遅れに上述した帰還電圧による遅れが加わると、位相遅れは180°にも達して発振(正帰還)に至ってしまい、回路の動作が不安定になる。

【0006】

上述したような入力容量 C_{IN} に起因する回路の不安定動作等を補償するために、帰還抵抗 R_F に並列に位相補償コンデンサを接続することが従来から行われている。例えば、図14は、非特許文献1に記載された回路と同等の従来技術であり、11は電圧帰還型オペアンプA1を用いた電流電圧変換回路、 C_C は帰還抵抗 R_F に並列に接続された位相補償コンデンサである。

30

このように帰還回路に位相補償コンデンサ C_C を付加して入力容量 C_{IN} と直列に接続することにより、位相余裕を十分に確保して回路の安定動作を可能にしている。

【0007】

なお、図14に記載された回路は、オペアンプA1として電流帰還型のものを用いた電流電圧変換回路にもそのまま適用可能であるが、電流帰還型オペアンプでは反転入力端子のインピーダンスが非常に小さいため、反転動作で使用する場合には入力容量 C_{IN} の影響をほとんど受けることがない。

40

【0008】

【特許文献1】特開2004-294269号公報(段落[0018]～[0020]、図2等)

【特許文献2】特許第2960095号公報(第2頁左欄第3行～右欄第25行、第3図等)

【非特許文献1】「OPアンプの歴史と回路技術の基礎知識(OPアンプ大全第1巻)」, 第6章, 6-4 高速の電流-電圧変換器と反転入力端子の入力容量の影響, p.245～p.249, CQ出版社, 2003年12月1日発行

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

ここで、例えば図14における帰還抵抗 $R_F = 100$ [k]、入力容量 $C_{IN} = 500$ [pF]、オペアンプA1のGBP(利得帯域幅積)周波数 $f_{GBP} = 100$ [MHz]とした場合、非特許文献1によれば、位相補償コンデンサ C_C の容量は、オペアンプA1が電流帰還型であれば 2.8 [pF]、電圧帰還型であれば 2.4 [pF]となる。この場合、帰還抵抗 R_F 及び位相補償コンデンサ C_C によるコーナー周波数はそれぞれ 570 [kHz]、 670 [kHz]となり、何れにしても周波数帯域が狭くなるという問題がある。

なお、位相補償コンデンサ C_C の容量は、入力容量 C_{IN} に応じて大きな値となる。

【0010】

また、位相補償コンデンサ C_C と入力容量 C_{IN} とによる分圧電圧がオペアンプA1の反転入力端子に入力される結果、 $C_{IN} = 0$ [pF]の場合(接続ケーブルがない状態)と、 $C_{IN} = 500$ [pF]の場合(接続ケーブルがある状態)とでは、図15に示す如く、信号源 V_S による測定周波数が 1 [MHz]の時に電流電圧変換回路のトランスインピーダンスが約 30% も異なる。すなわち、接続ケーブルの長さによってインピーダンス測定値が左右されるという問題もあった。

【0011】

更に、電流帰還型オペアンプA1を使用した場合、例えば 1 [nF]の入力容量 C_{IN} を補償するためには数 [pF]の位相補償コンデンサ C_C を用いる必要があるが、接続ケーブルが短くなって入力容量 C_{IN} が小さくなると、測定周波数の高周波数領域において帰還電流が増加するという特有の問題がある。

また、測定対象物DUTがコンデンサである場合には、このコンデンサと帰還抵抗 R_F との直列回路が微分回路を構成するので、帯域を制限するために位相補償コンデンサ C_C をある程度大きくする必要はあるが、その場合にも高周波数領域において帰還電流が増加する。このように帰還電流が大きくなると、回路動作が不安定になる。

加えて、一般に電流帰還型オペアンプのトランスインピーダンスは 1 [MHz]で 100 [k]程度であるが、帰還抵抗を 100 [k]とした場合、ループゲインは 1 しか得られず、全く精度が出ないという問題があった。

【0012】

なお、高周波数領域において接続ケーブルの入力容量による影響を低減することを目的としたインピーダンス測定装置として、特開 $2004-317345$ 号公報、同 $2004-317391$ 号公報等に記載された公知技術が存在するが、何れも帰還系を安定させるために数 [ms]の時間を要するため、高速測定には向かないものであった。

【0013】

そこで、本発明の解決課題は、動作の安定化を図ると共に接続ケーブルによる入力容量の影響を除去し、しかも周波数帯域の拡大や検出誤差の低減を可能にした電流電圧変換回路を提供することにある。

【課題を解決するための手段】

【0014】

上記課題を解決するため、請求項1に係る発明は、出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電流帰還型オペアンプであり、

前記帰還回路は、前記入力電流が流入する回路入力端子と前記反転入力端子との間に接続された補償インピーダンスと、前記回路入力端子と前記オペアンプの出力端子との間に接続された前記帰還抵抗及び位相補償コンデンサの並列回路と、を備え、

前記補償インピーダンスとして、低周波数領域では低インピーダンス値であって高周波数領域では高インピーダンス値であり、かつ、前記オペアンプのループゲインが小さい周波数領域では入出力の位相差がほぼゼロとなるような素子を用いるものである。

【0015】

10

20

30

40

50

請求項 2 に係る発明は、出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電流帰還型オペアンプであり、

前記帰還回路は、前記入力電流が流入する回路入力端子と前記反転入力端子との間に接続された補償インピーダンスと、前記回路入力端子と前記オペアンプの出力端子との間に接続された前記位相補償コンデンサと、前記回路入力端子と回路出力端子との間に接続された前記帰還抵抗と、前記オペアンプの出力端子と前記回路出力端子との間に接続されたアンプと、を備え、

前記補償インピーダンスとして、低周波数領域では低インピーダンス値であって高周波数領域では高インピーダンス値であり、かつ、前記オペアンプのループゲインが小さい周波数領域では入出力の位相差がほぼゼロとなるような素子を用いるものである。

【 0 0 1 6 】

請求項 3 に係る発明は、出力端子と反転入力端子との間の帰還回路に、少なくとも帰還抵抗及び位相補償コンデンサを備え、かつ、非反転入力端子に基準電圧が加えられたオペアンプを用いて、入力電流を電圧に変換する電流電圧変換回路において、

前記オペアンプが電圧帰還型オペアンプであり、

前記帰還回路は、前記入力電流が流入する回路入力端子と前記オペアンプの出力端子との間に接続された前記位相補償コンデンサと、前記回路入力端子と回路出力端子との間に接続された前記帰還抵抗と、前記オペアンプの出力端子と前記回路出力端子との間に接続されたアンプと、を備えるものである。

【 0 0 1 7 】

請求項 4 に係る発明は、請求項 1 において、

前記回路入力端子と前記補償インピーダンスの入力側と前記オペアンプの非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記補償インピーダンスの入力側との間に接続される直流カット用のコンデンサと、前記補償インピーダンスの入力側に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、前記回路入力端子と前記オペアンプの非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたものである。

【 0 0 1 8 】

請求項 5 に係る発明は、請求項 2 において、

前記回路入力端子と前記補償インピーダンスの入力側と前記オペアンプの非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記補償インピーダンスの入力側との間に接続される直流カット用のコンデンサと、前記補償インピーダンスの入力側に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、前記回路入力端子と前記オペアンプの非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたものである。

【 0 0 1 9 】

請求項 6 に係る発明は、請求項 3 において、

前記回路入力端子と前記オペアンプの反転入力端子及び非反転入力端子との間に、直流サーボ回路を接続し、

前記直流サーボ回路は、

前記回路入力端子と前記反転入力端子との間に接続される直流カット用のコンデンサと、前記反転入力端子に接続されて前記オペアンプのバイアス電流を通流させる抵抗と、前記回路入力端子と前記非反転入力端子との間に接続されてその出力をバイアス電圧として前記非反転入力端子に与える積分回路と、を備えたものである。

10

20

30

40

50

【0020】

請求項7に係る発明は、請求項5または6において、前記帰還抵抗と前記位相補償コンデンサとの接続点と、前記アンプの入力端子との間に、前記オペアンプの出力電圧を前記回路入力端子側に帰還して前記回路入力端子の電圧をほぼゼロに維持するための電圧帰還回路を接続したものである。

【0021】

請求項8に係る発明は、請求項4～7の何れか1項において、前記オペアンプのバイアス電流に比べて、前記直流サーボ回路の積分回路を構成するオペアンプのバイアス電流が十分に小さいことを特徴とする。

【0022】

請求項9に係る発明は、請求項1～8の何れか1項に記載した電流電圧変換回路が、前記回路入力端子に同軸ケーブルを介して接続された遠隔地の測定対象物のインピーダンスを測定するインピーダンス測定装置として構成されていることを特徴とする。

10

【発明の効果】

【0023】

請求項1に係る発明によれば、電流帰還型オペアンプの反転入力端子に所定の特性を持った補償インピーダンスを挿入することにより、位相余裕を十分に確保して回路の安定動作を可能にし、また、接続ケーブルの長さによって測定値が左右されない電流電圧変換回路を実現することができる。

【0024】

請求項2に係る発明によれば、電流帰還型オペアンプの出力側に所定の利得を有するアンプを挿入することにより、請求項1の発明の効果に加えて、電流帰還型オペアンプの等価的なトランスインピーダンスを増加させることができ、帰還抵抗を大きくした場合でも検出誤差を低減させることが可能である。

20

【0025】

請求項3に係る発明によれば、電圧帰還型オペアンプの出力側に所定の利得を有するアンプを挿入することにより、従来よりも周波数帯域を大幅に広げると共に検出誤差を低減させることができる。

【0026】

請求項4～6, 8に係る発明によれば、電流帰還型または電圧帰還型オペアンプの入力側に直流サーボ回路を接続したことにより、オペアンプのバイアス電流に起因して過大な直流オフセット電圧が出力されるのを防止することができる。

30

【0027】

請求項7に係る発明によれば、電流帰還型または電圧帰還型オペアンプの出力側に電圧帰還回路を接続したことにより、直流サーボ回路の入力電圧をほぼゼロに維持し、過大な入力電圧による直流サーボ回路の異常動作を防止してオペアンプの基準電圧を所定のレベルに保つことが可能である。

【0028】

なお、請求項9に記載するように、本発明は、遠隔地にある測定対象物のインピーダンスを測定するインピーダンス測定装置として用いると好適である。

40

【発明を実施するための最良の形態】

【0029】

以下、図に沿って本発明の実施形態を説明する。

図1は、請求項1に係る本発明の第1実施形態をインピーダンス測定装置に適用した場合の回路図である。図1において、電流電圧変換回路101以外の構成は図12と同一であるため、同一の参照符号を付して説明を省略し、以下では電流電圧変換回路101の構成を中心に説明する。

【0030】

すなわち、電流電圧変換回路101において、 A_{1I} は電流帰還型オペアンプであり、その出力端子と反転入力端子との間の帰還回路には、補償インピーダンス Z と、帰還抵抗

50

R_F と位相補償コンデンサ C_C との並列回路とが直列に接続されている。オペアンプ A_{1I} の非反転入力端子には、グラウンドの基準電圧が与えられている。また、帰還抵抗 R_F と位相補償コンデンサ C_C との並列回路と補償インピーダンス Z との接続点すなわち回路入力端子 202a は、静電容量 C_{LC} を有する同軸ケーブル等の接続ケーブル 202 を介して、例えば遠隔地にある測定対象物 DUT の一端に接続されている。

オペアンプ A_{1I} の出力端子は、回路出力端子 202b を介して、図 12 と同様に A/D 変換回路 21 に接続されている。

【0031】

ここで、補償インピーダンス Z は、後述する如く、接続ケーブル 202 の長さの影響を低減するために、低周波数領域では低インピーダンスになり、高周波数領域では高インピーダンスになると共に、回路の安定性向上を目的として、オペアンプ A_{1I} のループゲインが小さくなる周波数領域では入出力の位相差が 0° に近い値になるような素子によって構成される。

10

【0032】

なお、第 1 実施形態によるインピーダンスの測定動作は、基本的に図 12 の従来技術と同様である。すなわち、信号源 V_S からの交流電圧により測定対象物 DUT を流れる電流を電流電圧変換回路 101 により電圧に変換し、他方、測定対象物 DUT の両端電圧を計装アンプ B1 により増幅し、これら両電圧を A/D 変換後に CPU 30 にて演算処理することにより、測定対象物 DUT のインピーダンスを測定する。

第 2 実施形態以降の電流電圧変換回路を用いてインピーダンスを測定する場合の動作も、上記と同様である。

20

【0033】

次に、第 1 実施形態の電流電圧変換回路 101 の安定性について考察する。

図 16 は、比較のために、従来技術として説明した図 14 におけるオペアンプ A_1 として電流帰還型オペアンプ A_{1I} を用いた場合の電流電圧変換回路 11 を示しており、周波数帯域は例えば 3 [MHz] に設定されている。

【0034】

図 16 において、 $R_F = 1$ [k] , $C_C = 50$ [pF] として入力容量 C_{IN} を 50 [pF] , 500 [pF] としたときの電流増幅率及び位相の周波数特性を図 17 に示す。

30

この図 17 によれば、 $C_{IN} = 500$ [pF] における位相余裕は約 30° あるが、 $C_{IN} = 50$ [pF] における位相余裕はほぼ 0° であり、接続ケーブルの長さが変わって入力容量 C_{IN} が変化することで回路が不安定になることが判る。

【0035】

一方、図 2 は、図 1 の実施形態の主要部を示した回路図であり、この回路を対象として安定性を評価してみる。

図 3 は、図 2 における $R_F = 1$ [k] , $C_C = 50$ [pF] とし、補償インピーダンス Z として 1 [k] の抵抗と 20 [μ H] のインダクタンスとの並列回路を用いた場合に、入力容量 C_{IN} を 50 [pF] , 500 [pF] としたときの電流増幅率及び位相の周波数特性を示している。

40

図 3 によれば、 $C_{IN} = 50$ [pF] における位相余裕は約 60° であり、 $C_{IN} = 500$ [pF] においても約 45° の位相余裕が確保されているため、接続ケーブル 202 の長さに関わらず回路が安定であることが判る。

【0036】

次いで、補償インピーダンス Z の大きさが電流電圧変換回路 101 の出力電圧に与える影響について考察する。ここでは、測定周波数の低周波数領域について考えるものとし、図 1 , 図 2 における位相補償コンデンサ C_C の影響を無視するものとする。

この場合、図 2 における電流電圧変換回路 101 の出力電圧 V_O は、数式 1 によって与えられる。なお、数式 1 において、 I_{IN} は電流電圧変換回路 101 に流れ込む電流（検出電流）、 T はオペアンプ A_{1I} のトランスインピーダンス、 s はラプラス演算子である

50

【 0 0 3 7 】

【 数 1 】

$$V_O = - \frac{R_F}{\frac{R_F}{T} + \frac{s C_{IN} Z R_F}{T} + \frac{Z}{T} + 1} I_{IN}$$

【 0 0 3 8 】

数式 1 によれば、低周波数領域において補償インピーダンス Z が十分に小さければ、接続ケーブルの長さが変わって入力容量 C_{IN} が変化しても、測定値に及ぼす影響が少ないことが判る。

10

このように接続ケーブルの影響を小さくしつつ回路の安定性を確保するために、前述した如く、補償インピーダンス Z は、低周波数領域では低インピーダンスであって高周波数領域では高インピーダンスとなり、オペアンプ A_{1I} のループゲインが小さくなる周波数領域では入出力の位相差が 0° に近くなるような素子、例えば、抵抗とインダクタンスとの並列回路やフェライトビーズによって構成することが好ましい。

【 0 0 3 9 】

以上のように第 1 実施形態によれば、電流帰還型オペアンプ A_{1I} の反転入力端子に所定の特性の補償インピーダンス Z を接続することにより、位相余裕を十分に確保して回路の安定動作を可能にし、接続ケーブルの長さの影響を受けない電流電圧変換回路を実現することができる。

20

【 0 0 4 0 】

次に、請求項 2 に係る本発明の第 2 実施形態を説明する。図 4 は、この実施形態の構成を示す回路図であり、図 1 と同一の構成要素には同一の参照符号を付してある。

図 4 と図 1 との相違点は、電流電圧変換回路 102 において、電流帰還型オペアンプ A_{1I} の出力端子と回路出力端子 202b との間に利得 K ($K > 1$) のアンプ A_2 を接続した点にあり、その他の構成は図 1 と同一である。

【 0 0 4 1 】

図 1 の第 1 実施形態では、前記数式 1 から明らかなように、低周波数領域において帰還抵抗 R_F の値を大きくすると数式 1 の右辺分母の第 1 項が大きくなり、これが検出誤差を増大させるおそれがある。

30

これに対し、第 2 実施形態では、位相補償コンデンサ C_C が有効に作用しない低周波数領域では、オペアンプ A_{1I} のトランスインピーダンス T が等価的にアンプ A_2 の利得によって K 倍されることになり、ループゲインを大きくして検出誤差を小さくすることができる。

【 0 0 4 2 】

次いで、請求項 3 に係る本発明の第 3 実施形態を説明する。図 5 は、この実施形態の構成を示す回路図である。

この実施形態は、電流電圧変換回路 103 として電圧帰還型オペアンプ A_{1V} を使用すると共に、図 4 における補償インピーダンス Z を除去してオペアンプ A_{1V} の反転入力端子を回路入力端子 202a に接続したものであり、オペアンプ A_{1V} の後段のアンプ A_2 を含む帰還回路の構成は図 4 と同一である。

40

【 0 0 4 3 】

本実施形態は、オペアンプ A_{1V} の帰還回路に利得 K のアンプ A_2 、位相補償コンデンサ C_C 及び帰還抵抗 R_F を含む点で図 4 と共通するが、アンプ A_2 は、主として周波数帯域の拡大と接続ケーブル 202 の入力容量による影響低減のために挿入されている。

【 0 0 4 4 】

図 5 において、回路が安定であるためには、回路全体の利得が 1 となる周波数で 45° 以上の位相余裕を確保できればよいことから、位相補償コンデンサの容量 C_C について以

50

下の数式 2 が得られる。なお、数式 2 において、 f_{GBP} はオペアンプ A 1 V の GBP (利得帯域幅積) 周波数である。

【 0 0 4 5 】

【 数 2 】

$$C_C = \frac{K}{\omega R_F} = \sqrt{\frac{C_{IN} K}{2\sqrt{2} \pi f_{GBP} R_F}}$$

【 0 0 4 6 】

ここで、図 1 4 (アンプ A 2 を有しない従来技術) に関して説明したのと同様に、帰還抵抗 $R_F = 100$ [k]、入力容量 $C_{IN} = 500$ [pF]、GBP 周波数 $f_{GBP} = 100$ [MHz] とし、図 5 におけるアンプ A 2 の利得 $K = 100$ とした場合、安定性を確保するための位相補償コンデンサの容量 C_C は、数式 3 により求められる。

【 0 0 4 7 】

【 数 3 】

$$C_C = \sqrt{\frac{500 \text{ [pF]} \times 100}{2\sqrt{2} \pi \times 100 \text{ [MHz]} \times 100 \text{ [k}\Omega]}} = 24 \text{ [pF]}$$

【 0 0 4 8 】

また、このときのコーナー周波数 f_c は、数式 4 によって表される。

【 0 0 4 9 】

【 数 4 】

$$f_c = \sqrt{\frac{f_{GBP}}{2\sqrt{2} \pi C_{IN} R_F}} \times \sqrt{K} = 6.7 \text{ [MHz]}$$

【 0 0 5 0 】

この数式 4 から、本実施形態によれば、図 1 4 において電圧帰還型のオペアンプを使用した場合のコーナー周波数である 670 [kHz] に対して、周波数帯域を 10 倍 (= K 倍) に拡大することができ、利得 K を大きくするほど周波数帯域を広げることが可能である。

【 0 0 5 1 】

図 6 は、 $C_{IN} = 0$ [pF] の場合 (接続ケーブルがない状態)、及び $C_{IN} = 500$ [pF] の場合 (接続ケーブルがある状態) のトランスインピーダンスの周波数特性図である。図 1 5 との比較から明らかなように、本実施形態では、測定周波数が 1 [MHz] の時にトランスインピーダンスの差が 3 % 以内となっており、接続ケーブルの長さが測定値に及ぼす影響もほとんどなくなっている。

【 0 0 5 2 】

次に、図 7 は、前後するが請求項 5 に係る本発明の第 4 実施形態を示す回路図である。

一般的に、電流帰還型オペアンプの反転入力端子には数 [μ A] のバイアス電流が流れる。このため、検出感度を上げる目的で帰還抵抗 R_F に 100 [k] というような大きな値を選ぶと、図 4 の実施形態ではアンプ A 2 の出力に大きな直流オフセット電圧が現れて測定値の指示が振り切れてしまい、測定不能になるおそれがある。

【 0 0 5 3 】

そこで、本実施形態では、図 7 に示すように電流電圧変換回路 102 の入力側に直流サーボ回路 50 を追加し、その出力によってオペアンプ A 1 I の非反転入力端子に与えるバ

10

20

30

40

50

イアス電圧のレベルを補正することにより、オペアンプ A_{1I} のバイアス電流に起因して電流電圧変換回路 102 から過大な直流オフセット電圧が出力されるのを防止するようにした。

なお、この実施形態において、電流電圧変換回路 102 及び直流サーボ回路 50 を組み合わせた回路全体についても電流電圧変換回路ということとし、その符号を 104 とする。

【0054】

図7において、直流サーボ回路 50 は、回路入力端子 202 a と補償インピーダンス Z の一端との間に接続された直流カット用のコンデンサ C_1 及び抵抗 R_1 と、積分回路を構成するオペアンプ A_3 、抵抗 R_2 及びコンデンサ C_2 とからなっており、オペアンプ A_3 の出力端子は電流帰還型オペアンプ A_{1I} の非反転入力端子に接続されていると共に、オペアンプ A_3 の非反転入力端子はグラウンドに接続されている。

このような構成において、オペアンプ A_3 によって a 点の電位とグラウンド電位との誤差電圧が積分され、その積分値がオペアンプ A_{1I} の非反転入力端子にバイアス電圧として加わることになり、前記誤差電圧がゼロになるように、オペアンプ A_{1I} の出力電圧、ひいてはアンプ A_2 から出力される直流オフセット電圧が抑制される。

ここで、直流サーボ回路 50 内のオペアンプ A_3 としては、オペアンプ A_{1I} に比べてバイアス電流が十分に小さいものを選ぶことが必要である。

【0055】

この実施形態における直流サーボ回路 50 の動作を、更に詳述する。

(1) 直流サーボ回路 50 内のコンデンサ C_1 により、オペアンプ A_{1I} のバイアス電流は帰還抵抗 R_F を流れなくなる。

(2) いま、オペアンプ A_{1I} の反転入力端子からバイアス電流が抵抗 R_1 に流れ出ると仮定すると、オペアンプ A_{1I} の出力電圧は負側に振れる。オペアンプ A_{1I} の後段のアンプ A_2 の利得 K は正であるため、アンプ A_2 の出力電圧、つまり図7の a 点の電圧も負側に振れる。

【0056】

(3) このとき、直流サーボ回路 50 内のオペアンプ A_3 の出力電圧、つまりオペアンプ A_{1I} の非反転入力端子の電圧は正側に振れるので、その出力電圧及びアンプ A_2 の出力電圧も正側に振れる。

このため、アンプ A_2 の出力電圧は正負が相殺されるので、その直流オフセット電圧はほぼゼロになる。より詳細には、a 点の電圧は、オペアンプ A_3 の入力オフセット電圧と、オペアンプ A_3 の小さなバイアス電流による抵抗 R_2 の電圧降下との和以下の値に抑え込まれる。

よって、帰還抵抗 R_F が大きい場合でも、オペアンプ A_{1I} のバイアス電流による過大な直流オフセット電圧の発生を防止することができる。

【0057】

なお、上述した着想は図1の第1実施形態にも適用可能である。

すなわち、図8は請求項4に係る本発明の第5実施形態を示す回路図であり、第1実施形態の電流電圧変換回路 101 の入力側に直流サーボ回路 50 を追加し、この回路全体を電流電圧変換回路 105 として構成した例である。

この実施形態の動作は基本的に図7と同様であり、オペアンプ A_{1I} の直流オフセット電圧及び a 点の電圧をほぼゼロに保つことができる。

【0058】

次に、図9は、請求項6に係る本発明の第6実施形態を示す回路図である。

図5に示した第3実施形態において、測定周波数を高く（例えば 1 [MHz] に）する場合には、電圧帰還型オペアンプ A_{1V} として広帯域かつ低雑音のものを使用する必要がある。しかし、一般にこの種の電圧帰還型オペアンプには数 [μA] のバイアス電流が流れるため、図7の電流帰還型オペアンプ A_{1I} の場合と同様の問題を生じる。

【0059】

10

20

30

40

50

そこで、図9に示す第6実施形態では、図7と同様に電流電圧変換回路103の入力側に直流サーボ回路50を追加し、その回路全体を電流電圧変換回路106として構成した。

この実施形態における直流サーボ回路50の動作は図7と同様であるため、重複を避けるために説明を省略する。

本実施形態においても、電圧帰還型オペアンプA1_Vのバイアス電流に起因する直流オフセット電圧及びa点の電圧をほぼゼロに維持することができる。

【0060】

次いで、図10は、請求項7に係る本発明の第7実施形態を示す回路図である。

この実施形態は、図7の回路において直流サーボ回路50に過大な電圧が入力された際の異常動作を防止するためのものである。

【0061】

図10において、図7と異なるのは、回路入力端子202aとオペアンプA1_Iの出力端子との間に、ダイオードD₁、D₃の直列回路とダイオードD₂、D₄の直列回路とを逆並列に接続し、各直列回路の内部接続点を一括して抵抗R₃を介しグラウンドに接続した点である。なお、これらのダイオードD₁～D₄及び抵抗R₃からなる回路を、ここでは電圧帰還回路と呼ぶこととする。

また、この実施形態では、上記電流電圧変換回路107及び直流サーボ回路50からなる回路全体を電流電圧変換回路108としてある。

【0062】

以下、本実施形態の動作について説明する。

まず、前述した図7の回路において、測定対象物DUTとして1[pF]のコンデンサを1[MHz]の周波数で測定する場合、コンデンサのインピーダンスは160[k Ω]と大きな値になるため、帰還抵抗R_Fとしては、例えば100[k Ω]のものが使用される。

【0063】

このとき、コンデンサが残留電荷によって10[mV]に充電されていたとすると、その残留電荷は電流電圧変換回路102を介して放電される。しかし、放電電流を制限するのは信号源V_S側の出力抵抗R₀(一般に50[Ω])だけであるため、アンプA2の出力電圧は、

$$10 \text{ [mV]} \times (R_F / R_0) \\ = 10 \text{ [mV]} \times (100 \text{ [k}\Omega\text{]} / 50 \text{ [}\Omega\text{]}) = 20 \text{ [V]}$$

まで振れようとし、実質的には電源電圧付近の値でクリップされる。つまり、図7におけるa点の電圧はゼロにならないため、直流サーボ回路50の出力電圧(オペアンプA1_Iの基準電圧)が所望の直流レベルからずれてしまう。このように一旦、直流レベルがずれると、直流サーボ回路50内のコンデンサや抵抗の時定数により、所定レベルに回復するまでに相当の時間を要してしまい、測定動作に支障をきたすことになる。

このような問題は、測定対象物DUTであるコンデンサが短絡していた場合にも起こり得るものである。

【0064】

そこで、本実施形態では、図10に示す如く、オペアンプA1_Iの出力側にダイオードD₁～D₄及び抵抗R₃からなる電圧帰還回路111を挿入し、オペアンプA1_Iの出力電圧を上記ダイオードD₁～D₄を介してa点に帰還させることでa点の電圧をほぼゼロに保つようにした。

すなわち、仮に測定対象物DUTとして残留電荷があるコンデンサが接続されると、そのコンデンサの電圧が入力される直流サーボ回路50の出力によって図10のオペアンプA1_Iの出力電圧はある大きくなる。しかし、オペアンプA1_Iの出力電圧が電圧帰還回路111内のダイオードD₁、D₃の直列回路、またはダイオードD₂、D₄の直列回路のオン電圧を超えると、オペアンプA1_Iの出力電圧は電圧帰還回路111を介してa点に帰還されることになり、a点の電圧はゼロに維持される。

10

20

30

40

50

【0065】

このため、直流サーボ回路50が過大な入力電圧によって異常動作するのを防止することができ、オペアンプA1_Iの基準電圧が所定のレベルからずれてしまう不都合を回避することができる。

なお、電圧帰還回路111内の抵抗R₃は帰還抵抗R_Fに比べて十分に小さい値であり、ダイオードD₁～D₄からの漏れ電流をグラウンド側に流す作用を果たしている。

【0066】

最後に、図11は、請求項7に係る本発明の第8実施形態の主要部を示す回路図である。

本実施形態は、図9に示した如く電圧帰還型オペアンプA1_Vを有する回路に電圧帰還回路111を追加して電流電圧変換回路109を構成した例であり、この電流電圧変換回路109及び直流サーボ回路50からなる回路全体を電流電圧変換回路110として示してある。

なお、その動作は図10と同様であるため、説明を省略する。

この実施形態においても、過大な入力電圧による直流サーボ回路50の異常動作を防止し、オペアンプA1_Vの基準電圧を所定のレベルに保つことができる。

【図面の簡単な説明】

【0067】

【図1】本発明の第1実施形態が適用されるインピーダンス測定装置の回路図である。

【図2】本発明の第1実施形態の回路図である。

【図3】図2の回路における電流増幅率，位相の周波数特性図である。

【図4】本発明の第2実施形態が適用されるインピーダンス測定装置の回路図である。

【図5】本発明の第3実施形態が適用されるインピーダンス測定装置の回路図である。

【図6】図5におけるトランスインピーダンスの周波数特性図である。

【図7】本発明の第4実施形態を示す回路図である。

【図8】本発明の第5実施形態を示す回路図である。

【図9】本発明の第6実施形態を示す回路図である。

【図10】本発明の第7実施形態を示す回路図である。

【図11】本発明の第8実施形態を示す回路図である。

【図12】従来技術が適用されるインピーダンス測定装置の回路図である。

【図13】図12の主要部を等価的に示した回路図である。

【図14】他の従来技術を示す回路図である。

【図15】図14におけるトランスインピーダンスの周波数特性図である。

【図16】電流帰還型オペアンプを用いた電流電圧変換回路の回路図である。

【図17】図16の回路における電流増幅率，位相の周波数特性図である。

【符号の説明】

【0068】

21, 22 : A/D変換回路

30 : CPU

40 : 表示装置

50 : 直流サーボ回路

101～110 : 電流電圧変換回路

111 : 電圧帰還回路

201～204 : 接続ケーブル

202a : 回路入力端子

202b : 回路出力端子

V_S : 信号源

R_O : 出力抵抗

R₁～R₃ : 抵抗

C_{HC}, C_{LC}, C_{HP}, C_{LP} : 静電容量

10

20

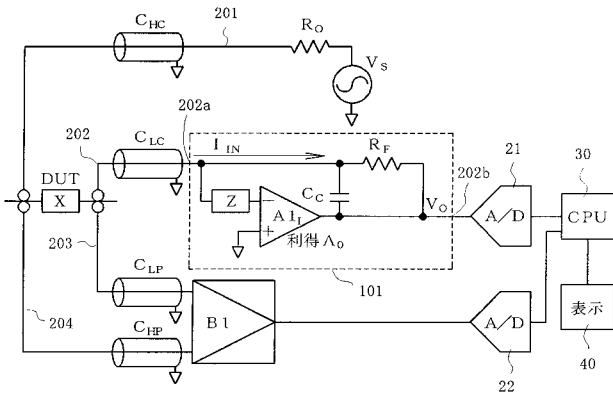
30

40

50

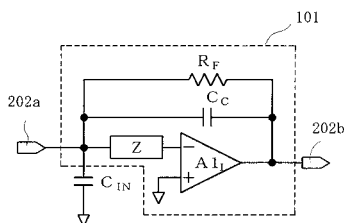
- C_{IN} : 入力容量
- C_C : 位相補償コンデンサ
- R_F : 帰還抵抗
- C_1, C_2 : コンデンサ
- $D_1 \sim D_4$: ダイオード
- DUT : 測定対象物
- X : インピーダンス
- Z : 補償インピーダンス
- A_1, A_{1I}, A_{1V}, A_3 : オペアンプ
- A2 : アンプ
- B1 : 計装アンプ

【 図 1 】

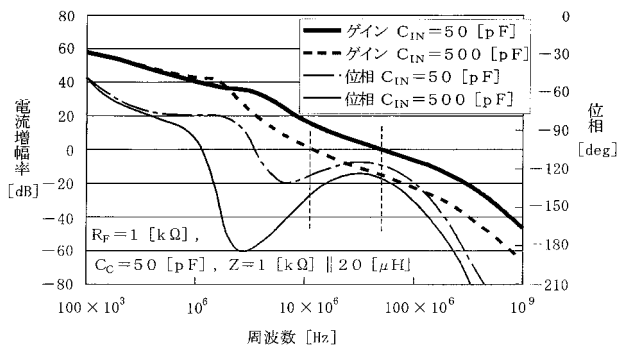


- 101 : 電流電圧変換回路
- 201~204 : 接続ケーブル
- 202a : 回路入力端子
- 202b : 回路出力端子
- A_{1I} : 電流帰還型オペアンプ
- Z : 補償インピーダンス

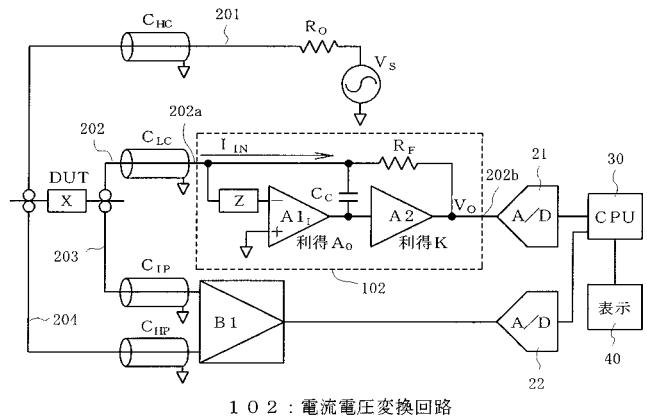
【 図 2 】



【 図 3 】

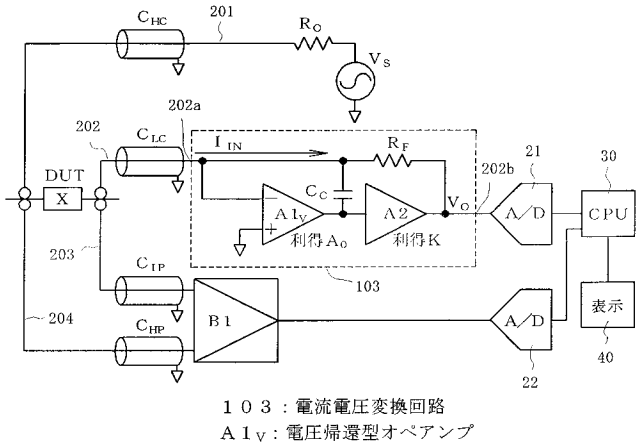


【 図 4 】

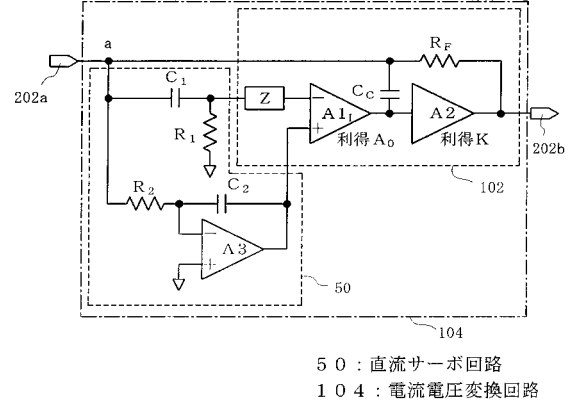


102 : 電流電圧変換回路

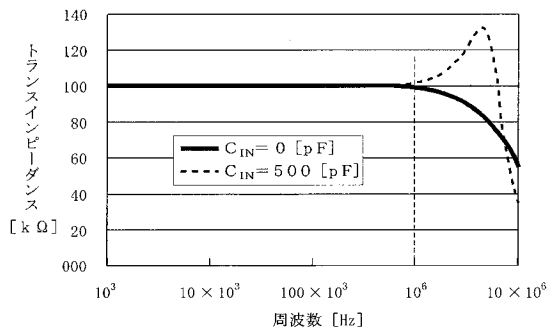
【図5】



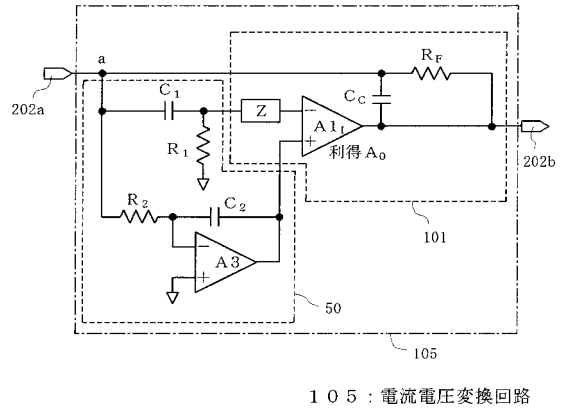
【図7】



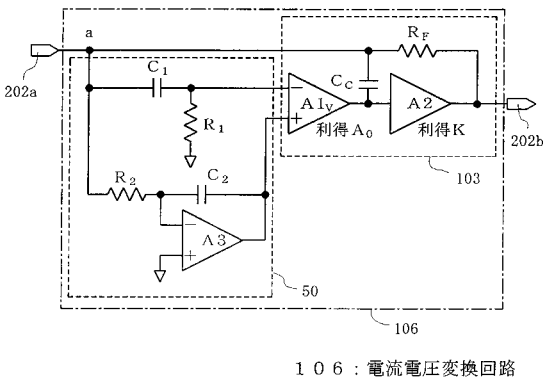
【図6】



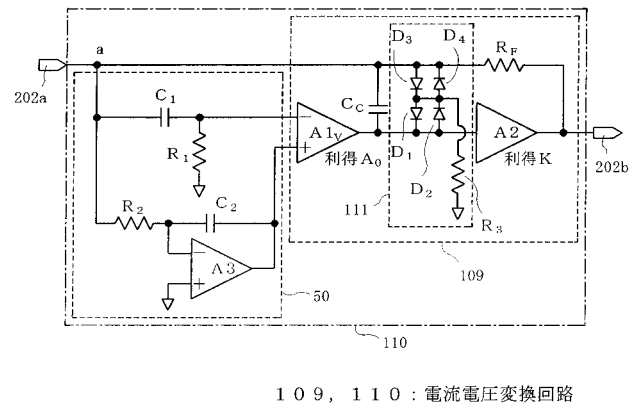
【図8】



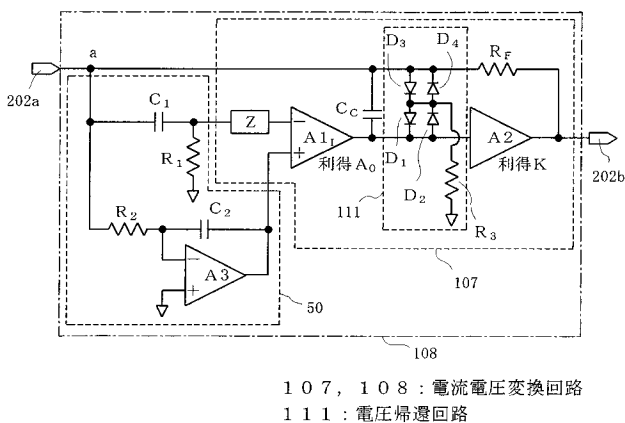
【図9】



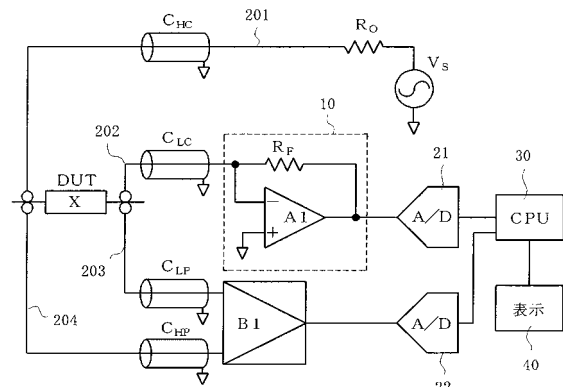
【図11】



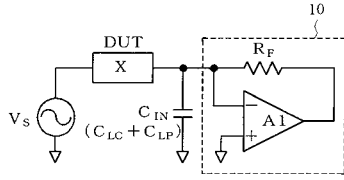
【図10】



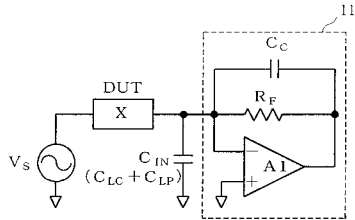
【図12】



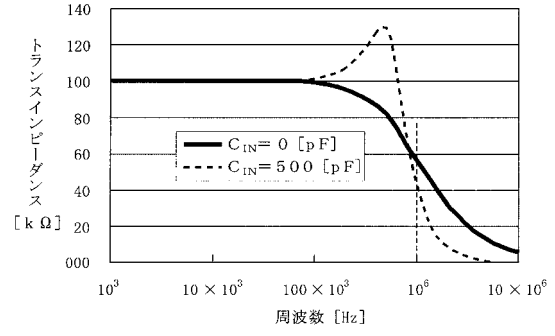
【 図 1 3 】



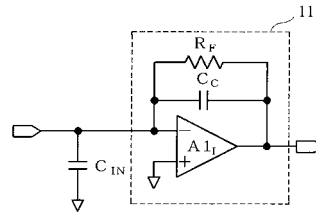
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



【 図 1 7 】

