



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0042614
(43) 공개일자 2015년04월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2013-0121486

(22) 출원일자 2013년10월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

테라이 마사유키

경기 수원시 영통구 매영로310번길 12, 532동
2003호 (영통동, 신나무설5단지아파트)

백인규

서울 강남구 개포로 516, 606동 1206호 (개포동,
개포동주공아파트)

(74) 대리인

박상수

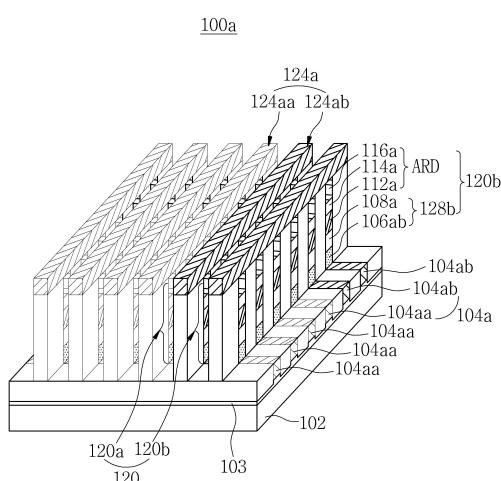
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 메모리 소자의 제조 방법

(57) 요 약

본 발명은 기판에 셀 영역 및 셀 영역의 둘레에 더미 영역을 정의하고, 상기 기판의 상면에 일 방향으로 연장된 비트 라인들을 형성하고, 상기 비트 라인들 중 셀 영역에 대응하는 상면에, 셀 다이오드와 가변 저항 소자를 포함하는 셀 수직 구조체들을 형성하고, 상기 비트라인들 중 더미 영역에 대응하는 상면에, 더미 다이오드와 가변 저항 소자를 포함하는 더미 수직 구조체들을 형성하고, 상기 셀 수직 구조체들 및 더미 수직 구조체들의 상면과 접촉하고 및 상기 비트라인들과 수직 교차하는 워드 라인들을 형성하는 것을 포함하고, 상기 셀 다이오드는 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 상기 더미 다이오드는 저 농도 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 및 상기 가변 저항 소자는 제 1 전극, 가변 저항, 제 2 전극을 포함하는 메모리 소자의 제조방법을 제공한다.

대 표 도 - 도3c



명세서

청구범위

청구항 1

기판에 셀 영역 및 셀 영역의 둘레에 더미 영역을 정의하고,
 상기 기판의 상면에 일 방향으로 연장된 비트 라인들을 형성하고,
 상기 비트 라인들 중 셀 영역에 대응하는 상면에, 셀 다이오드와 가변 저항 소자를 포함하는 셀 수직 구조체들을 형성하고,
 상기 비트라인들 중 더미 영역에 대응하는 상면에, 더미 다이오드와 가변 저항 소자를 포함하는 더미 수직 구조체들을 형성하고,
 상기 셀 수직 구조체들 및 더미 수직 구조체들의 상면과 접촉하고 및 상기 비트라인들과 수직 교차하는 워드 라인들을 형성하는 것을 포함하고,
 상기 셀 다이오드는 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 상기 더미 다이오드는 저 농도 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 및 상기 가변 저항 소자는 제 1 전극, 가변 저항, 제 2 전극을 포함하는 메모리 소자의 제조방법.

청구항 2

제 1 항에 있어서,
 상기 비트 라인들과 워드 라인들을 형성하는 것은,
 상기 셀 영역과 더미 영역에 걸쳐 셀 비트 라인을 형성하고,
 상기 셀 비트 라인들과 평행한 더미 영역에 더미 비트 라인들을 형성하고,
 상기 셀 영역과 더미 영역에 걸쳐 위치하고, 상기 셀 비트 라인들과 수직 교차하는 셀 워드 라인들을 형성하고,
 상기 셀 워드 라인들과 평행한 더미 영역에 더미 워드 라인들을 형성하는 것을 포함하는 메모리 소자 제조방법.

청구항 3

제 2 항에 있어서,
 상기 비트 라인들, 워드 라인들, 셀 수직 구조체들, 및 더미 수직 구조체들을 형성하는 것은,
 상기 기판에 제 1 금속층, 제 1 불순물층, 및 제 2 불순물층을 순차 형성하고,
 상기 더미 영역의 상기 제 1 불순물층에 제 2 불순물을 주입하고,
 상기 제 2 불순물층의 상면에 제 1 전극층, 가변 저항층, 및 제 2 전극층을 순차 형성하고, 및 패터닝하여,
 상기 기판의 일 방향으로 연장된 상기 셀 비트라인들 및 상기 더미 비트 라인들, 상기 셀 비트라인들 상면에 적층된 예비 셀 수직 구조체들, 및 상기 더미 비트 라인들의 상면에 적층된 예비 더미 수직 구조체들을 형성하고,
 상기 예비 셀 수직 구조체들 및 예비 더미 수직 구조체들의 상면에 제 2 금속층을 형성하고,
 상기 제 2 금속층, 상기 예비 셀 수직 구조체들, 및 상기 예비 더미 수직 구조체들을 패터닝하여,
 상기 비트 라인들과 수직 교차하는 워드 라인들과, 상기 셀 영역에 섬 형상의 셀 수직 구조체들, 및 상기 더미 영역에 섬 형상의 더미 수직 구조체들을 형성하는 것을 포함하는 메모리 소자 제조방법.

청구항 4

제 3 항에 있어서,

더미 영역의 상기 제 1 불순물층에 제 2 불순물을 주입하는 것은,

상기 셀 영역에 대응하는 제 2 불순물층의 상면에 제 1 마스크 패턴을 형성하고,

상기 제 1 마스크 패턴을 이온 주입 방지막으로 하여, 더미 영역에 대응하는 제 1 불순물층에 제 2 불순물을 주입하여, 저 농도의 제 1 불순물을 포함하는 저 농도 제 1 불순물층을 형성하는 것을 포함하고,

상기 제 1 불순물은 n형 불순물을 포함하고, 상기 제 2 불순물은 p형 불순물을 포함하는 메모리 소자의 제조방법.

청구항 5

제 3 항에 있어서,

상기 비트 라인들, 예비 셀 수직 구조체들, 및 예비 더미 수직 구조체들을 형성하는 것은,

상기 제 2 전극 층의 상면에 기판의 일변과 평행하고, 및 서로 이격된 제 2 마스크 패턴들을 형성하고,

상기 제 2 마스크 패턴들을 각각 마스크로 하여, 상기 제 1 금속층, 제 1 불순물층, 제 2 불순물층, 제 1 전극층, 가변 저항층, 및 제 2 전극층을 각각하여, 상기 제 2 마스크 패턴들의 하부에 이와 동일한 형태로 셀 비트라인들, 셀 비트라인들의 상면에 상기 예비 셀 수직 구조체들, 더미 비트 라인들, 및 상기 더미 비트 라인들의 상면에 상기 예비 더미 수직 구조체들을 형성하는 것을 포함하는 메모리 소자 제조방법.

청구항 6

제 3 항에 있어서,

상기 워드 라인들, 셀 수직 구조체들, 더미 수직 구조체들을 형성하는 것은

상기 제 2 금속층의 상부에 상기 비트 라인들과 수직 교차하는 방향으로 연장된 제 3 마스크 패턴들을 형성하고,

상기 제 3 마스크 패턴들을 각각 마스크로 하여, 상기 예비 셀 수직 구조체들 및 상기 예비 더미 수직 구조체들을 패터닝하여, 상기 비트 라인들과 수직 교차하여 상기 셀 영역과 더미 영역에 상기 비트 라인과 교차영역들을 가지는 워드 라인들을 형성하고,

상기 셀 영역의 교차 영역들에 섬 형상의 셀 수직 구조체들을 형성하고, 상기 더미 영역의 교차 영역들에 더미 수직 구조체들을 형성하는 것을 더 포함하는 메모리 소자.

청구항 7

기판에 셀 영역 및 셀 영역의 둘레에 더미 영역을 정의하고,

상기 셀 영역과 더미 영역에 평행하게 이격된 비트 라인들을 형성하고,

상기 비트 라인들의 상면에 이와 동일한 형태이고 및 예비 제 1 불순물 패턴, 예비 제 2 불순물 패턴, 및 예비 가변 저항 소자를 포함하는 예비 수직 구조체들을 형성하고,

상기 더미 영역의 예비 제 1 불순물 패턴에 제 2 불순물을 주입하고,

상기 비트 라인들과 수직 교차하고, 및 상기 셀 영역과 더미 영역에 비트 라인들과의 교차영역들을 가지는 워드 라인들을 형성하고,

상기 예비 수직 구조체들을 패터닝하여, 상기 교차 영역마다 제 1 불순물 패턴, 제 2 불순물 패턴, 및 가변 저항 소자를 포함하는 섬 형상의 수직 구조체들을 형성하고,

상기 워드 라인들과 평행한 더미 영역에 위치한 상기 수직 구조체들의 제 1 불순물 패턴들에 제 2 불순물을 주입하는 것을 포함하는 메모리 소자 제조방법.

청구항 8

제 7 항에 있어서,

상기 비트 라인과 예비 수직 구조체들을 형성하는 것은,

상기 기판에 제 1 금속층, 제 1 불순물층, 제 2 불순물층, 제 1 전극층, 가변 저항층, 제 2 전극층을 순차 형성하고,

상기 제 2 전극층의 상부에 서로 평행하게 이격된 제 1 마스크 패턴들을 형성하고,

상기 제 1 마스크 패턴들을 각각 마스크로 한 패터닝 공정을 수행하여, 상기 제 2 마스크 패턴들의 하부에 비트 라인, 예비 제 1 불순물 패턴, 예비 제 2 불순물 패턴, 및 예비 제 1 전극, 예비 가변 저항, 예비 제 2 전극을 포함하는 예비 수직 구조체를 형성하는 것을 포함하고,

상기 예비 가변 저항 소자는 상기 예비 제 1 전극, 예비 가변 저항, 및 예비 제 2 전극을 포함하는 메모리 소자 제조방법.

청구항 9

제 8 항에 있어서,

상기 예비 수직 구조체를 형성하는 것은 상기 제 1 전극층 보다 상기 제 2 전극층을 더 두껍게 형성하는 것을 포함하는 메모리 소자 제조방법.

청구항 10

제 7 항에 있어서,

상기 더미 영역은 상기 비트 라인과 평행하고 서로 마주 보는 제 1 영역들과, 상기 워드 라인과 평행하고 서로 마주보는 제 2 영역들을 포함하고, 상기 제 1 영역들에 각각 하나의 비트 라인이 형성되고, 상기 제 2 영역들에 각각 하나의 워드라인이 형성되는 메모리 소자 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 소자의 제조 방법에 관한 것으로, 특히, 비휘발성 메모리 소자인 가변 저항 메모리 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 가변 저항 메모리 소자는 데이터를 읽고, 쓰는 동작을 하는 셀 영역과, 상기 셀 영역의 둘레에 구성된 더미 영역을 포함할 수 있다. 상기 셀 영역과 더미 영역은 다이오드와 가변 저항을 포함하는 메모리 셀들을 포함할 수 있다. 상기 더미 영역에 구성된 메모리 셀들은 상기 셀 영역에 구성된 메모리 셀들의 동작과는 무관하다. 그러나, 더미 영역의 메모리 셀에 비정상적으로 발생한 누설 전류가 셀 영역의 메모리 셀의 동작에 영향을 줄 수 있다. 따라서, 상기 더미 영역에 구성된 메모리 셀들에 의해 상기 셀 영역의 메모리 셀들이 영향 받지 않도록 하기 위한 다양한 기술들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, 더미 영역의 메모리 셀에 발생한 전류가 셀 영역의 메모리 셀의 동작에 영향을 주지 않도록 하는 메모리 소자의 제조방법을 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 과제는 더미 영역의 메모리 셀에서 발생한 누설 전류가 상기 셀 영역의 메모리 셀의 동작에 영향을 주지 않도록 하기 위해, 상기 더미 영역의 메모리 셀에 포함되는 다이오드가 동작하지 않도록 하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제는 더미 영역의 다이오드가 동작하지 않도록, 더미 영역의 다이오드를 구성하는 불순물층들 중 적어도 하나의 불순물층을 저 농도로 형성하는 방법을 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른

른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 기술적 사상의 일 실시예에 의한 메모리 소자의 제조방법은 기판에 셀 영역 및 셀 영역의 둘레에 더미 영역을 정의하고, 상기 기판의 상면에 일 방향으로 연장된 비트 라인들을 형성하고, 상기 비트 라인들 중 셀 영역에 대응하는 상면에, 셀 다이오드와 가변 저항 소자를 포함하는 셀 수직 구조체들을 형성하고, 상기 비트라인들 중 더미 영역에 대응하는 상면에, 더미 다이오드와 가변 저항 소자를 포함하는 더미 수직 구조체들을 형성하고, 상기 셀 수직 구조체들 및 더미 수직 구조체들의 상면과 접촉하고 및 상기 비트라인들과 수직 교차하는 워드 라인들을 형성하는 것을 포함하고, 상기 셀 다이오드는 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 상기 더미 다이오드는 저 농도 제 1 불순물 패턴, 제 2 불순물 패턴을 포함하고, 및 상기 가변 저항 소자는 제 1 전극, 가변 저항, 제 2 전극을 포함 할 수 있다.

[0008] 상기 비트 라인들과 워드 라인들을 형성하는 것은, 상기 셀 영역과 더미 영역에 걸쳐 셀 비트 라인을 형성하고, 상기 셀 비트 라인들과 평행한 더미 영역에 더미 비트 라인들을 형성하고, 상기 셀 영역과 더미 영역에 걸쳐 위치하고, 상기 셀 비트 라인들과 수직 교차하는 셀 워드 라인들을 형성하고, 상기 셀 워드 라인들과 평행한 더미 영역에 더미 워드 라인들을 형성하는 것을 포함 할 수 있다.

[0009] 상기 비트 라인들, 워드 라인들, 셀 수직 구조체들, 및 더미 수직 구조체들을 형성하는 것은, 상기 기판에 제 1 금속층, 제 1 불순물층, 및 제 2 불순물층을 순차 형성하고, 상기 더미 영역의 상기 제 1 불순물층에 제 2 불순물을 주입하고, 상기 제 2 불순물층의 상면에 제 1 전극층, 가변 저항층, 및 제 2 전극층을 순차 형성하고, 및 패터닝하여, 상기 기판의 일 방향으로 연장된 상기 셀 비트라인들 및 상기 더미 비트 라인들, 상기 셀 비트라인들 상면에 적층된 예비 셀 수직 구조체들, 및 상기 더미 비트 라인들의 상면에 적층된 예비 더미 수직 구조체들을 형성하고, 상기 예비 셀 수직 구조체들 및 예비 더미 수직 구조체들의 상면에 제 2 금속층을 형성하고, 상기 제 2 금속층, 상기 예비 셀 수직 구조체들, 및 상기 예비 더미 수직 구조체들을 패터닝하여, 상기 비트 라인들과 수직 교차하는 워드 라인들과, 상기 셀 영역에 섬 형상의 셀 수직 구조체들, 및 상기 더미 영역에 섬 형상의 더미 수직 구조체들을 형성하는 것을 포함할 수 있다.

[0010] 상기 더미 영역의 상기 제 1 불순물층에 제 2 불순물을 주입하는 것은, 상기 셀 영역에 대응하는 제 2 불순물층의 상면에 제 1 마스크 패턴을 형성하고, 상기 제 1 마스크 패턴을 이온 주입 방지막으로 하여, 더미 영역에 대응하는 제 1 불순물층에 제 2 불순물을 주입하여, 저 농도의 제 1 불순물을 포함하는 저 농도 제 1 불순물층을 형성하는 것을 포함하고, 상기 제 1 불순물은 n형 불순물을 포함하고, 상기 제 2 불순물은 p형 불순물을 포함할 수 있다.

[0011] 상기 비트 라인들, 예비 셀 수직 구조체들, 및 예비 더미 수직 구조체들을 형성하는 것은, 상기 제 2 전극 층의 상면에 기판의 일변과 평행하고, 및 서로 이격된 제 2 마스크 패턴들을 형성하고, 상기 제 2 마스크 패턴들을 식각 마스크로하여, 상기 제 1 금속층, 제 1 불순물층, 제 2 불순물층, 제 1 전극층, 가변 저항층, 및 제 2 전극층을 식각하여, 상기 제 2 마스크 패턴들의 하부에 이와 동일한 형태로 셀 비트라인들, 셀 비트라인들의 상면에 상기 예비 셀 수직 구조체들, 더미 비트 라인들, 및 상기 더미 비트 라인들의 상면에 상기 예비 더미 수직 구조체들을 형성하는 것을 포함할 수 있다. 상기 워드 라인들, 셀 수직 구조체들, 더미 수직 구조체들을 형성하는 것은 상기 제 2 금속층의 상부에 상기 비트 라인들과 수직 교차하는 방향으로 연장된 제 3 마스크 패턴들을 형성하고, 상기 제 3 마스크 패턴들을 식각 마스크로 하여, 상기 예비 셀 수직 구조체들 및 상기 예비 더미 수직 구조체들을 패터닝하여, 상기 비트 라인들과 수직 교차하여 상기 셀 영역과 더미 영역에 상기 비트 라인들과 교차영역들을 가지는 워드 라인들을 형성하고, 상기 셀 영역의 교차 영역들에 섬 형상의 셀 수직 구조체들을 형성하고, 상기 더미 영역의 교차 영역들에 더미 수직 구조체들을 형성하는 것을 더 포함할 수 있다.

[0012] 본 발명의 다른 실시예에 의한 메모리 소자의 제조방법은 기판에 셀 영역 및 셀 영역의 둘레에 더미 영역을 정의하고, 상기 셀 영역과 더미 영역에 평행하게 이격된 비트 라인들을 형성하고, 상기 비트 라인들의 상면에 이와 동일한 형태이고 및 예비 제 1 불순물 패턴, 예비 제 2 불순물 패턴, 및 예비 가변 저항 소자를 포함하는 예비 수직 구조체들을 형성하고, 상기 더미 영역의 예비 제 1 불순물 패턴에 제 2 불순물을 주입하고, 상기 비트 라인들과 수직 교차하고, 및 상기 셀 영역과 더미 영역에 비트 라인들과의 교차영역들을 가지는 워드 라인들을 형성하고, 상기 예비 수직 구조체들을 패터닝하여, 상기 교차 영역마다 제 1 불순물 패턴, 제 2 불순물 패턴, 및 가변 저항 소자를 포함하는 섬 형상의 수직 구조체들을 형성하고, 상기 워드 라인들과 평행한 더미 영역에 위치한 상기 수직 구조체들의 제 1 불순물 패턴들에 제 2 불순물을 주입하는 것을 포함할 수 있다.

[0013]

상기 비트 라인과 예비 수직 구조체들을 형성하는 것은, 상기 기판에 제 1 금속층, 제 1 불순물층, 제 2 불순물층, 제 1 전극층, 가변 저항층, 제 2 전극층을 순차 형성하고, 상기 제 2 전극층의 상부에 서로 평행하게 이격된 제 1 마스크 패턴들을 형성하고, 상기 제 1 마스크 패턴들을 식각 마스크로 한 패터닝 공정을 수행하여, 상기 제 2 마스크 패턴들의 하부에 비트라인, 예비 제 1 불순물 패턴, 예비 제 2 불순물 패턴, 및 예비 제 1 전극, 예비 가변 저항, 예비 제 2 전극을 포함하는 예비 수직 구조체를 형성하는 것을 포함하고, 상기 예비 가변 저항 소자는 상기 예비 제 1 전극, 예비 가변 저항, 및 예비 제 2 전극을 포함할 수 있다.

[0014]

상기 예비 수직 구조체를 형성하는 것은 상기 제 1 전극층 보다 상기 제 2 전극층을 더 두껍게 형성하는 것을 포함 할 수 있다.

[0015]

상기 예비 제 1 불순물 패턴과, 상기 제 1 불순물 패턴에 각각 제 2 불순물을 주입하는 공정은, 상기 예비 제 1 불순물 패턴 및 상기 제 1 불순물 패턴에 일정한 기울기를 가진 각도로 제 2 불순물을 주입하는 것을 포함하고, 상기 제 2 불순물이 주입된 예비 제 1 불순물 패턴과 제 1 불순물 패턴은 저 농도의 n형 불순물을 포함하고, 상기 제 2 불순물은 고농도의 p형 불순물을 포함할 수 있다.

[0016]

상기 더미 영역은 상기 비트 라인과 평행하고 서로 마주 보는 제 1 영역들과, 상기 워드 라인과 평행하고 서로 마주 보는 제 2 영역들을 포함하고, 상기 제 1 영역들에 각각 하나의 비트 라인이 형성되고, 상기 제 2 영역들에 각각 하나의 워드라인이 형성될 수 있다.

[0017]

기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0018]

본 발명의 기술적 사상의 다양한 실시예들에 의한 메모리 소자의 제조방법은 더미 영역에 구성된 더미 다이오드의 한쪽 불순물층이 저 농도의 불순물을 포함 하도록 할 수 있다.

[0019]

저 농도의 불순물층을 포함한 더미 다이오드는 비 정상적인 외부의 영향에도 불구하고, 누설전류가 흐르지 않거나, 셀 영역에 영향을 미치지 않을 정도의 최소한의 누설전류가 발생할 수 있다.

[0020]

따라서, 본 발명에 따른 메모리 소자의 제조방법으로 메모리 소자를 제작하면, 상기 메모리 소자의 더미 영역이 셀 영역과 완벽하게 전기적으로 격리될 수 있다. 그러므로 상기 메모리 소자는 안정된 읽기/쓰기 동작을 할 수 있다.

도면의 간단한 설명

[0021]

도 1은 본 발명의 일 실시예에 의한 메모리 소자의 셀 영역 일부와 더미 영역의 일부를 개략적으로 도시한 평면도 이다.

도 2a와 도 2b는 본 발명의 메모리 소자에 구성될 수 있는 메모리 셀의 등가 회로도들이다.

도 2c는 본 발명의 일 실시예에 의한 메모리 소자의 등가 회로도이다.

도 3a 및 도 3b는 도 1의 I-I' 와 II-II'를 따라 절단한 수직 단면도이다.

도 3c는 도 1의 사시도이다.

도 4a 내지 도 10a 및 도 4b 내지 도 10b는 각각 도 1의 I-I' 와 II-II'를 따라 절단하여, 본 발명의 일 실시예에 의한 메모리 소자의 제조방법을 공정 순서에 따라 도시한 공정 단면도들이다.

도 4c 내지 도 10c는 도 1을 참조한 사시도들이고, 및 본 발명의 일 실시예에 의한 공정 순서에 따라 도시한 공정 사시도들이다.

도 11a 내지 18a, 도 11b 내지 도 18b는 각각 도 1의 III-III' 와 IV-IV'를 따라 절단하여, 본 발명의 다른 실시예에 의한 공정 순서에 따라 도시한 공정 단면도들이다.

도 11c 내지 도 18c는 도 1을 참조한 사시도들이고, 및 본 발명의 다른 실시예에 의한 공정 순서에 따라 도시한 공정 사시도들이다.

도 19는 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자들을 포함하는 본 발명의 기술적 사상의 일 실시 예에 의한 반도체 모듈을 개념적으로 도시한 도면이다.

도 20은 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자들을 포함하는 본 발명의 기술적 사상의 일 실시 예에 의한 전자 시스템을 개념적으로 도시한 블록도이다.

도 21은 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자들을 포함하는 본 발명의 기술적 사상의 일 실시예에 의한 전자 시스템을 개념적으로 도시한 블록도이다.

도 22는 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자들을 포함하는 본 발명의 기술적 사상의 일 실시예에 의한 모바일 전자 기기를 개념적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0023] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다'(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0024] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0025] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0026] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 각각으로 도시된 각각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개념적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0027] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.

[0028] 이하, 도면들을 참조하여 본 발명의 기술적 사상에 의한 메모리 소자의 구성 및 제조방법을 설명한다.

[0029] 도 1은 본 발명의 일 실시예에 의한 메모리 소자의 셀 영역 일부와 더미 영역의 일부를 개념적으로 도시한 평면도이고, 도 2a와 도 2b는 본 발명의 메모리 소자에 구성될 수 있는 메모리 셀의 등가 회로도들이고, 도 2c는 본 발명의 일 실시예에 의한 메모리 소자를 도시한 등가 회로도이다.

[0030] 도 1, 도 2a, 도 2b, 및 도 2c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)는 기판(102), 버퍼층(103), 비트 라인들(104a), 및 메모리 셀들(UMC)을 포함할 수 있다.

- [0031] 상기 기판(102)은 셀 영역(CA) 및 더미 영역(DA)을 포함 할 수 있다. 상기 더미 영역(DA)은 상기 셀 영역(CA)의 둘레에 정의될 수 있다. 상기 기판(102)은 벌크 실리콘 웨이퍼, SOI(silicon on insulator) 웨이퍼, SiGe, SiC 같은 화합물 반도체 웨이퍼를 포함할 수 있다.
- [0032] 상기 베퍼층(103)은 상기 기판(102)과 상기 비트라인들(104a) 사이에 형성될 수 있다. 상기 베퍼층(103)은 실리콘 산화물을 포함할 수 있다.
- [0033] 상기 비트 라인들(104a)과 상기 워드 라인들(124a)은 상면도에서(in a top view) 수직하게 교차할 수 있다.
- [0034] 상기 비트 라인들(104a)은 셀 비트 라인들(104aa) 및 더미 비트 라인들(104ab)을 포함할 수 있다. 상기 워드 라인들(124a)은 셀 워드 라인들(124aa) 및 더미 워드 라인들(124ab)을 포함할 수 있다.
- [0035] 상기 셀 비트 라인들(104aa) 및 셀 워드 라인들(124a)은 상기 더미 영역(DA)과 셀 영역(CA)에 걸쳐 구성될 수 있다. 상기 더미 비트 라인들(104ab) 및 더미 워드 라인들(124ab)은 상기 더미 영역(DA)에 구성될 수 있다.
- [0036] 상기 비트 라인들(104a)과 워드 라인들(124a)이 교차하는 영역마다 메모리 셀(UMC)이 구성될 수 있다.
- [0037] 도 2a와 도 2b를 참조하면, 상기 메모리 셀(UMC)은 직렬 연결된 가변 저항 소자(ARD) 및 다이오드(128)를 포함할 수 있다.
- [0038] 상기 다이오드(128)는 도 2c를 참조하면, 상기 셀 영역(CA)에 구성된 셀 다이오드(128a) 및 상기 더미 영역(DA)에 구성된 더미 다이오드(128b)를 포함할 수 있다. 상기 다이오드(128a)는 p-n 접합 다이오드, p-i-n 다이오드, 쇼트기 다이오드(Schottky diode)를 포함할 수 있다. 예를 들어 본 발명의 제 1 실시예에 의한 다이오드(128)는 p-n 접합 다이오드를 포함할 수 있다. 상기 가변 저항 소자(ARD)는 MIS(Metal/Insulator/Silicon) 및 MIM(Metal/Insulator/Metal)구조를 포함할 수 있다. 예를 들어 본 발명의 제 1 실시예에 의한 가변 저항 소자(ARD)는 MIM(Metal/Insulator/Metal)구조를 포함할 수 있다.
- [0039] 상기 가변 저항 소자(ARD)는 상기 워드 라인(124a)과 상기 다이오드(128)의 일 측 단자에 직렬 연결될 수 있고, 상기 다이오드(128)의 타 측 단자는 상기 비트 라인(104a)에 연결될 수 있다.
- [0040] 예를 들어, 도 2a에 도시한 바와 같이, 다이오드(128)의 애노드 전극은 비트 라인(104a)에 연결되고, 캐소드 전극은 가변 저항 소자(ARD)의 제 1 전극 단자에 연결되고, 및 상기 가변 저항 소자(ARD)의 제 2 전극 단자는 워드 라인(124a)에 연결될 수 있다.
- [0041] 이와는 다른 예로, 도 2b에 도시한 바와 같이, 다이오드(128)의 캐소드 전극은 비트 라인(104a)에 연결되고 및 애노드 전극은 가변 저항 소자(ARD)의 제 1 전극 단자에 연결되고, 상기 가변 저항 소자(ARD)의 제 2 전극 단자는 상기 워드 라인(124a)에 연결될 수 있다.
- [0042] 전술한 바와 같이 구성된 메모리 소자는 비회발성 메모리 소자일 수 있다. 예를 들어, 상기 가변 저항 소자(ARD)는 데이터 저장 소자일 수 있다. 상세히는, 상기 비트 라인(104a) 또는 상기 워드 라인(124a)을 통해 상기 메모리 셀(UMC)에 인가되는 전류 및 전압의 크기에 따른 상기 가변 저항 소자(ARD)의 가역적(reversible)특성을 이용한 메모리 동작을 수행할 수 있다.
- [0043] 예를 들어 도 2a를 참조하면, 비트 라인(104a)이 하이 레벨이고 워드 라인(124a)이 로우 레벨이 될 때, 특정 메모리 셀(UMC)이 선택된다.
- [0044] 상기 비트 라인(104a)이 하이 레벨이 되면, 상기 다이오드(128a)는 전류가 흐르는 순방향 바이어스 상태가 된다. 즉, 비트 라인(104a)에서 워드 라인(124a)으로 전류 패스가 형성된다.
- [0045] 이때, 상기 전류의 양은 상기 다이오드(128)에 직렬 연결된 상기 가변 저항 소자(ARD)의 변화된 저항 값에 의해 의존한다. 따라서, 이러한 저항의 변화에 따른 전류 값을 션싱하여 데이터를 판독할 수 있다. 즉, 소거된 저항 상태는 "1"이고 프로그램된 저항 상태는 "0"으로 데이터가 결정될 수 있다.
- [0046] 도 2b의 경우, 워드 라인(124a)이 하이 레벨이고 비트 라인(104a)이 로우 레벨이 될 때, 특정 메모리 셀(UMC)이 선택된다.
- [0047] 상기 비트 라인(104a)은 로우 레벨이 되어 상기 다이오드(128)는 전류가 흐르는 순방향 바이어스 상태가 된다. 즉, 워드 라인(124a)에서 비트 라인(104a)으로 전류 패스가 형성된다.
- [0048] 이때, 상기 전류의 양은 상기 다이오드(128)에 직렬 연결된 상기 가변 저항 소자(ARD)의 변화된 저항 값에 의해

의준한다. 따라서, 이러한 저항의 변화에 따른 전류 값을 센싱하여 데이터를 판독할 수 있다. 즉, 소거된 저항 상태는 "1"이고 프로그램된 저항 상태는 "0"으로 데이터가 결정될 수 있다.

[0049] 도 1 및 도 2c를 참조하면, 전술한 바와 같이 동작하는 메모리 소자(100a)의 더미 영역(DA)은 상기 셀 영역(CA)의 정확한 패터닝을 위해 존재할 수 있다. 상세히는, 상기 셀 영역(CA)을 패터닝 하기 위해 사진 식각 공정을 진행할 수 있다. 사진 식각 공정은 기판(102)에 특정 패턴을 전사하기 위한 공정일 수 있다. 상기 사진 식각 공정은 마스크를 이용한 노광공정을 포함할 수 있다.

[0050] 노광공정이 진행되는 동안 상기 마스크의 끝 단에 대응하는 상기 셀 영역(CA)의 외곽에는 빛의 산란 현상이 발생할 수 있다. 상기 빛의 산란 현상으로 인해 셀 영역(CA)의 외곽에 구성되는 패턴들은 부분적으로 정확한 형상으로 전사 되기 어려울 수 있다.

[0051] 이러한 문제를 해결하기 위해, 상기 셀 영역(CA)의 외곽에 더미 영역(DA)을 더 구성할 수 있다. 상기 더미 영역(DA)을 더 구성함으로써 셀 영역(CA)은 빛의 간접 영향만 받을 수 있으며, 따라서 정확한 패턴이 전사될 수 있다.

[0052] 이때, 상기 메모리 소자(100a)의 원활한 동작을 위해서는 상기 더미 영역(DA)을 셀 영역(CA)으로부터 전기적으로 격리할 필요가 있다. 특히, 더미 영역(DA)에 형성된 더미 다이오드들(128b)의 누설전류가 상기 셀 영역(CA)에 영향을 미치지 않도록 해야 한다.

[0053] 상기 더미 다이오드(128b)의 누설전류가 상기 셀 영역(CA)에 영향을 미치지 않도록 하기 위해서는 상기 더미 다이오드(128b)에 누설 전류가 흐르지 않도록 하거나, 상기 셀 영역(CA)에 영향을 미치지 않도록 누설 전류의 양을 최소화 해야 한다.

[0054] 예를 들어, 상기 더미 다이오드(128b)의 누설 전류를 최소화 하는 것은, 상기 더미 다이오드들(128b)의 p형 불순물층 또는 n형 불순물층의 불순물 농도를 현저히 낮추는 것을 포함할 수 있다.

[0055] 이에 대해, 이하 도 3a와 도 3b를 참조하여 설명한다.

[0056] 도 3a 및 도 3b는 도 1의 I-I' 와 II-II'를 따라 절단한 수직 단면도이다. 도 3c는 도 1의 사시도이다.

[0057] 도 3a와 도 3b, 및 도 3c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)는 기판(102), 벼퍼층(103), 비트 라인들(104a), 수직 구조체들(120), 및 워드 라인들(124a)을 포함할 수 있다.

[0058] 상기 기판(102)은 셀 영역(CA), 및 상기 셀 영역(CA)의 둘레에 구성된 더미 영역(DA)을 포함할 수 있다. 상기 기판(102)은 실리콘 기판, 실리콘 게르마늄 기판을 포함할 수 있다.

[0059] 상기 벼퍼층(103)은 기판(102)의 전면에 형성될 수 있고, 및 상기 비트 라인들(104a)과 기판(102) 사이에 위치할 수 있다.

[0060] 상기 비트 라인들(104a)은 셀 비트 라인(104aa)과 더미 비트 라인(104ab)을 포함할 수 있다. 상기 워드 라인들(124a)은 셀 워드 라인들(124aa) 및 더미 워드 라인들(124ab)을 포함할 수 있다. 상기 더미 비트 라인들(104a)과 더미 워드 라인들(124ab)은 교차 형성될 수 있다.

[0061] 상기 비트 라인들(104a)과 워드 라인들(124a)은 텅스텐(W), 알루미늄(Al), 질화 티타늄(TiN), 및 질화 텅스텐(WN)을 포함할 수 있다.

[0062] 상기 수직 구조체들(120)은 상기 비트 라인들(104a)과 워드 라인들(124a)이 교차하는 영역마다 형성될 수 있다. 상기 수직 구조체들(120)은 상기 셀 영역(CA)에 형성된 셀 수직 구조체들(120a) 및 상기 더미 영역(DA)에 형성된 더미 수직 구조체들(120b)을 포함할 수 있다.

[0063] 상기 수직 구조체들(120)은 각각 직렬 연결된 다이오드(128)와 가변 저항 소자(ARD)들을 포함할 수 있다.

[0064] 상기 가변 저항 소자(ARD)는 제 1 전극(112a), 가변 저항(114a), 및 제 2 전극(116a)을 포함한다.

[0065] 상기 제 1 전극(112a)과 제 2 전극(116a)은 백금(Pt), 루테늄(Ru), 산화 루테늄(RuO_x), 이리듐(Ir), 산화 이리듐(IrO_x), 질화 티타늄(TiN), 텅스텐(W), 탄탈륨(Ta), 질화 탄탈륨(TaN)을 포함할 수 있다. 상기 절연막 패턴은 산화 하프늄(HfO_x), 산화 티타늄(TiO_x), 산화 니켈(NiO_x), 산화 지르코늄(ZrO_x), 산화 알루미늄(AlO_x), 산화 실리콘(SiO_x), 산화 니오븀(NbO_x), 및 산화 텅스텐(WO_x)을 포함할 수 있다.

[0066] 다른 예로, 상기 제 2 전극(116a)은 불순물이 포함된 폴리 실리콘을 포함할 수 있다.

- [0067] 상기 다이오드들(128)은 상기 셀 수직 구조체(120a)에 포함되는 셀 다이오드들(128a)과 상기 더미 수직 구조체(120b)에 포함되는 더미 다이오드들(128b)을 포함할 수 있다.
- [0068] 상기 셀 다이오드들(128a)은 고농도 n형 불순물을 포함하는 n형 불순물 패턴(106aa) 및 고농도의 p형 불순물을 포함하는 p형 불순물 패턴(108a)을 포함할 수 있다. 상기 더미 다이오드들(128b)은 저 농도의 n형 불순물을 포함하는 저 농도 n형 불순물 패턴(106ab) 및 고농도의 p형 불순물을 포함하는 p형 불순물 패턴(108a)을 포함할 수 있다.
- [0069] 상기 n형 불순물은 5가의 인(P, phosphorus), 비소(As, arsenic), 안티몬(Sb, antimony)을 포함할 수 있고, 상기 p형 불순물은 3가의 봉소(B, boron), 인듐(In, indium), 갈륨(Ga, gallium)을 포함할 수 있다.
- [0070] 전술한 구성에서, 상기 더미 다이오드(128b)의 저 농도 n형 불순물 패턴(106ab)은 상기 셀 다이오드(128a)의 n형 불순물 패턴(106aa)에 비해 불순물 농도가 현저히 낮다. 이와 같이, 저 농도 n형 불순물 패턴(106ab)과 고농도의 p형 불순물 패턴을 포함하는 p-n 접합 다이오드는 p-n 접합부의 근처에서 불순물의 농도가 감소하게 되어 p-n 접합부에서 전계(electric field)의 세기가 약해질 수 있다. 따라서, 누설전류가 발생하지 않거나 최소화 될 수 있다.
- [0071] 따라서, 더미 영역(DA)에 구성된 더미 수직 구조체들(120b)은 셀 영역(CA)에 구성된 수직 구조체들(120a)과 전기적으로 격리된 상태가 될 수 있다.
- [0072] 이하, 공정 도면들을 참조하여, 상기 더미 다이오드(128b)의 저 농도 n형 불순물 패턴(106ab)을 형성하는 공정을 포함한 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법을 설명한다.
- [0073] 도 4a 내지 도 10a 및 도 4b 내지 도 10b는 각각 도 1의 I-I' 와 II-II'를 따라 절단하여, 본 발명의 일 실시예에 의한 메모리 소자의 제조방법을 공정 순서에 따라 도시한 공정 단면도들이다.
- [0074] 도 4c 내지 도 10c는 도 1을 참조한 사시도 들이고, 및 본 발명의 일 실시예에 의한 메모리 소자의 제조방법을 공정 순서에 따라 도시한 공정 사시도들이다.
- [0075] 도 4a, 도 4b, 도 4c 및 도 2c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 상기 기판(102) 상에 벼파총(103), 제 1 금속총(104), n형 불순물총(106), 및 p형 불순물총(108)을 순차 형성하는 것을 포함할 수 있다.
- [0076] 상기 기판(102)은 셀 영역(CA)과 더미 영역(DA)을 포함 할 수 있다. 상기 더미 영역(DA)은 셀 영역(CA)의 둘레에 형성될 수 있다. 상기 기판(102)은 실리콘 기판을 포함할 수 있다.
- [0077] 상기 벼파총(103)은 실리콘 산화물을 포함할 수 있다. 상기 실리콘 산화물은 증착방식을 이용하여 형성될 수 있다.
- [0078] 상기 제 1 금속총(104)은 기판(102)의 상면에 형성될 수 있다. 상기 제 1 금속총(104)은 텅스텐(W), 알루미늄(Al), 질화 티타늄(TiN), 및 질화 텅스텐(WN)을 포함할 수 있다.
- [0079] 상기 n형 불순물총(106)과 p형 불순물총(108)을 형성하는 것은 진성 비정질 실리콘총에 각각 고농도의 n형 불순물과 고농도의 p형 불순물을 도핑하는 것을 포함할 수 있다. 상기 불순물들을 도핑하는 것은 이온 확산 공정 또는 이온 주입 공정을 포함할 수 있다.
- [0080] 상기 이온 확산은 인-시튜 환경에서 진성 비정질 실리콘총의 내부로 고농도의 이온을 확산시키는 방법을 포함할 수 있고, 상기 이온 주입 공정은 진공 상태에서 플라즈마 상태의 이온을 상기 진성 비정질 실리콘 내에 주입하는 방법을 포함할 수 있다.
- [0081] 예를 들어, 본 발명에 의한 이온 도핑 공정은 이온 주입(ion implant)공정을 포함할 수 있다.
- [0082] 상기 n형 불순물은 5가의 인(P, phosphorus), 비소(As, arsenic), 안티몬(Sb, antimony)을 포함할 수 있다. 상기 p형 불순물은 3가의 봉소(B, boron), 인듐(In, indium), 갈륨(Ga, gallium)을 포함할 수 있다.
- [0083] 전술한 구성에서, 상기 n형 불순물총(106)과 상기 p형 불순물총(108)의 순서는 앞서 언급한 도 2a를 참조하면, 상기 p형 불순물총(108)이 상기 n형 불순물총(106)의 하부에 형성될 수 도 있다.
- [0084] 이후, 열처리에 의해 상기 불순물이 도핑된 n형 불순물총과 p형 불순물총은 각각 n형 불순물이 포함된 폴리 실리콘총과 p형 불순물이 포함된 폴리 실리콘총이 될 수 있다.

- [0085] 전술한 공정에서, 상기 제 1 금속층(104)과 상기 n형 불순물층(106)사이에 금속과 실리콘의 결합한 실리사이드층이 얇게 형성될 수 있다.
- [0086] 도 5a, 도 5b, 도 5c, 및 도 2c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 p형 불순물층(108)의 상면에 제 1 마스크 패턴(110)을 형성하고, 제 1 마스크 패턴(110)이 덮히지 않은 영역으로 불순물을 주입하는 것을 포함할 수 있다.
- [0087] 상기 제 1 마스크 패턴(110)은 상기 셀 영역(CA)을 덮고, 및 상기 셀 영역(CA)의 둘레의 더미 영역(DA)을 노출할 수 있다. 상기 제 1 마스크 패턴(110)의 둘레에 상기 더미 영역(DA)에 대응하는 상기 p형 불순물층(108)의 상면이 노출될 수 있다. 상기 제 1 마스크 패턴(110)은 PR 패턴일 수 있다. 상기 제 1 마스크 패턴(110)은 이온 주입 방지막일 수 있다.
- [0088] 상기 불순물을 주입하는 것은 p형 불순물을 상기 n형 불순물층(106)에 주입하는 것을 포함할 수 있다. 또는 n형 불순물을 상기 p형 불순물층(108)에 주입하는 것을 포함할 수 있다.
- [0089] 예를 들어, 본 발명에 따른 메모리 소자(100a)의 제조방법은 n형 불순물층(106)에 p형 불순물을 주입하는 공정을 포함할 수 있다. 이러한 경우, 상기 p형 불순물은 상기 p형 불순물층(108)을 통과하여 상기 n형 불순물층(106)으로 주입될 수 있다.
- [0090] 상기 n형 불순물층(106)중 상기 p형 불순물이 주입되 영역은 n형 불순물의 농도가 급격히 낮아 질 수 있다. 상세히 설명하면, n형 불순물층(106)은 이미 고농도의 n형 불순물이 존재하게 되는데, 이러한 고농도의 n형 불순물층(106)에 p형 불순물을 주입하게 되면, 주입된 p형 불순물은 n형 불순물층(106)의 도너(donor)를 보상한다. 따라서, n형 불순물층(106)에 포함된 n형 불순물의 농도가 낮아질 수 있다. 이러한 작용은 p형 불순물층(108)에 n형 불순물을 주입하는 경우에도 동일하다.
- [0091] 도 6a와 도 6b, 및 도 6c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 상기 p형 불순물층(108)의 상면에 제 1 전극층(112), 가변 저항층(114), 및 제 2 전극층(116)을 순차 형성하는 것을 포함할 수 있다.
- [0092] 또한, 상기 제 2 전극층(116)의 상면에 제 2 마스크 패턴들(118)을 형성하는 것을 더 포함할 수 있다.
- [0093] 상기 제 1 전극층(112)과 제 2 전극층(116)은 백금(Pt), 루테늄(Ru), 산화루테늄(RuO_x), 이리듐(Ir), 산화 이리듐(IrO_x), 질화 티타늄(TiN), 텉스텐(W), 탄탈륨(Ta), 질화 탄탈륨(TaN)을 포함할 수 있다. 다른 예로, 상기 제 1 전극층(112) 또는 제 2 전극층(116)은 폴리 실리콘을 포함할 수 있다.
- [0094] 상기 가변 저항층(114)은 산화 하프늄(HfO_x), 산화 티타늄(TiO_x), 산화 니켈(NiO_x), 산화 지르코늄(ZrO_x), 산화 알루미늄(AlO_x), 산화 실리콘(SiO_x), 산화 니오븀(NbO_x), 및 산화 텉스텐(WO_x)을 포함할 수 있다.
- [0095] 상기 제 2 마스크 패턴들(118)은 제 1 방향으로 연장될 수 있고, 및 제 2 방향으로 이 격 될 수 있다. 상기 제 2 마스크 패턴들(118)은 사진 식각 공정으로 패터닝 될 수 있다. 상기 제 2 마스크 패턴들(118)은 실리콘 산화물을 포함할 수 있다.
- [0096] 전술한 공정에서, 상기 제 1 금속층(112)과 상기 p형 불순물층(108)사이에 금속과 실리콘의 결합한 실리사이드층이 얇게 형성될 수 있다.
- [0097] 도 7a와 도 7b, 도 7c, 및 도 2c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 상기 제 2 마스크 패턴들(118)의 하부에 이와 동일한 형상의 비트 라인들(104a) 및, 상기 제 2 마스크 패턴들(118)과 상기 비트 라인들(104a) 사이에 이들과 동일한 형상의 예비 수직 구조체들(120P)을 형성하는 것을 포함할 수 있다.
- [0098] 상기 비트 라인(104a)은 셀 비트 라인(104aa)과, 더미 비트 라인(104ab)을 포함할 수 있다. 상기 셀 비트 라인(104aa)은 상기 셀 영역(CA)과 더미 영역(DA)에 걸쳐 형성될 수 있다. 도 2c를 참조하면, 상기 더미 비트 라인(104ab)은 상기 더미 영역(DA)에 형성 될 수 있다. 상세히는, 상기 더미 비트 라인(104ab)은 상기 더미 영역(DA)중 상기 셀 비트 라인들(104aa)과 평행하고 서로 마주보는 제 1 영역들에 각각 1개 이상씩 형성될 수 있다.
- [0099] 상기 예비 수직 구조체들(120P)은 셀 예비 수직 구조체들(120Pa) 및 더미 예비 수직 구조체들(120Pb)을 포함할 수 있다.
- [0100] 상기 셀 예비 수직 구조체들(120Pa)은 상기 셀 영역(CA)과 더미 영역(DA)에 걸쳐 형성될 수 있다. 상기 더미 예

비 수직 구조체들(120Pb)은 상기 더미 영역(DA)에 형성될 수 있다.

[0101] 상기 셀 예비 수직 구조체들(120Pa) 및 더미 수직 구조체들(120Pb)은 예비 n형 불순물 패턴들(106Pa, 106Pb), 예비 p형 불순물 패턴(108P), 예비 제 1 전극(112P), 예비 가변 저항(114P), 및 예비 제 2 전극(116P)을 포함할 수 있다.

[0102] 상기 더미 영역(DA)에 위치한 상기 더미 수직 구조체들(120Pb)의 예비 n형 불순물 패턴들(106Pb)은 저 농도의 n형 불순물을 포함할 수 있다. 또한, 상기 셀 예비 수직 구조체들(120Pa)의 예비 n형 불순물 패턴들(106Pa)은 상기 더미 영역(DA)에 대응하는 부분이 저 농도의 n형 불순물(도트 표시)을 포함할 수 있다.

[0103] 전술한 공정에서, 상기 비트 라인들(104a)사이의 버퍼층(103)이 상부로부터 일정 높이로 리세스 될 수 있다.

[0104] 도 8a와 도 8b, 및 도 8c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 상기 예비 수직 구조체들(120P)사이를 채우는 평탄화 막 패턴(122a)을 형성하는 것을 포함할 수 있다.

[0105] 상기 평탄화 막 패턴(122a)을 형성하는 것은 상기 기판(102)의 전면에 평탄화층(122)을 형성하는 것을 포함할 수 있다. 상기 평탄화 막 패턴(122a)을 형성하는 것은 상기 평탄화층(122)에 평탄화 공정을 수행하는 것을 포함할 수 있다. 상기 평탄화 공정은 CMP공정을 포함할 수 있다. 상기 CMP공정을 통해 상기 평탄화 막 패턴(122a)의 상면과 상기 예비 수직 구조체들(120P)의 상면들은 동일한 레벨이 될 수 있다.

[0106] 상기 평탄화 막 패턴(122a)은 실리콘 산화물을 포함할 수 있다.

[0107] 도 9a와 도 9b, 도 9c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 상기 예비 수직 구조체들(120P) 및 상기 평탄화 막 패턴(122a)의 상면에 제 2 금속층(124), 제 3 마스크 패턴들(126)을 순차 형성하는 것을 포함할 수 있다.

[0108] 상기 제 2 금속층(124)은 상기 수직 구조체들(120p)의 상면들 및 상기 평탄화 막 패턴(122a)의 상면들과 접촉 할 수 있다. 상기 제 2 금속층(124)은 텅스텐(W), 알루미늄(Al), 질화 티타늄(TiN), 및 질화 텅스텐(WN)을 포함 할 수 있다.

[0109] 상기 제 3 마스크 패턴들(126)은 상기 비트 라인들(104a)과 교차하는 방향인 제 2 방향으로 연장될 수 있고, 및 상기 제 1 방향으로 이격될 수 있다.

[0110] 상기 제 3 마스크 패턴들(126)은 사진 식각 공정을 통해 형성될 수 있다. 상기 제 3 마스크 패턴들(126)은 실리 콘 산화물을 포함할 수 있다.

[0111] 도 10a, 도 10b, 도 10c, 및 도 2c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100a)의 제조방법은 워 드 라인들(124a) 및 수직 구조체들(120)을 형성하는 것을 포함할 수 있다.

[0112] 상기 워드라인들(124a)과 상기 수직 구조체들(120)을 형성하는 것은, 도 9a 및 도 9b, 및 도 9c에 도시된 상기 제 3 마스크 패턴들(126)을 식각 마스크로 하여, 상기 제 2 금속층(124)과 하부의 예비 수직 구조체들(120P)을 패터닝 하는 것을 포함할 수 있다.

[0113] 상기 워드 라인들(124a)은 셀 워드 라인들(124aa) 및 더미 워드 라인(124ab)을 포함할 수 있다. 상기 셀 워드 라인(124aa)은 상기 셀 영역(CA)과 더미 영역(DA)에 걸쳐 형성될 수 있다. 상기 더미 워드 라인(124ab)은 상기 더미 영역(DA)에 형성될 수 있다. 상세히는, 상기 더미 워드 라인들(124ab)은 상기 셀 워드 라인들(124aa)과 평행 하고 서로 마주보는 제 2 영역들에 각각 1개 이상씩 형성될 수 있다.

[0114] 상기 수직 구조체들(120)은 상기 비트 라인들(104a)과 워드 라인들(124a)이 교차하는 영역마다 섬 형상으로 형 성될 수 있다.

[0115] 상기 수직 구조체들(120)은 상기 셀 영역(CA)에 형성된 셀 수직 구조체들(120a) 및 더미 영역(DA)에 형성된 더 미 수직 구조체들(120b)을 포함할 수 있다.

[0116] 상기 수직 구조체들(120)은 각각 직렬 연결된 가변 저항 소자(ARD)와 다이오드(128a, 128b)로 구성될 수 있다.

[0117] 상기 가변 저항 소자(ARD)는 제 1 전극(112a), 가변 저항(114a), 및 제 2 전극(116a)을 포함할 수 있다.

[0118] 상기 다이오드들(128a, 128b)은 셀 다이오드들(128a) 및 더미 다이오드들(128b)을 포함할 수 있다.

[0119] 상기 셀 다이오드들(128a)은 상기 셀 수직 구조체(120a)에 포함되고, 고농도 n형 불순물 패턴(106a)과 고농도의

p형 불순물 패턴(108a)을 포함할 수 있다. 상기 더미 다이오드들(128b)은 상기 더미 수직 구조체(120b)에 포함되고, 저 농도 n형 불순물 패턴(106b)과 고농도의 p형 불순물 패턴(108a)을 포함할 수 있다.

[0120] 전술한 바와 같이, 더미 다이오드들(128b)의 저 농도 n형 불순물 패턴(106ab)의 농도가 p형 불순물 패턴(108a)의 농도 보다 현저히 낮으면, 상기 더미 영역(DA)에 형성된 p형 불순물 패턴(108aa)과 저 농도 n형 불순물 패턴(106ab)사이에 농도 차이를 가지는 p-n 접합을 형성할 수 있다.

[0121] 이러한 p-n 접합 다이오드는 p-n 접합부의 근처에서 불순물의 농도가 감소하게 되어 p-n 접합부에서 전계(electric field)의 세기가 약해질 수 있다. 따라서, 누설전류가 발생하지 않거나 최소화 될 수 있다.

[0122] 전술한 바와 같이, 더미 영역(DA)에 1개 이상의 더미 비트 라인들(104ab)과 더미 워드 라인들(124ab)을 형성하였을 경우, 앞서 언급한 바와 같이 도 5a 내지 도 5c에 도시된 제 1 마스크 패턴(110)은 불순물 주입 방지막으로 사용되었다.

[0123] 반면, 기판(102)의 더미 영역(DA)중 셀 비트 라인들(104aa)과 평행한 제 1 영역들 및 셀 워드 라인들(124aa)과 평행한 제 2 영역들에 각각 더미 비트 라인(104ab)과 더미 워드 라인(124ab)이 한 개씩만 구성될 경우, 전술한 불순물 주입 방지막을 사용하는 공정이 생략될 수 있다.

[0124] 이에 대해, 도 11a 내지 18a, 도 11b 내지 도 18b, 및 11c 내지 도 18c를 참조하여 설명한다.

[0125] 도 11a 내지 18a, 도 11b 내지 도 18b 는 각각 도 1의 III-III' 와 IV-IV'를 따라 절단하여, 본 발명의 다른 실시예에 의한 공정 순서에 따라 도시한 공정 단면도이다.

[0126] 도 11c 내지 도 18c는 도 1을 참조한 사시도들이고, 및 본 발명의 다른 실시예에 의한 공정 순서에 따라 도시한 공정 사시들이다. (도 1과 도 2c를 참조하며 단, 더미 영역 중 셀 비트 라인과 평행하고, 및 서로 마주보는 제 1 영역들에 각각 더미 비트 라인이 한 개씩 형성되었을 경우, 및 더미 영역 중 셀 워드 라인과 평행하고, 및 서로 마주 보는 제 2 영역들에 각각 더미 워드 라인이 한 개씩 형성되었을 경우를 예를 들어 설명한다.)

[0127] 도 11a, 도 11b, 도 11c, 및 도 2c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 기판(102) 상에 벼파층(103), 제 1 금속층(104), n형 불순물층(106), p형 불순물층(108), 제 1 전극층(112), 가변 저항층(114), 및 제 2 전극층(116)을 순차 형성하는 것을 포함할 수 있다.

[0128] 상기 기판(102)은 셀 영역(CA)과 더미 영역(DA)을 포함 할 수 있다. 상기 기판(102)은 실리콘 기판을 포함할 수 있다.

[0129] 상기 벼파층(103)은 기판(102)의 전면에 형성될 수 있다. 상기 벼파층(103)은 실리콘 산화물을 포함할 수 있다.

[0130] 상기 제 1 금속층(104)은 상기 벼파층(103)의 전면에 형성될 수 있다. 상기 제 1 금속층(104)은 텉스텐(W), 알루미늄(Al), 질화 티타늄(TiN), 및 질화 텉스텐(WN)을 포함할 수 있다.

[0131] 상기 n형 불순물층(106)과 p형 불순물층(108)을 형성하는 것은 이온 확산 공정 또는 이온 주입 공정을 이용하여, 비정질 실리콘층에 각각 n형 불순물과 p형 불순물을 도핑하는 것을 포함할 수 있다.

[0132] 상기 이온 확산은 인-시튜 환경에서 상기 진성 비정질 실리콘층의 내부로 이온을 확산시키는 방법을 포함할 수 있고, 상기 이온 주입 공정은 진공 상태에서 플라즈마와 같은 상태의 이온을 상기 비정질 실리콘 내에 주입하는 방법을 포함할 수 있다.

[0133] 예를 들어, 본 발명에 의한 이온 도핑 공정은 이온 주입(ion implant)공정을 포함할 수 있다.

[0134] 상기 n형 불순물은 5가의 인(P, phosphorus), 비소(As, arsenic), 안티모니(Sb, antimony)을 포함할 수 있다. 상기 p형 불순물은 3가의 봉소(B, boron), 인듐(In, indium), 갈륨(Ga, gallium)을 포함할 수 있다.

[0135] 상기 제 1 전극층(112)과 제 2 전극층(116)을 형성하는 것은 상기 제 2 전극층(116)의 두께(D2)를 상기 제 1 전극층(112)의 두께(D1) 보다 두껍게 형성하는 것을 포함할 수 있다. 제 1 전극층(112)과 제 2 전극층(116)은 백금(Pt), 루테늄(Ru), 산화루테늄(RuO_x), 이리듐(Ir), 산화 이리듐(IrO_x), 질화 티타늄(TiN), 텉스텐(W), 탄탈륨(Ta), 질화 탄탈륨(TaN)을 포함할 수 있다.

[0136] 상기 가변 저항층(114)은 산화 하프늄(HfO_x), 산화 티타늄(TiO_x), 산화 니켈(NiO_x), 산화 지르코늄(ZrO_x), 산화 알루미늄(AlO_x), 산화 실리콘(SiO_x), 산화 니오븀(NbO_x), 및 산화 텉스텐(WO_x)을 포함할 수 있다.

[0137] 이후, 열처리에 의해 상기 불순물이 도핑된 n형 불순물층(106)과 p형 불순물층(108)은 각각의 불순물이 포함된

풀리 실리콘층 들이 될 수 있다.

[0138] 전술한 공정에서, 상기 제 1 금속층(104)과 상기 n형 불순물층(106)사이에 금속과 실리콘이 결합한 실리사이드층이 얇게 형성될 수 있고, 및 상기 제 1 전극층(112)과 상기 p형 불순물층(108) 사이에도 금속과 실리콘이 결합한 실리사이드층이 얇게 형성될 수 있다.

[0139] 도 12a, 도 12b, 및 도 12c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 제 2 전극층(116)의 상부에 제 1 마스크 패턴들(130)을 형성하는 것을 포함할 수 있다.

[0140] 상기 제 1 마스크 패턴들(130)은 제 1 방향으로 연장될 수 있고, 및 제 2 방향으로 이 격 될 수 있다.

[0141] 상기 제 1 마스크 패턴들(130)은 사진 식각 공정에 의해 형성될 수 있다. 상기 제 1 마스크 패턴들(130)은 실리콘 산화막을 포함할 수 있다.

[0142] 도 13a, 도 13b, 도 13c, 및 도 2c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 제 1 마스크 패턴들(130)의 하부에 이와 동일한 형상의 예비 수직 구조체들(120P), 및 상기 예비 수직 구조체들(120P)의 하부에 비트 라인들(104a)을 형성하는 것을 포함할 수 있다.

[0143] 상기 예비 수직 구조체들(120P)은 셀 예비 수직 구조체(120Pa)와 더미 예비 수직 구조체(120Pb)를 포함할 수 있다.

[0144] 상기 비트 라인들(104a)은 셀 비트 라인들(104aa)과 더미 비트 라인들(104bb)을 포함할 수 있다.

[0145] 상기 셀 예비 수직 구조체들(120Pa) 및 셀 비트 라인들(104aa)은 셀 영역(CA)과 더미 영역(DA)에 걸쳐 형성될 수 있다. 상기 더미 예비 수직 구조체들(120Pb) 및 더미 비트 라인들(104ab)은 상기 더미 영역(DA) 중 상기 셀 예비 수직 구조체들(120Pa)과 평행하고, 및 서로 마주 보는 제 1 영역들에 각각 한 개씩 형성될 수 있다.

[0146] 상기 셀 예비 수직 구조체들(120Pa)과 더미 예비 수직 구조체들(120Pb)은 예비 n형 불순물 패턴(106P), 예비 p형 불순물 패턴(108P), 예비 제 1 전극(112P), 예비 가변 저항(114P), 및 예비 제 2 전극(116P)을 포함할 수 있다.

[0147] 상기 예비 n형 불순물 패턴(106P) 및 예비 p형 불순물 패턴(108P)은 예비 다이오드로서 이후 공정에서 패터닝되어 다이오드로 형성될 수 있고, 상기 예비 제 1 전극(112P), 예비 가변 저항(114P), 및 예비 제 2 전극(116P)은 예비 가변 저항 소자로서 이후 공정에서 패터닝되어 가변 저항 소자로 형성될 수 있다. .

[0148] 전술한 공정에서, 상기 비트 라인들(104a)사이의 베퍼층(103)은 상부로부터 일정 높이로 리세스 될 수 있다.

[0149] 도 14a, 도 14b, 및 도 14c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 더미 영역(DA)의 예비 불순물 패턴에 불순물을 도핑하는 제 1 불순물을 주입공정을 수행하는 것을 포함할 수 있다.

[0150] 상기 제 1 불순물 주입공정을 수행하는 것은 p형 불순물을 상기 더미 예비 수직 구조체(120Pb)의 예비 n형 불순물 패턴(106P)에 주입하는 것을 포함할 수 있다. 또는 n형 불순물을 상기 더미 영역(DA)의 예비 p형 불순물 패턴(108P)에 주입하는 것을 포함할 수 있다.

[0151] 예를 들어, 본 발명에 의한 메모리 소자(100b)의 제조방법은 더미 영역(DA)의 예비 n형 불순물 패턴(106P)에 p형 불순물을 주입하는 것을 포함할 수 있다. 상세히는, 도 14c 및 도 2c를 참조하면, 본 발명에 의한 메모리 소자(100b)의 제조방법은 셀 영역(CA)을 제외한 더미 영역(DA)의 예비 더미 수직 구조체(120Pb)에 포함되는 상기 예비 n형 불순물 패턴(106P)에 p형 불순물을 주입하는 것을 포함할 수 있다.

[0152] 이를 위해, 불순물 주입 각도는 수직 구조체들(120Pa, 120Pb)간 거리 L, 및 예비 P형 불순물 패턴(108P)의 상면에 적층된 층들의 높이들의 합 H를 고려하여 계산 될 수 있다. 실제 H/L로 구할 수 있는 Θ 값은 불순물의 주입 각도 Θ1 보다 큰 값이 되어야만 주입되는 불순물이 예비 셀 수직 구조체(120Pa)의 불순물 패턴들(104aa, 108a)에 주입 되지 않고, 상기 더미 영역(DA)의 더미 예비 수직 구조체(120Pb)에만 주입될 수 있다.

[0153] 상기 Θ 값이 Θ1보다 큰 값을 가지려면 H값이 크면 되고, 이를 위해 도시한 바와 같이 예비 제 2 전극(116Pa)의 높이는 상기 예비 제 1 전극(112P)의 높이 보다 높게 형성될 수 있다. 이러한 이유로, 앞서 언급한 도 11a 내지 도 11c를 참조한 공정에서, 제 2 전극층(116)의 두께를 제 1 전극층(112)의 두께 보다 두껍게 형성하였다.

[0154] 상기 주입되는 불순물은 일정한 각도로 사방에서 주입될 수 있다. 따라서, 도 14c에 도시된 예비 더미 수직 구조체(120Pb)뿐 아니라, 예비 더미 수직 구조체(120Pb)와 평행하지 않은 예비 셀 수직 구조체들(120Pa)의 일

측과 타 측의 노출된 부분(K)에도 불순물이 주입될 수 있다. 실제로, 셀 수직 구조체(120Pa)의 불순물이 주입된 부분(K)은 이후 공정에서 제거될 수 있다.

[0155] 전술한 바와 같이, 예비 n형 불순물 패턴(106P)에 p형 불순물을 주입하게 되면 예비 n형 불순물 패턴(106P)의 도너(donor)를 보상한다. 따라서, 예비 n형 불순물 패턴(106P)에 포함된 n형 불순물의 농도가 낮아질 수 있다.

[0156] 도 15a, 도 15b, 및 도 15c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 셀 예비 수직 구조체(120Pa)들 및 더미 예비 수직 구조체들(120Pb) 사이를 채우는 평탄화 막 패턴(122a)을 형성하는 것을 포함할 수 있다.

[0157] 상기 평탄화 막 패턴(122a)을 형성하는 것은 상기 기판(102)의 전면에 평탄화층(122)을 형성하는 것을 포함할 수 있다. 상기 평탄화 막 패턴(122a)을 형성하는 것은 상기 평탄화층(122)에 평탄화 공정을 진행하는 것을 포함할 수 있다. 상기 평탄화 공정은 CMP공정을 포함할 수 있다. 상기 CMP공정을 통해 상기 평탄화 막 패턴(122a)의 상면과 상기 예비 수직 구조체들(120P)의 상면들은 동일한 레벨이 될 수 있다.

[0158] 상기 평탄화 막 패턴(122a)은 실리콘 산화물을 포함할 수 있다.

[0159] 도 16a, 도 16b, 및 도 16c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 상기 예비 수직 구조체들(120P) 및 상기 평탄화 막 패턴(122a)의 상면에 제 2 금속층(124), 제 2 마스크 패턴들(132)을 순차 형성하는 것을 포함할 수 있다.

[0160] 상기 제 2 금속층(124)은 상기 예비 수직 구조체들(120P)의 상면과 상기 평탄화 막 패턴(122a)의 상면에 형성될 수 있다. 상기 제 2 금속층(124)은 텅스텐(W), 알루미늄(Al), 질화 티타늄(TiN), 및 질화 텅스텐(WN)을 포함할 수 있다.

[0161] 상기 제 2 마스크 패턴들(132)은 사진 식각 공정으로 형성될 수 있다. 상기 제 2 마스크 패턴들(132)은 상기 비트 라인들(104a)과 교차하는 제 2 방향으로 형성될 수 있다. 상기 제 2 마스크 패턴들(132)은 상기 제 2 방향과 교차하는 제 1 방향으로 일정 간격 이격될 수 있다.

[0162] 도 17a, 도 17b, 도 17c, 및 도 2c를 참조하면, 본 발명의 다른 실시예에 의한 메모리 소자(100b)의 제조방법은 수직 구조체들(120) 및 상기 수직 구조체들(120)의 상면에 워드 라인(124a)을 형성하는 것을 포함할 수 있다.

[0163] 상기 워드 라인들(124a)을 형성하는 것은, 상기 도 16a 내지 도 16c에 도시된 제 2 마스크 패턴들(132) 사이로 노출된 상기 제 2 금속층(124)을 식각하는 것을 포함할 수 있다.

[0164] 상기 워드 라인들(124a)은 셀 워드 라인들(124aa)과 더미 워드 라인(124ab)을 포함할 수 있다. 상기 셀 워드 라인들(124aa)은 상기 셀 영역(CA)과 더미 영역(DA)에 걸쳐 형성될 수 있다. 상기 더미 워드 라인들(124ab)은 더미 영역(DA) 중 셀 워드 라인들(124aa)과 평행하고 및 서로 마주 보는 제 2 영역들에 각각 1개씩 형성될 수 있다.

[0165] 상기 수직 구조체들(120)을 형성하는 것은 상기 제 2 마스크 패턴들(132)을 식각 마스크로 하여, 셀 수직 구조체들(120a) 및 더미 수직 구조체들(120b)을 패터닝 하는 것을 포함할 수 있다. 상기 셀 수직 구조체들(120a)은 상기 워드 라인들(124a)과 상기 비트 라인들(104a)이 교차하는 영역마다 섬 형상으로 형성될 수 있다.

[0166] 상기 수직 구조체들(120)은 셀 수직 구조체들(120a) 및 더미 수직 구조체들(120b)을 포함할 수 있다. 상기 셀 수직 구조체들(120a)은 셀 영역(CA)에 형성될 수 있다. 상기 더미 수직 구조체들(120b)은 더미 영역(DA)에 형성될 수 있다.

[0167] 도 17a에 도시한 바와 같이, 상기 더미 워드 라인(124ab)과 접촉하는 더미 수직 구조체들(120b)과 상기 셀 수직 구조체들(120a)은 순차 적층된 고농도의 n형 불순물 패턴(106aa), 고농도의 p형 불순물 패턴(108a), 제 1 전극(112a), 가변 저항(114a), 및 제 2 전극(116a)을 포함할 수 있다.

[0168] 도 17b에 도시한 바와 같이, 상기 더미 수직 구조체들(120b) 중, 상기 더미 비트 라인(104ab)의 상면과 접촉하는 더미 수직 구조체들(120b)은 순차 적층된 저농도의 n형 불순물 패턴(106ab), 고농도의 p형 불순물 패턴(108a), 제 1 전극(112a), 가변 저항(114a), 및 제 2 전극(116a)을 포함할 수 있다.

[0169] 상기 저농도 n형 불순물 패턴(106ab)은 앞서 도 13a 내지 도 13c를 참조하여 설명된 제 1 불순물 주입 공정으로 형성되었다.

[0170] 반면, 앞서 언급한 바와 같이, 상기 더미 워드라인(124ab)과 접촉하는 더미 수직 구조체들(120b)의 n형 불순물

패턴(106aa)은 여전히 고농도의 n형 불순물을 포함하고 있다.

[0171] 도 18a, 도 18b, 및 도 18c를 참조하면, 본 발명의 일 실시예에 의한 메모리 소자(100b)의 제조방법은 도 17a 내지 도 17c에 도시된 더미 수직 구조체(120Pa)의 n형 불순물을 패턴(106aa)에 불순물을 도핑하는 제 2 불순물 주입 공정을 포함할 수 있다.

[0172] 상세히는, 상기 제 2 불순물 주입공정을 수행하는 것은 상기 더미 워드라인(124ab) 하부에 형성된 상기 n형 불순물 패턴(106aa)에 p형 불순물을 주입하여 저 농도 n형 불순물 패턴(106ab)을 형성하는 것을 포함할 수 있다.

[0173] 상기 제 2 불순물 주입공정의 불순물 주입 각도는 앞서 언급한 제 1 불순물 주입 공정시의 조건과 동일하다.

[0174] 전술한 공정들을 통해, 상기 셀 수직 구조체들(120a)은 직렬 연결된 셀 다이오드(128a)와 가변 저항 소자(ARD)로 구성될 수 있고, 및 상기 더미 수직 구조체들(120B)은 직렬 연결된 더미 다이오드(128B)와 가변 저항 소자(ARD)로 구성될 수 있다.

[0175] 상기 셀 다이오드(128a)는 고농도 n형 불순물 패턴(106aa)과 고농도 p형 불순물 패턴(108a)을 포함할 수 있다. 상기 더미 다이오드(128b)는 저농도 n형 불순물 패턴(106ab)과 고농도 p형 불순물 패턴(108b)을 포함 할 수 있다.

[0176] 상기 가변 저항 소자(ARD)는 제 1 전극(112a), 가변저항(114a), 및 제 2 전극(116a)을 포함할 수 있다.

[0177] 전술한 구성에서, 상기 더미 다이오드들(128b)의 저 농도 n형 불순물 패턴(106ab)의 농도가 p형 불순물 패턴(108a)의 농도보다 현저히 낮으면, 상기 더미 영역(DA)에 형성된 p형 불순물 패턴(108a)과 저 농도 n형 불순물 패턴(106ab)사이에 농도가 차이가 나는 p-n 접합을 얻을 수 있다. 이러한 p-n 접합 다이오드는 p-n 접합부의 근처에서 불순물의 농도가 감소하게 되어 p-n 접합부에서 전계(electric field)의 세기가 약해질 수 있다. 따라서, 누설전류가 발생하지 않거나 최소화 될 수 있다.

[0178] 이후의 공정으로, 상기 수직 구조체들(120) 사이를 메우는 평탄화 막 패턴을 더 형성할 수 있다.

[0179] 도 19는 본 발명의 기술적 사상의 다양한 실시 예들에 의해 제조된 메모리 소자를 포함하는 본 발명의 기술적 사상의 일 실시 예에 의한 반도체 모듈을 개념적으로 도시한 도면이다.

[0180] 도 19를 참조하면, 본 발명의 기술적 사상의 일 실시 예에 의한 반도체 모듈(500)은, 반도체 모듈 기판(510) 상에 실장 된 본 발명의 기술적 사상의 다양한 실시 예들에 메모리 소자(100a, 100b)를 포함할 수 있다. 반도체 모듈(500)은 모듈 기판(510) 상에 실장 된 마이크로프로세서(520)를 더 포함할 수 있다. 모듈 기판(510)의 적어도 한 번에는 입출력 터미널들(540)이 배치될 수 있다. 반도체 모듈(500)은 메모리 카드 또는 SSD(solid state drive)를 포함할 수 있다.

[0181] 도 20은 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자를 포함하는 본 발명의 기술적 사상의 일 실시 예에 의한 전자 시스템을 개념적으로 도시한 블록도이다.

[0182] 도 20을 참조하면, 본 발명의 기술적 사상의 실시 예들에 의해 제조된 메모리 소자(100a, 100b)는 전자 시스템(600)에 적용될 수 있다. 전자 시스템(600)은 바디(Body; 610), 마이크로 프로세서 유닛(Micro Processor Unit; 620), 파워 공급부(Power Supply; 630), 기능 유닛(Function Unit; 640), 및/또는 디스플레이 컨트롤러 유닛(Display Controller Unit; 650)을 포함할 수 있다. 바디(610)는 인쇄 회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다. 상기 마이크로 프로세서 유닛(616), 상기 파워 공급 유닛(630), 상기 기능 유닛(640), 및 상기 디스플레이 컨트롤러 유닛(650)은 상기 바디(610)상에 실장 또는 장착될 수 있다. 상기 바디(610)의 상면 혹은 상기 바디(610)의 외부에 디스플레이 유닛(660)이 배치될 수 있다. 예를 들면, 상기 디스플레이 유닛(660)은 상기 바디(610)의 표면 상에 배치되어 상기 디스플레이 컨트롤러 유닛(650)에 의해 프로세싱된 이미지를 표시할 수 있다. 상기 파워 공급부(630)는 외부의 전원 등으로부터 일정 전압을 공급 받아 이를 다양한 전압 레벨로 분기하여 마이크로 프로세서 유닛(620), 기능 유닛(640), 디스플레이 컨트롤러 유닛(650) 등으로 공급할 수 있다. 마이크로 프로세서 유닛(620)은 파워 공급 유닛(630)으로부터 전압을 공급 받아 기능 유닛(640)과 디스플레이 유닛(660)을 제어할 수 있다. 기능 유닛(640)은 다양한 전자 시스템(600)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(600)이 휴대폰 같은 모바일 전자 기기인 경우 상기 기능 유닛(640)은 다이얼링, 또는 외부 장치(External Apparatus; 670)와의 교신으로 상기 디스플레이 유닛(660)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 무선 통신 기능을 수행할 수 있는 여러 구성 요소들을 포함할 수 있으며, 카메라를 포함하는 경우, 이미지 프로세서(Image Processor)의 역할을 할 수 있다. 응용 실시예에서, 전자 시스템(600)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 기능 유닛(640)은 메모리 카드 컨트롤

려일 수 있다. 기능 유닛(640)은 유선 혹은 무선의 통신 유닛(Communication Unit; 680)을 통해 외부 장치(670)와 신호를 주고 받을 수 있다. 또한, 전자 시스템(600)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 기능 유닛(640)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다. 본 발명의 기술적 사상에 의한 실시예들에 의해 제조된 반도체 소자(100)은 기능 유닛(640)에 포함될 수 있다.

[0183] 도 21은 본 발명의 기술적 사상의 실시예들에 의해 제조된 메모리 소자를 포함하는 본 발명의 기술적 사상의 일 실시예에 의한 전자 시스템을 개략적으로 도시한 블록도이다.

[0184] 도 21을 참조하면, 전자 시스템(700)은 본 발명의 기술적 사상의 실시예들에 의해 제조된 메모리 소자(100a, 100b)를 포함할 수 있다.

[0185] 전자 시스템(700)은 모바일 전자 기기 또는 컴퓨터에 적용될 수 있다. 예를 들어, 전자 시스템(700)은 메모리 시스템(712), 마이크로프로세서(714), 램(716) 및 버스(720)를 사용하여 데이터 통신을 수행하는 유저 인터페이스(718)를 포함할 수 있다. 마이크로프로세서(714)는 전자 시스템(700)을 프로그램 및 컨트롤할 수 있다. 램(716)은 마이크로프로세서(714)의 동작 메모리로 사용될 수 있다. 예를 들어, 마이크로프로세서(714) 또는 램(716)은 본 발명의 기술적 사상의 실시예들에 의해 메모리 소자(100a, 100b) 중 하나를 포함할 수 있다.

[0186] 마이크로프로세서(714), 램(716) 및/또는 다른 구성 요소들은 단일 패키지 내에 조립될 수 있다. 유저 인터페이스(718)는 전자 시스템(700)으로 데이터를 입력하거나 또는 전자 시스템(700)으로부터 출력하는데 사용될 수 있다. 메모리 시스템(712)은 마이크로프로세서(714) 동작용 코드들, 마이크로프로세서(714)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(712)은 컨트롤러 및 메모리를 포함할 수 있다.

[0187] 도 22는 본 발명의 기술적 사상의 실시예들에 의해 제조된 메모리 소자를 포함하는 본 발명의 기술적 사상의 일 실시예에 의한 모바일 전자 기기를 개략적으로 도시한 도면이다.

[0188] 모바일 전자 기기(800)는 태블릿 PC로 이해될 수도 있다. 부가하여, 본 발명의 기술적 사상의 다양한 실시예들에 의해 제조된 메모리 소자(100a, 100b) 중 적어도 하나는 태블릿 PC 외에도, 노트북 같은 휴대용 컴퓨터, mpeg-1 오디오 레이어 3 (MP3) 플레이어, MP4 플레이어, 네비게이션 기기, 솔리드 스테이트 디스크(SSD), 테이블 컴퓨터, 자동차 및 가정용 가전 제품에 사용될 수 있다.

[0189] 이상, 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

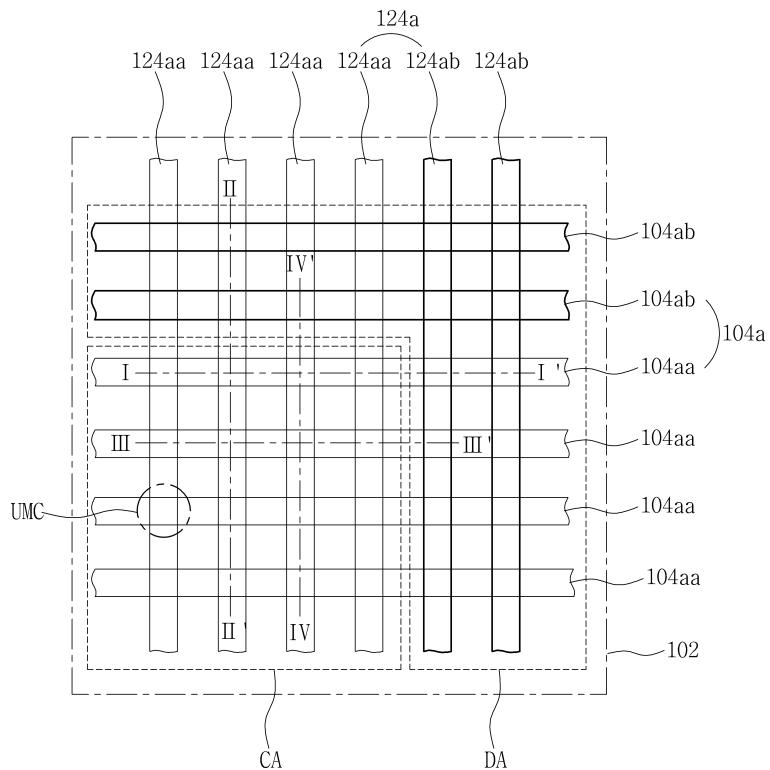
부호의 설명

102: 기판	104a: 비트 라인
104aa: 셀 비트 라인	104ab: 더미 비트 라인
106aa: n형 불순물 패턴	106ab: 저 농도 n형 불순물 패턴
108a: p형 불순물 패턴	112a: 제 1 전극
114a: 가변 저항	116a: 제 2 전극
120: 수직 구조체	120a: 셀 수직 구조체
120b: 더미 수직 구조체	124a: 워드 라인
124aa: 셀 워드 라인	124ab: 더미 워드 라인
128a: 셀 다이오드	128b: 더미 다이오드
UMC: 메모리셀	ARD: 가변 저항 소자

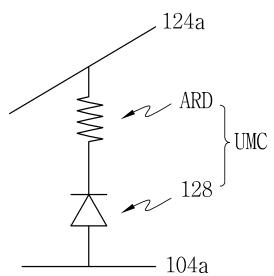
도면

도면1

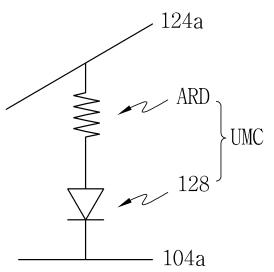
100a



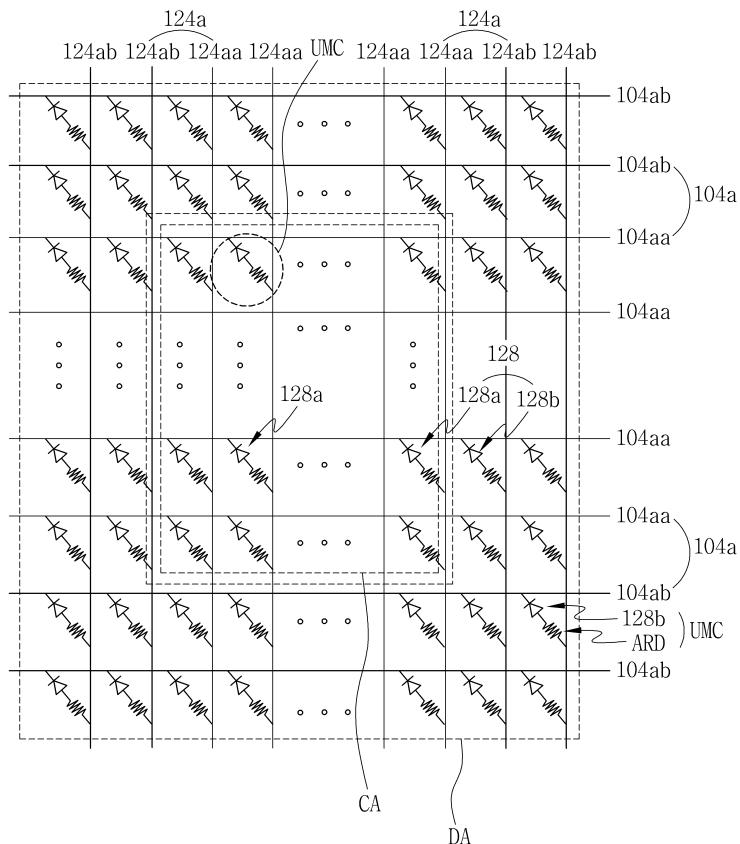
도면2a



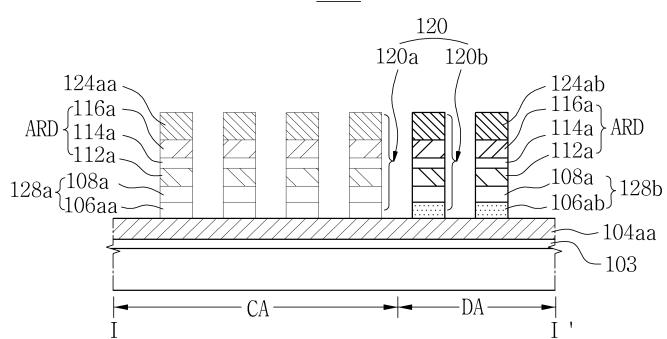
도면2b



도면2c

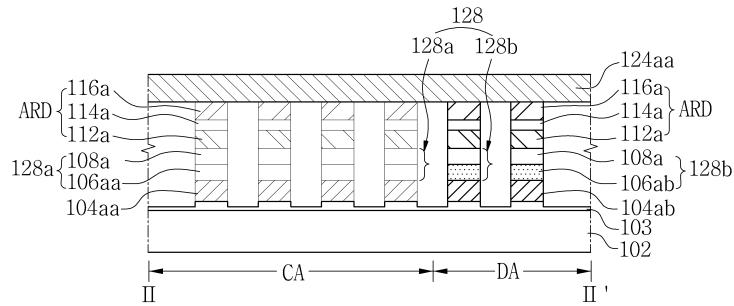
100a

도면3a

100a

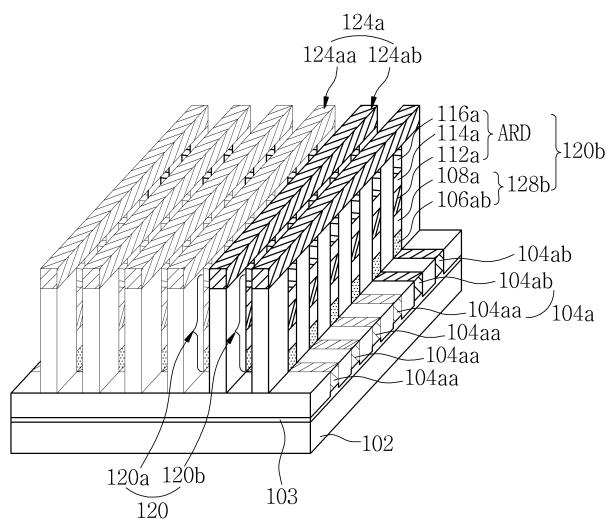
도면3b

100a



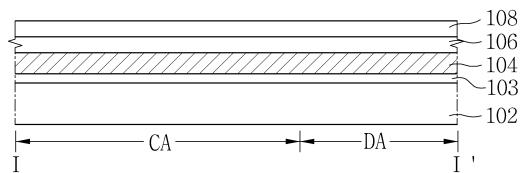
도면3c

100a



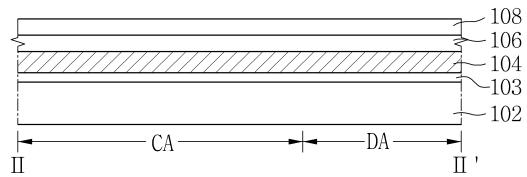
도면4a

100a



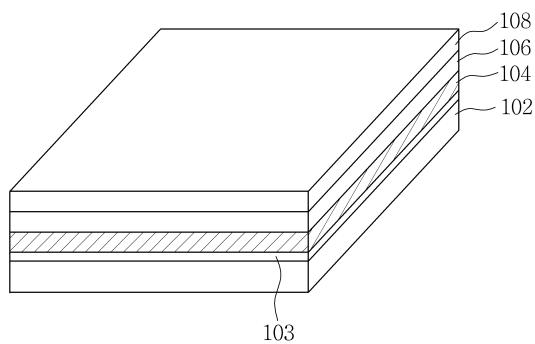
도면4b

100a



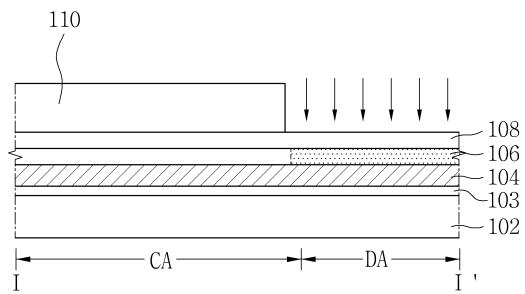
도면4c

100a



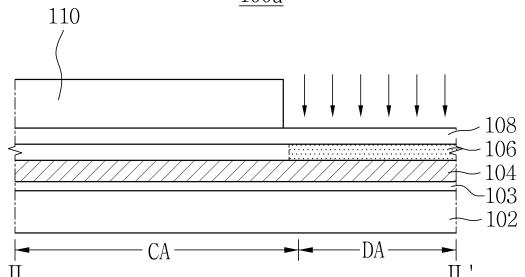
도면5a

100a

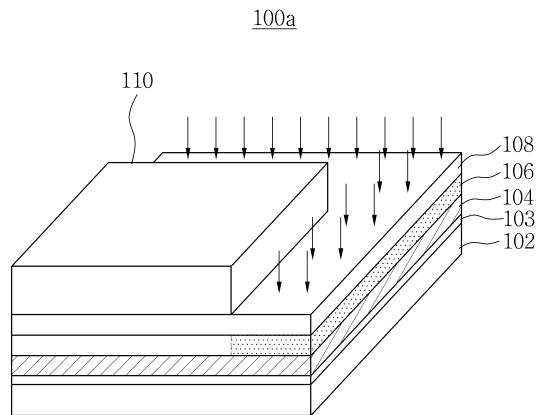


도면5b

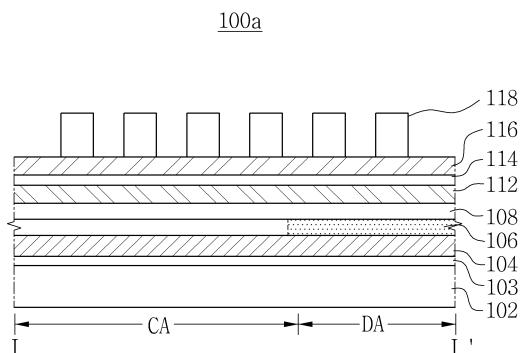
100a



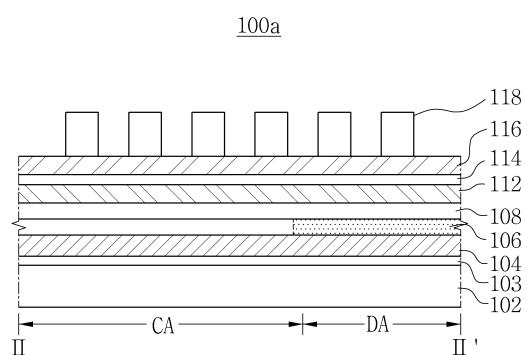
도면5c



도면6a

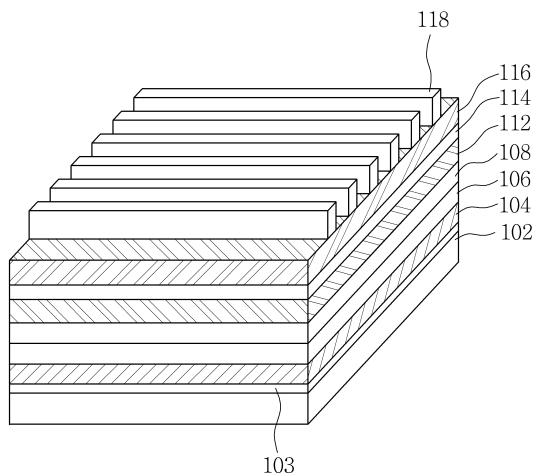


도면6b



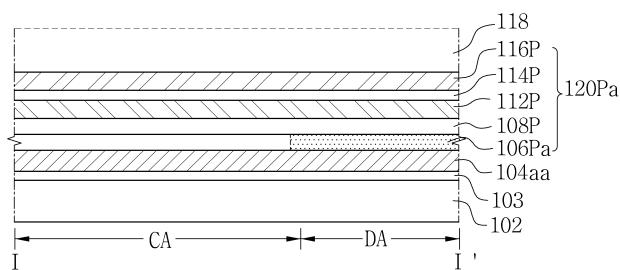
도면6c

100a



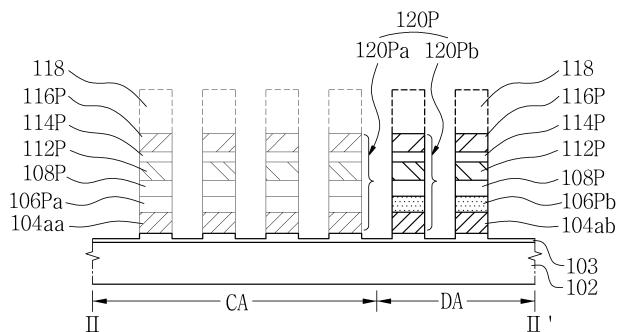
도면7a

100a

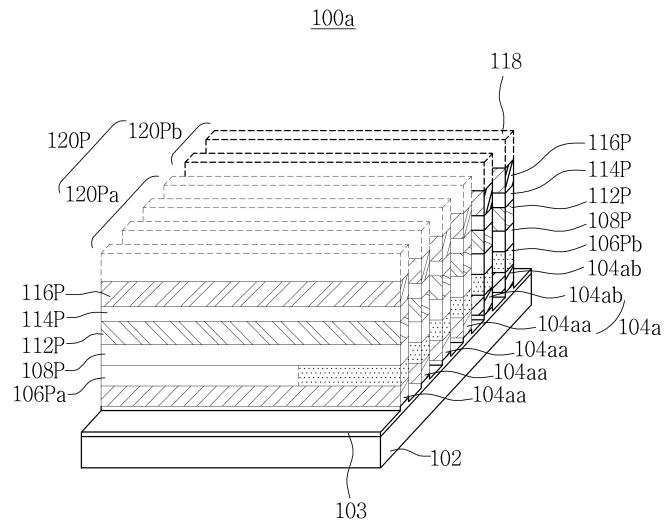


도면7b

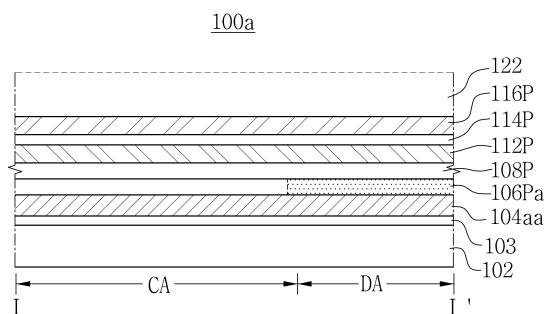
100a



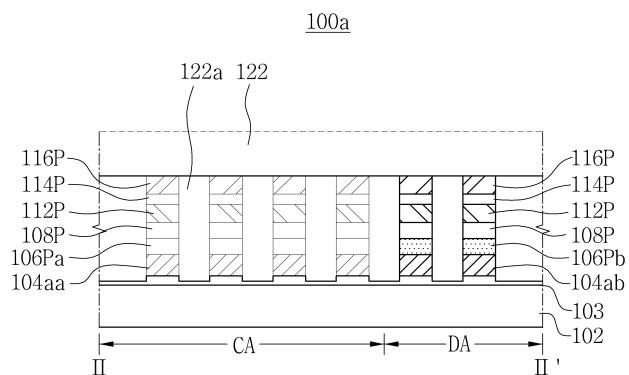
도면7c



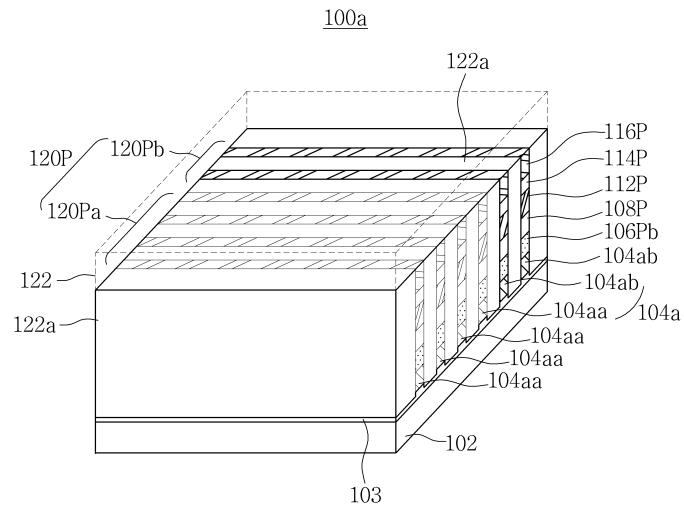
도면8a



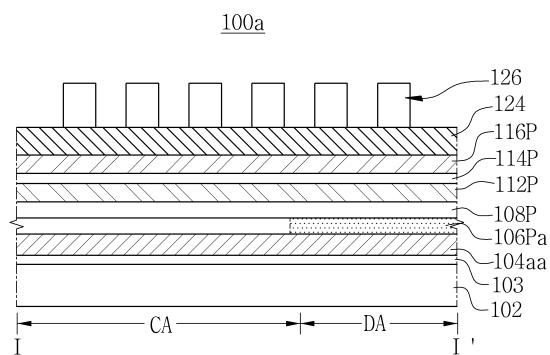
도면8b



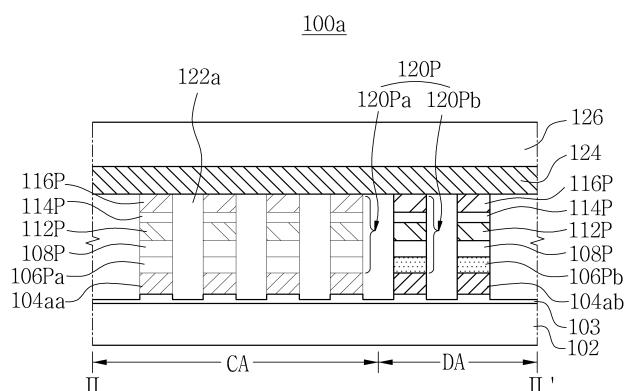
도면8c



도면9a

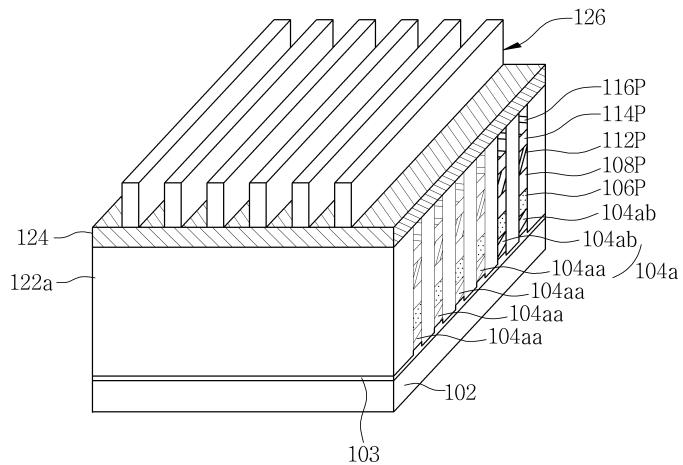


도면9b



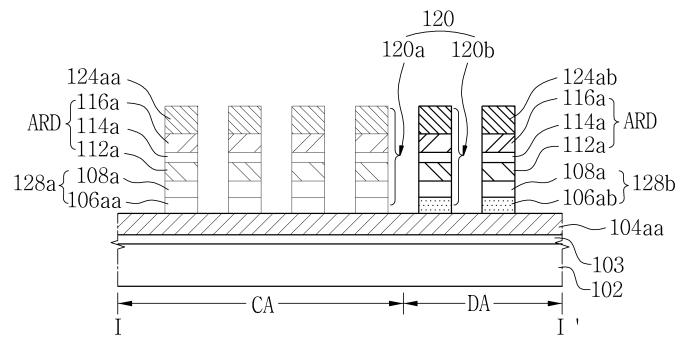
도면9c

100a



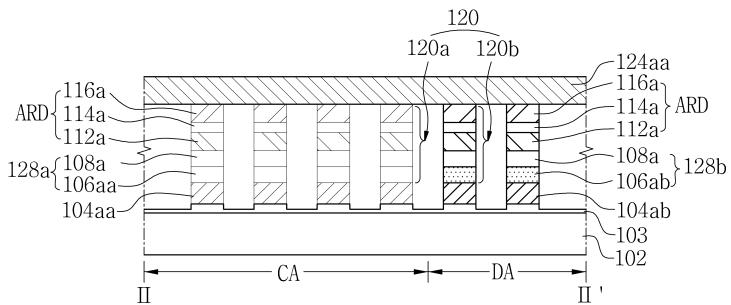
도면10a

100a



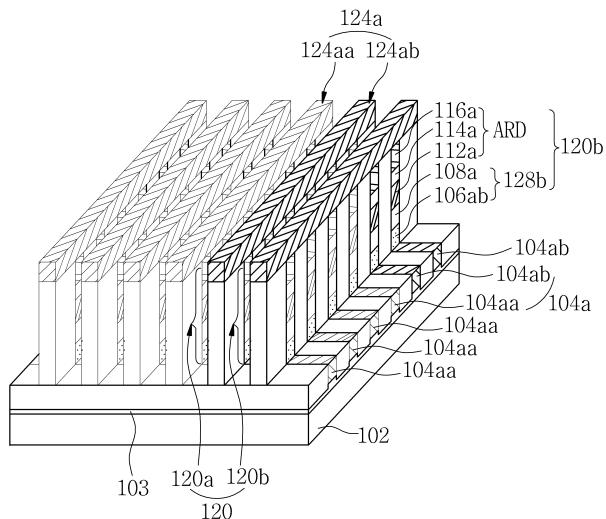
도면10b

100a



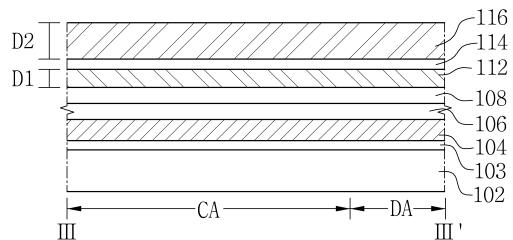
도면10c

100a



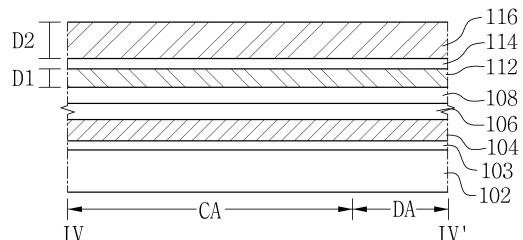
도면11a

100b



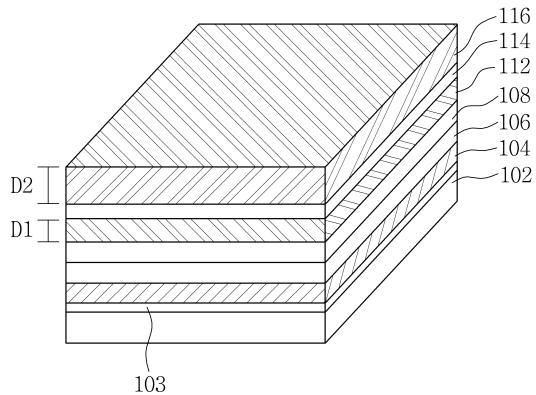
도면11b

100b



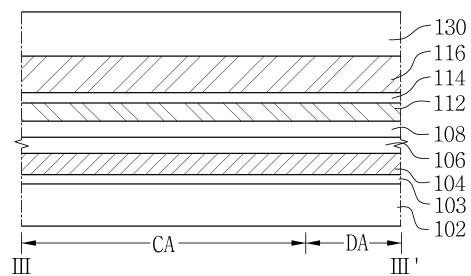
도면11c

100b



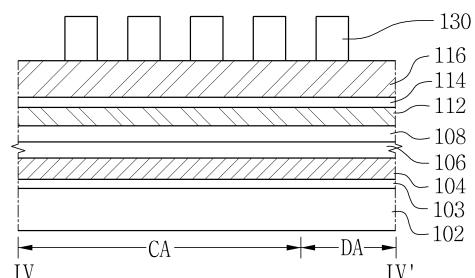
도면12a

100b

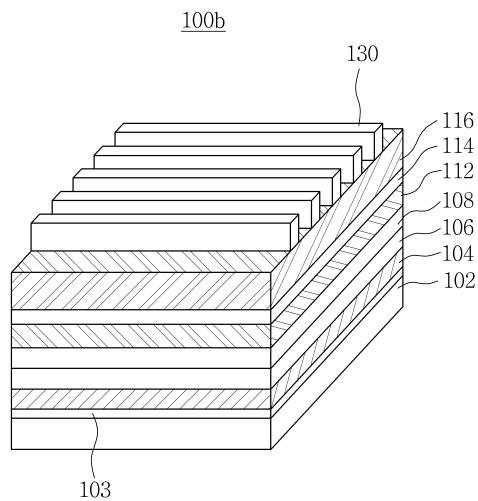


도면12b

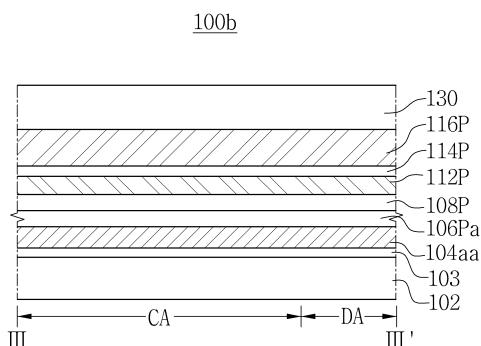
100b



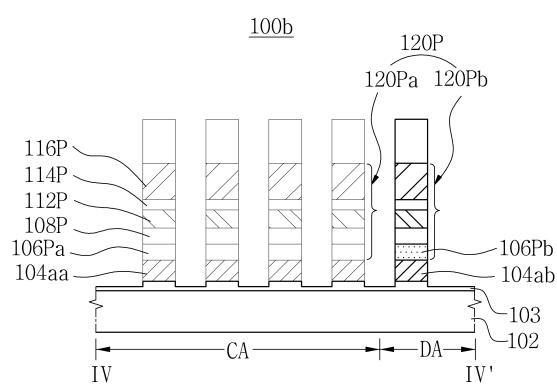
도면12c



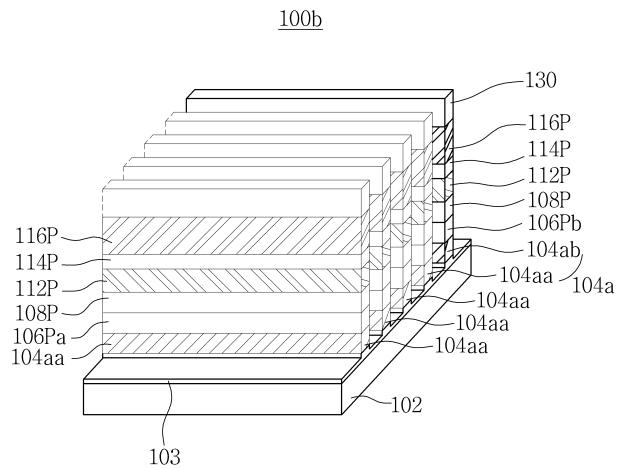
도면13a



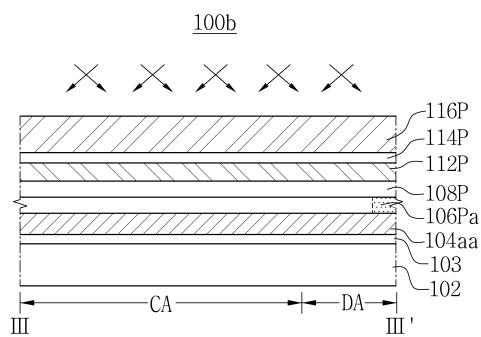
도면13b



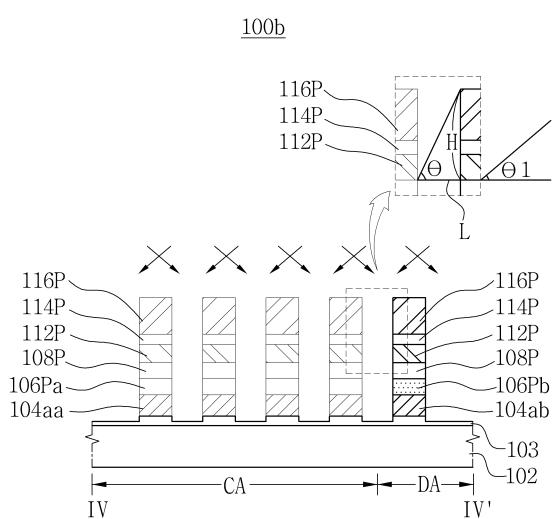
도면13c



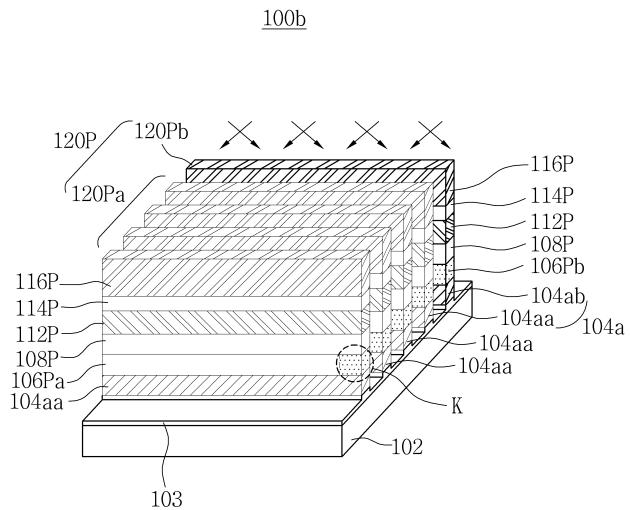
도면14a



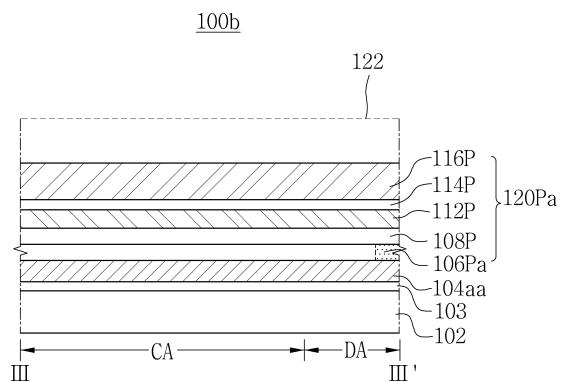
도면14b



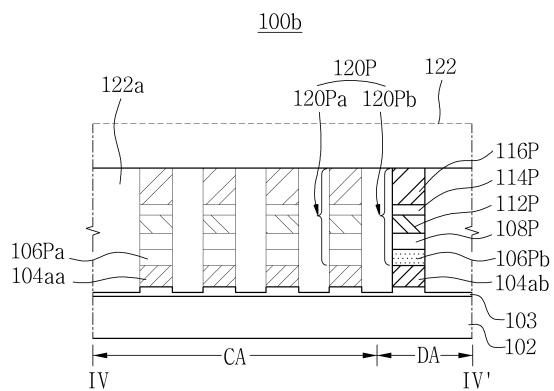
도면14c



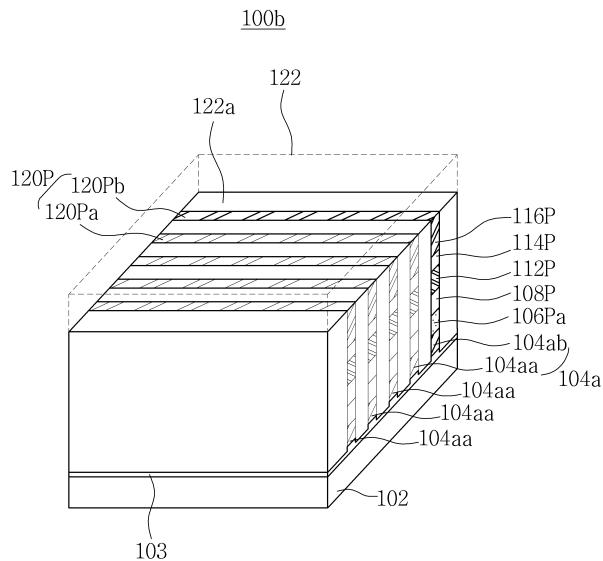
도면15a



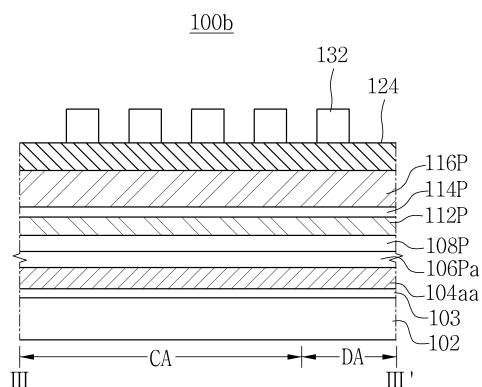
도면15b



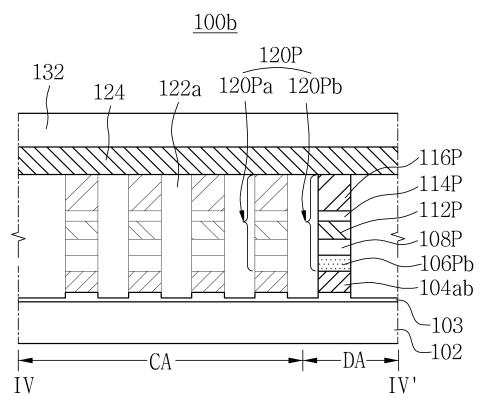
도면15c



도면16a

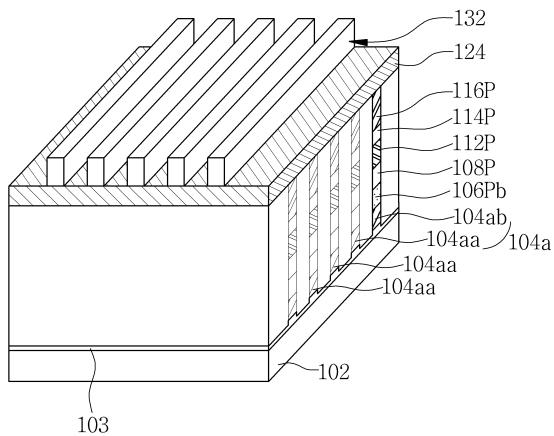


도면16b



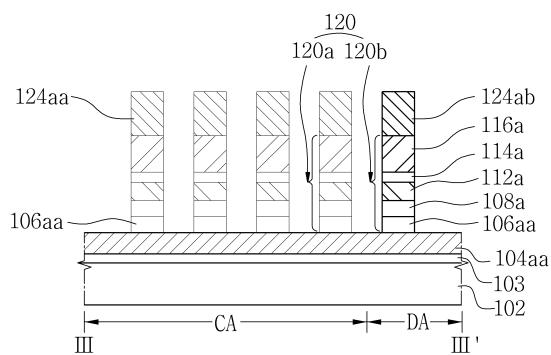
도면16c

100b



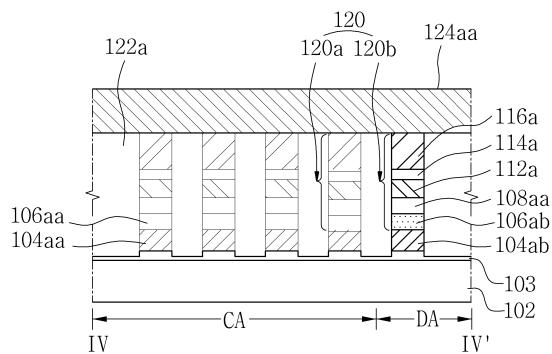
도면17a

100b



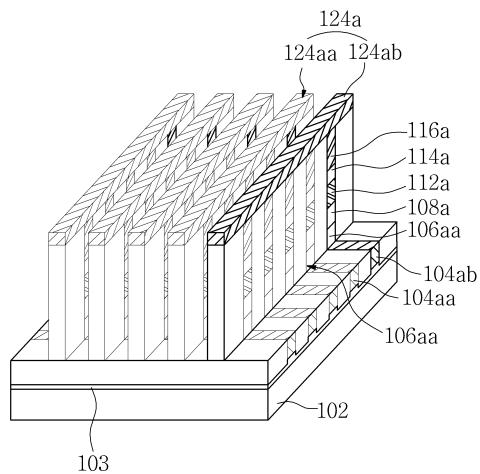
도면17b

100b



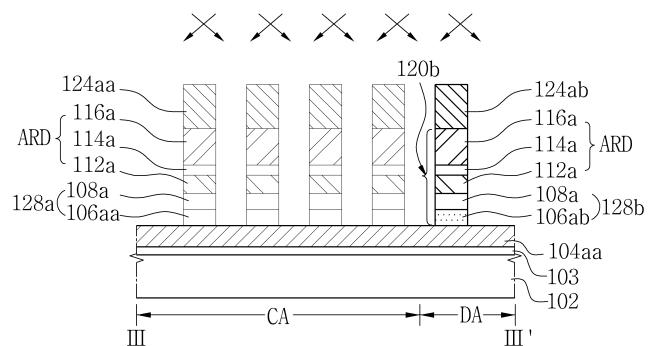
도면17c

100b



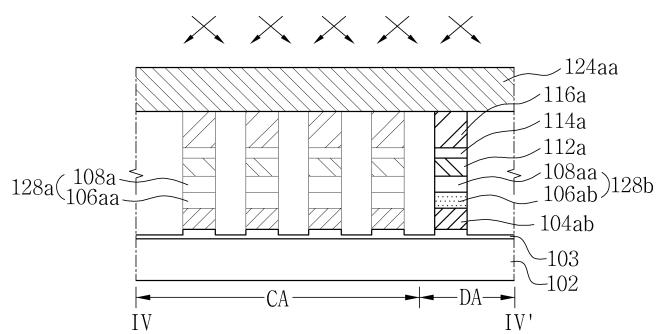
도면18a

100b



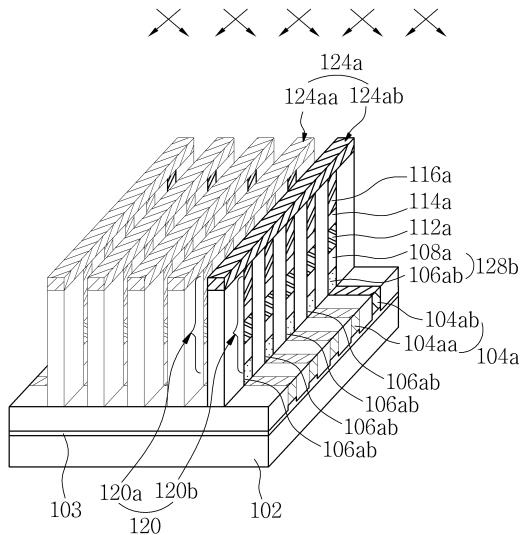
도면18b

100b



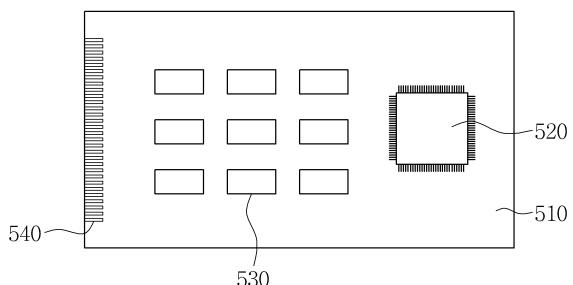
도면 18c

100b



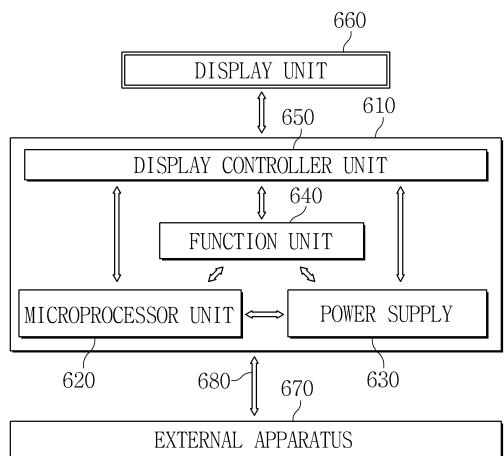
도면19

500

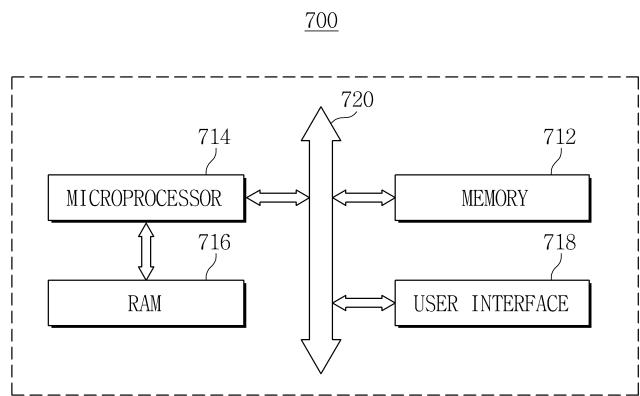


도면20

600



도면21



도면22

