



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210805

(11) (B1)

(51) Int. Cl.³
H 04 M 11/00

(22) Přihlášeno 28 12 78
(21) (PV 9059-78)

(40) Zveřejněno 30 06 81

(45) Vydáno 15 09 83

(75)

Autor vynálezu

ROTT HILBERT ing. CSc., PRAHA

(54) Zapojení vazebních obvodů mezi společnými logickými obvody přenášeečů zejména pro telefonní provoz a signalizačním traktem přenosového systému

1

Vynález se týká zapojení vazebních obvodů mezi společnými logickými obvody přenášeečů zejména pro telefonní provoz a signalizačním traktem přenosového systému s pulsně kódovou modulací, v dalším jen PCM.

Dosud používaná vazba mezi signalizačním traktem přenosového systému s PCM a společnými logickými obvody přenášeečů je založena na synchronní spolupráci společných logických obvodů s PCM systémem. To znamená, že rychlost činnosti společných logických obvodů je přímo podřízena rychlosti PCM systému. V 32kanálovém PCM systému se signalizace přenáší v signalizačním traktu každých 125s pro dva okruhy, např. 1. a 16., 2. a 17. atd. Mezi koncem informace týkající se prvního okruhu a začátkem informace týkající se druhého okruhu z uvažované dvojice uplyne přibližně 1,25s. Při synchronní spolupráci společných logických obvodů s PCM systémem musí být informace týkající se jednoho okruhu zpracována ve společných logických obvodech za dobu přibližně 1s, což klade na řešení společných logických obvodů značné nároky a velmi omezuje možnost využít některé principy řešení v případech, kdy společné logické obvody musí být programovatelné.

Výše uvedené nevýhody odstraňuje zapojení vazebních obvodů mezi společnými logickými obvody přenášeečů, zejména pro telefonní provoz a signalizačním traktem přenosového systému s PCM podle vynálezu, jehož podstatou je, že pro každý signalizační výstup do vysílacího traktu přenosového systému obsahuje výstupní paměť, k jejímuž vstupu je připojen výstup výhybkového obvodu. K jeho prvnímu přepínanému vstupu je připojen výstup společných logických obvodů přenášeeče a k jeho druhému přepínanému vstupu je připojen výstup do vysílacího traktu. Ovládací vstup výhybkového obvodu je spojen s výstupem řídicího hradla. Výstup vstupní paměti je připojen ke vstupu společných logických obvodů přenášeeče.

210805

Zapojení podle vynálezu umožňuje prodloužit dobu, která je k dispozici pro činnost společných logických obvodů v uvedeném PCM systému, zhruba stonásobně.

Příklad zapojení podle vynálezu je dále popsán pomocí výkresu.

V zapojení se předpokládá, že na výstupu signalizačního traktu PCM systému je použito vyrovnávací paměti a kontrolního obvodu, umožňujícího rozlišit platný signál od neplatného.

Zapojení podle vynálezu znázorněné na výkresu obsahuje pro každý signalizační vstup y do vysílacího traktu přenosového systému výstupní paměť Rv, k jejímuž vstupu je připojen výstup výhybkového obvodu B. K jeho prvnímu přepínanému vstupu je připojen výstup vp společných logických obvodů SL přenášeče a k jeho druhému přepínanému vstupu je připojen výstup y do vysílacího traktu. Ovládací vstup výhybkového obvodu B je spojen s výstupem řídicího hradla H11. Výstup vstupní paměti Rp je připojen ke vstupu xp společných logických obvodů SL přenášeče.

Vstupní a výstupní vodiče vazebních obvodů mají tyto významy: Vodič x slouží pro příjem signálů z PCM systému. Vodičem x navazují vazební obvody na neznázorněnou vyrovnávací paměť. Vyskytují se na něm signalizační stavy každého z třiceti dvou okruhů v rytmu hodinových pulsů, přenášených z neznázorněného zdroje po vodiči hy.

Vodič s slouží k přenosu informace o platnosti nebo neplatnosti signálu na vodiči x. Předpokládá se, že na vodiči s je stav log 1 při platném signálu, jinak je na něm stav log 0.

Vodiče a1 až a32 slouží k příjmu stavu jednoho z kontrolovaných bodů každého z neznázorněných přenášečů, k jejichž řízení slouží společné logické obvody.

Vodič y slouží k předávání signalizačních stavů do signalizačního traktu PCM systému.

Vodič d1 až d32 slouží k přenosu jednoho ovládacího signálu do každého přenášeče.

Vodič xp a xq slouží k přenosu vstupních signálů přijatých vazebními obvody ze vstupu x a jednoho ze vstupů a1 až a32 do společných logických obvodů a vodiče vp a vq k přenosu výstupních signálů ze společných logických obvodů, které mají být vazebními obvody přeneseny na výstup y a na jeden z výstupů d1 až d32.

Vodič hy slouží k přenosu hodinových pulsů z vysílacího traktu PCM systému v rytmu přenosu signalizačních stavů po vodiči x. V klidovém stavu je na vodiči hy stav log 0. Hodinové pulsy určují, kdy má být snímán stav z vodiče x a současně řídí zpracování signálů ve vazebních obvodech. V uvažovaném příkladu při 32kanálovém PCM systému se během každých 2ms přenesou po vodiči hy šestnáct dvojic pulsů. Pulsy v každé dvojici jsou časově navzájem vzdáleny zhruba 2 μ s a dvojice navzájem zhruba 125 μ s.

Vodič pv vyznačuje stav, kdy neznázorněná vyrovnávací paměť předává po vodiči x signalizační stavy přijaté z přijímacího traktu PCM systému. Na tomto vodiči je v uvažovaném příkladu vždy 2ms stav log 1 a 2ms stav log 0. Ke střídání stavů dochází v okamžiku před příchodem dvojice pulsů po vodiči hy, která řídí zaznamenání signalizačních stavů první dvojice okruhů z vodiče x. V neznázorněných obvodech přijímacího traktu PCM systému je též zajištěno, že v době, kdy na vodiči pv je stav log 0, je rovněž na vodiči s stav 0. Přenos po vodiči x se uskutečňuje v době, kdy na vodiči pv je stav log 1.

Vodič pvk přenáší synchronizační impuls. V klidovém stavu je na něm stav log 0. Impuls s hodnotou log 1 se na vodiči pvk přenáší vždy před změnou stavu vodiče pv.

Na vodiči v je průběh signálu shodný s průběhem signálu na vodiči pv, avšak je časově zpožděn o jednu dvojici pulsů předávaných po vodiči hy.

Jak vstupní paměť Rp tak i výstupní paměť Rv je realizována 32bitovým posuvným registrem. Dx je zpožďovací paměťový člen, D1 a D32 jsou paměti jednotlivých přenášeečů. Tyto paměti jsou realizovány paměťovými obvody typu D, u nichž se hodnota vstupu zaznamenává při začátku hodinového pulsu přivedeného na hodinový vstup a přenese se na výstup, kde se uloží až do zaznamenání jiného stavu vstupu.

CT je čítač do 64 s binárními výstupy c0 až c5. Čítač CT se uvádí do klidového stavu připojením signálu s hodnotou log 1 současně k oběma nulovacím vstupům Q1 a Q2. Je-li alespoň k jednomu z těchto vstupů Q1 a Q2 připojen signál s hodnotou log 0, mění se kombinace potenciálů na výstupech c0 až c5 vždy po ukončení hodinového pulsu přivedeného na hodinový vstup. Stav na výstupu c0 se mění po každém pulsu, na výstupu c1 po každém druhém pulsu, na výstupu c2 po každém čtvrtém pulsu atd., až na posledním výstupu c5 po každém 32. pulsu.

MPX je multiplexor, který v závislosti na čísle n vyjádřeném v binárním kódu na výstupech c1 až c5 připojuje na výstup, jímž je vodič xq, hodnotu n-tého vstupu z a1 až a32.

DEK je dekodér, který číslo n, vyjádřené v binárním kódu na výstupech c1 až c5 čítače CT, vyjadřuje připojením hodnoty log 1 na odpovídající n-tý z výstupů b1 až b32.

Členy H1, H3, H4, H6, H7, H10, H13/1 až H13/32 jsou inventory, členy H2, H5 jsou hradla AND-NOR, členy H8, H11 jsou hradla EXKLUSIV-OR a členy H9, H12/1 až H12/32 jsou hradla NAND.

V okamžiku, kdy signál na vstupu P společných logických obvodů SL přenášeečů přejde ze stavu log 1 do stavu log 0, společné logické obvody SL zpracují signály na vstupech xp, xq a výsledek předají na výstupy yp, yq, kde zůstane k dispozici nejméně do okamžiku, kdy signál na vstupu P přejde znovu ze stavu log 1 do stavu log 0, tj. do začátku zpracování signálů dalšího okruhu.

Za počáteční stav pro popis činnosti zapojení podle vynálezu byl zvolen okamžik, kdy čítač CT je vynulován, to znamená, že na všech jeho výstupech c1, c2, c3, c4 a c5 je stav log 0 a rovněž na vodiči pv je stav log 0. Vysílací trakt PCM systému je připraven k přenosu signalizačních stavů náležejících dvojici 31. a 32. okruhu. Tyto stavy jsou připraveny ve výstupní paměti Rv.

Před vysíláním odpovídajících signálů z výstupní paměti Rv do neznázorněné vstupní paměti signalizačního traktu PCM systému se stav na vodiči pv změní z log 0 na log 1. Následuje první dvojice pulsů po vodiči hy. Na oba tyto pulsy reaguje čítač CT. Na výstupu c0 se změní stav na log 1. První z dvojice pulsů projde z vodiče hy až na výstup klíčovacího hradla H10 a tím způsobí ve zpožďovacím paměťovém obvodu Dx záznam stavu z výstupu hradla H3, který v daném okamžiku je signalizačním stavem 1. okruhu. Tento stav se objeví na vodiči xp. Druhý z dvojice pulsů z vodiče hy na výstup klíčovacího hradla H10 neprojde, protože po prvním pulsu se změnil stav výstupu c0 čítače CT na log 0. Oba pulsy též působí na hodinové vstupy vstupní a výstupní paměti Rp a Rv. Ve vstupní paměti Rp způsobí záznam signalizačních stavů prvních dvou okruhů z neznázorněné vyrovnávací paměti ovládané stejnými hodinovými pulsy. Ve výstupní paměti Rv způsobí předání signalizačních stavů posledních dvou okruhů do vstupní paměti vysílacího traktu PCM systému. Současně způsobí při prvním pulsu zaznamenání stavu z výstupu y do vstupní paměti Rv a při druhém pulsu zaznamenání nového stavu náležejícímu poslednímu, tj. 32. okruhu z výstupu yp společných logických obvodů SL do výstupní paměti Rv.

V okamžiku průchodu začátku prvního pulsu dvojice na výstup klíčovacího hradla H10 je na výstupu b32 dekodéru DEK stav log 1, a tedy na výstupu klíčovacího hradla H10 je log 1, na výstupu hradla H12/32 je log 0, na výstupu hradla H13/32 je log 1, takže tento puls pronikne na hodinový vstup paměti D32 jednotlivého přenášedce, která zaznamená okamžitý stav na výstupu yp. Na konci druhého pulsu se změní stav na výstupu c0 na log 0 a současně se změní stav na výstupu c1 na log 1. Stav výstupu c1 až c5 čítače CT způsobí, že se stav ze vstupu a1 multiplexoru MPX převede na vstup xp společných logických obvodů SL. V dekodéru DEK se změní stav výstupu b32 na log 0 a stav výstupu b1 na log 1, čímž se připraví zaznamenání stavu výstupu yp do paměti D1 jednotlivého přenášedce.

Současně se změnou stavu výstupu c0 na log 0 na konci druhého pulsu začala činnost společných logických obvodů SL, které v časovém úseku do příchodu další dvojice hodinových pulsů zpracují signály na vstupech xp a xp a výsledek zpracování připojí k výstupům xp a xp. Do příchodu druhé dvojice pulsů po vodiči hy se změní stav na vodiči y na log 1, což způsobí, že do výstupní paměti Ry se zaznamenává při lýchých pulsech stav na výstupu yp a při sudých pulsech opačný stav, která je na výstupu y.

Protože jsou signály příslušející jednotlivým okruhům PCM systému řazeny ve dvojicích, je zajištěno, že za popsaného stavu vstupních vodičů y a yp při příchodu dalších dvojic pulsů, tj. 3. a 4., dále 5. a 6., atd. kdy se opakuje popsaný děj, se ve společných logických obvodech SL zpracovávají vždy signály prvního z dvojice okruhů.

To znamená, že při druhé dvojici pulsů se ve společných logických obvodech SL zpracovávají informace, týkající se 2. okruhu atd. Po příchodu šestnácté dvojice hodinových pulsů se změní stav na vodiči py na log 0, po příchodu další dvojice následuje změna stavu na vodiči y na log 0. To způsobí, že počínaje sedmáctou dvojicí pulsů se ve společných logických obvodech SL zpracovávají signály druhého z dvojice okruhů, a to až do příchodu třicáté druhé dvojice hodinových pulsů. Pak se zapojení vrátí do výchozího stavu. Pro zajištění správného souběhu s PCM systémem je po třicáté druhé dvojici pulsů nulován čítač CT synchronizačním impulsem, který je z traktu PCM systému předán po vodiči pyk a přenesen na nulovací vstup 01 čítače CT, k jehož druhému nulovacímu vstupu 02 je v tom okamžiku připojen výstup hradla H7 s log 1.

Hradla H8, H9, H10 spolu s výstupem c0 čítače CT tvoří dělič kmitočtu hodinových pulsů A přiváděných po vodiči hy, přičemž stav na vodiči py určuje, zda z výstupu klíčovacího hradla H10 má být předáván lichý nebo sudý puls každé dvojice. Současně třicet dva dvojic hradel H12/1, H13/1 až H12/32, H13/32 tvoří třicet dva přepínacích obvodů, propouštějících puls z výstupu klíčovacího hradla H10 na hodinový vstup do paměti jemu příslušející D1 až D32 vždy jen jednoho přenášedce v závislosti na stavu na výstupech b1 až b32 dekodéru DEK.

Dvojice hradel H4, H5 pracuje jako výhybkový obvod B se dvěma přepínanými vstupy, který z těchto vstupů přivádí na vstup výstupní paměti Ry buď signál z jejího výstupu přes hradlo H6, nebo signál z předcházející části zapojení, a to v závislosti na signálu, přivedeném na přepínací vstup, jímž je jednak vstup hradla H4, jednak jeden ze vstupů hradla H5, jak je zřejmé z obrázku. Dvojice hradel H1, H2 pracuje obdobně jako výhybkový obvod C pro vstupní paměť Rp spolu s hradlem H3.

Z popisu činnosti zapojení vyplývá, že během dvou cyklů přenosu impulsů v PCM systému, tj. v uvažovaném příkladu během 4ms, ve společných logických obvodech zpracují signály všech okruhů, a to střídavě vždy signály všech lichých a pak signály všech sudých okruhů z přenášených dvojic pulsů. Protože vysílací trakt PCM systému vyžaduje předání signálů pro všechny okruhy každé 2ms, jsou výsledky zpracování signálů všech okruhů pamatovány ve vstupní paměti, kde jsou stavy obnovovány pro každý okruh jednou za 4ms, tj. první 2ms pro signály všech lichých a druhé 2ms pro signály všech sudých okruhů z přenášených dvojic. Přitom stavy těch okruhů, které se v daném dvomilisekundovém cyklu neobnovují z výstupu

společných logických obvodů, jsou přenášeny na vstup výstupní paměti z jejího výstupu výhybkovým obvodem řízeným čítačem.

Při použití zapojení vazebních obvodů v praxi bývají vodiče x , x_p , y a y_p zdvojeny, protože pro každý okruh se obvykle používá dvou signálních kanálů. Obdobně bývá znásobena skupina vodičů a_1 až a_{32} a d_1 až d_{32} . V PCM systému s 32 kanály bývá pouze 30 kanálů použitých jako okruhů, tj. vystrojeno přenášecí, a zbývající dva kanály slouží pomocným účelům.

Zapojení podle vynálezu je vhodné zejména při použití programově řízených společných logických obvodů přenášecí.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení vazebních obvodů mezi společnými logickými obvody přenášecí zejména pro telefonní provoz a signalizačním traktem přenosového systému s pulsně kódovou modulací, v němž se vyskytuje jeden nebo několik signalizačních vstupů z přijímacího traktu a výstupů do vysílacího traktu přenosového systému, a každý signalizační vstup obsahuje vstupní paměť, vyznačené tím, že pro každý signalizační výstup (v) do vysílacího traktu přenosového systému obsahuje výstupní paměť (R_v), k jejímuž vstupu je připojen výstup výhybkového obvodu (B), k jehož prvnímu přepínanému vstupu je připojen výstup (y_p) společných logických obvodů (SL) přenášecí a k jehož druhému přepínanému vstupu je připojen výstup (y) do vysílacího traktu, přičemž ovládací vstup výhybkového obvodu (B) je spojen s výstupem řídicího hradla (H_{11}), zatímco výstup vstupní paměti (R_p) je připojen ke vstupu (x_p) společných logických obvodů (SL) přenášecí.

2. Zapojení vazebních obvodů podle bodu 1 vyznačené tím, že mezi výstup vstupní paměti (R_p) a vstup (x_p) společných logických obvodů (SL) přenášecí je zapojen zpožďovací paměťový člen (D_x), jehož hodinový vstup je spojen s výstupem klíčovacího hradla (H_{10}) děliče kmitočtu (A), jehož hodinový vstup je spojen s vodičem pro přivádění hodinových pulsů (h_v), který je připojen k ovládacím hodinovým vstupům vstupní paměti (R_p) a výstupní paměti (R_v).

3. Zapojení vazebních obvodů podle bodů 1 a 2 vyznačené tím, že každému přenášecí je přiřazena jedna paměť (D_1 až D_{32}), jejíž hodinový vstup je připojen k výstupu jí příslušejícího přepínacího obvodu ($H_{12/1}$, $H_{13/1}$ až $H_{12/32}$, $H_{13/32}$), k jehož prvnímu vstupu je připojen příslušný výstup (b_1 až b_{32}) dekodéru (DEK) a k jehož druhému vstupu je připojen výstup klíčovacího hradla (H_{10}) děliče kmitočtu (A).

1 list výkresů

