



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월31일
 (11) 등록번호 10-0789885
 (24) 등록일자 2007년12월21일

(51) Int. Cl.

H01J 9/02 (2006.01)

(21) 출원번호 10-2001-0010195
 (22) 출원일자 2001년02월28일
 심사청구일자 2006년02월07일
 (65) 공개번호 10-2001-0088364
 (43) 공개일자 2001년09월26일
 (30) 우선권주장 2000-102860 2000년02월29일 일본(JP)
 (56) 선행기술조사문헌 JP11120898 A

(73) 특허권자

가부시키키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

쿠스노키토시아키

일본국도쿄도치요다쿠마루노우치1초메5-1뉴마루노우치빌딩가부시키키가이샤히타치세이사쿠쇼소유켄 혼부나이

스즈키무츠미

일본국도쿄도치요다쿠마루노우치1초메5-1뉴마루노우치빌딩가부시키키가이샤히타치세이사쿠쇼소유켄 혼부나이

사가와 마사카즈

일본국도쿄도치요다쿠마루노우치1초메5-1뉴마루노우치빌딩가부시키키가이샤히타치세이사쿠쇼소유켄 혼부나이

(74) 대리인

이종일

전체 청구항 수 : 총 19 항

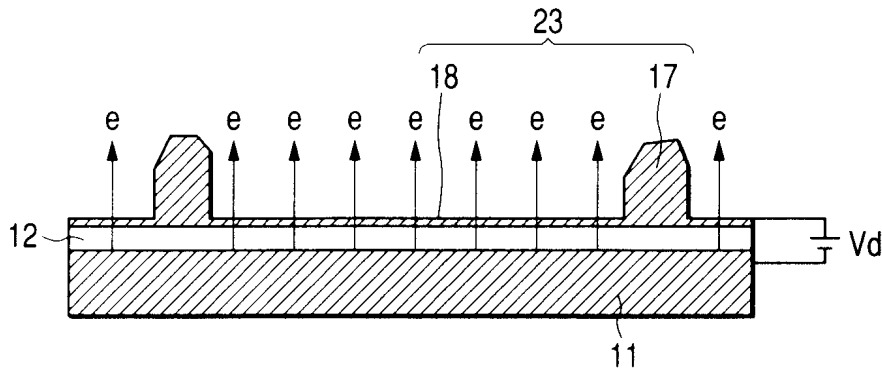
심사관 : 전종일

(54) 표시장치 및 그 제조방법

(57) 요약

본 발명은 박막형전자원을 이용한 표시장치 및 그 제조방법으로서 전자방출부에서 진공중에 전자를 방출하는 박막형전자원을 이용하는 5 nm보다도 얇은 평탄한 금속박막을 통하여 진공중에 방출된 전자를 대향배치된 형광체에 조사한다. 그로 인하여 전자방출용의 상부 전극을 Ir, Pt, Au의 박막을 적층한 후 가열처리를 실행하여 두꺼운 섬형의 돌기부와 평탄한 얇은 박막부가 공존한 구조로 재구성하는 고휘도 저소비전력 내지 대형판넬의 표시장치를 형성하는 기술이 제시된다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 전극의 상부에 떨어져 배치된 제2 전극,

상기 제2 전극은 전자를 방출하는 전자방출부와 복수의 섬형태의 금속돌기부를 가지고 있고, 상기 제2 전극의 상기 전자방출부에 접속된 버스배선 및 상기 제2 전극 및 상기 버스배선의 상부에 대향 배치된 형광체를 갖고, 상기 제1 전극과 상기 버스배선과의 사이에 전압을 인가하는 것에 의해 상기 전자방출부에서 방출된 전자에 상기 형광체에 조사하는 것을 특징으로 하는 표시장치.

청구항 2

청구항 1에 있어서,

상기 버스배선의 두께는 상기 제2 전극에 있어서의 상기 전자방출부 및 상기 섬형태 돌기부의 두께보다 두껍고, 200nm이상인 것을 특징으로 하는 표시장치.

청구항 3

청구항 1 에 있어서,

상기 제2 전극의 상기 전자방출부의 표면이 차지하는 면적은 상기 섬형태 돌기부가 상기 전자방출부 표면 레벨에서 차지하는 면적보다도 큰 88%이상 99%이하인 것을 특징으로 하는 표시장치.

청구항 4

청구항 1 에 있어서,

상기 제2 전극의 상기 섬형태 돌기부는 상기 전자방출부보다도 큰 두께를 갖고 100nm이상 200nm이하인 것을 특징으로 하는 표시장치.

청구항 5

청구항 1 에 있어서,

상기 버스배선은 상기 제2 전극의 상기 전자방출부에 접속된 막두께 10nm이하의 하층배선부와 상기 제2 전극에 있어서의 상기 섬형태 돌기부와는 사이를 두고 상기 하층배선부보다도 두꺼운 막두께 200nm이상의 상층배선부로 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 6

청구항 1 에 있어서,

상기 제2 전극은 Ir 및 Au를 포함하는 금속으로 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 7

청구항 1에 있어서,

상기 제2 전극은 Ir, Pt 및 Au를 포함하는 금속으로 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 8

청구항 1 에 있어서,

상기 제2 전극의 상기 전자방출부의 두께는 5nm보다도 얇은 것을 특징으로 하는 표시장치.

청구항 9

청구항 1에 있어서,

상기 제2 전극의 상기 돌기부의 직경은 100nm이상 1 μ m이하이고 두께는 100nm이상 200nm이하인 것을 특징으로 하

는 표시장치.

청구항 10

하부전극과 상부전극 및 상기 전극간에 끼워진 절연층, 반도체층 또는 다공질반도체층 혹은 절연층, 반도체층 또는 다공질반도체층의 혼합막 또는 적층막으로 구성되고, 상기 하부전극과 상기 상부전극간에 전압을 인가하는 것에 의해 상기 상부전극측에서 전자를 감압분위기중에 방출하고, 상기 방출된 전자를 대향배치된 형광체에 조사하는 박막형전자원을 이용한 표시장치에 있어서,

상기 상부전극은 적어도 2종 이상의 원소로 구성된 복수의 섬형태 돌기부와 상기 돌기부보다 큰 면적을 갖고 상기 전자를 방출하는 공통평탄박막부가 병존한 구조를 가지고 있는 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 11

청구항 10에 있어서,

상기 상부전극의 상기 돌기부는 상부전극을 구성하는 Ir을 응집핵으로 하여 상부전극을 구성하는 Au를 응집한 것이고, 상기 평탄박막부보다 Au의 조성비가 높은 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 12

청구항 10 에 있어서,

상기 상부전극의 상기 돌기부의 직경은 100nm 이상 1 μ m이하이고 두께는 100nm이상 200nm이하인 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 13

청구항 10에 있어서,

상기 상부전극은 Ir 및 Au를 포함하는 금속인 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 14

청구항 10에 있어서,

상기 상부전극은 Ir, Pt 및 Au를 포함하는 금속인 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 15

청구항 10 에 있어서,

상기 상부전극에 전위를 공급하는 버스배선이 또한 설치되어 있고,

상기 버스배선은 전자방출부인 상기 평탄박막부에 접속된 막두께 10nm이하로 얇은 하층배선부와 막두께 200nm이상으로 두꺼운 상층배선부의 2층구조로 이루는 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 16

청구항 15에 있어서,

상기 상부전극에 있어서의 상기 돌기부는 상기 버스배선의 상기 상층배선부로부터 사이를 두고 있는 것을 특징으로 하는 박막형전자원을 이용한 표시장치.

청구항 17

하부전극의 상부에 상부전극이 설치되고 상기 상부전극의 상부에 형광체가 대향배치되고,

상기 상부전극과 상기 형광체와의 사이의 공간이 감압분위기로 밀봉된 박막형전자원을 이용한 표시장치의 제조 방법에 있어서,

상기 상부전극은 상기 하부전극의 상부에 막두께 4-5nm의 금속박막을 설치 한 후 상기 금속박막의 금속을 부분적으로 응집시켜서 상기 금속박막에 돌기부를 형성하고 나머지 부분의 평탄부의 두께를 상기 금속박막의 초기의

두께 4~5nm보다 얇게 하는 가열처리를 실행하는 것에 의해 형성되는 것을 특징으로 하는 박막형전자원을 이용한 표시장치의 제조방법.

청구항 18

청구항 17에 있어서,

상기 금속박막은 Ir 및 Au의 적층박막으로 상기 하부전극의 상부에 설치되는 것을 특징으로 하는 박막형전자원을 이용한 표시장치의 제조방법.

청구항 19

청구항 17에 있어서,

상기 금속박막은 Ir, Pt 및 Au의 적층박막으로 상기 하부전극의 상부에 설치되는 것을 특징으로 하는 박막형전자원을 이용한 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <28> 본 발명은 전자방출부로부터 진공중에 전자를 방출하는 박막형전자원을 이용한 표시장치 및 그 제조방법에 관한 것이다.
- <29> 박막형전자원은 상부전극 - 절연층(또는 반도체층) - 하부전극의 3층 박막구조를 기본으로 하고 상부전극 - 하부전극의 사이에 전압을 인가하여 상부전극의 표면에서 진공중에 전자를 방출시키는 것이다. 예를들면 금속 - 절연체 - 금속을 적층한 MIM(Metal - Insulator - Metal)형 금속 - 절연체 - 반도체를 적층한 MIS(Metal - Insulator - Semiconductor)형등이 있다.
- <30> MIM형 박막전자원에 대해서는 본 발명자등에 의해 예를들면, 일본국특개평7-65710호에 기술되어 있고 그 동작 원리를 도 2에 나타낸다. 상부전극(13)과 하부전극(11)과의 사이에 구동전압(Vd)를 인가하여 절연층(12)내의 전계를 1 ~ 10MV/cm 정도로 하면 하부전극(11)안의 페르미(fermi)준위근방의 전자는 터널(Tunnel) 현상에 의해 장벽을 통과하고 절연층(12) 상부전극(13)의 전도대에 주입되어 고온전자(Hot Electron)가 된다. 이들의 고온 전자는 절연층(12) 상부전극(13)의 안에서 산란되어 에너지를 손실하지만 상부전극(13)의 잠관수 ϕ 이상의 에너지를 가지는 일부의 고온전자는 진공(20)안에 방출된다.
- <31> 상기의 박막전자원은 복수개의 상부전극(13)과 복수개의 하부전극(11)을 직교시켜서 매트릭스를 형성하면 임의의 장소에서 전자원을 발생시키는 것이 가능하기 때문에 표시장치등의 전자원에 이용하는 것이 가능하다. 여기까지 Au - Al2O3 - Al의 MIM(Metal - Insulator - Metal)구조등에서 전자방출이 관측되고 있다.
- <32> 박막형전자원을 표시장치등에 적용할 때 높은 전자방출효율 즉 주입전류(다이오드 전류)에 대한 방출전류의 비율이 높은 것을 이용하는 것이 바람직하다. 전자방출효율이 높은 만큼 표시장치의 휘도는 향상하고 또한 동일 휘도에서는 표시장치의 소비전력이 저하한다.
- <33> 박막형전자원의 전자방출효율을 높게하기에는 상부전극(13)안에서의 고온전자의 산란에 의한 에너지 손실을 저감하기 위한 상부전극(13)을 가능한 박막화하는 것이 유효하다.
- <34> 예를들면, 일본국특개평2-121227에서는 전자방출부를 진공증착 스퍼터 혹은 포토레지스트를 이용한 선택에칭에 의해 얇은 부분과 두꺼운 부분을 형성하는 것이 제안되고 있다.
- <35> 그러나 종래의 박막형성장치에서 형성한 상부전극(13)에서는 과박막화하면 전극막이 절연막상에서 섬형태로 성장하여 전극의 시트저항이 급증하고 전자방출부면내에서 전압하강이 발생하기 때문에 박막형 전자원에 실효적인 구동전압(Vd)가 인가불가능해지는 문제가 있었다.
- <36> 예를들면, 일본국특개평2-121227에서는 두꺼운 상부전극에 경사부를 하부의 절연체층 표면이 노출하도록 설치하여 상기의 경사부 시야의 얇은 부분에서 전자를 방출시키는 것이 제안되고 또한, 일본국특개평3-55738에서

는 두꺼운 상부전극에 하부절연층이 노출하는 개구부를 설치하여 상기의 개구부에서 전자를 방출시키는 것이 제안되고 있다.

- <37> 그러나 상기의 수법에서는 전자방출의 키가 되는 금속박막부를 재현성 좋게 확보하는 것이 어렵고 전자방출효율을 향상시키기에는 한계가 있다.
- <38> 한편 본 발명자들은 특원평11-191423에서 일화소를 복수의 얇은 전자방출부로 구성하고 개개의 전자방출부의 면적을 축소하여 그 주위에 두꺼운 급전선을 돌리는 것으로 전압하강을 방지하는 수법을 제안하였다. 상기의 수법은 상기한 저항을 감소시키고 또한 급전선과는 독립하여 상부전극의 금속박막을 얇게 형성가능하기 때문에 바람직하다.
- <39> 그러나 전자방출효율을 또한 크게하여 표시장치의 휘도를 향상시키기 위한 각전자방출부와 급전선을 미세화하면 위치맞춤의 요구정도가 높아지거나 전자방출부 면적의 비율 즉 개구율이 저하하는 것이 염려되기 때문에 박막형전자원의 전자방출부의 면적은 표시장치의 화소 피치의 범위내에서 가능한 크게 예를들면 대화면의 평면관넬에서도 고정밀도 미세 표시장치의 도트피치정도의 50 μ m각 정도로 하는 것이 되고 전자방출효율 및 휘도를 한층 향상하는 기본적인 해결수법이 이루게 된다.
- <40> 또 한편 본 발명자들은 일본국특개평8-180794에서 고효율의 전자방출을 위한 높이가 20nm이하의 미소한 도트를 상부전극에 형성하고 그곳에 외부전계를 집중시켜서 상부전극의 실효적인 잠관수를 끌어내리는 것도 제안하고 있지만 1 내지 2% 이상의 높은 전자방출효율의 것을 재현성 좋게 하는 것이 어렵다.
- <41> 본 발명은 박막형전자원의 전자방출효율을 향상하고 상기에 의해 휘도를 개량한 표시장치를 제공하는 것을 목적으로 하고 있다.
- <42> 보다 구체적으로는 박막화하여도 박막형 전자원에 실효적인 구동전압(Vd)가 인가할 수 있는 얇은 평탄한 박막전극을 통하여 방출된 전자를 형광체에 조사하는 것에 의해 휘도를 향상한 표시장치 및 그 제조방법을 제공하는 것이다.

발명이 이루고자 하는 기술적 과제

- <43> 본 원에 있어서 개시되는 발명의 가운데 대표적인 것의 개요를 간단하게 설명하면 이하와 같다.
- <44> 본 발명은 박막전극을 통하여 전자를 감압분위기중에 방출하는 박막형전자원을 이용하는 표시장치에 있어서는 고온전자의 평균자유행 정도가 박막전극에 이용되는 재료에 대한 의존성이 큰것에 착안하여 이루어진 것이다.
- <45> 즉 본 발명은 특히 각종재료를 상부전극에 이용한 경우의 전자방출효율을 해석한 결과 상부전극(13)안에서 고온전자가 산란을 받을 때까지의 평균 자유행정도가 0.5 ~ 5 nm정도로 극히 짧기 때문에 전자방출효율이 저하하는 것을 처음으로 견출하고 종래 이용되어 온 것 보다도 얇은 박막으로 해야하는 어느 발상의 근거로 이루어진 것이고 적극적으로 5nm보다도 얇은 박막을 가지는 평탄한 금속박막부를 상부전극(13)에 가지게 하고 상기의 평탄한 금속박막부를 통하여 진공중에 방출되는 전자를 상부전극에 대향배치된 형광체의 표면에 조사하는 것에 의해 상기 목적을 달성하도록 하는 것이다.
- <46> 본 발명에 의한 표시장치는 공통의 평탄한 금속박막부와 복수의 섬형태의 금속돌기부를 가지고 있는 상부전극을 하부전극에서 이간하여 배치하고 평탄한 금속박막부에 접속된 급전용의 버스배선을 설치하고 상부전극 및 버스배선의 상부에 형광체를 배치하고 하부전극과 버스배선과의 사이에 전압을 인가하는 것에 의해 평탄한 금속박막부를 통하여 진공중에 방출된 전자를 상기의 형광체에 조사하는 것에 의해 구성된다.
- <47> 이와 같은 구성으로 하는 것에 의해 고온전자가 방출되는 평탄한 금속박막부의 두께를 급전용 버스배선과는 독립하여 적극적으로 얇게하는 것이 가능하고 전자방출효율을 향상하고 상기에 의해 휘도를 개량한 표시장치를 실현하는 것이 가능하다.
- <48> 또한, 상부전극에 있어서 평탄한 금속박막부의 표면이 차지하는 면적 즉 실효적인 전자방출면적을 상기 금속돌기부가 상기의 평탄한 금속박막부의 표면레벨에서 차지하는 면적보다도 크게하는 것에 의해 상부전극의 거의 전체에 얇은 금속박막부가 설치되어 있는 경우와 동등의 전자방출효율을 달성하는 것이 가능하다.
- <49> 또한, 상기 버스전극배선은 전자방출부를 구성하는 평탄한 금속박막에 접속되어 이어지는 얇은 하층과 두껍게 형성된 저저항의 급전부로 이루는 상층의 2단구조로 하는 것에 의해 본 발명의 박막전극을 이용한 경우의 전기적 접속부에서의 단절단 방지와 대형표시장치에서의 배선저항에 의한 전압하강방지에 대응하는 것이 가능하다.

- <50> 또한, 보호층등에서 규정된 전자방출부상의 상부전극에 형성되는 상기 섬형태의 금속돌기부 자체는 상부 전극에 전위를 공급하는 버스배선에 구조적으로 접촉시키지 않고 버스배선에서 물리적으로 이간 내지 독립하고 있다.
- <51> 또한, 전자를 방출하는 공통의 평탄금속박막의 표면상에 돌출한 복수의 섬형태의 금속돌기부의 두께(즉, 평탄금속박막의 표면 레벨에서의 높이)는 평탄금속박막의 두께보다도 큰 것이 바람직하고 또한 상기 급전용의 버스배선의 두께보다도 작은 쪽이 바람직하지만 상기에 한정되는 것은 아니다.
- <52> 상기에 또한 본 발명에서는 상기의 박막형전자원의 상부전극은 하부전극상에 설치된 절연층 반도체층 또는 다공질 반도체층 혹은 상기들의 혼합막 또는 적층막상에 예를들면 이리듐(Iridium)(Ir)의 박막 백금(Pt)의 박막 및 금(Au)의 박막을 상기의 순서로 각각 1nm, 1nm, 2 ~ 3nm 정도의 두께로 적층한 후에 가열처리하는 것에 의해 형성된다. 상기의 가열처리에 의해 Ir 박막의 미소부분을 핵으로서 그 주변의 Au박막의 응집이 진행하여 Au와 Ir로 이루는 복수의 섬형태의 금속돌기부가 형성되고 이들 섬형태 돌기부의 사이에는 응집된 분만 Au성분이 적어진 5nm보다도 얇은 평탄한 공통금속 박막전극부가 복수의 금속돌기부와 일체적으로 접촉되어 병존한 상태에서 재현성 좋게 형성된다. 즉, 상기의 가열처리에 의해 박막구조의 재구성을 발생시켜서 한층 박막화를 실현하는 것이 가능한 것이다.
- <53> 상기 가열처리에서의 돌기부의 형성에 의한 평탄금속박막부의 효과적인 박막화를 도모하기 위해서는 Ir막 및 Pt막을 각각 1nm정도로 또는 Au막을 1 ~ 3 정도로 미리 얇게 형성해 두는 것이 바람직하다.
- <54> 상기 기술한 가열처리의 결과를 해석한 결과 Ir은 Au를 응집하여 합금을 형성하는 성장핵으로서 움직이고 또한 Pt는 Ir과 Au의 접촉에 지장을 주는 것으로 합금화를 억제하기 때문에 Au의 응집을 저지 또는 제어하는 작용이 있는 것으로 사려된다.
- <55> 따라서, 상기의 가열처리방법은 Ir - Pt - Au의 조합에 한하지 않고 예를들면 가열처리시간 및 온도를 제어하는 것에 의해 Pt를 이용하지 않는 Ir - Au의 조합이어도 좋다. 또한 각각 상기 기술과 같이 동작을 하는 적어도 2 종류의 도전성부재를 이용하여도 좋다.
- <56> 즉, 본 발명에 의하면 하부전극의 상부에 상부전극이 설치되고 상기 상부전극의 상부에 형광체가 대향배치되고 상기 상부전극과 상기 형광체와의 사이의 공간이 감압분위기로 밀봉된 박막형 전자원을 이용한 표시장치를 상기 상부전극은 상기 하부전극의 상부에 금속박막을 설치한 후 당해 금속 박막의 금속을 부분적으로 응집시켜서 당해 금속박막에 돌기부를 형성하고 나머지 부분의 평탄부의 두께를 당해 금속박막의 초기의 두께보다 얇게 하는 가열처리를 실행하는 것에 의해 제조하는 것으로 간단하게 높은 공정률로 제조하는 것이 가능하다.

발명의 구성 및 작용

- <57> 이하, 본 발명의 실시예를 도 1, 3 ~ 14도를 이용하여 설명한다.
- <58> (실시예 1)
- <59> 우선 박막형전자원의 일례로서 도 3에 나타나는 금속 - 절연체 - 금속형의 MIM구조의 박막형전자원을 작성한다.
- <60> 처음에 절연성의 기판(10)상에 하부전극용의 금속박막(11)을 성막한다. 하부전극(11)용의 재료로서는 예를들면 Al 과 Al합금등을 이용한다. 여기에서는 Al - Nd합금을 이용하였다. 성막에는 예를들면 스퍼터링법을 이용한다. 성막후는 에칭에 의해 하부전극(11)을 형성한다.
- <61> 다음으로 하부전극(11)상의 전자방출부를 구성하는 부분을 포토레지스트(도 생략)로 마스크하고 화성액중에서 하부전극(11)의 전자방출부 이외의 부분을 선택적으로 두껍게 양극산화하고 Al2O3의 보호절연층(14)로 한다. 화성전압을 80V로 하면 약 109nm의 보호절연층(14)가 형성된다. 상기의 보호절연층(14)는 전자방출부를 제한 내지 규정하면서 하부전극(11)의 주변에 전계가 집중하는 것을 방지하는 역할을 가진다.
- <62> 상기의 양극산화에 의한 보호절연층(14)의 형성종료 후 레지스트막을 제거하여 하부 전극표면을 부분적으로 노출시키고 다시 하부전극(11)을 양극으로 하고 전자방출부를 양극산화한다. 화성전압을 6V로 하면 약 10nm의 Al2O3으로 이루는 절연층(12)가 형성된다.
- <63> 다음으로 버스전극배선용의 막을 성막한다. 여기에서는 텅스탐(W)막과 Al - Nd합금막과의 2층막을 이용하여 W막을 10nm, Al-Nd막을 200nm으로 하였다. 즉 전면에서 성막된 Al - Nd막 이어서 W막을 2단계의 에칭공정에 의해 선택적으로 가공하고 전자방출부측으로 이어지고 후 기술하는 상부전극(13)과 직접 접촉하는 W막의 버스전극배

선의 하층부(15)와 두껍게 형성되어 저저항의 급전부가 되는 Al - Nd막의 버스전극배선의 상층부(16)과의 2단 구조의 버스전극배선을 형성하였다. 상기의 구조에 의해 상부전극(13)을 매우 얇게 형성하여도 버스전극배선의 주위에서 단절단하는 것을 방지하는 것이 가능하다.

- <64> 이어서, 상부전극(13)용의 막을 스퍼터링법으로 성막한다. 여기에서는 Ir, Pt 및 Au를 순서로 적층한 다층막을 형성하고 각각의 막두께를 약 1nm, 1nm, 2 ~ 3 nm의 계 4 ~ 5nm으로 하였다. 상기의 막두께는 스퍼터링법으로 안정하게 성막할 수 있고 또한, 전자방출부내에서의 전압하강이 충분히 작은 저저항의 상부전극(13)을 형성할 수 있는 범위로 선택하였다. 여기에서 전자방출부의 면적은 50 μ m²각으로 하였다. 또한 동도에서는 상기의 상부전극을 구성하는 3층의 금속박막은 Al - Nd층(16)의 상부표면에도 피착되어(13') 버스전극배선의 저항의 감소에 기여하도록 되어 있다. 이어서, 상기로 하여 이루어진 박막형전자원의 구조체를 가지는 기관을 전기로내에 배치하고 가열한다. 상승온도는 약 10 $^{\circ}$ C/분으로 실행하고 최고온도로 10 ~ 25분 유지하고 하강온도도 10 $^{\circ}$ C/분으로 실행하였다. 최고온도는 여기에서는 410 $^{\circ}$ C로 하였다. 또한, 가열분위기는 대기중이다.
- <65> 상기의 가열처리에 의해 Ir, Pt 및 Au로 이루는 상부전극(13)이 재구성되어 도 1에 요부를 확대하여 도시하는 바와 같이 두꺼운(혹은 높이가 높은) 섬형태의 복수의 금속돌기부(17)과 당초의 4 ~ 5nm보다도 얇은 평탄한 공통금속박막부(18)이 일체적으로 결합되어 병존한 구조의 상부전극(23)을 형성하는 것이 가능하다. 즉, 이들의 복수의 금속돌기부(17)은 공통의 평탄한 금속박막부의 표면레벨에서 돌출하여 형성되어 있다.
- <66> 버스전극배선(15, 16)을 매개로 상부전극(23)과 하부전극(11)과의 사이에 10V의 전압(Vd)를 인가하면 도 1에 나타나는 바와 같이 고온전자(e)가 두꺼운 섬형태 돌기부(17)에서는 아니고 5nm보다도 얇은 평탄한 금속박막부(18)에서 그 상부의 진공중에 방출된다.
- <67> 도 4는 상기가열처리 후의 박막형전자원의 전자방출부 근방의 평면에서의 주사전자현미경상의 스케치이다. 절연층(12) 보호절연층(14) 버스전극배선의 하층(15) 버스전극배선의 상층(16)상의 전부의 표면영역에서 서브미크론 지름의 복수의 돌기부(17)(작은 둥근 백색의 도트부)가 시찰된다.
- <68> 도 5는 상기의 상부전극(23)의 구조를 원자간력 현미경에서 측정한 형태의 스케치(사시도)이다. 돌기부(17)은 평탄한 박막부(18)의 표면레벨에서 약 150nm에 도달하면 두꺼운(높이가 높은) 것이라는 것을 알 수 있다. 또한 복수의 돌기부(17)의 사이에는 특히 커다란 요철은 없고 일정한 두께의 평탄한 박막부(18)의 표면은 상기의 평탄한 박막부의 표면레벨에서의 돌기부가 차지하는 면적보다도 극히 큰 면적으로 펼쳐져 있다.
- <69> 도 6은 전자방출부의 돌기부(17)을 포함하는 영역의 단면투과 전자현미경상의 스케치이다. 상부전극(23)에 돌기부(17)과 박막부(18)이 병존하고 있는 상태를 알 수 있다. 또한, 동도에 있어서 돌기부(17)과 박막부(18)상에 보이는 구조물은 관찰용으로 형성한 바인더이고 본 발명에서 형성된 박막형전자원과 관계가 없는 것이다. 또한, 동도에서 하부전극(11)과 표시하고 있는 부분은 본래는 Al - Nd막이 존재해야하지만 관찰용 시료작성에 이용한 Ga이온 빔과의 반응에서 Al - Nd막이 용해하여 결손하고 있다.
- <70> 도 7의 (a) 및 (b)는 각각 상부전극(23)의 돌기부(17)과 박막부(18)의 조성을 분석하기 위하여 오제전자분광에 의한 미소영역의 표면분석 깊이방향에 분석을 실행한 결과이다. 도 7(a, b)안의 특성과형(24, 25, 26)은 각각 돌기부(17)과 박막부(18)의 외부노출표면부 상기를 1분 스퍼터링할 때의 내부 5분 스퍼터링할 때의 내부에 있어서의 특성을 나타내고 있다.
- <71> 도 7 (a)에서 판별하는 바와 같이 돌기부(17)의 표면의 스펙트럼에서는 Ir과 Au의 강한 피크가 관측된다. 이온 에칭에 의한 깊이 방향으로 분석을 실행하면 Au만이 관측된다. 즉, 돌기부(17)은 Ir을 성장핵으로 Au가 응집하고 있는 것이 판별된다.
- <72> 한편, 도 7의 (b)에서 판별하는 바와 같이 박막부(18) 표면에서는 Ir, Pt, Au의 전부의 스펙트럼이 거의 같은 강도로 관측되고 이온 에칭에 의한 깊이방향에 분석을 실행하면 우선 Au의 피크가 소실하고 이어서 Pt, Ir의 피크도 소실한다. 따라서 박막부(18)에서는 Ir - Pt - Au의 다층구조 내지 혼합된 구조는 유지되어 있는 것으로 Au강도가 Ir과 Pt와 같은 정도로 작기 때문에 돌기부(17)로의 Au의 응집에 의해 박막부(18)의 Au의 조성비가 저하하고 있는 것을 알 수 있다.
- <73> 도 8은 가열처리전과 후의 상부전극(13), (23)의 X선광전자 스펙트럼을 비교한 특성도이다. X선을 광전자분광 장치의 조사X선 지름은 약3mm정도로 크기때문에 스펙트럼돌기부(17) 박막부(18)을 같이 포함하는 상부전극(13), (23)의 평균적인 조성과 구조를 반영하고 있다.
- <74> 우선 가열처리전(점선)에 비하여 가열처리후 (실선)의 Au의 강도는 반감하고 있다. 상기에 대해서 Pt, Ir은 같

은 정도이거나 강도가 증대하고 있다. 이것은 상부전극(23)의 면적의 대부분을 차지하는 박막부(18)의 Au막두께가 감소하였기 때문에 Au강도가 감소한 것에 대하여 하층의 Ir과 중간층의 Pt는 상층의 Au막두께가 얇게 된 분 광전자가 검출되기 쉬워진 결과이다.

- <75> 또한 도 9에 상부전극(13), (23)의 아래에 위치하는 절연층(12)안의 Al에 기인하는 광전자스펙트럼의 가열처리전(점선)과 후(실선)의 비교를 나타낸다. 가열처리후는 Al강도가 증대하고 있다. 상기의 이유는 상기와 같은 형태로 상부전극(23)의 막두께가 박막부(18)에서 얇아지고 광전자가 검출되기 쉬워지기 때문이다.
- <76> 이상의 결과로부터 가열처리 후의 상부전극(23)에서는 금속박막의 금속을 부분적으로 응집시켜서 각 장소에 섬 형태의 돌기부(17)을 형성하고 나머지 부분의 평탄부의 두께를 가열처리전의 초기의 금속박막의 두께에서 얇아진 평탄한 금속박막부(18)이 펼쳐져 있는 것을 알수 있다.
- <77> 또한, 분석결과에도 도시되어 있는 바와 같이 본 발명은 상부 전극(13)의 가열처리에 의한 응집등의 재구성을 이용하고 있기 때문에 성장핵이 되는 재료 및 응집하는 재료의 적어도 2종 이상의 원소로 구성되고 또한 돌기부(17)과 박막부(18)과의 조성이 다르게 된다. 이것은 종래의 박막형성법에서 작성되는 상부전극(13)과는 명확하게 다른 점이다.
- <78> 본 실시예에서는 Ir과 Pt Au의 3종류의 금속을 이용하였지만 상기의 상부전극(23)의 구조는 Ir과 Au의 2종류만을 이용하여도 작성하는 것이 가능하다. Pt층은 Ir과 Au의 접촉을 저지하기 위하여 오히려 돌기부(17)의 형성을 저지 내지 제어하는 효과가 있다.
- <79> 또한, 섬형태의 돌기부의 형태와 사이즈는 가열처리온도 가열시간 Pt층박막등을 제어하는 것에 의해 다양한 것을 형성가능하지만 박막부(18)의 적당한 박막화를 실행하기에는 도 4, 5에 도시하고 있는 바와 같이 돌기부의 입경(단면의 직경)은 1 μ m이하로 두께(즉, 높이)가 100nm 이상이 바람직하다. 즉, 돌기부의 입경(단면의 직경)이 너무크면 박막부(18)이 너무 얇아지고 전도불량이 일어나기 쉬워지게 되고 두께(즉, 평탄한 금속박막부의 표면에서의 높이)가 100nm보다도 작으면 박막화가 불충분해진다. 또한, 상부전극부(23)에 있어서의 복수의 금속돌기부가 평탄박막표면 레벨로 차지하는 단면적의 총계는 그들의 주위의 평탄한 공통금속 박막부가 차지하는 면적보다도 작게하는 것이 바람직하다.
- <80> 다음으로 이와 같이 금속돌기부(17)과 그 주위의 평탄한 얇은 금속박막(18) 으로 구성된 상부전극(23)을 이용한 박막형전자원의 성능 특히 전자방출효율을 설명한다.
- <81> 도 10(a)에 가열처리전후의 박막형전자원의 전극간에 흐르는 다이오드전류밀도(Jd), 방출전류밀도(Je), 전자방출효율(Je)/(Jd)을 비교한 결과를 나타낸다. 가열처리전의 전자방출효율은 인가전압(9V)로 약 $2 \times 10(\exp - 3)$ 즉 0.2% 이지만 가열처리후는 약 $2 \times 10(\exp - 2)$ 즉, 2%와 10배 향상하고 있다.
- <82> 상기는 도 1에 도시하는 바와 같이 본 발명의 상부전극(23)을 이용하면 전자방출부의 대부분을 차지하는 박막부(18)의 상부전극이 얇게(실제로는 5nm보다도 얇다)되어 있기 때문에 고온전자의 산란이 저지되어 전자가 방출되기 쉬워진 효과가 있다.
- <83> 한편 도 10(a)에 도시하는 바와 같이 다이오드 전류밀도(Jd)는 터널전류 한계치전압에 약간의 시프트가 있지만 동작전압영역(도 10의 8 ~ 9V)에서는 거의 같다. 즉, 본 발명의 상부전극(23)을 이용한 박막형전자원에서는 전극저항에 의한 전압하강은 적당하게 작고 박막형전자원에는 구동하기에 충분한 구동전압(Vd)가 인가되어 있다. 이것은, 본 발명의 박막화의 수법이 가열처리에 의한 박막재구성에 의해 씨트저항이 낮기 때문이라고 사려된다. 즉, 본 실시예의 상부전극(23)의 시트저항은 약 4k Ω /□이하이고 50 μ m각내의 전자방출부에 발행하는 전압하강은 0.1V이하로 예측할수 있다.
- <84> 또한, 도 10(b)는 상기 실시예 1과는 A1203으로 이루는 절연층(12)의 박막의 다른 박막형전자원의 가열처리전후의 전자방출효율을 비교한 것이다. 상기의 예에서는 양극산화의 화성전압을 8V로하고 절연층(12)의 막두께를 약13nm으로 하였다. 그외의 제조프로세스 및 조건은 상기 실시예 1과 같다.
- <85> 상기의 도 10(b)에서도 판단되듯이 가열처리전의 전자방출효율은 인가전압 10V로 약 $5 \times 10(\exp - 3)$ 즉, 0.5%이지만 가열처리후는 약 $3.6 \times 10(\exp - 2)$ 즉, 3.6%와 약7배이상 향상하고 매우높은 전자방출효율이 가능하다.
- <86> 또한 본 발명의 가열처리에 의한 상부전극(23)의 제조방법은 표시장치제조시의가열처리 즉 박막전자원기관과 형광면기관을 맞붙힌 소결유리 밀봉부착공정과 배기공정의 가열처리에 조립하는 것이 가능하다. 본 실시예에서 이용한 가열처리의 승온속도 보지온도 강온속도 분위기등은 표시장치의 전자원기관과 형광면기관을 맞붙힐 때의 소결유리 밀봉부착의 가열처리공정과 같게하는 것이 가능하고 상기로 진행하는 것에 의해 본 발명의 상부전극

(23)을 가지는 표시장치를 제조공정을 증가하지 않고 제조할 수 있는 것이 되어 매우 유리하다. 단 본 발명의 가열처리하는 표시장치제조공정의 가열처리와는 별도로 실행하여도 관계없다.

- <87> 또한, 본 실시예는 금속-절연체-금속형(MIM형)의 박막형전자원을 예로 설명하였지만 하부전극상에 절연층과 반도체층등의 전자가속층 혹은 고온전자가속층을 매개고 설치된 상부박막전극을 이용하는 외의 박막형전자원을 이용한 표시장치에도 당연히 적용가능하다.
- <88> 예를들면 MOS형(metal-oxide-semiconductor), MIS형(metal-insulator semiconductor), HEED형(high-efficiency-electro-emission device, Jpn. J.Appl. Phys., vol 36, pL939등에 기재되어 있다), EL형(Electroluminescence, 응용물리 제 63권 제 6호 592항등에 기재되어 있다) 플라스실리콘등의 다공질반도체형(응용물리 제 66권 제 5호 437항등에 기재되어 있다)를 전자원으로서 이용한 표시장치등을 들수 있다.
- <89> 이하에 몇개인가의 종래예와 비교하여 본 발명의 특징을 판별하기 쉽게 설명한다.
- <90> 일본국특개평2-121227과 일본국특개평2-172127에 개시되어 있는 상부전극은 전자방출부에 얇은 부분과 두꺼운 부분을 가지고 있다. 그러나 5nm보다도 얇은 평탄한 금속박막을 통하여 전자를 방출하지 않는 점, 상부전극이 단일의 원소로 구성되어 있는 점 전자방출부상의 두꺼운 부분이 전위를 공급하기위하여 설치되어 있는 점등 각종의 점에서 본 발명의 각 형태와는 명확하게 다르다. 즉 본 발명에 의한 각종의 형태에서는 5nm보다도 얇은 평탄한 금속박막을 통하여 전자가 방출되는 것, 상부전극의 가열에 의한 재구성을 이용하기 위하여 적어도 2종류 이상의 원소로 구성되어 있는 것 혹은 두꺼운 돌기부는 전위를 공급하는 급전용이 아니라 오히려 전자방출부상의 돌기부는 급전선이 되는 버스전극배선과는 별개로 만들어지고 구조적으로 직접 접하고 있지 않는 것등의 여러 종류의 이유로 다르다.
- <91> 또한, 일본국특개평3-55738은 상부전극의 개구부에서 전자방출시키고 있는 것에 대하여 본 발명은 상부전극의 박막부에서 전자방출시키고 있는 것이기 때문에 상부전극의 구조가 달라진다.
- <92> 또한, 일본국특개평9-180794에서는 상부전극이 돌기부와 박막부를 가지지만 5nm보다도 얇은 평탄한 금속박막을 통하여 전자를 방출하지 않는 점 혹은 높이20nm이하의 돌기부에 전계를 집중시켜 돌기부에서 전자방출을 구하고 있는 등의 각종의 점에서 본 발명의 각종형태와는 명확하게 다르게 되어 있다. 또한 상기의 종래예에는 돌기부 박막부가 각각 단일원소로 구성되어 있는 점에서도 다르다.
- <93> 또한, 본 발명의 가열처리를 이용한 제조방법은 이상 4개의 종래예에 개시되어 있지 않다.
- <94> (실시예 2)
- <95> 이하에 본 발명의 가열처리를 표시장치의 판별제조공정에 조립한 표시장치의 제조방법의 실시예를 도 11 ~ 15를 이용하여 설명한다.
- <96> 우선 도 11에 도시하는 바와 같이 절연기판(10)상에 상부전극(13)으로서 Ir, Pt 및 Au의 3층을 적층한 박막형전자원 매트릭스를 작성한다. 실제로는 표시도트수에 대응한 수의 박막형전자원 매트릭스를 형성하지만 설명을 간략화 하기위하여 도 11의 (a)에는 3개의 하부전극(11)과 상부전극으로의 전위공급용의 3개의 버스전극배선(16)으로 이루는 (3 × 3)도트의 박막형전자원매트릭스의 평면도를 (b)(c)에는 (a)에 있어서의 A-A', B-B'라인에서의 단면도를 나타내고 있다. 또한 상기한 2단 구조의 버스전극배선(15, 16)은 도면의 간략화를 위해 단층으로 도시하고 있다.
- <97> 한편, 표시측기판은 도 12에 도시하는 바와 같이 제작된다. 도 12의 (a)는 그 평면도를 (b),(c)는 (a)에 있어서의 A-A', B-B'라인에서의 단면도를 나타냈다.
- <98> 도 12(a)에 나타나듯이 면판(110)에는 투광성의 유리등을 이용한다. 우선 표시장치의 콘트라스트를 올리는 목적으로 블랙매트릭스(120)을 형성한다. 블랙매트릭스(120)은 PVA(폴리 비닐 알콜)과 중크롬산 암모니움을 혼합한 용액을 면판(110)에 도포하고 블랙매트릭스(120)을 형성한 부분 이외에 자외선을 조사하여 감광시킨 후 미감광부분을 제거하고 그곳에 흑연분말을 녹인 용액을 도포하고 PVA를 리프트프하는 것에 의해 형성한다.
- <99> 다음으로 적색형광체(111)을 형성한다. 형광체입자에 PVA(폴리 비닐 알콜)과 중크롬산 암모니움을 혼합한 수용액을 단면(110)상에 도포한 후 형광체를 형성하는 부분에 자외선을 조사하여 감광시킨 후 미감광부분을 흐르는 물로 제거한다. 이와 같이 하여 적색형광체(111)을 패턴화 한다. 그 패턴은 도 12(a)에 도시한 바와 같은 스트라이프형으로 형성한다. 본 스트라이프패턴은 일레이며 그 이외에도 디스플레이의 설계에 따라서 예를들면 근접하는 4도트로 일화소를 구성시킨 「RGBG」 패턴에서도 물론 상관없다. 형광체막두께는 1.4 ~ 2층 정도가 되

도록 한다. 상기와 같이 하여 녹색형광체(112)와 청색형광체(113)을 형성한다. 형광체로서는 예를들면 적색에 Y2O2S : EU(P22 - R) : 녹색에 ZnS : Cu, Al (P22 - G), 청색에 ZnS ; Ag (P22 - B)를 이용하면 좋다.

- <100> 이어서, 도 12(b)에 도시하듯이 니트로셀로즈등의 막에서 필름화한 후 면판(110) 전체에 A1을 막두께 75nm정도 증착하여 메탈백(114)로 한다. 상기의 메탈백(114)가 상기한 박막전자원에서의 전자방출에 대한 가속전극으로서 움직인다. 그 후 면판(110)을 대기중 400℃정도로 가열하여 필름화막과 PVA등의 유기물을 가열분해한다. 이와 같이 하여 표시측기판이 완성한다.
- <101> 이와 같이 도 12에서 제작한 표시측기판(110)과 도 11에서 제작한 기판(10)을 상호 대향시켜 도 13에 도시하는 바와 같이 스페이서(30)을 사이에 두고 주위의 프레임(116)을 소결유리(115)를 이용하여 밀봉부착한다. 밀봉부착을 위하여 가열처리는 승온을 약 10℃/분으로 실행하고 최고온도로 10분 ~ 25분 보지하고 강온을 약 10℃/분으로 실행하였다. 최고온도는 410℃이다. 상기의 가열처리에 의해 표시측기판(110)과 전자원기판(10)이 밀봉부착되면 동시에 상기 기술한 바와 같이 박막형전자원의 상부전극(13)이 재 구성되고 두꺼운 섬형태의 돌기부(17)과 평탄한 얇은 박막부(18)이 일체적으로 접속되어 병존한 구조를 가지는 본 발명의 상부전극(23)이 형성된다.
- <102> 또한 도 13의 (a, b)는 완성된 표시관넬부에 있어서의 각각 도 11에서의 A-A'라인, B-B'라인으로 요부단면도를 나타내고 있다.
- <103> 여기에서는 R(적), G(녹), B(청)으로 발광하는 도트별 즉 하부전극(11)의 3열씩으로 스페이서의 기둥을 두고 있지만 기계강도가 견디는 범위에서 기둥의 수(밀도)를 감하여도 관계없다. 스페이서(30)의 제작은 두께 1 ~ 3mm정도의 유리와 세라믹등의 절연판에 예를들면 샌드브래스트법등으로 소망의 형태의 구멍을 가공한다. 혹은 판형태 또는 기둥형의 유리제 또는 세라믹제의 기둥을 나열하여 배치하여 스페이서(30)으로 하여도 좋다.
- <104> 밀봉부착한 관넬은 10(exp - 7) Torr정도 혹은 그 이하의 감압분위기(이하 진공으로 칭한다)에 배기하고 봉한다. 그 후 게터를 활성화하고 진공도를 유지한다. 예를들면 Ba를 주성분으로 하는 게터재의 경우 고주파유도 가열에 의해 게터막을 형성가능하다. 이와 같이하여 도 13과 같은 박막전자원을 이용한 표시관넬이 완성한다.
- <105> 이와 같이 본 실시예에서는 면판(110)과 기판(10)간의 거리는 1 ~ 3mm정도로 길기 때문에 메탈백(114)에 인가하는 가속전압을 3 ~ 6KV와 고전압으로 하는 것이 가능하다.
- <106> 따라서, 상기 기술하는 바와 같이 형광체에는 음극선관(CRT)용의 형광체를 사용하는 것이 가능하고 휘도등의 표시특성을 한층 향상시키는 것이 가능하다.
- <107> 도 14는 이와 같이 하여 제작한 표시장치관넬의 구동회로로의 결합선 도이다. 하부전극(11)은 하부전극구동회로(40)으로의 결합선으로 하고 버스전극(15, 16)은 상부전극구동회로(50)에 결선한다. m 번째의 하부전극(11)의 Km과 n번째의 버스전극(15, 16)의 Cn의 교점을(m, n)으로 표시하기로 한다. 메탈백(114)에는 3 ~ 6KV정도의 가속전압(60)이 항상 인가된다.
- <108> 도 15는 도 14에 있어서의 각 구동회로의 발생전압의 파형의 일례를 나타내는 것이다. 시각은 t0에서는 어느 것의 전극도 전압제로이기 때문에 전자는 방출되지 않고 따라서 형광체는 발광하지 않는다.
- <109> 시각 t1에 있어서 하부전극(11)의 K1에는 -V1 이 되는 전압을 버스전극(15, 16)의 (C1), (C2)에는 +V2가 되는 전압을 인가한다. 교점(1, 1), (1, 2)의 하부전극(11)- 상부전극(13)간에는 (V1 + V2)가 되는 전압이 인가되기 때문에 (V1 + V2)를 전자방출개시 전압이상으로 설정하여 두면 상기의 2개의 교점의 박막형전자원에서는 전자가 진공중에 방출된다. 방출된 전자는 메탈백(114)에 의해 인가된 가속전압(60)에 의해 가속된 후 형광체로 입사하고 발광시킨다.
- <110> 시각 t2에 있어서 하부전극(11)의 K2 -V1이 되는 전압을 인가하고 버스전극(15)(16)의 C1에 V2가 되는 전압을 인가하면 상기와 같이 교점(2, 1)이 점화한다. 이와 같이하여 버스전극(15)(16)에 인가하는 신호를 바꾸는 것에 의해 소망의 화상 또는 정보를 표시하는 것이 가능하다.
- <111> 또한 버스전극(15, 16)으로의 인가전압(V1)의 크기를 적절하게 바꾸는 것에 의해 단계 있는 화상을 표시하는 것이 가능하다. 절연막(12)안에 축적되는 전하를 개방하기 위하여 반전전압의 인가는 여기에서는 하부전극(11) 전부에 -V1을 인가한 후 전 하부전극(11)에 V3, 전 상부전극(13)에 -V3를 인가하는 것에 의해 실행하였다. V3 + V3'가 V1 + V2와 같은 정도가 되도록 한다.
- <112> 또한 앞의 도 11 및 도 14등에서는 이해하기 쉽게 하기 위하여 버스전극배선(15, 16)의 폭부분안에 전자방출부

즉 상부전극(23)을 설치한 표시장치의 예를 설명하였지만 상기기술한 바와 같이 전자방출부를 구성하는 매우 얇은(5nm 보다도 얇다) 평탄한 박막전극막(18)과는 전혀 별개로 두꺼운 버스배선전극(16)을 설치하는 것이 가능하기 때문에 예를들면 도 16에 표시관넬 요부를 도시하는 바와 같은 구성으로 하는 것에 의해 고정밀 미세표시에 대응한 표시장치를 구하는 것이 가능하다. 상기의 표시장치의 구성 및 그 제조방법 자체에 대해서는 본 발명자등이 일본국특개평11-230898등에서 제안하고 있기 때문에 참조를 권한다.

- <113> 도 16의 (a)는 도 14와 같은 형태로 표시관넬 요부평면도와 구동신호공급회로를 그린것으로 (b) 및 (c)는 그 A-A' 및 B-B'라인에서의 소자요부의 단면도이다.
- <114> 등도에서 나타나듯이 복수의 두꺼운 버스전극배선(16)이 절연기관(10)상에 직선형으로 배열배치되고 복수의 하부전극(11)에서 이들 버스전극배선(16)에 직교하여 배열배치되고 얇은 절연막(12) 및 얇은 상부전극(23)에서 구성되는 전자방출부가 하부전극(11)의 상부에서 상기 버스전극(16)이 설치되어 있지 않는 부분에(즉, 근접하는 버스전극배선(16)의 사이에) 편측의 버스배선의 (15)와 접속되어 설치되고 즉 상기 기술한 얇은 하층의 전극배선(15)에서 가진 이들 각 상부전극(23)과 버스전극배선(16)이 전기적으로 접속되어 있도록 되어 있다.
- <115> 이와 같이 하면 표시도트를 구성하는 실시예 1에서 설명한 매우 얇은 평탄한 금속박막(18)과 금속돌기부(17)에서 구성된 전자방출부(23)을 다수개 종횡으로 고밀도로 배치하는 것이 용이가능하기 때문에 예를들면 대각으로 30인치 이상의 커다란 평탄화면을 고정밀 미세로 표시하는 것이 가능해진다.
- <116> 그리고 또한, 배열진행하는 하부전극(11)이 존재하지 않는 기관상부 및 배열진행하는 버스전극배선(16)의 상부에 즉 전자방출부 이외의 부분을 덮도록 대향하는 표시층기관상에 상기 기술한 블랙매트릭스(도 12에서의 (120))을 배치하는 것에 의해(도 16에서는 생략) 화면의 얼룩등을 효과적으로 방지하는 것이 가능하다.
- <117> 또한, 이상의 실시예에서는 금속-절연체-금속형(MIM형)의 박막형전자원을 이용한 표시장치를 예로 설명하였지만 다른 박막형 전자원을 이용한 표시장치에도 적용가능하다. 예를들면 MOS형(metal- oxide-semiconductor 형), MIS형(metal- insulator-semiconductor 형), HEED형(high-efficiency-electro-emission device형), EL형(Electroluminescence형) 플라스실리콘(다공질반도체층) 형등의 각종의 박막형전자원은 이용한 표시장치에도 적용가능하다.

발명의 효과

- <118> 본 발명에 의하면 하부전극의 상부에 상부전극이 설치되고 상기 상부전극의 상부에 형광체가 대향배치되고 상기 상부전극과 상기 형광체와의 사이의 공간이 감압분위기로 밀봉된 박막형전자원을 이용한 표시장치를 상기 상부전극은 상기 하부전극의 상부에 금속박막을 설치한 후 당해 금속박막의 금속을 부분적으로 응집시켜서 당해 금속박막에 돌기부를 형성하고 나머지 부분의 평탄부의 두께를 당해 금속박막의 초기의 두께보다 얇게하는 가열처리를 실행하는 것에 의해 제조하는 것으로 간단하게 높은 공정률로 제조하는 것이 가능하며, 본 발명의 박막형 전자원을 이용한 표시장치는 매우 얇은 금속박막전극을 통하여 높은 방출효율로 진공중에 방출시킨 전자를 형광체에 조사하는 것이 가능하기 때문에 고휘도 저소비전력 내지 대형관넬의 표시장치의 실현이 가능해진다.

도면의 간단한 설명

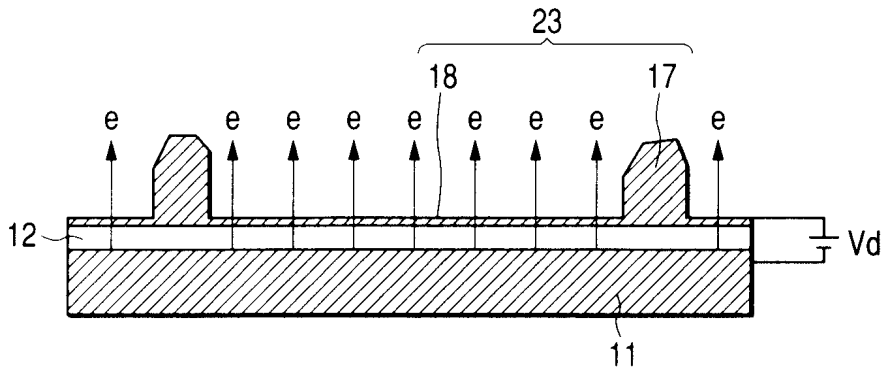
- <1> 도 1 은 본 발명의 박막형전자원의 상부전극의 구조를 나타내는 요부단면도이다.
- <2> 도 2 는 박막형전자원의 동작원리를 나타내는 도이다.
- <3> 도 3 은 본 발명의 박막형전자원의 대표적인 구조를 나타내는 요부단면도이다.
- <4> 도 4 는 본 발명의 박막형전자원의 상부 전극부의 주사전자 현미경상의 스케치이다.
- <5> 도 5 는 본 발명의 박막형전자원의 상부 전극부의 원자간력 현미경상의 스케치이다.
- <6> 도 6 은 본 발명의 박막형전자원의 상부 전극부의 단면투과 전자현미경상의 스케치이다.
- <7> 도 7 은 본 발명의 박막형전자원의 상부 전극부의 오제전자분광 특성도이다.
- <8> 도 8 은 본 발명의 박막형전자원의 상부 전극의 X선 광전자스펙트럼 특성도이다.
- <9> 도 9 는 본 발명의 박막형전자원의 상부 전극부의 광전자스펙트럼 특성도이다.
- <10> 도 10 은 본 발명의 효과를 설명하기 위한 특성도이다.

- <11> 도 11 은 본 발명의 표시장치의 요부평면도 및 단면도이다.
- <12> 도 12 는 본 발명의 표시장치의 다른 요부평면도 및 단면도이다.
- <13> 도 13 은 본 발명의 표시장치의 단면도이다.
- <14> 도 14 는 본 발명을 이용한 표시장치 요부평면도 및 그 구동 회로결선도이다.
- <15> 도 15 는 본 발명의 표시장치에서의 구동전압과형을 나타낸 도이다.
- <16> 도 16 은 본 발명을 이용한 다른 표시장치 요부평면도 및 그 구동회로 결선도이다.
- <17> <주요부분에 대한 도면부호의 설명>

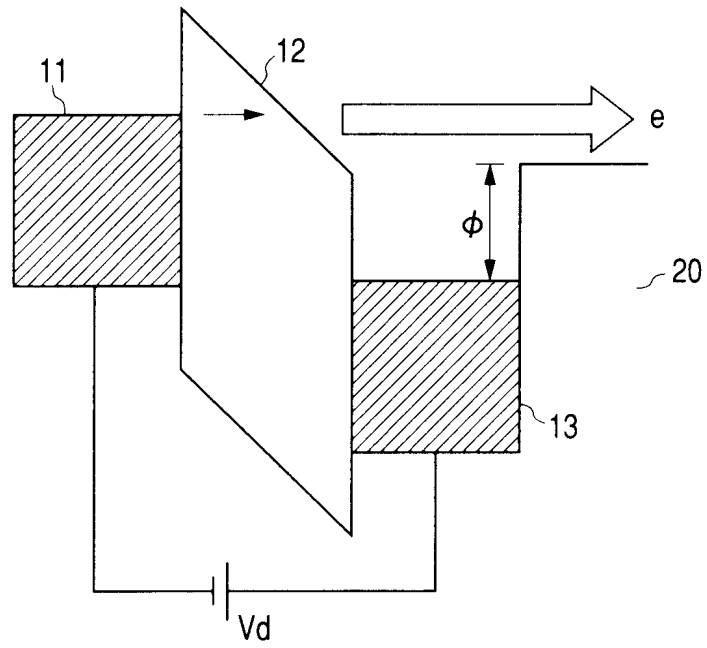
- | | |
|------------------------|-----------------|
| <18> 10 : 기판 | 11 : 하부전극 |
| <19> 12 : 절연층 | 13, 23 : 상부전극 |
| <20> 14 : 보호절연층 | 15 : 버스전극배선의 하층 |
| <21> 16 : 버스전극배선의 상층 | 17 : 상부전극 돌기부 |
| <22> 18 : 평탄한 상부전극 박막부 | 20 : 진공 |
| <23> 30 : 스페이서 | 40 : 하부전극 구동회로 |
| <24> 50 : 상부전극 구동회로 | 60 : 가속전압 |
| <25> 110 : 면판 | 111 : 적색형광체 |
| <26> 112 : 녹색형광체 | 113 : 청색형광체 |
| <27> 114 : 메탈 백 | |

도면

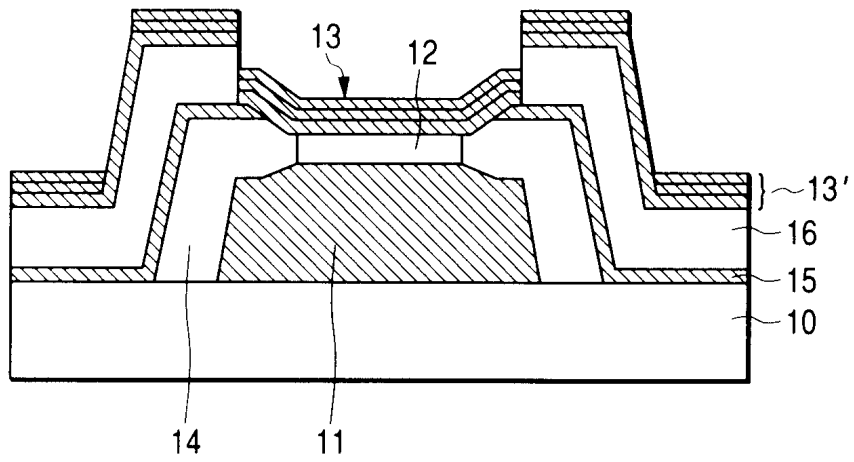
도면1



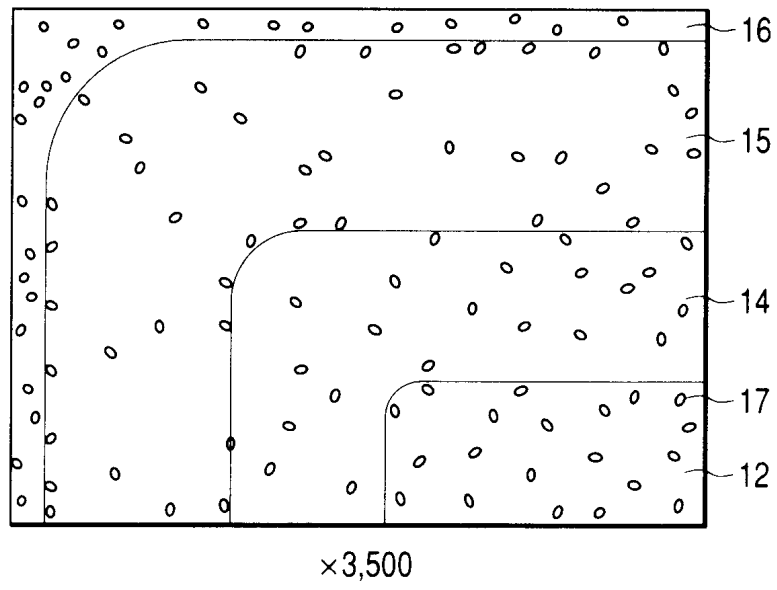
도면2



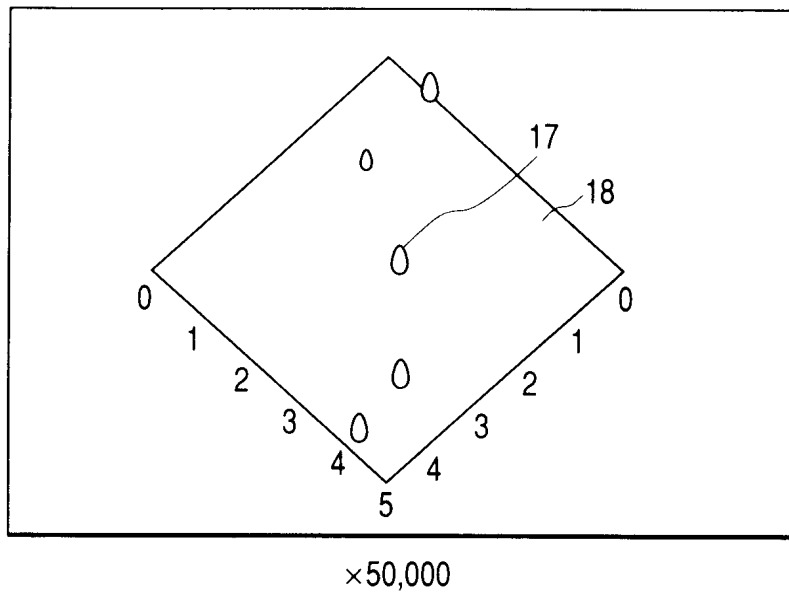
도면3



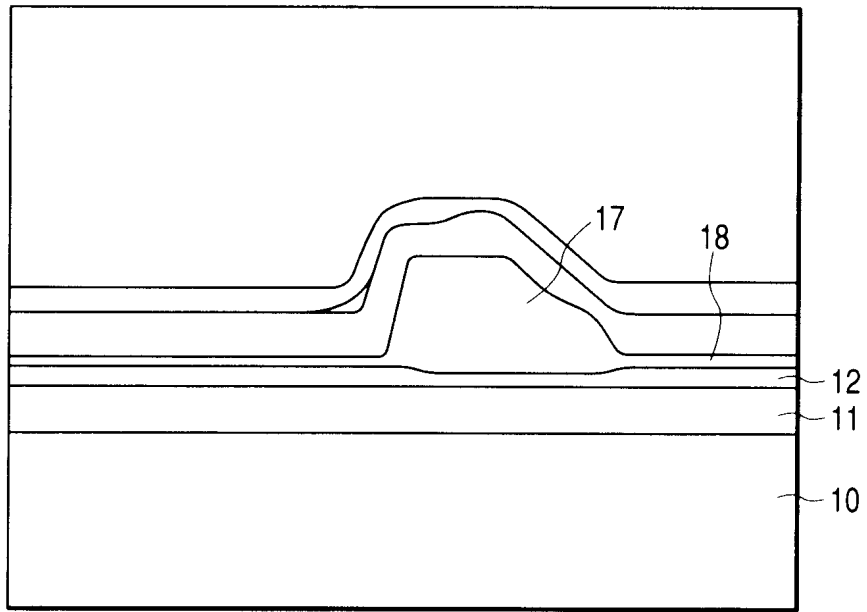
도면4



도면5

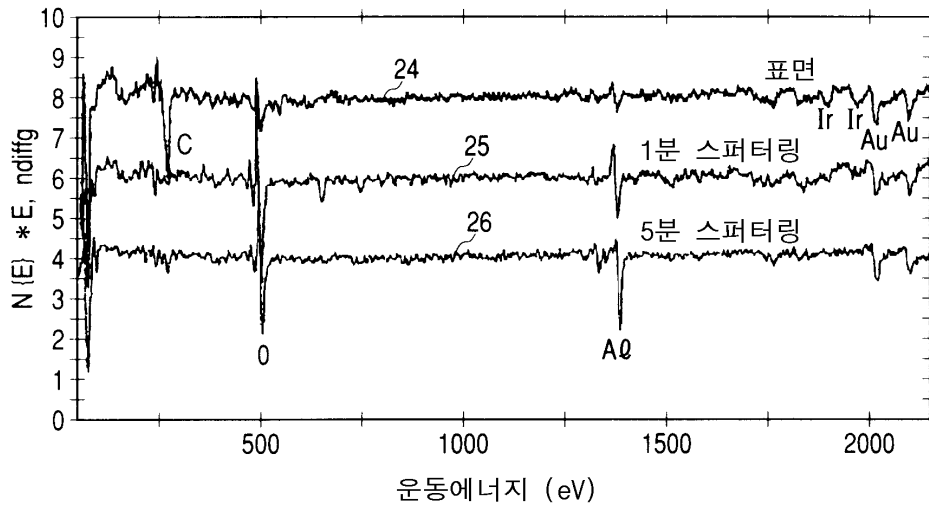


도면6

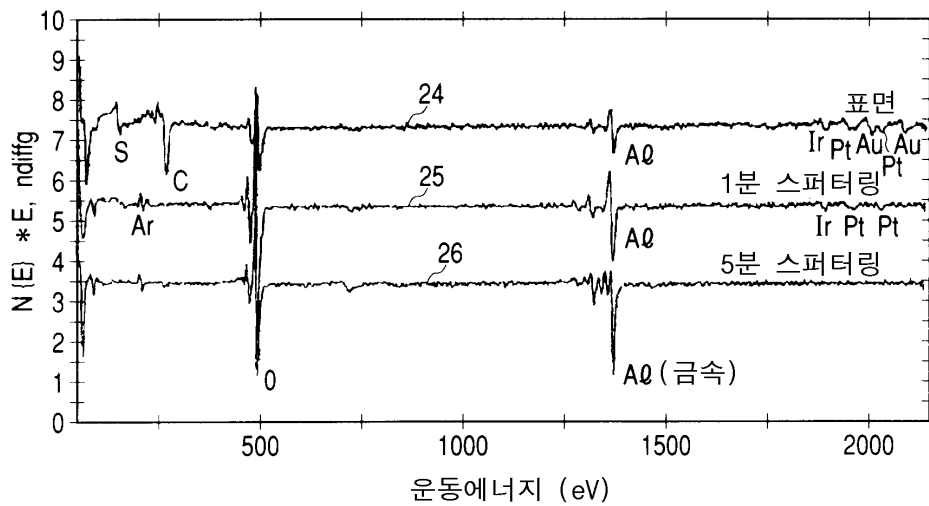


도면7

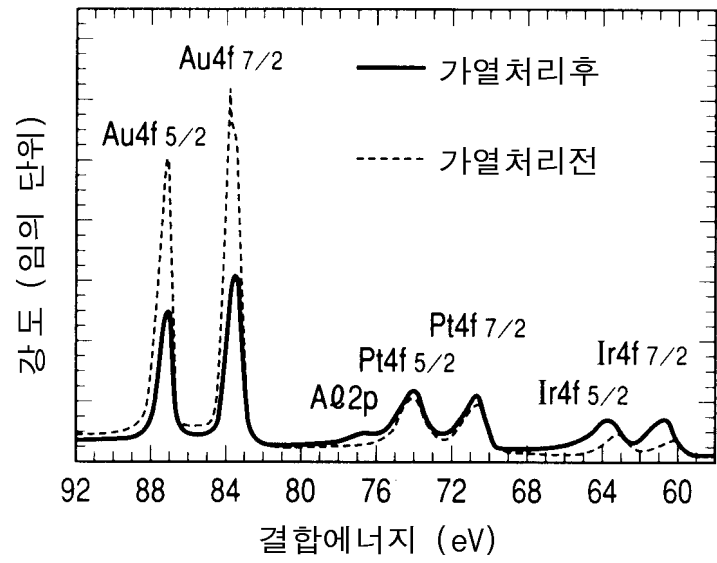
(A)



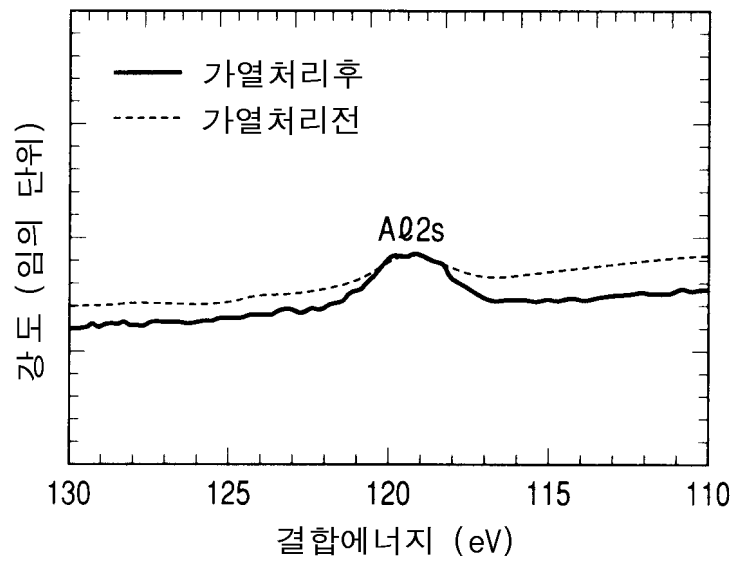
(B)



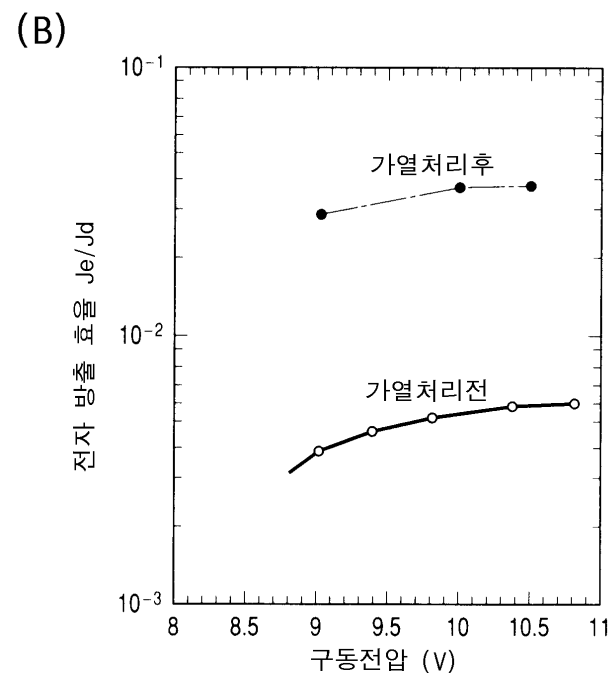
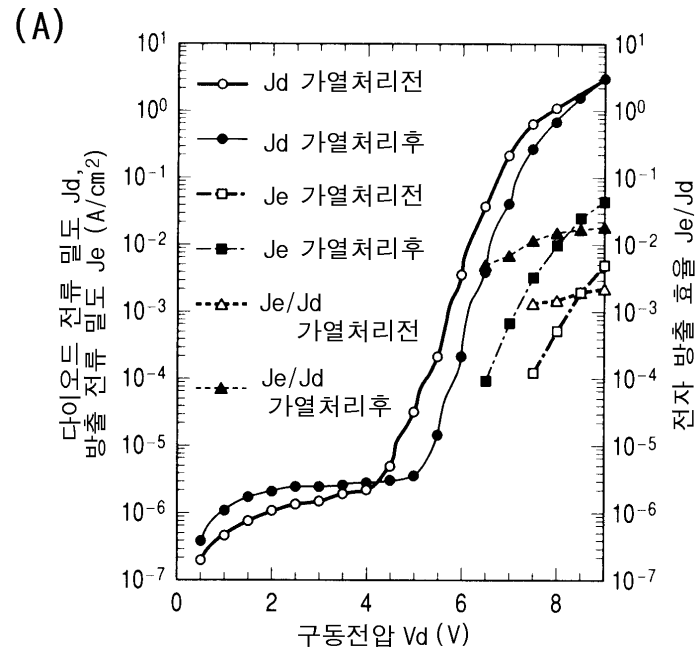
도면8



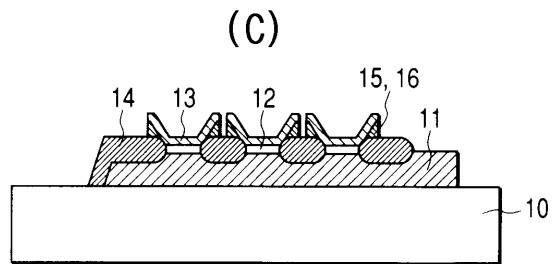
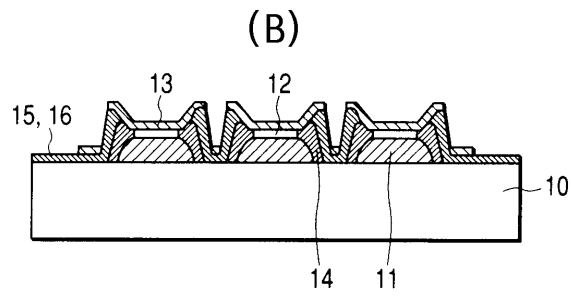
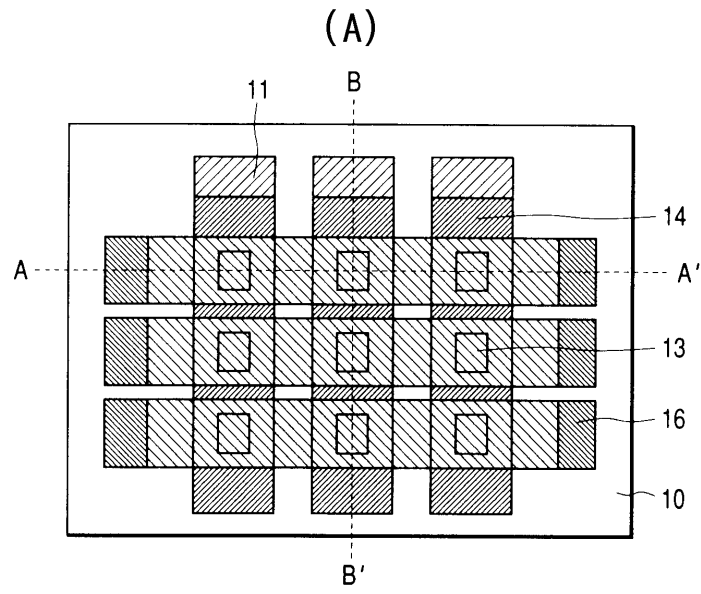
도면9



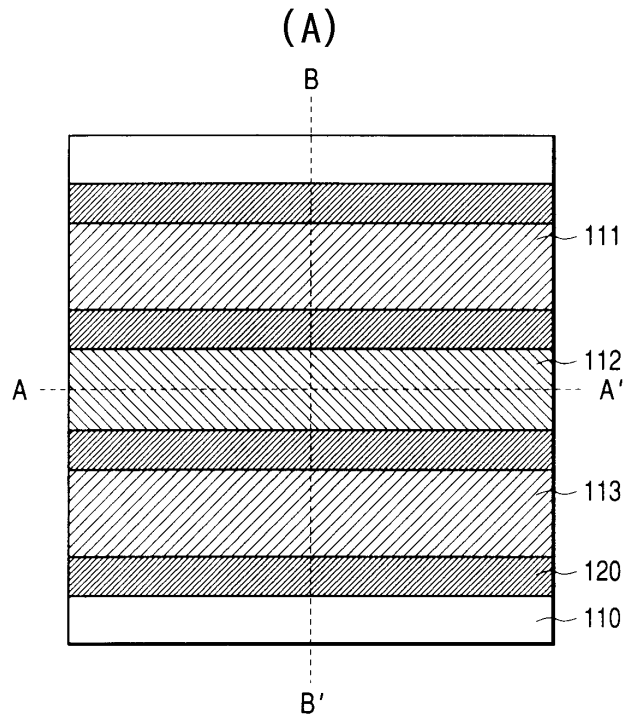
도면10



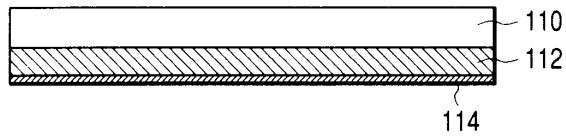
도면11



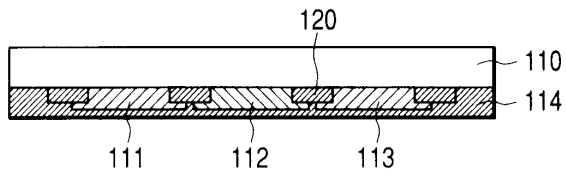
도면12



(B)

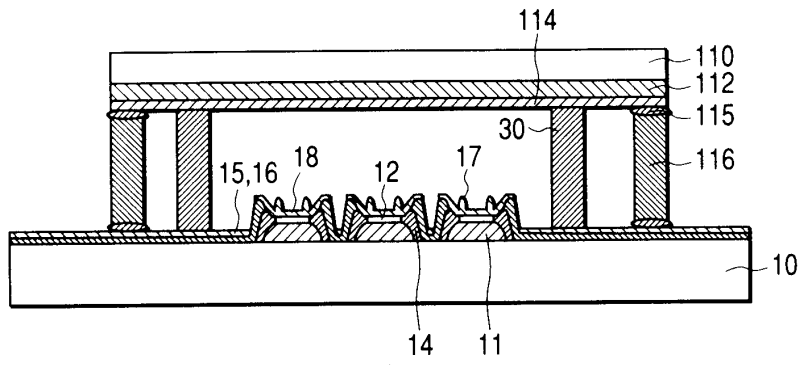


(C)

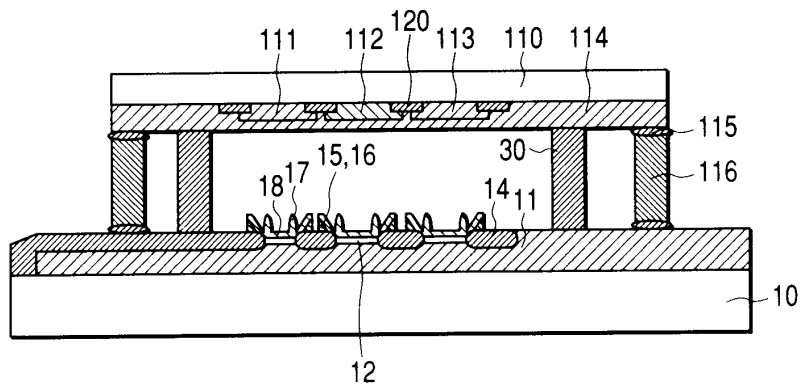


도면13

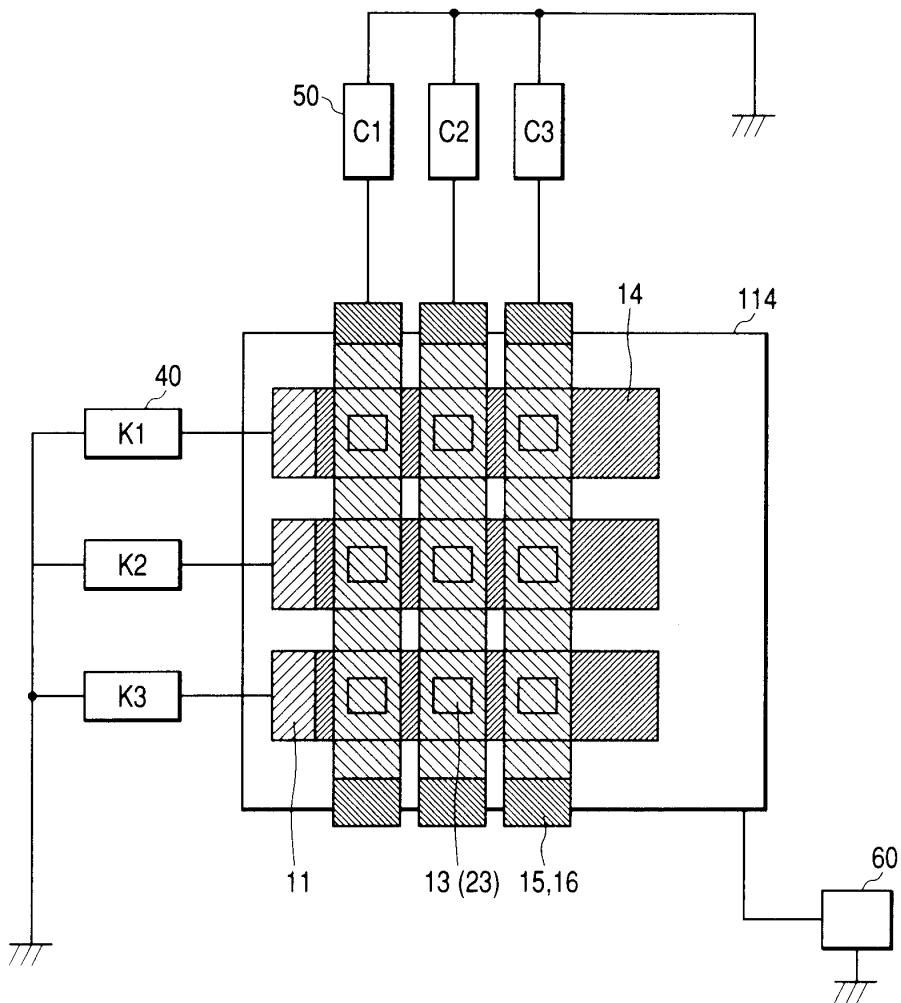
(A)



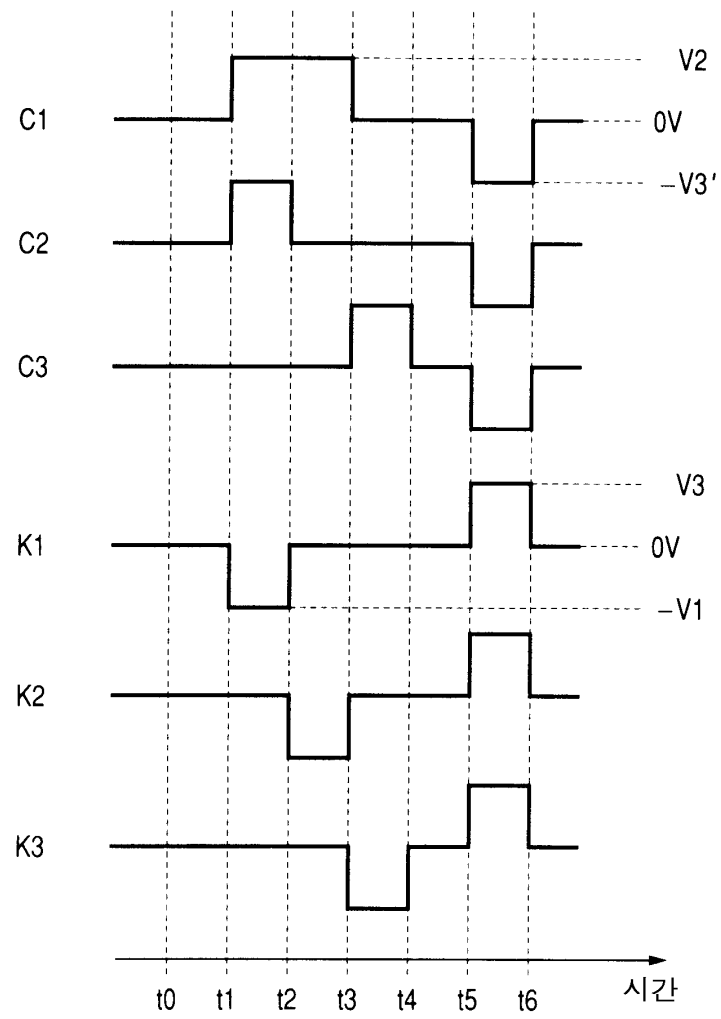
(B)



도면14



도면15



도면16

