

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-148453

(P2017-148453A)

(43) 公開日 平成29年8月31日(2017.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 8/14 (2006.01)	A 6 1 B 8/14	4 C 6 0 1
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/04	5 F 0 3 8
H 0 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 16 O L (全 15 頁)

(21) 出願番号 特願2016-36497 (P2016-36497)
 (22) 出願日 平成28年2月28日 (2016. 2. 28)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100086483
 弁理士 加藤 一男
 (72) 発明者 三ヶ尻 悟
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 Fターム(参考) 4C601 EE10 EE13 EE14 HH01
 5F038 AZ07 BH02 BH04 BH06 BH07
 BH13 BH15 EZ20

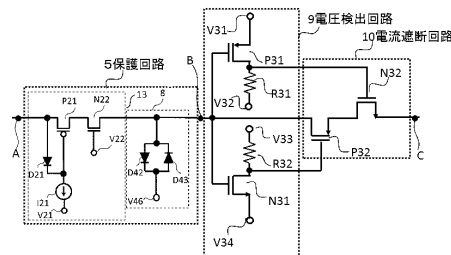
(54) 【発明の名称】 保護装置及び情報取得装置

(57) 【要約】

【課題】 特殊なプロセスを必要とせず、両極性の高電圧から被保護回路を保護するとともに低電圧信号を被保護回路へ通過させることができる保護回路を含む装置を提供する。

【解決手段】 保護装置は、第1導電型および第2導電型の第1および第2のエンハンスメント型MOSトランジスタP21、N22と、P21のドレインまたはソースに接続される一端とP21のゲートに接続される他端とを有するダイオード素子D21と、D21に接続される一端と第2バイアス電圧が供給される他端とを有する電流源I21と、ゲートに第1バイアス電圧が供給されたN22のソースに接続されリーク電圧が発生する電圧を検出する電圧検出回路9と、N22のソースに接続され電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制する電流遮断回路10を有する。電流源は抵抗に置き換えることができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

被保護回路を保護する保護装置であって、

ドレインと、ソースと、ゲートとを有する第 1 導電型の第 1 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ソースと接続されるドレインと、ソースと、第 1 バイアス電圧が供給されるゲートとを有する第 2 導電型の第 2 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインまたはソースに接続される一端と、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに接続される他端とを有するダイオード素子と、

前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートおよび前記ダイオード素子の前記他端に接続される一端と、第 2 バイアス電圧が供給される他端とを有する電流源と、

前記第 2 エンハンスメント型 MOS トランジスタのソースに接続され、リーク電流が発生する電圧を検出する電圧検出回路と、

前記第 2 エンハンスメント型 MOS トランジスタのソースに接続され、前記電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制する電流遮断回路と、を有することを特徴とする保護装置。

【請求項 2】

被保護回路を保護する保護装置であって、

ドレインと、ソースと、ゲートとを有する第 1 導電型の第 1 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ソースと接続されるドレインと、ソースと、第 1 バイアス電圧が供給されるゲートとを有する第 2 導電型の第 2 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインまたはソースに接続される一端と、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに接続される他端とを有するダイオード素子と、

前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートおよび前記ダイオード素子の前記他端に接続される一端と、第 2 バイアス電圧が供給される他端とを有する抵抗と、

前記第 2 エンハンスメント型 MOS トランジスタのソースに接続され、リーク電流が発生する電圧を検出する電圧検出回路と、

前記第 2 エンハンスメント型 MOS トランジスタのソースに接続され、前記電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制する電流遮断回路と、を有することを特徴とする保護装置。

【請求項 3】

前記ダイオード素子の順方向の閾値電圧は前記第 1 エンハンスメント型 MOS トランジスタの閾値電圧より大きく、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに、絶対値が所定の値より大きい第 1 極性の第 1 電圧信号が印加された際に、前記第 1 エンハンスメント型 MOS トランジスタが、自身の前記ソースに現れる電圧に基づいてオフし、前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに、絶対値が所定の値より大きい第 2 極性の第 1 電圧信号が印加された際に、前記第 2 エンハンスメント型 MOS トランジスタが、自身の前記ソースに現れる電圧に基づいてオフし、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに、絶対値が所定の値より小さく且つ前記第 1 電圧信号の絶対値より小さい第 2 電圧信号が印加された際に、前記第 1 エンハンスメント型 MOS トランジスタ及び前記第 2 エンハンスメント型 MOS トランジスタがオンすることを特徴とする請求項 1 または 2 に記載の保護装置。

10

20

30

40

50

【請求項 4】

前記ダイオード素子は、前記第 1 エンハンスメント型 MOS トランジスタの寄生ダイオードであることを特徴とする請求項 1 から 3 の何れか 1 項に記載の保護装置。

【請求項 5】

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに、絶対値が所定の値より大きい第 1 極性の第 1 電圧信号が印加された際に、前記電流源または前記抵抗が、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに前記第 2 バイアス電圧を供給し、前記第 1 エンハンスメント型 MOS トランジスタが、前記第 2 バイアス電圧に基づいてオフすることを特徴とする請求項 1 または 2 に記載の保護装置。

【請求項 6】

10

前記第 1 極性および第 2 極性は、それぞれ正および負であり、

前記第 1 エンハンスメント型 MOS トランジスタは、エンハンスメント型 P チャネル MOS トランジスタであり、前記第 2 エンハンスメント型 MOS トランジスタは、エンハンスメント型 N チャネル MOS トランジスタであり、

前記第 1 バイアス電圧は、前記負の第 1 電圧信号よりも、前記エンハンスメント型 P チャネル MOS トランジスタの閾値電圧より大きいものであり、

前記第 2 バイアス電圧は、前記正の第 1 電圧信号よりも前記エンハンスメント型 N チャネル MOS トランジスタの閾値電圧より小さいものであることを特徴とする請求項 5 に記載の保護装置。

【請求項 7】

20

前記第 1 極性および第 2 極性は、それぞれ正および負であり、

前記第 1 エンハンスメント型 MOS トランジスタは、エンハンスメント型 N チャネル MOS トランジスタであり、前記第 2 エンハンスメント型 MOS トランジスタは、エンハンスメント型 P チャネル MOS トランジスタであり、

前記第 1 バイアス電圧は、前記正の第 1 電圧信号よりも、前記エンハンスメント型 N チャネル MOS トランジスタの閾値電圧より小さいものであり、

前記第 2 バイアス電圧は、前記負の第 1 電圧信号よりも、前記エンハンスメント型 P チャネル MOS トランジスタの閾値電圧より大きいものであることを特徴とする請求項 5 に記載の保護装置。

【請求項 8】

30

前記第 2 エンハンスメント型 MOS トランジスタのソースに現れる電圧信号の絶対値を、前記第 2 エンハンスメント型 MOS トランジスタのソースに接続される被保護回路の耐電圧以下に制限する電圧制限回路をさらに有することを特徴とする請求項 1 から 7 の何れか 1 項に記載の保護装置。

【請求項 9】

前記電圧制限回路は、クリップ回路またはクランプ回路であることを特徴とする請求項 8 に記載の保護装置。

【請求項 10】

前記第 1 のエンハンスメント型 MOS トランジスタのバックゲートとソースが接続されており、前記第 2 のエンハンスメント型 MOS トランジスタのバックゲートとソースが接続されていることを特徴とする請求項 1 から 9 の何れか 1 項に記載の保護装置。

40

【請求項 11】

前記電圧検出回路は、前記第 1 のエンハンスメント型 MOS トランジスタおよび前記第 2 のエンハンスメント型 MOS トランジスタとそれぞれ同じ導電型の MOS トランジスタを含むことを特徴とする請求項 1 から 10 の何れか 1 項に記載の保護装置。

【請求項 12】

前記電流遮断回路において、リーク電流が発生する経路に P 型 MOS トランジスタと N 型 MOS トランジスタを直列接続して設け、前記電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制することを特徴とする請求項 11 に記載の保護装置。

【請求項 13】

50

前記電流遮断回路において、前記電圧検出回路で得られたそれぞれの信号の論理和をとった信号をもとに、リーク電流が発生する経路においてリーク電流を遮断ないし抑制することを特徴とする請求項 11 に記載の保護装置。

【請求項 14】

前記電流遮断回路において、前記電圧検出回路で得られたそれぞれの信号の論理和をとった信号をもとに、被保護回路の電源を遮断することを特徴とする請求項 11 に記載の保護装置。

【請求項 15】

被保護回路を保護する保護装置であって、
N型MOSトランジスタとP型MOSトランジスタを直列に接続した第1の部分と電圧制限回路とを含んで、出力電圧を所定の範囲に制限する保護回路と、
前記保護回路からのリーク電流が発生する電圧を検出する電圧検出回路と、
前記電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制して、被保護回路への電流を削減する電流遮断回路と、
を有することを特徴とする保護装置。

10

【請求項 16】

請求項 1 から 15 の何れか 1 項に記載の保護装置と、前記保護回路に接続されたセンサと、を有することを特徴とする情報取得装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、被保護回路を保護する高電圧保護回路などの保護回路を含む保護装置等に関する。

【背景技術】

【0002】

超音波診断プローブにおける超音波振動素子は、正極、負極の高電圧信号に基づいて超音波を送波し、そして微小な超音波を受波して得られた低電圧信号を受信回路へ出力する構成になっている。そこで、超音波を送受する超音波振動素子と受信回路間に、超音波振動素子を駆動するための正負両極性の高電圧信号から、超音波振動素子から出力される低電圧信号を増幅する増幅回路を保護する保護回路が必要となる。この保護回路は、高電圧信号印加時にはオフとなり、高電圧信号を遮断する。また低電圧信号を受信回路へ通過させるため、低電圧信号印加時にはオンとなる。例えば、高電圧信号は正負の数十から100V程度であるのに対し、受信回路の増幅回路は5V程度の耐電圧のデバイスで作られる。

30

【0003】

超音波診断プローブにおける振動素子はチャンネル数が多く（数百チャンネル）、信号の送受信回路もそれに応じたチャンネル数が必要となる。また、それぞれのチャンネルの送信パルスを送るタイミングはバラバラであることがある。一方、制御信号を用いて保護回路のオン、オフ切り替えを行う場合、オン時は低電圧信号を通過させ、オフ時は高電圧信号を遮断する制御が通常必要になり、そのチャンネル数に応じた信号線が必要となるためコストが増大する。そのため、外部からの制御信号無しで、低電圧信号を通過させ、高電圧信号を遮断する機能を持つ保護回路が要望されている。

40

【0004】

従来、制御信号無しで動作する保護回路を実現する上で、高電圧信号を検出する回路を設ける保護回路や、ディプレッション型のFETを使用した回路が用いられてきた（特許文献1、特許文献2参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-10831号公報

50

【特許文献2】特開平05-48021号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

外部からの制御信号無しで動作する保護回路を実現する上での課題は大きく分けて二つある。1つ目は、回路規模の増大である。例として、特許文献1に記載の装置では、高電圧信号を検出する回路を使用している。このような高電圧信号を検出し、保護回路のオン・オフを切り替える回路を実現する場合、高電圧信号を検出する回路と、その検出結果に応じて保護回路を動作させる駆動回路が必要となる。このとき、検出部も高い耐電圧が必要となり、また保護回路を動作させる駆動回路も保護回路を構成する上で必要となるため、回路が複雑になり易い。

10

【0007】

2つ目は、ディプレッション型FETなどを作製するための特殊なプロセスを必要とするという点である。検出回路を待たせず、素子数を減らした回路で上記の様な保護回路を実現する場合、ノーマリオンのディプレッション型FETが用いられる。しかし、このFETは特殊なプロセスを必要としており、コストが増大し易いという課題がある。

【課題を解決するための手段】

【0008】

上記課題に鑑み、本発明の一側面の被保護回路を保護する保護装置は以下の構成を採用する。ドレインと、ソースと、ゲートとを有する第1導電型の第1エンハンスメント型MOSトランジスタと、前記第1エンハンスメント型MOSトランジスタの前記ソースと接続されるドレインと、ソースと、第1バイアス電圧が供給されるゲートとを有する第2導電型の第2エンハンスメント型MOSトランジスタと、前記第1エンハンスメント型MOSトランジスタの前記ドレインまたはソースに接続される一端と、前記第1エンハンスメント型MOSトランジスタの前記ゲートに接続される他端とを有するダイオード素子と、前記第1エンハンスメント型MOSトランジスタの前記ゲートおよび前記ダイオード素子の前記他端に接続される一端と、第2バイアス電圧が供給される他端とを有する電流源と、前記第2エンハンスメント型MOSトランジスタのソースに接続され、リーク電流が発生する電圧を検出する電圧検出回路と、前記第2エンハンスメント型MOSトランジスタのソースに接続され、前記電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制する電流遮断回路と、を有する。前記電流源は抵抗に置き換えることができる。

20

30

【発明の効果】

【0009】

本発明の一側面によれば、特殊なプロセスを必要とせず、両極性の高電圧から低耐電圧の被保護回路を保護するとともに低電圧信号を被保護回路へ通過させることができる保護回路を含む装置を提供できる。

【図面の簡単な説明】

【0010】

【図1】超音波診断プローブの例を示すブロック図である。

【図2】実施形態1の入出力保護回路を含む装置を示す図である。

40

【図3】実施形態1における保護回路の電流源の変更例を示す図である。

【図4】実施形態1における保護回路の変更例を示す図である。

【図5】実施形態1における保護回路の更なる変更例を示す図である。

【図6】実施形態1における保護回路の電流制限回路の変更例を示す図である。

【図7】実施形態2の入出力保護回路を含む装置を示す図である。

【図8】実施形態3の入出力保護回路を含む装置を示す図である。

【図9】実施形態3の入出力保護回路を含むより具体的な装置を示す図である。

【発明を実施するための形態】

【0011】

本発明の一側面の装置は、N型MOSトランジスタとP型MOSトランジスタを直列に

50

接続した第1の部分と電圧制限回路とを含んで、出力電圧を所定の範囲に制限する保護回路を有する。そして、保護回路からのリーク電流が発生する電圧を検出する電圧検出回路と、電圧検出回路からの信号をもとにリーク電流を遮断ないし抑制して、被保護回路への電圧を削減する電流遮断回路を更に有して、両極性の高電圧から低耐電圧の被保護回路を保護する。所期の保護目的を達成するために、各MOSトランジスタの閾値、導電型、上記出力電圧の制限範囲を考慮して、それぞれのMOSトランジスタのゲートに所定の電流源や定電圧を与える。さらに、保護回路に使用したMOSトランジスタと同じ極性を持つMOSトランジスタを電圧検出回路に持たせることもできる。

【0012】

以下に図面を参照しつつ、本発明の実施形態を詳しく説明する。なお、同一の構成要素には原則として同一の参照番号を付し、再度の説明は省略ないし簡略化する。ただし、以下に記載されている詳細な計算式、計算手順、材料、数値、細部構造などは、発明が適用される装置の構成や各種条件により適宜変更されるべきものであり、本発明の範囲を以下の記載に限定する趣旨のものではない。

10

【0013】

<実施形態1>

図1は、本発明の保護回路を含む装置の例を示すブロック図である。被検体情報取得装置である超音波診断プローブ100（以下「装置100」とも略称する）は、超音波送受信回路1（以下「送受信回路1」とも略称する）と超音波振動素子（センサ）2（以下「素子2」とも略称する）をベースに構成されている。送受信回路1は、送信回路3、低電圧増幅回路4、入力保護回路5、出力保護回路6を有する。送受信回路1は、外部端子X、Yを備えており、この外部端子X、Yを介して外部の装置との間で信号の送受信を行う。

20

【0014】

送受信回路1は、超音波診断プローブの回路ブロック全体を表している。素子2は、送受信回路1からの高電圧信号を受けて超音波を被検体に送信し、被検体で反射ないし発生した超音波を受信して低電圧信号を出力するものである。送信回路3は、素子2に高電圧信号を送信する際の信号伝達経路に設けられる回路である。低耐電圧の被保護回路である低電圧増幅回路4は、被検体からの超音波の受信時に素子2から出力される低電圧信号（受信信号）を増幅する。入力保護回路5および出力保護回路6は、低電圧増幅回路4の入力および出力をそれぞれ高電圧信号から保護する回路である。本明細書において、この低電圧信号は高電圧信号よりも電圧振幅が小さい信号である。

30

【0015】

送受信回路1は、超音波信号を送受信する素子2と外部端子Xを介して接続される。送受信回路1は、例えば電圧振幅が数十から数百V程度の高電圧信号（例えば $-100V < \text{高電圧信号} < +100V$ ）を素子2に供給する。素子2は、例えば受信信号として電圧振幅が数V以下の低電圧信号（例えば $-1V < \text{低電圧信号} < +1V$ とする）を出力する。低電圧増幅回路4は、耐電圧が5V程度に設計されている。外部端子X、Yには、これら高電圧信号及び低電圧信号が印加される。そのため、低電圧増幅回路4に対して、耐電圧を超える高電圧信号の侵入を防ぐために、入力側および出力側に入出力保護回路5、6をそれぞれ設ける。

40

【0016】

一方、入出力保護回路5、6は、低電圧増幅回路4に低電圧信号を入力して、増幅した信号を出力するために、低電圧信号の印加時は信号を外部端子Xから外部端子Yへ通過させる必要がある。実施形態1の装置100は高電圧信号を遮断し、低電圧信号を通過させる機能を持つ入出力保護回路5、6を有する。実施形態1では、保護回路5と保護回路6とは同一の回路であるので、以下の説明では原則として入力保護回路5に限って説明する。図1において、端子A、Eは、高電圧信号が印加される端子であり、端子C、Dは、低電圧回路4が接続される端子を表している。

【0017】

50

図2は、本発明の超音波診断プローブにおける実施形態1の保護回路、電圧検出回路、電流遮断回路の一例を示す図である。本実施形態は、保護回路5と、リーク電流が発生する電圧を検知するための電圧検出回路9を持ち、さらにその検出結果をもとにリーク電流を遮断ないし抑制する遮断回路10を持つ。これにより、被保護回路4を介して流れるDCのリーク電流を削減する。

【0018】

本実施形態の保護回路5について説明する。保護回路5は、端子A側にある第1の部分13と、端子Aに対して第1の部分13より下流側にあつて、第1の部分13と接続される第2の部分(電圧制限回路8)とを有している。

【0019】

保護回路5の第1の部分13は、エンハンスメント型のPチャネルMOSFET(Field Effect Transistor); P21(以下「トランジスタP21」とも略称する)を有する。第1導電型と第2導電型のうちの一方の型のエンハンスメント型MOSトランジスタがエンハンスメント型PチャネルMOSトランジスタに対応する。また、保護回路5の第1の部分13は、エンハンスメント型のNチャネルMOSFET(第1導電型と第2導電型のうちの他方の型のエンハンスメント型MOSトランジスタに対応する); N22(以下「トランジスタN22」とも略称する)を有する。また、保護回路5の第1の部分13は、ダイオードD21(例えば閾値電圧が0.6Vとする)、電流源I21を有する。さらに、保護回路5の第1の部分13は、一定電圧V21(例えば-数V程度であり、ここでは-3Vとする)印加端、一定電圧V22(例えば+数V程度であり、ここでは+3Vとする)印加端を有する。なお、低電圧信号が負の値を取らない場合、例えば+1Vを電圧振幅の中心として±1V程度振れる場合は、一定電圧V21は、正の電圧でも良い。

【0020】

端子Aは、高電圧信号が印加される端子であり、電圧制限回路8側の端子Bは、電圧検出回路9および電流遮断回路10を介して、低電圧増幅回路が接続される端子を表している。ここでは図1の入力保護回路5の説明であるので、端子A、Bの接続例として、端子Aを、外部端子Xを介して、一端が参照電圧であるグランドGNDに接続された素子2に接続するとともに、端子Bを低電圧増幅回路4の入力端子に接続する。出力保護回路6に適用する場合は、端子Bを、電圧検出回路9および遮断回路10を介して、低電圧増幅回路4の出力端子(図1の端子D)に接続するとともに、端子A(図1の端子E)を高電圧信号が入力される側である外部端子Yに接続する。

【0021】

なお、本実施形態では参照電圧としてグランドGND(0V)を採用しているが、これに限られず、参照電圧の値を適宜変更しても良い。例えば参照電圧として正の基準電圧を採用する場合、高電圧信号はその基準電圧を中心として正方向、負方向に振れるが、いずれに振れた場合でも正の電圧値をとることもあり得る。このことは、低電圧信号についても同様である。

【0022】

保護回路5の電圧制限回路8は、正、負の高電圧が印加されるときその電圧値を所定の値にクランプするものである。例えばESD(Electro Static Discharge)保護回路等であり、トランジスタN22のソースと端子Bとの間に接続されている。しかしこれに限られず、低電圧増幅回路4が電圧制限回路8を内蔵するようにしても良い。すなわち、低電圧増幅回路(アンプ)の入力、出力に電圧制限回路が接続されていけばよい。図2の電圧制限回路8は、ダイオードD42のアノード、ダイオードD43のカソード、および端子Bが共通して接続される。さらに電圧制限回路8は、ダイオードD42のカソード、ダイオードD43のアノード、および一定電圧V46の印加端が共通して接続される。電圧制限回路8は、以上のように構成してなるクリップ回路である。電圧制限回路8は、ダイオードD42、D43により端子Bに現れる電圧V1を(一定電圧V46 - ダイオードD43の閾値 < 電圧V1 < 一定電圧V46 + ダイオードD42の閾値

10

20

30

40

50

)

の範囲内に収まるように制限する。電圧制限回路 8 を図 2 のように保護回路において接続する場合、トランジスタ N 2 2 のゲート電圧 V_{22} は、一定電圧 V_{46} とダイオード D 4 2 の閾値電圧とトランジスタ N 2 2 の閾値電圧を足した電圧以上に設定する必要がある。すなわち、 $| - \text{一定電圧 } V_{22} | > | - \text{一定電圧 } V_{46} + \text{ダイオード D 4 2 の閾値} | + | \text{トランジスタ N 2 2 の閾値} |$ 。なお、ダイオード D 4 2 およびダイオード D 4 3 の閾値は同じであるものとする。

【 0 0 2 3 】

トランジスタの閾値、ダイオードの閾値を絶対値としている意図は、それぞれのデバイスの閾値がマイナスの値を持つ（P型FETなど）場合でもこの条件を適用できるようにするためである。換言すれば、電圧制限回路 8 が、端子 B に現れる電圧 V_1 を上記範囲内に収まるようにするので、電流源に繋がらない第 1 バイアス電圧は、高電圧の負の第 1 電圧信号よりも、エンハンスメント型 P チャネル MOS トランジスタの閾値電圧より大きいものである。また、電流源に繋がる第 2 バイアス電圧は、高電圧の正の第 1 電圧信号よりも、エンハンスメント型 N チャネル MOS トランジスタの閾値電圧より小さいものである。第 1 エンハンスメント型 MOS トランジスタが、エンハンスメント型 N チャネル MOS トランジスタであり、第 2 エンハンスメント型 MOS トランジスタが、エンハンスメント型 P チャネル MOS トランジスタである場合は次のようになる。すなわち、第 1 バイアス電圧は、正の第 1 電圧信号よりも、エンハンスメント型 N チャネル MOS トランジスタの閾値電圧より小さいものである。また、第 2 バイアス電圧は、負の第 1 電圧信号よりも、エンハンスメント型 P チャネル MOS トランジスタの閾値電圧より大きいものである。

【 0 0 2 4 】

図 2 に示す保護回路の第 1 の部分 1 3 をより詳細に説明する。これは、前述した様に、CMOS プロセスで形成されるエンハンスメント型の P および N チャネル MOS トランジスタの直列接続体をベースに構成される。具体的には、端子 A は、トランジスタ P 2 1 のドレインに接続される。端子 B は、電圧制限回路 8 を介してトランジスタ N 2 2 のソースに接続される。また、トランジスタ P 2 1 のソースとトランジスタ N 2 2 のドレインとが接続される。トランジスタ N 2 2 のゲートには一定電圧 V_{22} が供給されている。トランジスタ P 2 1 のゲートには定電流源 I 2 1 の一端が接続され、電流源 I 2 1 の他端には一定電圧 V_{21} が供給されている。定電流源 I 2 1 は、電流をダイオード D 2 1 のカソードから引き込む向きに接続されている。なお、定電流源 I 2 1 は、カレントミラー回路等で構成しても良いし、他の回路で構成しても良い。

【 0 0 2 5 】

ゲート保護ダイオード D 2 1 は、自身のアノードがトランジスタ P 2 1 のドレインに接続されるとともに、カソードがトランジスタ P 2 1 のゲートに接続されている。ゲート保護ダイオード D 2 1 の順方向の閾値 V_{D21} は、トランジスタ P 2 1 の閾値 V_{P21} を超える（ $| V_{D21} | > | V_{P21} |$ ）ように設定する。また、トランジスタ P 2 1 およびトランジスタ N 2 2 のドレイン - ソース間耐電圧は高電圧信号の電圧値の絶対値より大きい必要がある。低電圧信号の絶対値は、この保護回路 5 の端子 B に接続される回路の耐電圧以下の値である。電圧制限回路 8 は、低電圧信号の絶対値を、端子 B に接続される回路である低電圧増幅回路 4（外部回路に対応する）の耐電圧以下に制限する。

【 0 0 2 6 】

なお、本実施形態では、ゲート保護ダイオード D 2 1 は、トランジスタ P 2 1 の寄生ダイオードを用いている。しかしこれに限られず、ダイオード素子をトランジスタ P 2 1 とは別体としてドレイン - ゲート間に接続しても良いし、ダイオード接続されたトランジスタを用いても良い。また、ツェナーダイオードやショットキーバリアダイオードを用いても良い。

【 0 0 2 7 】

次に、上記の保護回路の第 1 の部分 1 3 の動作について図 2 をもとに説明する。まず端子 A に低電圧信号が印加されるときは、トランジスタ P 2 1、トランジスタ N 2 2 それぞ

10

20

30

40

50

れのゲートに、それぞれの閾値 V_{P21} 、 V_{N22} を超える電圧を印加しておく。すなわち、トランジスタ $P21$ 、トランジスタ $N22$ をオンさせておけるだけの一定電圧 $V21$ 、 $V22$ をゲートに印加しておく。そうすることで、トランジスタ $P21$ 、トランジスタ $N22$ がオンし、低電圧信号を通過させる。

【0028】

端子 A に高電圧信号が印加されるとき保護回路 5 の第 1 の部分 13 の動作について説明する。端子 A に正の高電圧信号が印加された場合、トランジスタ $P21$ のドレインに高電圧が印加される。このとき、トランジスタ $P21$ のドレイン - ソース間には寄生ダイオード（不図示）が存在し、この寄生ダイオードがオンする。すなわち、トランジスタ $P21$ は、自身のドレインに印加される高電圧信号を自身の寄生ダイオードを介して自身のソース側まで通過させる。このとき、ダイオード $D21$ は、オンする。よって、トランジスタ $P21$ のゲートに現れる電圧は、トランジスタ $P21$ のドレイン電圧よりダイオード $D21$ の順方向降下電圧 V_{D21} の分だけ低い電圧である。このようにして、ダイオード $D21$ は、トランジスタ $P21$ のゲート - ドレイン間電圧をダイオード $D21$ の閾値に制限して耐電圧を超えるのを防ぎ、トランジスタ $P21$ のゲート破壊を抑止する。また、このとき、電流源 $I21$ は、ダイオード $D21$ に流れる電流を設定された電流値に制限する。

10

【0029】

トランジスタ $N22$ のドレインでは、トランジスタ $P21$ の寄生ダイオードを通過した高電圧信号が印加される。正の高電圧信号が端子 A に印加された直後の状態では、トランジスタ $N22$ はオンしたままである。そのため、正の高電圧信号がトランジスタ $N22$ のドレインに現れると同時にトランジスタ $N22$ のソースの電圧も上昇していく。このとき端子 B に接続された電圧制限回路 8 により設定された電圧までトランジスタ $N22$ のソース電圧が上昇していく。このトランジスタ $N22$ のソース電圧が、トランジスタ $N22$ のゲートのバイアス電圧 $V22$ からトランジスタ $N22$ の閾値 V_{N22} 引いた値を超えるとトランジスタ $N22$ がクリップ回路として動作する。これにより、トランジスタ $N22$ のソースに、トランジスタ $N22$ のゲートのバイアス電圧 $V22$ からトランジスタ $N22$ の閾値 V_{N22} 引いた値以上の電圧がかかったときに、電圧に制限がかかる。

20

【0030】

端子 A に負の高電圧が印加された場合、トランジスタ $P21$ のドレイン電圧がグランド（GND）以下の負の高電圧まで降下する。このとき、ゲート保護ダイオード $D21$ では、自身の降伏電圧（breakdown voltage）が、自身のカソードに現れている電圧値から自身のアノードに現れている電圧値を引いた電圧値よりも十分大きく設定されている。このため、ダイオード $D21$ は、逆方向に高電圧が印加されてもアバランシェ降伏を生じず、逆方向にも順方向にも導通しない。これにより、トランジスタ $P21$ のゲートでは、電流源 $I21$ の一端に接続された一定電圧 $V21$ が現れる。このもとで、トランジスタ $P21$ では、自身がオンした状態で、自身のソース電圧が、自身のゲート電圧と自身の閾値を足した値を下回ると、トランジスタ $P21$ がオフする。また、トランジスタ $P21$ のソース電圧は、端子 B に接続された電圧制限回路 8 によって制限された電圧とトランジスタ $N22$ のドレイン - ソース間の寄生ダイオード（不図示）の閾値によって制限される。

30

40

【0031】

以上のことを換言すると次のようになる。ダイオード素子の順方向の閾値電圧は第 1 エンハンスメント型 MOS トランジスタの閾値電圧より大きい。そして、第 1 エンハンスメント型 MOS トランジスタのドレインに、絶対値が所定の値より大きい第 1 極性の第 1 電圧信号が印加された際に、第 1 エンハンスメント型 MOS トランジスタが、自身のソースに現れる電圧に基づいてオフする。また、第 1 エンハンスメント型 MOS トランジスタのドレインに、絶対値が所定の値より大きい第 2 極性の第 1 電圧信号が印加された際に、第 2 エンハンスメント型 MOS トランジスタが、自身のソースに現れる電圧に基づいてオフする。第 1 エンハンスメント型 MOS トランジスタのドレインに、絶対値が所定値より小さく且つ第 1 電圧信号の絶対値より小さい第 2 電圧信号が印加された際は、第 1 エンハ

50

メント型 MOS トランジスタ及び第 2 エンハメント型 MOS トランジスタがオンする。

【 0 0 3 2 】

高電圧信号の被保護回路への到達を遮断ないし抑制する機構を説明する。図 2 における電圧検出回路 9 を説明する。ここでは、電圧検出回路 9 は、P 型 MOS F E T ; P 3 1 と N 型 MOS F E T ; N 3 1 と、それぞれの MOS F E T のドレインに接続される電流を制限するための抵抗 R 3 1、R 3 2 を持つ。この R 3 1、R 3 2 は定常的に流れる電流を削減するためのものであり、抵抗以外にも MOS F E T などの、他のインピーダンスを持ったり或いは変化させたりすることができる素子を使用しても構わない。この回路において、出力信号は P 3 1、N 3 1 のドレインから得られる。このとき、P 3 1、N 3 1、R 3 1、R 3 2 には、上述した様に電圧制限回路 8 により電圧が制限されるため、高電圧が印加されることがなく、低耐電圧のデバイスを使用してもよい。低耐電圧のデバイスを使用することにより、小さいサイズの MOS F E T で回路が実現でき、回路規模を削減することができる。

10

【 0 0 3 3 】

P 3 1 のソースは V 3 1 端子に接続され、R 3 1 は V 3 2 に接続される。N 3 1 も同様に、ソースは V 3 4 に接続され、R 3 2 のもう一端は V 3 3 に接続される。V 3 1 は、保護回路における一定電圧 V 2 2 と同じ電位を用いてもよい。また、V 3 4 は、保護回路における一定電圧 V 2 1 と同じ電位を用いてもよい。V 3 1 と V 2 2、V 3 4 と V 2 1 を同じ電位とした場合、以下のように電位を設定する。V 3 2 は、V 3 1 から P 3 1 の閾値を引いた値より低い電位とする ($V 3 2 < V 3 1 - V_{th}[P 3 1]$)。V 3 3 は、V 3 4 に N 3 1 の閾値を足した値よりも高い電位とする ($V 3 3 > V 3 4 + V_{th}[N 3 1]$)。このとき、検出に用いる P 3 1、N 3 1 は、それぞれ、保護回路における P 2 1、N 2 2 と同じ極性のものを使用する。こうした場合、P 3 1、N 3 1 はそれぞれ P 2 1、N 2 2 と同じ極性のものでサイズを小さくしたものを使用しても構わない。さらに、検出回路に使用する P 3 1、N 3 1 は P 2 1、N 2 2 と同じ種類ではなくてもよい。

20

【 0 0 3 4 】

例として、P 2 1 と N 2 2 は高耐電圧の MOS F E T を使用する必要があるが、P 3 1 と N 3 1 は低耐電圧の MOS F E T を使用してもよい。これは、MOS F E T の閾値はプロセスばらつきにより変動するため、P 2 1、N 2 2 の閾値ばらつきに追従する MOS F E T を P 3 1、N 3 1 に使用すれば、閾値ばらつきによる検出回路の誤動作を防ぐことができるためである。

30

【 0 0 3 5 】

この回路の動作について以下に例を挙げて説明をしていく。まず V 3 1、V 3 2、V 3 3、V 3 4 と、P 3 1、N 3 1 の閾値は前記条件を満たすように例として以下のように設定する。

$$V 3 1 = 3 V、V 3 2 = 0 V、V 3 4 = 3 V、V 3 3 = 0 V$$

$$P 3 1 \text{ 閾値} = -1 V、N 3 1 \text{ 閾値} = 1 V$$

【 0 0 3 6 】

高電圧が印加されていない場合 (例として 0 V)、P 3 1、N 3 1 はそれぞれ閾値を超えた電圧がゲート - ソース間にかかっているため、オンした状態である。そのため、P 3 1 のドレインと N 3 1 のドレインは、それぞれ、V 3 2、V 3 4 とほぼ同じ電圧となる。端子 A に正極の高電圧が印加された場合、保護回路 5 が遮断動作を行う電圧まで、P 3 1 と N 3 1 のゲートの電圧は上昇していく。3 V でバイアスされた V 3 1 と P 3 1 の閾値 - 1 V を足した値である 2 V まで電圧が上昇すると、P 3 1 がオフする。そうすると P 3 1 のドレイン電圧は、P 3 1 がオフインピーダンスが R 3 1 より十分高くなるため、V 3 2 と同じ電圧 (0 V) へと遷移する。

40

【 0 0 3 7 】

端子 A に負極の高電圧が印加された場合、保護回路 5 が遮断動作を行う電圧まで、P 3 1、N 3 1 のゲートの電圧は下降していく。- 3 V でバイアスされた V 3 4 と N 3 1 の閾

50

値 1 V を加えた値である - 2 V まで電圧が 0 V から下降すると、N 3 1 がオフする。そうすると N 3 1 のドレイン電圧は、N 3 1 がオフしインピーダンスが R 3 2 より十分高くなるため、V 3 3 と同じ電圧 (0 V) へと遷移する。

【 0 0 3 8 】

このように、正極、負極の高電圧が印加されることにより、P 3 1、N 3 1 のそれぞれのドレイン電圧が 3 V、- 3 V から 0 へと遷移することで、正極、負極両方のリークが発生する電圧を検出することができる。以上のように本実施形態の保護回路で使用した MOSFET と検出部の MOSFET とのプロセスによる閾値ばらつきが追従する特性を持つことにより、プロセスがばらついていても保護回路の遮断、開放の動作を阻害することがない。そして高電圧を検出し、DC のリーク電流を削減することができる。

10

【 0 0 3 9 】

本実施形態では、図 2 における電流遮断回路 1 0 として、P 型、N 型 MOSFET ; P 3 2、N 3 2 を持つ。このとき、N 3 2 のゲートには電圧検出回路 9 における出力である P 3 1 のドレイン、P 3 2 のゲートには N 3 1 のドレインを接続する。これにより、正極の高電圧が印加されたときは N 3 2 が、負極の高電圧が印加されたときは P 3 2 が遮断されることにより、DC のリークを遮断することができる。

【 0 0 4 0 】

以上のような動作により、制御信号無しで、正極、負極の高電圧信号から被保護回路である低電圧増幅回路を保護し、また微小な信号は被保護回路に通過させる保護回路を含む保護装置を実現できる。なお、本実施形態では被保護回路として低電圧増幅回路を用いたが、これに限られず、耐電圧が低い他の回路を保護する際にも本実施形態の保護装置を用いることができる。

20

【 0 0 4 1 】

以下に、保護装置の各部の変更例について説明する。図 3 は、本実施形態における電流源の他の例を示す図であり、図 2 と同一の構成については同一の番号を付して説明を省略する。図 3 の例において、電流源 I 2 1 は、エンハンスメント型の N チャネル MOSFET ; N 3 3 (以下「トランジスタ N 3 3」と略称する) によって構成している。トランジスタ N 3 3 のソースには一定電圧 V 3 1 を供給し、トランジスタ N 3 3 のゲートには一定電圧 V 3 3 を接続する。このように構成してなる定電流源は、トランジスタ N 3 3 のドレイン - ソース間に流れる電流を制限し、電流源として動作する。このときトランジスタ N 3 3 のドレイン - ゲート、ドレイン - ソース耐電圧は端子 A に印加される高電圧信号に十分耐えられる耐電圧にする。また、後述の図 4 (a) のように電流源の向きを電流源 I 2 1 とは逆にするときは、トランジスタ N 3 3 をエンハンスメント型の P チャネル MOSFET に置き換えることで電流源を実現できる。

30

【 0 0 4 2 】

図 4 (a) は、本実施形態の図 2 に記載の保護回路の第 1 の部分 1 3 を極性の異なる回路構成としたものである。すなわち、図 2 のトランジスタ P 2 1、N 2 2 を図 4 (a) のようにエンハンスメント型の N チャネル MOS トランジスタ N 2 3、エンハンスメント型の P チャネル MOS トランジスタ P 2 4 にそれぞれ置き換えてなる回路である。このとき、電流源 I 2 2 の向き、保護ダイオード D 2 2 の向きも逆方向となり、そうすることで、図 2 の保護回路と同等の機能を実現できる。このときも保護ダイオード D 2 2 の順方向の閾値は、エンハンスメント型の N チャネル MOS トランジスタ N 2 3 の閾値の絶対値を超えるように設定する。

40

【 0 0 4 3 】

なお、この保護ダイオード D 2 2 も、エンハンスメント型の N チャネル MOS トランジスタ N 2 3 の寄生ダイオードを用いているが、上記同様これに限られず、種々のダイオード素子を用いても良い。一定電圧 V 2 3、V 2 4 は、例えばそれぞれ + 3 V、- 3 V とする。ダイオード D 2 2 の順方向の閾値は例えば 0 . 6 V である。

【 0 0 4 4 】

図 4 (b) は、本実施形態における保護回路の第 1 の部分 1 3 の更なる他の例を示す図

50

であり、図 2 と同一の構成については同一の番号を付して説明を省略する。この保護回路では、図 2 の回路のトランジスタ P 2 1、トランジスタ N 2 2 のそれぞれのドレイン - ソース間に、ドレイン - ソースをバイパスするダイオード D 6 6、D 6 7 を接続している。これによりトランジスタ P 2 1、N 2 2 のドレイン - ソース間に存在する寄生ダイオードに、想定されない電流が流れることを防ぐことができる。すなわち、ダイオード D 6 6、D 6 7 のそれぞれの閾値をトランジスタ P 2 1、N 2 2 の寄生ダイオードの閾値より低くする。それにより、トランジスタ P 2 1、N 2 2 に想定外の大電流が供給されようとする際にダイオード D 6 6、D 6 7 によりその大電流をバイパスすることで、トランジスタ P 2 1、N 2 2 の過電流による破壊を防ぐことができる。このときダイオード D 6 6、D 6 7 の降伏電圧は、印加される高電圧信号の絶対値よりも高く設定されている必要がある。すなわち、ダイオード D 6 6、D 6 7 では、このような高電圧がそれぞれ逆方向に印加されても、アバランシェ降伏を起こしてダイオードに逆方向の電流が流れないように設定しておく。

10

【 0 0 4 5 】

図 4 (c) は、本実施形態における保護回路の第 1 の部分 1 3 の更なる他の例を示す図である。すなわち、図 4 (c) に示す保護回路は、トランジスタ P 2 1、N 2 2 のバックゲートを各々のソースに接続した回路構成を取る。印加される電圧やデバイスの耐電圧によっては、このような構成をとることで、図 2 の回路と同等の動作を実現できる。また、トランジスタ P 2 1、N 2 2 のバックゲートをそれぞれのソースに接続することで各トランジスタを安定的に動作させることができる。

20

【 0 0 4 6 】

図 5 (a) は、超音波診断プローブにおける保護回路 5 の第 1 の部分 1 3 の更なる他の例を示す図である。本例の保護回路は、本実施形態の図 2 ~ 図 4 に記載の保護回路におけるゲート保護ダイオード D 2 1、D 2 2 を、ダイオード D 8 1 のようにトランジスタ P 2 1 のソースに接続した回路構成になっている。これにより上記と同じようにトランジスタ P 2 1、N 2 2 のゲート - ソース間電圧をダイオード D 8 1 の閾値電圧 (順方向降下電圧) となるように制限する。そうすることにより、トランジスタ P 2 1、N 2 2 のゲート破壊を防ぐことができる。この構成の場合、例えば図 5 (a) のトランジスタ P 2 1 のゲート - ソース間に保護ダイオード D 8 1 があるため、ゲート - ソース間の電圧を最大でもダイオード D 8 1 の閾値に制限することができる。また、図 5 (a) の回路構成の場合、例えば図 2 に記載の保護回路と比べて、ダイオード D 8 1 の両端には高電圧がかからない。ダイオード D 8 1 のアノードは高電圧信号が印加される端子 A に直接に接続されておらず、トランジスタ P 2 1 のソースに接続されているからである。そのため図 2 の保護ダイオードに比べて、求められるダイオードの耐電圧を低く設計することができる。図 5 (b) の構成は、図 5 (a) と逆極性の回路構成である以外は図 5 (a) と同様である。

30

【 0 0 4 7 】

図 5 (c)、(d) は、超音波診断装置における保護回路の第 1 の部分 1 3 の更なる他の例を示す図である。図 5 (c)、(d) の保護回路は、本実施形態における図 2、図 4、図 5 (a)、(b) に記載の保護回路の電流源 I 2 1、I 2 2 をそれぞれ抵抗 R 9 1、R 9 2 に置き換えた回路構成になっている。

40

【 0 0 4 8 】

図 5 (c)、(d) に記載の保護回路の第 1 の部分 1 3 の動作説明を行う。ただし、図 5 (c)、(d) の保護回路は互いに逆極性の関係にある以外は基本的構成と機能が同じなので図 5 (c) についてのみ説明する。端子 A に低電圧信号が印加されたときは、トランジスタ P 2 1 のゲート - ソース間抵抗、ゲート - ドレイン間抵抗が抵抗 R 9 1 に対して十分大きい場合、抵抗 R 9 1 に電流は略流れないためトランジスタ P 2 1 のゲートには一定電圧 V 2 1 と略同一の電圧が現れる。そのため、トランジスタ P 2 1 がオンする。一方、端子 A に高電圧信号が印加されたときは、ダイオード D 2 1 に流れる電流は抵抗 R 9 1 の抵抗値によって制限される。また、電流源によって実現する場合に比べ、抵抗一つで保護回路を実現できるため、回路規模を小さくできるとともに低コストで設計することがで

50

きる。

【 0 0 4 9 】

本実施形態の複数の例における全てのダイオードは、或る電圧において電圧を制限し電流を流す機能を持つ素子であれば代用可能である。例えば、ダイオード接続された M O S トランジスタまたはバイポーラトランジスタ等である。またこれらのダイオードは直列に多段接続した構成にしてもよい。また、図 2、図 4 に記載のダイオード D 2 1、2 2 や図 5 に記載のダイオード D 8 1、8 2 は抵抗でも同様の機能を実現できる。

【 0 0 5 0 】

第 2 の部分である電圧制限回路 8 のバリエーションを図 6 で説明する。図 6 は、本実施形態における電圧制限回路の他の一例を示す図であり、図 2 と同一の構成については同一の番号を付して説明を省略する。電圧制限回路 8 b (クランプ回路に対応する) では、ダイオード D 5 4 のカソード、ダイオード D 5 5 のアノード、および端子 B が共通して接続される。さらに、電圧制限回路 8 b では、ダイオード D 5 4 のアノードに一定電圧 V 5 7 が供給され、ダイオード D 5 5 のカソードに一定電圧 V 5 8 が供給される。これにより電圧制限回路 8 b では、端子 B の電圧 V 2 を (一定電圧 V 5 7 - ダイオード D 5 4 の閾値 < $V 2 < \text{一定電圧 } V 5 8 + \text{ダイオード } D 5 5 \text{ の閾値}$) の範囲内に収まるように制限することができる。この電圧制限回路 8 b を図 2 の回路のように接続する場合、トランジスタ N 2 2 のゲート電圧 V 2 2 は、一定電圧 V 5 8 とダイオード D 5 5 の閾値電圧とトランジスタ N 2 2 の閾値電圧を足した電圧以上に設定する必要がある。すなわち、 $| \text{一定電圧 } V 2 2 | > | \text{一定電圧 } V 5 8 + \text{ダイオード } D 5 5 \text{ の閾値} | + | \text{トランジスタ } N 2 2 \text{ の閾値} |$ 。なお、ダイオード D 5 5 とダイオード D 5 4 とは閾値が略同一とする。

10

20

【 0 0 5 1 】

(実施形態 2)

図 7 は本発明の超音波診断プローブにおける実施形態 2 を示す図である。本実施形態では、実施形態 1 における電流遮断回路 1 0 として、論理回路 1 2 と電流遮断部 1 3 を持つ構成を用いる。このとき、電流遮断部 1 3 の構成は H I レベルでオンまたはオフするものであり、この動作をする遮断回路であれば、回路の構成形式は限定しない。論理回路 1 2 は、電圧検出回路 9 において、正極、負極どちらか一方の高電圧が検出された場合、そのどちらの場合でも H I または L O W を出力するものであり、この動作をする回路であれば、論理回路の構成形式を限定しない。これにより、電圧検出回路 9 が正極、負極の高電圧を検出した場合、電流遮断部 1 3 がオフすることにより、D C のリーク電流を遮断することができる。その他の点は、図 2 の構成を有する実施形態 1 と同じである。

30

【 0 0 5 2 】

(実施形態 3)

図 8 は実施形態 3 を示す。本実施形態は、図 2 の構成とは異なり、入力保護回路 5 と被保護回路 1 1 (図 1 の増幅回路 4 に相当) が複数の配線で接続された構成である。本実施形態では、図 2 における電流遮断回路 1 0 として、論理回路 1 2 と被保護回路 1 1 の電源 V 3 5、V 3 6 との間にそれぞれ設けられた電流遮断部 1 4 である遮断スイッチ S 3 1、S 3 2 を持つ。

40

【 0 0 5 3 】

本構成では、図 7 と同様に、電圧検出回路 9 によって得られた信号の論理和を論理回路 1 2 で取り、その信号を用いることで、リークの発生源である被保護回路 1 1 とこの電源とのパスをスイッチ S 3 1、S 3 2 で遮断する。図 9 の構成例は、図 8 で示した電源遮断の方法をより具体的に示した例である。この例で示した回路のように、片側の電源に電流源を接続し、これにより電流を制限している被保護回路 1 1 では、その電流源に論理回路 1 2 の出力を接続することにより、被保護回路 1 1 に流れるリーク電流を削減することができる。その他の点は、図 2 の構成を有する実施形態 1 と同じである。

【 符号の説明 】

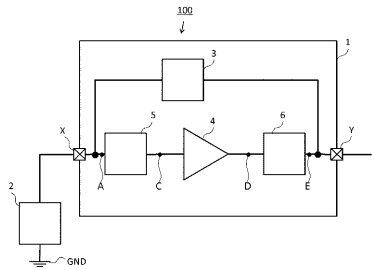
【 0 0 5 4 】

P 2 1 ・ ・ 第 1 エンハンスメント型 M O S トランジスタ、 N 2 2 ・ ・ 第 2 エンハンスメン

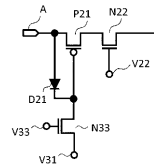
50

ト型 MOS トランジスタ、D 2 1 . . . ダイオード素子、I 2 1 . . . 電流源、5 . . . 保護回路、9 . . . 電圧検出回路、1 0 . . . 電流遮断回路

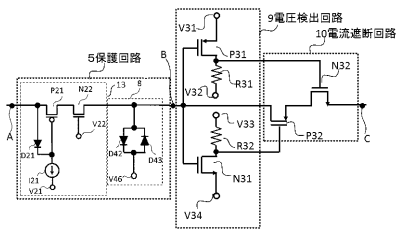
【 図 1 】



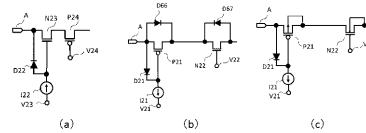
【 図 3 】



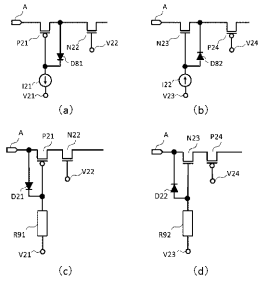
【 図 2 】



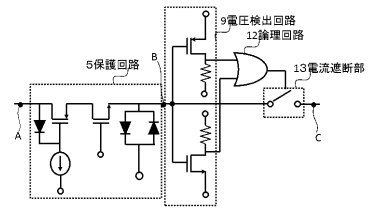
【 図 4 】



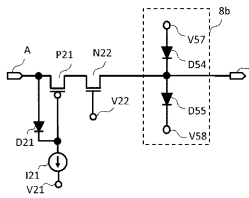
【 図 5 】



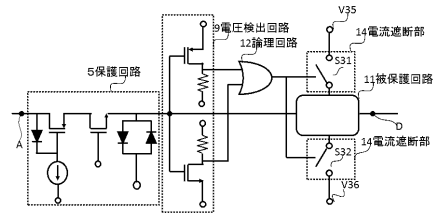
【 図 7 】



【 図 6 】



【 図 8 】



【 図 9 】

