(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/018065 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号： PCT/JP2024/021289

(22) 国際出願日： 2024年6月12日(12.06.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-118662 2023年7月20日(20.07.2023) JP

(71) 出願人: ローム株式会社 **(ROHM CO., LTD.)** [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 森 誠悟 **(MORI, Seigo)**; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 中野 佑紀 **(NAKANO, Yuki)**; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

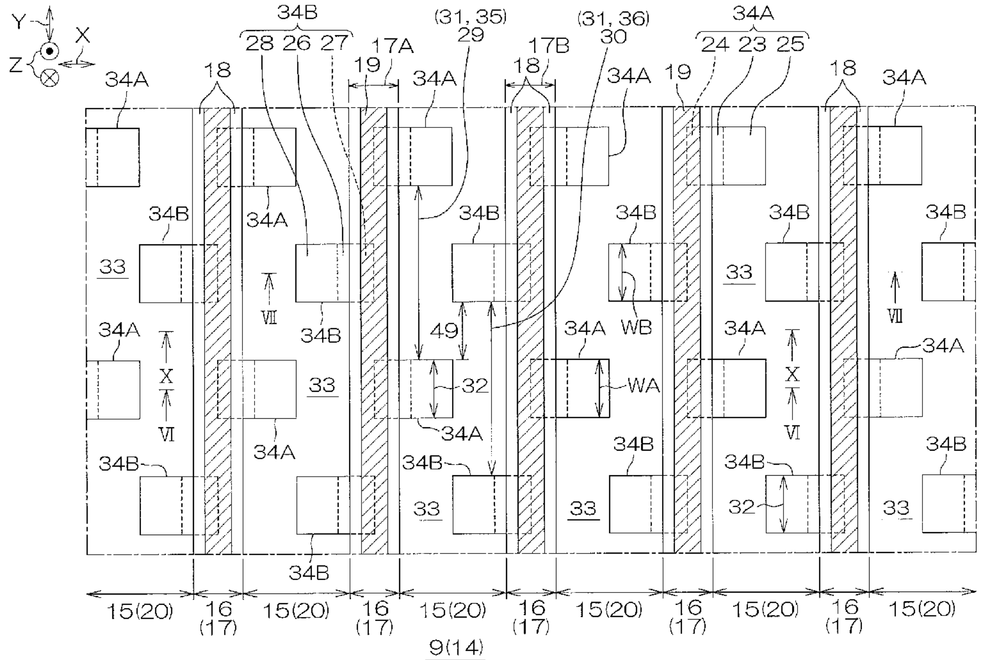
(74) 代理人: 弁理士法人あい特許事務所 **(AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS)**; 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図5



(57) **Abstract:** This semiconductor device comprises: a first impurity region of a first conductivity type formed on a surface layer portion of a first main surface of a chip; a second impurity region of a second conductivity type formed on a surface layer portion of the first impurity region; a third impurity region of the first conductivity type formed on a surface layer portion of the second impurity region; a trench reaching the first impurity region from the first main surface; an electric field relaxation structure of the second conductivity type that is formed on a bottom portion of the trench; a first

WO 2025/018065 A1

［続葉有］

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

contact region that is formed along a side surface on one side of the trench from the first main surface toward a second main surface of the chip and that is electrically connected to the second impurity region and the electric field relaxation structure; and a second contact region that is formed along a side surface on the other side of the trench from the first main surface toward the second main surface and that is electrically connected to the second impurity region and the electric field relaxation structure. A plurality of first contact regions and a plurality of second contact regions are arranged along the length direction of the trench.

(57) 要約：半導体装置は、チップの第１主面の表層部に形成された第１導電型の第１不純物領域と、前記第１不純物領域の表層部に形成された第２導電型の第２不純物領域と、前記第２不純物領域の表層部に形成された第１導電型の第３不純物領域と、前記第１主面から前記第１不純物領域に達するトレンチと、前記トレンチの底部に形成された第２導電型の電界緩和構造と、前記第１主面からチップの第２主面に向かって前記トレンチの一方側の側面に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続された第１コンタクト領域と、前記第１主面から前記第２主面に向かって前記トレンチの他方側の側面に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続された第２コンタクト領域とを含み、複数の前記第１コンタクト領域および複数の前記第２コンタクト領域が、前記トレンチの長さ方向に沿って配列されている。

明　細　書

発明の名称 ： 半導体装置

関連出願

[0001]　本出願は、２０２３年７月２０日に日本国特許庁に提出された特願２０２３－１１８６６２号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002]　本開示は、半導体装置に関する。

背景技術

[0003]　特許文献１は、チャネリング注入法によって炭化ケイ素層に導入された不純物領域を有する電子デバイスを開示している。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第２０１５／００２８３５１号明細書

[0005] ［概要］

　本開示の一実施形態は、部分的な電流集中を防止でき、破壊耐量を向上することができる半導体装置を提供する。

[0006]　本開示の一実施形態に係る半導体装置は、第１主面およびその反対側の第２主面を有するチップと、前記第１主面の表層部に形成された第１導電型の第１不純物領域と、前記第１不純物領域の表層部に形成された第２導電型の第２不純物領域と、前記第２不純物領域の表層部に形成された第１導電型の第３不純物領域と、前記第１主面から前記第３不純物領域および前記第２不純物領域を通って前記第１不純物領域に達するトレンチと、前記トレンチの底部に形成された第２導電型の電界緩和構造と、前記第１主面から前記第２主面に向かって前記トレンチの一方側の側面に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続された第１コンタクト領域と、前記第１主面から前記第２主面に向かって前記トレンチの他方側の側面

に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続された第２コンタクト領域とを含み、複数の前記第１コンタクト領域および複数の前記第２コンタクト領域が、前記トレンチの長さ方向に沿って交互に配列されている。

図面の簡単な説明

[0007] [図1]図１は、本開示の一実施形態に係る半導体装置を示す平面図である。

[図2]図２は、図１に示すII-II線に沿う断面図である。

[図3]図３は、チップのレイアウト例を示す平面図である。

[図4]図４は、チップのレイアウト例を示す斜視図である。

[図5]図５は、活性領域およびトレンチ構造を示す平面図である。

[図6]図６は、図５に示すVI-VI線に沿う断面図である。

[図7]図７は、図６に対応する断面斜視図である。

[図8]図８は、図５に示すVIII-VIII線に沿う断面図である。

[図9]図９は、図８に対応する断面斜視図である。

[図10]図１０は、図５に示すX-X線に沿う断面図である。

[図11]図１１は、外周領域の構成を示す斜視図である。

[図12]図１２は、外周領域の一要部を示す断面図である。

[図13]図１３は、半導体装置の製造に使用されるウエハを示す概略図である。

[図14]図１４は、半導体装置の製造方法例を示すフローチャートである。

[図15A]図１５Ａは、半導体装置の製造方法例を示す図である。

[図15B]図１５Ｂは、図１５Ａの後の工程を示す図である。

[図15C]図１５Ｃは、図１５Ｂの後の工程を示す図である。

[図15D]図１５Ｄは、図１５Ｃの後の工程を示す図である。

[図15E]図１５Ｅは、図１５Ｄの後の工程を示す図である。

[図15F]図１５Ｆは、図１５Ｅの後の工程を示す図である。

[図15G]図１５Ｇは、図１５Ｆの後の工程を示す図である。

[図16]図１６は、前記半導体装置の第１変形例を示す図である。

[図17]図１７は、前記半導体装置の第２変形例を示す図である。

[図18]図１８は、図１７に示すXVIII-XVIII線に沿う断面図である。

[図19]図１９は、前記半導体装置の第３変形例を示す図である。

[図20]図２０は、前記半導体装置の第４変形例を示す図である。

[図21]図２１は、前記半導体装置の第５変形例を示す図である。

[図22]図２２は、前記半導体装置の第６変形例を示す図である。

[0008] ［詳細な説明］

次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

[0009] 添付図面は、いずれも模式図であり、厳密に図示されたものではなく、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0010] この明細書において「ほぼ（substantially）」の文言が使用される場合、この文言は、比較対象の数値（形態）と等しい数値（形態）を含む他、比較対象の数値（形態）を基準とする±１０％の範囲の数値誤差（形態誤差）も含む。以下の説明では「第１」、「第２」、「第３」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0011] 以下の説明では、「ｐ型」または「ｎ型」を用いて半導体（不純物）の導電型が示されるが、「ｐ型」が「第１導電型」と称され、「ｎ型」が「第２導電型」と称されてもよい。むろん、「ｎ型」が「第１導電型」と称され、「ｐ型」が「第２導電型」と称されてもよい。「ｐ型」は３価元素に起因する導電型であり、「ｎ型」は５価元素に起因する導電型である。３価元素は、特に言及されない限り、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種である。５価元素は、特に言及されない限り、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも１種である。

[0012]　図１は、実施形態に係る半導体装置１を示す平面図である。図２は、図１に示すII-II線に沿う断面図である。図３は、チップ２のレイアウト例を示す平面図である。図４は、チップ２のレイアウト例を示す斜視図である。図５は、活性領域９と共にトレンチ構造１６を示す平面図である。図６は、図５に示すVI-VI線に沿う断面図である。図７は、図６に対応する断面斜視図である。図８は、図５に示すVIII-VIII線に沿う断面図である。図９は、図８に対応する断面斜視図である。図１０は、図５に示すX-X線に沿う断面図である。

[0013]　図１～図１０を参照して、半導体装置１は、ＳｉＣ単結晶を含むチップ２を含む。チップ２は、「ＳｉＣチップ」または「半導体チップ」と称されてもよい。チップ２は、この形態（this embodiment）では、六方晶のＳｉＣ単結晶からなり、直方体形状に形成されている。六方晶のＳｉＣ単結晶は、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。この形態では、チップ２が４Ｈ－ＳｉＣ単結晶からなる例が示されるが、チップ２は他のポリタイプからなっていてもよい。

[0014]　チップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する第１～第４側面５Ａ～５Ｄを有している。第１主面３および第２主面４は、鉛直方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Ｚは、チップ２の厚さ方向や第１主面３（第２主面４）の法線方向でもある。第１主面３および第２主面４は、平面視において正方形状または長方形状に形成されていてもよい。

[0015]　第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面によって形成されていることが好ましい。この場合、第１主面３はＳｉＣ単結晶のシリコン面（（０００１）面）によって形成され、第２主面４はＳｉＣ単結晶のカーボン面（（０００－１）面）によって形成されていることが好ましい。

[0016]　第１側面５Ａを起点とするチップ２の周方向（図１では反時計回り）に関して、第２側面５Ｂは第１側面５Ａに接続され、第３側面５Ｃは第２側面５

Ｂに接続され、第４側面５Ｄは第１側面５Ａおよび第３側面５Ｃに接続されている。第１側面５Ａおよび第３側面５Ｃは、第１主面３に沿う第１方向Ｘに延び、第１方向Ｘに交差（具体的には直交）する第２方向Ｙに対向している。第２側面５Ｂおよび第４側面５Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0017] この形態では、第１方向ＸがＳｉＣ単結晶のｍ軸方向（［１－１００］方向）であり、第２方向ＹがＳｉＣ単結晶のａ軸方向（［１１－２０］方向）である。むろん、第１方向ＸがＳｉＣ単結晶のａ軸方向であり、第２方向ＹがＳｉＣ単結晶のｍ軸方向であってもよい。

[0018] 第１方向Ｘおよび第２方向Ｙを含むＸＹ平面は、鉛直方向Ｚに直交する水平面を形成する。以下では、鉛直方向Ｚに沿って延びる軸が「鉛直軸」と表現されることがある。また、以下では、第１方向Ｘおよび第２方向Ｙが「水平方向」と表現されることがある。水平方向は、第１主面３に沿って延びる方向でもある。

[0019] 図４を参照して、チップ２（第１主面３および第２主面４）は、ＳｉＣ単結晶のｃ面に対して所定のオフ方向Ｄｏに所定の角度で傾斜したオフ角θｏを有している。つまり、ＳｉＣ単結晶のｃ軸（（０００１）軸）は、鉛直軸からオフ方向Ｄｏに向けてオフ角θｏ分だけ傾斜している。また、ＳｉＣ単結晶のｃ面は、水平面に対してオフ角θｏ分だけ傾斜している。

[0020] オフ方向Ｄｏは、ＳｉＣ単結晶のａ軸方向（つまり第２方向Ｙ）であることが好ましい。オフ角θｏは、０°を超えて１０°以下であってもよい。オフ角θｏは、０°を超えて１°以下、１°以上２．５°以下、２．５°以上５°以下、５°以上７．５°以下、および、７．５°以上１０°以下のいずれか１つの範囲に属する値を有していてもよい。

[0021] オフ角θｏは、５°以下であることが好ましい。オフ角θｏは、２°以上４．５°以下であることが特に好ましい。オフ角θｏは、典型的には、４°±０．１°の範囲に設定される。むろん、この明細書は、オフ角θｏが０°である形態（つまり、第１主面３がｃ面に対してジャスト面である形態）を

除外しない。

[0022] チップ２は、ＳｉＣ単結晶からなるｎ型のベース層６を含む。ベース層６は、「ドレイン領域」、「ベースＳｉＣ層」、「ベース領域」等と称されてもよい。ベース層６は、水平方向に層状に延び、第２主面４および第１～第４側面５Ａ～５Ｄの一部を形成している。ベース層６は、この形態では、ＳｉＣ単結晶製の基板（つまりＳｉＣ基板）からなる。ベース層６は、前述のオフ方向Ｄｏおよびオフ角θｏを有している。

[0023] ベース層６は、1×10^{18}ｃｍ$^{-3}$以上1×10^{21}ｃｍ$^{-3}$以下のｎ型不純物濃度をピーク値として有していてもよい。ベース層６は、厚さ方向にほぼ一定のｎ型不純物濃度を有していることが好ましい。ベース層６のｎ型不純物濃度は、単一種の５価元素によって調整されていることが好ましい。ベース層６のｎ型不純物濃度は、リン以外の５価元素によって調整されていることが特に好ましい。ベース層６のｎ型不純物濃度は、この形態では、窒素によって調整されている。

[0024] ベース層６は、第１厚さＴ１を有している。第１厚さＴ１は、５μｍ以上３００μｍ以下であってもよい。第１厚さＴ１は、５μｍ以上５０μｍ以下、５０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、２００μｍ以上２５０μｍ以下、および、２５０μｍ以上３００μｍ以下のいずれか１つの範囲に属する値を有していてもよい。第１厚さＴ１は、５０μｍ以上２５０μｍ以下であることが好ましい。

[0025] チップ２は、ベース層６の上に積層されたＳｉＣ単結晶製の半導体層７を含む。第１不純物領域の一例としての半導体層７は「ドリフト領域」、「ＳｉＣ層」、「半導体領域」等と称されてもよい。半導体層７は、水平方向に層状に延び、第１主面３および第１～第４側面５Ａ～５Ｄの一部を形成している。半導体層７は、ベース層６を起点に結晶成長されたエピタキシャル層（つまりＳｉＣエピタキシャル層）からなる。

[0026] 半導体層７は、下端および上端を有している。半導体層７の下端は結晶成長起点であり、半導体層７の上端は結晶成長終点である。半導体層７の下端

は、半導体層７の底部でもある。半導体層７はベース層６から連続的に結晶成長されているため、半導体層７の下端はベース層６の上端に一致している。

[0027] 半導体層７は、ｎ型のドリフト領域８を含む。ドリフト領域８は、この形態では、半導体層７の一部（ｎ型部分）によって形成されている。より詳細には、ドリフト領域８は、鉛直方向Ｚにおいてボディ領域１５（後述）および電界緩和構造２１（後述）に対して第２主面４側の半導体層７の部分によって形成されている。

[0028] ベース層６および半導体層７の間の境界部は必ずしも視認できるものではなく、他の構成や要素から間接的に評価および／または判定され得る。半導体層７は、ベース層６のオフ方向Ｄｏおよびオフ角θｏにほぼ一致したオフ方向Ｄｏおよびオフ角θｏを有している。

[0029] 半導体層７（ドリフト領域８）のｎ型不純物濃度は、ベース層６のｎ型不純物濃度未満であることが好ましい。半導体層７は、$１×１０^{１５}ｃｍ^{－３}$以上$１×１０^{１８}ｃｍ^{－３}$以下のｎ型不純物濃度をピーク値として有していてもよい。半導体層７のｎ型不純物濃度は、厚さ方向にほぼ一定であってもよい。むろん、半導体層７のｎ型不純物濃度は、積層方向（結晶成長方向）に向けて漸増および／または漸減する濃度勾配を有していてもよい。

[0030] 半導体層７のｎ型不純物濃度は、この形態では、窒素によって調節されている。半導体層７は、少なくとも１種の５価元素によって調整されたｎ型不純物濃度を有していてもよい。たとえば、半導体層７のｎ型不純物濃度は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも１種によって調節されていてもよい。半導体層７は、リン以外の５価元素を含むことが好ましい。

[0031] 半導体層７は、第１厚さＴ１未満の第２厚さＴ２を有している。第２厚さＴ２は、１μｍ以上１０μｍ以下であってもよい。第２厚さＴ２は、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、および、８μｍ以上１０μｍ以下のいずれか１つの範囲に属

する値を有していてもよい。第２厚さＴ２は、２μｍ以上８μｍ以下であることが好ましい。

[0032] 半導体装置１は、チップ２に設定された活性領域９を含む。活性領域９は、平面視においてチップ２の周縁（第１～第４側面５Ａ～５Ｄ）から間隔を空けてチップ２の内方部に設定されている。活性領域９は、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に設定されている。活性領域９の平面積は、第１主面３の平面積の５０％以上９０％以下であることが好ましい。

[0033] 半導体装置１は、チップ２において活性領域９外に設定された外周領域１０を含む。外周領域１０は、平面視においてチップ２の周縁および活性領域９の間の領域に設けられている。外周領域１０は、平面視において活性領域９に沿って帯状に延び、活性領域９を取り囲む多角環状（この形態では四角環状）に設定されている。

[0034] 半導体装置１は、第１主面３に形成された活性面１１（active surface）、外周面１２（outer surface）および第１～第４接続面１３Ａ～１３Ｄ（connecting surface）を含む。活性面１１、外周面１２および第１～第４接続面１３Ａ～１３Ｄは、第１主面３において活性台地１４を区画している。

[0035] 活性面１１が「第１面部」と称され、外周面１２が「第２面部」と称され、第１～第４接続面１３Ａ～１３Ｄが「接続面部」と称され、活性台地１４が「活性メサ部」と称されてもよい。活性面１１、外周面１２および第１～第４接続面１３Ａ～１３Ｄ（つまり活性台地１４）は、チップ２（第１主面３）の構成要素と見なされてもよい。

[0036] 活性面１１は、活性領域９に形成されている。つまり、活性面１１は、第１主面３の周縁（第１～第４側面５Ａ～５Ｄ）から内方に間隔を空けて形成されている。活性面１１は、第１方向Ｘおよび第２方向Ｙに延びる平坦面を有している。活性面１１は、この形態では、ｃ面（Ｓｉ面）によって形成されている。活性面１１は、この形態では、平面視において第１～第４側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されている。

[0037] 外周面１２は、外周領域１０に形成されている。つまり、外周面１２は、活性面１１外に形成されている。外周面１２は、活性面１１に対してチップ２の厚さ方向（第２主面４側）に窪んでいる。具体的には、外周面１２は、この形態では、半導体層７を露出させるように半導体層７の厚さ未満の深さで窪んでいる。つまり、外周面１２は、半導体層７の一部を挟んでベース層６に対向し、半導体層７を露出させている。

[0038] 外周面１２は、平面視において活性面１１に沿って帯状に延び、活性面１１を取り囲む環状（具体的には四角環状）に形成されている。外周面１２は、第１方向Ｘおよび第２方向Ｙに延びる平坦面を有し、活性面１１に対してほぼ平行に形成されている。外周面１２は、この形態では、ｃ面（Ｓｉ面）によって形成されている。外周面１２は、第１～第４側面５Ａ～５Ｄに連なっている。

[0039] 外周面１２は、外周深さＤＯを有している。外周深さＤＯは、０．１μｍ以上２μｍ以下であってもよい。外周深さＤＯは、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上２μｍ以下のいずれか１つの範囲に属する値を有していてもよい。外周深さＤＯは、０．１μｍ以上１．５μｍ以下であることが好ましい。

[0040] 第１～第４接続面１３Ａ～１３Ｄは、鉛直方向Ｚに延び、活性面１１および外周面１２を接続している。第１接続面１３Ａは第１側面５Ａ側に位置され、第２接続面１３Ｂは第２側面５Ｂ側に位置され、第３接続面１３Ｃは第３側面５Ｃ側に位置され、第４接続面１３Ｄは第４側面５Ｄ側に位置されている。第１接続面１３Ａおよび第３接続面１３Ｃは、第１方向Ｘに延び、第２方向Ｙに対向している。第２接続面１３Ｂおよび第４接続面１３Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0041] 第１～第４接続面１３Ａ～１３Ｄは、四角柱状の活性台地１４が区画されるように活性面１１および外周面１２の間をほぼ垂直に延びていてもよい。

第１～第４接続面１３Ａ～１３Ｄは、四角錘台状の活性台地１４が区画されるように活性面１１から外周面１２に向かって斜め下り傾斜していてもよい。このように、活性台地１４は、第１主面３において半導体層７に突状に区画されている。活性台地１４は、半導体層７のみに形成され、ベース層６には形成されていない。

[0042] 図５～図１０を参照して、半導体装置１は、第１主面３（活性面１１）の表層部に形成されたｐ型のボディ領域１５を含む。第２不純物領域の一例としてのボディ領域１５は、この形態では、活性面１１に沿って延びる層状に形成されている。ボディ領域１５は、活性面１１の全域に形成され、第１～第４接続面１３Ａ～１３Ｄから露出していてもよい。ボディ領域１５は、半導体層７の下端から活性面１１側に間隔を空けて形成されている。ボディ領域１５は、外周面１２の深さ位置から活性面１１側に間隔を空けて形成され、活性面１１から露出していることが好ましい。

[0043] ボディ領域１５は、$１×１０^{１５}$ｃ$ｍ^{－３}$以上$１×１０^{１８}$ｃ$ｍ^{－３}$以下のｐ型不純物濃度をピーク値として有していてもよい。ボディ領域１５のｐ型不純物濃度は、少なくとも１種の３価元素によって調整されていることが好ましい。ボディ領域１５の３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種であってもよい。

[0044] 半導体装置１は、活性領域９において第１主面３（活性面１１）に形成されたトレンチ電極型の複数のトレンチ構造１６を含む。トレンチ構造１６は、「ゲート構造」、「トレンチゲート構造」等と称されてもよい。複数のトレンチ構造１６には、制御電位としてのゲート電位が付与される。複数のトレンチ構造１６は、ゲート電位に応答してボディ領域１５内におけるチャネル（電流経路）の反転および非反転を制御する。

[0045] 複数のトレンチ構造１６は、活性領域９において活性面１１の周縁（第１～第４接続面１３Ａ～１３Ｄ）から内方に間隔を空けて配置されている。複数のトレンチ構造１６は、この形態では、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。

[0046] つまり、複数のトレンチ構造１６は、ｍ軸方向に間隔を空けて配列され、ａ軸方向にそれぞれ延びている。また、複数のトレンチ構造１６は、この形態では、ａ軸方向（第２方向Ｙ）に延びるストライプ状に配列されている。複数のトレンチ構造１６の延在方向は半導体層７のオフ方向Ｄｏに一致している。

[0047] 複数のトレンチ構造１６は、半導体層７の下端（ベース層６）から第１主面３（活性面１１）側に間隔を空けて形成され、半導体層７の一部を挟んでベース層６に対向している。複数のトレンチ構造１６は、複数のトレンチ構造１６の底壁および半導体層７の下端（ベース層６）の間の領域において下側領域７ａを区画している。

[0048] 各トレンチ構造１６は、配列方向にトレンチ幅ＷＴを有し、鉛直方向Ｚにトレンチ深さＤＴを有している。トレンチ幅ＷＴは、半導体層７の第２厚さＴ２未満であることが好ましい。トレンチ幅ＷＴは、０．１μｍ以上５μｍ以下であってもよい。

[0049] トレンチ幅ＷＴは、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。

[0050] トレンチ深さＤＴは、半導体層７の第２厚さＴ２未満であることが好ましい。トレンチ深さＤＴは、前述の外周深さＤＯとほぼ等しいことが特に好ましい。むろん、トレンチ深さＤＴは、外周深さＤＯ以上であってもよいし、外周深さＤＯ未満であってもよい。

[0051] トレンチ深さＤＴは、トレンチ幅ＷＴよりも大きいことが好ましい。つまり、複数のトレンチ構造１６は、縦長柱状に延びるアスペクト比ＤＴ／ＷＴをそれぞれ有していることが好ましい。アスペクト比ＤＴ／ＷＴは、トレンチ深さＤＴに対するトレンチ幅ＷＴの比である。アスペクト比ＤＴ／ＷＴは

、たとえば、１以上５以下であってもよく、好ましくは、１以上３以下である。

[0052]　トレンチ深さＤＴは、０．１μｍ以上５μｍ以下であってもよい。トレンチ深さＤＴは、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、および、４μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。トレンチ深さＤＴは、０．１μｍ以上１．５μｍ以下であることが好ましく、０．５μｍ以上１．５μｍ以下であることが、より好ましい。

[0053]　複数のトレンチ構造１６は、第１方向Ｘにトレンチピッチ ＰＴの間隔を空けて配列されている。トレンチピッチＰＴは、半導体層７の第２厚さＴ２未満であることが好ましい。トレンチピッチＰＴは、トレンチ深さＤＴ未満であることが好ましい。トレンチピッチＰＴは、０．１μｍ以上５μｍ以下であってもよい。

[0054]　トレンチピッチＰＴは、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。トレンチピッチＰＴは、０．５μｍ以上３μｍ以下であることが好ましく、０．５μｍ以上１．５μｍ以下であることが、より好ましい。

[0055]　各トレンチ構造１６は、トレンチ１７、絶縁膜１８および埋設電極１９を含む。トレンチ１７は、活性面１１に形成され、トレンチ構造１６の壁面（側壁および底壁）を区画している。トレンチ１７の底壁は、平坦に延びる部分を有していることが好ましい。隣り合うトレンチ１７の間には、半導体層７の一部により形成されたメサ部２０が形成されている。メサ部２０は、「素子メサ部」と称されてもよい。この形態では、複数のトレンチ１７および

複数のメサ部２０が、第２方向Ｙに沿って延びる帯状であり、第１方向Ｘに交互に配列されている。複数のトレンチ１７および複数のメサ部２０は、全体としてストライプ状に配列されている。

[0056] トレンチ１７の底壁の平坦部は、第１主面３に対してほぼ平行に延びていることが特に好ましい。つまり、トレンチ１７の底壁は、ｃ面に対して所定のオフ方向Ｄｏに所定の角度で傾斜したオフ角θｏを有していることが好ましい。つまり、トレンチ１７の底壁は、オフ方向Ｄｏに延びる平坦部を有していることが好ましい。むろん、トレンチ１７の底壁は、半導体層７の下端側に向けて円弧状に湾曲していてもよい。

[0057] 絶縁膜１８は、トレンチ１７の壁面を被覆している。絶縁膜１８は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。絶縁膜１８は、この形態では、酸化シリコン膜からなる単層構造を有している。絶縁膜１８は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0058] 埋設電極１９は、トレンチ１７に埋設され、絶縁膜１８を挟んでチャネルに対向している。埋設電極１９は、この形態では、絶縁膜１８を挟んでボディ領域１５に対向している。埋設電極１９は、ｐ型またはｎ型の導電性ポリシリコンを含んでいてもよい。

[0059] 半導体装置１は、半導体層７内において水平方向に間隔を空けて形成されたｐ型の複数の電界緩和構造２１を含む。具体的には、複数の電界緩和構造２１は、半導体層７内において下側領域７ａに形成されている。複数の電界緩和構造２１は、半導体層７の下端および複数のトレンチ構造１６の底壁の間の厚さ範囲に形成されている。

[0060] 複数の電界緩和構造２１は、下側領域７ａにおいて第１方向Ｘに間隔を空けて配列され、かつ第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数の電界緩和構造２１は、ｍ軸方向に間隔を空けて配列され、ＳｉＣ単結晶のａ軸方向に延びている。複数の電界緩和構造２１はａ軸方向（第２方向Ｙ）に延びるストライプ状に形成され、複数の電界緩和構造２１の延

在方向は半導体層７のオフ方向Ｄｏに一致している。

[0061] 複数の電界緩和構造２１は、積層方向に複数のトレンチ構造１６に重なっている。具体的には、複数の電界緩和構造２１は、積層方向に複数のトレンチ構造１６と１対１の対応関係で重なっている。複数の電界緩和構造２１は、活性領域９において活性面１１の周縁（第１～第４接続面１３Ａ～１３Ｄ）から内方に間隔を空けて形成されている。

[0062] この形態では、複数の電界緩和構造２１は、それぞれ対応するトレンチ構造１６の底壁に接続されている。これにより、トレンチ構造１６（トレンチ１７）の底壁には、電界緩和構造２１の上端部が露出している。具体的には、各電界緩和構造２１は、トレンチ構造１６の深さ方向において、トレンチ１７の両側面に対して面一に連なる側面２２を有している。電界緩和構造２１の側面２２は、トレンチ構造１６の深さ方向に延び、半導体層７（下側領域７ａ）との境界面を形成している。したがって、電界緩和構造２１は、トレンチ構造１６の深さ方向においてボディ領域１５から物理的に離れ、かつトレンチ構造１６の底壁の全体を形成している。

[0063] 第２方向Ｙに関して、複数の電界緩和構造２１の両端部は、図１２に示すように、複数のトレンチ構造１６の両端部に対して活性領域９の周縁側に位置されていてもよい。複数の電界緩和構造２１の両端部は、複数のトレンチ構造１６の両端部に対して活性領域９の内方側に位置されていてもよい。

[0064] 図６および図８を参照して、複数の電界緩和構造２１は、第１方向Ｘに緩和ピッチＰＲの間隔を空けて配列されている。緩和ピッチＰＲは、トレンチピッチＰＴと同じであってもよい。緩和ピッチＰＲは、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。緩和ピッチＰＲは、０．５μｍ以上３．０μｍ以下であることが好ましい。

[0065]　電界緩和構造２１のｐ型不純物濃度は、ボディ領域１５のｐ型不純物濃度よりも高いことが好ましい。電界緩和構造２１は、１×１０^{16}ｃｍ$^{-3}$以上１×１０^{19}ｃｍ$^{-3}$以下のｐ型不純物濃度をピーク値として有していてもよい。電界緩和構造２１のｐ型不純物濃度は、厚さ方向にほぼ一定であってもよい。むろん、電界緩和構造２１のｐ型不純物濃度は、積層方向（結晶成長方向）に向けて漸増および／または漸減する濃度勾配を有していてもよい。

[0066]　電界緩和構造２１は、鉛直方向Ｚにトレンチ１７よりも大きな緩和深さＤＲを有している。より好ましくは、電界緩和構造２１の緩和深さＤＲは、トレンチ深さＤＴの２倍以上である。むろん、緩和深さＤＲは、トレンチ深さＤＴの２倍未満であってもよい。

[0067]　緩和深さＤＲは、０．２５μｍを超えて０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、および、４μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。緩和深さＤＲは、２μｍ以上３μｍ以下であることが好ましく、この場合、トレンチ深さＤＴは、０．５μｍ以上１．５μｍ以下であることが好ましい。

[0068]　複数の電界緩和構造２１は、配列方向に緩和幅ＷＲをそれぞれ有している。緩和幅ＷＲは、０．２５μｍ以上５μｍ以下であってもよい。緩和幅ＷＲは、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のいずれか１つの範囲に属する値を有していてもよい。

[0069]　半導体装置１は、第１主面３（活性面１１）の表層部において複数のトレンチ構造１６の間の領域に形成された複数のコンタクト領域３４Ａ，３４Ｂを含む。複数のコンタクト領域３４Ａ，３４Ｂは、互いに物理的に分離された領域であり、両方ともボディ領域１５の表層部に形成されている。

[0070] 複数のコンタクト領域３４Ａ，３４Ｂは、ボディ領域１５のｐ型不純物濃度（ピーク値）よりも高いｐ型不純物濃度（ピーク値）を有している。複数のコンタクト領域３４のｐ型不純物濃度（ピーク値）は、複数の電界緩和構造２１のｐ型不純物濃度（ピーク値）よりも高い。複数のコンタクト領域３４Ａ，３４Ｂは、$1\times10^{18}cm^{-3}$以上$1\times10^{21}cm^{-3}$以下のｐ型不純物濃度をピーク値として有していてもよい。複数のコンタクト領域３４は、この形態では、複数の第１コンタクト領域３４Ａおよび複数の第２コンタクト領域３４Ｂを含む。

[0071] 図５～図７を参照して、第１コンタクト領域３４Ａは、各トレンチ１７の両側面のうち一方側に選択的に形成され、第２方向Ｙに間隔を空けて配列されている。各第１コンタクト領域３４Ａは、各トレンチ１７の深さ方向において第１主面３から第２主面４に向かって各トレンチ１７の一方側の側壁に沿って延び、ボディ領域１５および電界緩和構造２１に電気的に接続されている。

[0072] より詳細には、各第１コンタクト領域３４Ａは、それぞれ異なる方向に延びる、第１部分２３、第２部分２４および第３部分２５を一体的に備えている。第１コンタクト領域３４Ａの複数の部分のうち、第１部分２３はトレンチ１７の深さ方向（つまり、鉛直方向Ｚ）に延びる部分であり、第２部分２４は前記鉛直方向に直交する水平方向（この形態では第１方向Ｘ）に延びる部分であり、第３部分２５は前記水平方向（この形態では第１方向Ｘ）であり、かつ第２部分２４とは反対側に延びる部分である。

[0073] この形態では、第１コンタクト領域３４Ａの第１部分２３は、第１主面３から第２主面４に向かってトレンチ１７の一方側の側面に沿って延びている。第１部分２３は、トレンチ１７の上部から底部までトレンチ１７の深さ方向全体にわたって形成されている。第１部分２３は、トレンチ１７の底部近傍に下端部を有し、トレンチ１７の上部近傍に上端部を有している。

[0074] 第１部分２３は、ボディ領域１５を貫通し、互いに離れたボディ領域１５と電界緩和構造２１との間に跨っている。第１部分２３、第２部分２４およ

び第３部分２５のうち、少なくとも第１部分２３がボディ領域１５との間に境界を形成し、ボディ領域１５に接続されている。第１部分２３はさらに、ボディ領域１５の下方において、半導体層７（ドリフト領域８）にも接続されている。つまり、ボディ領域１５と電界緩和構造２１との間において、第１コンタクト領域３４Ａとドリフト領域８との間にｐｎ接合部が形成されている。第１部分２３は、トレンチ１７の側面から露出し、トレンチ１７の側面において絶縁膜１８に接している。第１部分２３の下端部は、電界緩和構造２１の側面２２に接していてもよい。

[0075]　第１コンタクト領域３４Ａの第２部分２４は、トレンチ１７の一方側の側面からトレンチ１７の幅方向内側に向かってトレンチ１７の底面に沿って延びている。第２部分２４は、第１部分２３の下端部から電界緩和構造２１の側面２２を貫通し、トレンチ１７の幅方向途中までのトレンチ１７の底壁に形成されている。この形態では、第２部分２４は、水平方向において、トレンチ１７の幅方向略中央に端部を有している。

[0076]　第１部分２３、第２部分２４および第３部分２５のうち、少なくとも第２部分２４が電界緩和構造２１との間に境界を形成し、電界緩和構造２１に接続されている。第２部分２４は、トレンチ１７の底面から露出し、トレンチ１７の底面において絶縁膜１８に接している。したがって、トレンチ１７の側面および底面では、第１部分２３および第２部分２４が一体化してなる断面視Ｌ字状の第１コンタクト領域３４Ａが、絶縁膜１８を介して埋設電極１９を部分的に被覆している。

[0077]　第１コンタクト領域３４Ａの第３部分２５は、トレンチ１７の一方側の側面からトレンチ１７の幅方向外側（第２部分２４の延出方向の反対側）に向かって第１主面３に沿って延びている。第３部分２５は、第１部分２３の上端部からメサ部２０の幅方向途中までのメサ部２０の頂壁に形成されている。この形態では、第３部分２５は、水平方向において、メサ部２０の幅方向略中央に端部を有している。第３部分２５は、第１主面３から露出している。したがって、トレンチ１７の側面、底面および第１主面３では、第１部分

２３、第２部分２４および第３部分２５が一体化してなる断面視略Ｚ字状の第１コンタクト領域３４Ａが絶縁膜１８を介して埋設電極１９を部分的に被覆すると共に、コンタクト用に第１主面３から露出している。

[0078] 第１部分２３は、第１厚さＴ１Ａを有している。第１厚さＴ１Ａは、トレンチ１７の側面から水平方向における第１部分２３の厚さであってもよい。第１厚さＴ１Ａは、たとえば、１０ｎｍ以上５００ｎｍ以下、好ましくは、５０ｎｍ以上２００ｎｍ以下であってもよい。

[0079] 第２部分２４は、第２厚さＴ２Ａを有している。第２厚さＴ２Ａは、トレンチ１７の底面から鉛直方向Ｚにおける第２部分２４の厚さであってもよい。第２厚さＴ２Ａは、この形態では、第１厚さＴ１Ａよりも大きい。第２厚さＴ２Ａは、たとえば、１００ｎｍ以上７００ｎｍ以下、好ましくは、２００ｎｍ以上５００ｎｍ以下であってもよい。

[0080] 第３部分２５は、第３厚さＴ３Ａを有している。第３厚さＴ３Ａは、トレンチ１７の底面から鉛直方向Ｚにおける第３部分２５の厚さであってもよい。第３厚さＴ３Ａは、この形態では、第１厚さＴ１Ａよりも大きい。第３厚さＴ３Ａは、第２厚さＴ２Ａと同程度であってもよい。第３厚さＴ３Ａは、たとえば、１００ｎｍ以上７００ｎｍ以下、好ましくは、２００ｎｍ以上５００ｎｍ以下であってもよい。

[0081] 図５を参照して、第１コンタクト領域３４Ａの第１部分２３、第２部分２４および第３部分２５は、トレンチ１７の長さ方向において同じ幅ＷＡを有している。これにより、第１コンタクト領域３４Ａは、平面視において四角形状（この形態では、長方形状）に形成されている。

[0082] 図５、図８および図９を参照して、第２コンタクト領域３４Ｂは、各トレンチ１７の両側面のうち他方側に選択的に形成され、第２方向Ｙに間隔を空けて配列されている。各第２コンタクト領域３４Ｂは、各トレンチ１７の深さ方向において第１主面３から第２主面４に向かって各トレンチ１７の他方側の側壁に沿って延び、ボディ領域１５および電界緩和構造２１に電気的に接続されている。

[0083]　より詳細には、各第２コンタクト領域３４Ｂは、それぞれ異なる方向に延びる、第１部分２６、第２部分２７および第３部分２８を一体的に備えている。第２コンタクト領域３４Ｂの複数の部分のうち、第１部分２６はトレンチ１７の深さ方向（つまり、鉛直方向Ｚ）に延びる部分であり、第２部分２７は前記鉛直方向に直交する水平方向（この形態では第１方向Ｘ）に延びる部分であり、第３部分２８は前記水平方向（この形態では第１方向Ｘ）であり、かつ第２部分２７とは反対側に延びる部分である。

[0084]　この形態では、第２コンタクト領域３４Ｂの第１部分２６は、第１主面３から第２主面４に向かってトレンチ１７の他方側の側面に沿って延びている。第１部分２６は、トレンチ１７の上部から底部までトレンチ１７の深さ方向全体にわたって形成されている。第１部分２６は、トレンチ１７の底部近傍に下端部を有し、トレンチ１７の上部近傍に上端部を有している。

[0085]　第１部分２６は、ボディ領域１５を貫通し、互いに離れたボディ領域１５と電界緩和構造２１との間に跨っている。第１部分２６、第２部分２７および第３部分２８のうち、少なくとも第１部分２６がボディ領域１５との間に境界を形成し、ボディ領域１５に接続されている。第１部分２６はさらに、ボディ領域１５の下方において、半導体層７（ドリフト領域８）にも接続されている。つまり、ボディ領域１５と電界緩和構造２１との間において、第２コンタクト領域３４Ｂとドリフト領域８との間にｐｎ接合部が形成されている。第１部分２６は、トレンチ１７の側面から露出し、トレンチ１７の側面において絶縁膜１８に接している。第１部分２６の下端部は、電界緩和構造２１の側面２２に接していてもよい。

[0086]　第２コンタクト領域３４Ｂの第２部分２７は、トレンチ１７の他方側の側面からトレンチ１７の幅方向内側に向かってトレンチ１７の底面に沿って延びている。第２部分２７は、第１部分２６の下端部から電界緩和構造２１の側面２２を貫通し、トレンチ１７の幅方向途中までのトレンチ１７の底壁に形成されている。この形態では、第２部分２７は、水平方向において、トレンチ１７の幅方向略中央に端部を有している。

[0087] 第１部分２６、第２部分２７および第３部分２８のうち、少なくとも第２部分２７が電界緩和構造２１との間に境界を形成し、電界緩和構造２１に接続されている。第２部分２７は、トレンチ１７の底面から露出し、トレンチ１７の底面において絶縁膜１８に接している。したがって、トレンチ１７の側面および底面では、第１部分２６および第２部分２７が一体化してなる断面視Ｌ字状の第２コンタクト領域３４Ｂが、絶縁膜１８を介して埋設電極１９を部分的に被覆している。

[0088] 第２コンタクト領域３４Ｂの第３部分２８は、トレンチ１７の他方側の側面からトレンチ１７の幅方向外側（第２部分２７の延出方向の反対側）に向かって第１主面３に沿って延びている。第３部分２８は、第１部分２６の上端部からメサ部２０の幅方向途中までのメサ部２０の頂壁に形成されている。この形態では、第３部分２８は、水平方向において、メサ部２０の幅方向略中央に端部を有している。第３部分２８は、第１主面３から露出している。したがって、トレンチ１７の側面、底面および第１主面３では、第１部分２６、第２部分２７および第３部分２８が一体化してなる断面視略Ｚ字状の第２コンタクト領域３４Ｂが絶縁膜１８を介して埋設電極１９を部分的に被覆すると共に、コンタクト用に第１主面３から露出している。

[0089] 第１部分２６は、第１厚さＴ１Ｂを有している。第１厚さＴ１Ｂは、トレンチ１７の側面から水平方向における第１部分２６の厚さであってもよい。第１厚さＴ１Ｂは、たとえば、１０ｎｍ以上５００ｎｍ以下、好ましくは、５０ｎｍ以上２００ｎｍ以下であってもよい。

[0090] 第２部分２７は、第２厚さＴ２Ｂを有している。第２厚さＴ２Ｂは、トレンチ１７の底面から鉛直方向Ｚにおける第２部分２７の厚さであってもよい。第２厚さＴ２Ｂは、この形態では、第１厚さＴ１Ｂよりも大きい。第２厚さＴ２Ｂは、たとえば、１００ｎｍ以上７００ｎｍ以下、好ましくは、２００ｎｍ以上５００ｎｍ以下であってもよい。

[0091] 第３部分２８は、第３厚さＴ３Ｂを有している。第３厚さＴ３Ｂは、トレンチ１７の底面から鉛直方向Ｚにおける第３部分２８の厚さであってもよい

。第３厚さＴ３Ｂは、この形態では、第１厚さＴ１Ｂよりも大きい。第３厚さＴ３Ｂは、第２厚さＴ２Ｂと同程度であってもよい。第３厚さＴ３Ｂは、たとえば、１００ｎｍ以上７００ｎｍ以下、好ましくは、２００ｎｍ以上５００ｎｍ以下であってもよい。

[0092] 図５を参照して、第２コンタクト領域３４Ｂの第１部分２６、第２部分２７および第３部分２８は、トレンチ１７の長さ方向において同じ幅ＷＢを有している。これにより、第２コンタクト領域３４Ｂは、平面視において四角形状（この形態では、長方形状）に形成されている。

[0093] 図５を参照して、第１コンタクト領域３４Ａおよび第２コンタクト領域３４Ｂは、トレンチ１７の長さ方向に間隔を空けて配列されている。この形態では、複数の第１コンタクト領域３４Ａは、複数のトレンチ１７の全体にわたって、各トレンチ１７の幅方向の一方側に統一されて配置されている。複数の第２コンタクト領域３４Ｂは、複数のトレンチ１７の全体にわたって、各トレンチ１７の長さ方向の他方側に統一されて配置されている。言い換えれば、全てのトレンチ１７の幅方向の一方側に複数の第１コンタクト領域３４Ａが形成され、他方側に複数の第２コンタクト領域３４Ｂが形成されている。

[0094] この形態では、各メサ部２０において、第１コンタクト領域３４Ａおよび第２コンタクト領域３４Ｂが左右交互に間隔を空けて配列されている。他の言い方では、複数のトレンチ１７のうちの一対のトレンチ１７Ａ，１７Ｂの一方のトレンチ１７Ａの複数の第１コンタクト領域３４Ａの間の領域２９に対して、第１方向Ｘ（トレンチ１７の幅方向）に隣接する位置に、他方のトレンチ１７Ｂの第２コンタクト領域３４Ｂが配置されている。また、他方のトレンチ１７Ｂの複数の第２コンタクト領域３４Ｂの間の領域３０に対して、第１方向Ｘ（トレンチ１７の幅方向）に隣接する位置に、一方のトレンチ１７Ｂの第１コンタクト領域３４Ａが配置されている。これにより、第１コンタクト領域３４Ａおよび第２コンタクト領域３４Ｂは、全体として、平面視において千鳥状パターンで配列されている。

[0095]　各メサ部２０において、ボディ領域１５は、チャネル部３１および非チャネル部３２を含む。チャネル部３１は、ボディ領域１５において複数のコンタクト領域３４Ａ，３４Ｂが形成されていない領域である。この形態では、領域２９および領域３０がチャネル部３１である。チャネル部３１に隣接するトレンチ１７の壁面に沿ってチャネルが形成される。非チャネル部３２は、隣接するトレンチ１７の壁面がトレンチ１７の上部から底部までコンタクト領域３４Ａ，３４Ｂで被覆されている。

[0096]　半導体装置１は、第１主面３（活性面１１）の表層部において複数のトレンチ構造１６の間の領域に形成されたソース領域３３を含む。第３不純物領域の一例としてのソース領域３３は、ボディ領域１５の表層部に形成されている。この形態では、ソース領域３３は、メサ部２０において複数のコンタクト領域３４Ａ，３４Ｂが形成されていない領域に形成されている。前述のように、各メサ部２０では、トレンチ１７の長さ方向において、第１コンタクト領域３４Ａおよび第２コンタクト領域３４Ｂが左右交互に間隔を空けて配列されている。ボディ領域１５においてソース領域３３が形成された領域は、前述のチャネル部３１である。図５に示すように、ソース領域３３は、左右交互に配列された複数の第１コンタクト領域３４Ａおよび複数の第２コンタクト領域３４Ｂの間を通過し、第２方向Ｙにおいてジグザグ状に形成されている。

[0097]　これにより、各メサ部２０では、第２方向Ｙ（トレンチ１７の長さ方向）に複数の第１チャネル区間３５および複数の第２チャネル区間３６が交互に配列される。第１チャネル区間３５は、領域２９に対応するチャネル部３１であり、第２チャネル区間３６は、領域３０に対応するチャネル部３１である。第１チャネル区間３５および第２チャネル区間３６は、第１方向Ｘにおいて重なる重複チャネル区間４９を有していてもよい。重複チャネル区間４９では、メサ部２０の第１方向Ｘの両側のトレンチ１７の壁面のいずれにもチャネルが形成される。

[0098]　ソース領域３３は、半導体層７よりも高いｎ型不純物濃度（ピーク値）を

有している。ソース領域３３は、１×１０^{18}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下のｎ型不純物濃度をピーク値として有していてもよい。

[0099] ソース領域３３は、ボディ領域１５の底部から活性面１１側に間隔を空けて形成され、鉛直方向Ｚにボディ領域１５の一部を挟んで直下のドリフト領域８に対向している。複数のソース領域３３は、直下の複数のドリフト領域８と共に対応するトレンチ構造１６の壁面に沿って延びるチャネル（電流経路）を区画する。

[0100] 以下、外周領域１０側の構成が示される。図１１は、外周領域１０の構成を示す斜視図である。図１２は、外周領域１０の一要部を示す断面図である。

[0101] 半導体装置１は、外周面１２の表層部に形成されたｐ型のウェル領域３７を含む。ウェル領域３７は、平面視において外周面１２の周縁（第１～第４側面５Ａ～５Ｄ）から活性面１１側に間隔を空けて形成され、活性面１１に沿って帯状に延びている。ウェル領域３７は、この形態では、平面視において活性面１１を取り囲む環状（具体的には四角環状）に形成されている。

[0102] ウェル領域３７は、外周面１２の表層部から第１～第４接続面１３Ａ～１３Ｄ側に引き出され、第１～第４接続面１３Ａ～１３Ｄの表層部に沿って延びている。ウェル領域３７は、活性面１１の表層部においてボディ領域１５に電気的に接続されている。

[0103] ウェル領域３７は、半導体層７の下端から外周面１２側に間隔を空けて形成され、半導体層７の一部を挟んでベース層６に対向している。ウェル領域３７は、半導体層７とｐｎ接合部を形成している。ウェル領域３７は、１×１０^{15}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下のｐ型不純物濃度をピーク値として有していてもよい。ウェル領域３７は、複数のコンタクト領域３４Ａ，３４Ｂのｐ型不純物濃度よりも低いｐ型不純物濃度を有している。

[0104] ウェル領域３７のｐ型不純物濃度は、ボディ領域１５のｐ型不純物濃度よりも高くてもよい。むろん、ウェル領域３７のｐ型不純物濃度は、ボディ領域１５よりも低くてもよい。ウェル領域３７のｐ型不純物濃度は、少なくと

も１種の３価元素によって調整されていることが好ましい。ウェル領域３７の３価元素は、電界緩和構造２１の３価元素と同一種であってもよいし、電界緩和構造２１の３価元素と異なる種であってもよい。ウェル領域３７の３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種であってもよい。

[0105] 半導体装置１は、外周領域１０において外周面１２（第１主面３）の表層部に形成された少なくとも１つ（好ましくは２個以上２０個以下）のｐ型のフィールド領域３８を含む。複数のフィールド領域３８の個数は、典型的には、４個以上８個以下である。複数のフィールド領域３８は、電気的に浮遊状態に形成され、第１主面３の周縁部においてチップ２内の電界を緩和する。フィールド領域３８の個数、幅、深さ、ｐ型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。

[0106] 複数のフィールド領域３８は、この形態では、活性面１１の周縁（第１～第４接続面１３Ａ～１３Ｄ）およびチップ２の周縁（第１～第４側面５Ａ～５Ｄ）から間隔を空けて配列されている。具体的には、複数のフィールド領域３８は、ウェル領域３７から外周面１２の周縁側に間隔を空けて配列されている。

[0107] 複数のフィールド領域３８は、平面視において活性領域９に沿って延びる帯状に形成されている。複数のフィールド領域３８は、第１方向Ｘに帯状に延びる部分、および、第２方向Ｙに帯状に延びる部分をそれぞれ有している。複数のフィールド領域３８は、この形態では、平面視において活性領域９（つまり複数の電界緩和構造２１）を取り囲む環状（具体的には四角環状）に形成されている。

[0108] 複数のフィールド領域３８は、半導体層７の下端から外周面１２側に間隔を空けて半導体層７内に形成され、半導体層７とｐｎ接合部を形成している。複数のフィールド領域３８は、半導体層７の厚さ範囲の中間部に対して外周面１２側に位置する底部を有していることが好ましい。

[0109] 複数のフィールド領域３８は、この形態では、電界緩和構造２１からチッ

プ２の周縁側に間隔を空けて形成されている。したがって、複数のフィールド領域３８は、鉛直方向Ｚに電界緩和構造２１に対向していない。複数のフィールド領域３８は、トレンチ構造１６の底壁よりも半導体層７の第２主面４側に位置されている。

[0110] 複数のフィールド領域３８の底部は、電界緩和構造２１の底部の深さ位置よりも半導体層７の第１主面３側に位置されていてもよい。むろん、複数のフィールド領域３８の底部は、電界緩和構造２１の底部の深さ位置よりも半導体層７の第２主面４側に位置されていてもよい。

[0111] 複数のフィールド領域３８は、$１×１０^{１５}$ｃ$ｍ^{－３}$以上$１×１０^{１８}$ｃ$ｍ^{－３}$以下のｐ型不純物濃度をピーク値として有していてもよい。フィールド領域３８のｐ型不純物濃度は、ボディ領域１５のｐ型不純物濃度とほぼ等しくてもよい。複数のフィールド領域３８のｐ型不純物濃度は、ボディ領域１５のｐ型不純物濃度も高くてもよい。複数のフィールド領域３８のｐ型不純物濃度は、ボディ領域１５のｐ型不純物濃度よりも低くてもよい。

[0112] 複数のフィールド領域３８のｐ型不純物濃度は、少なくとも１種の３価元素によって調整されていることが好ましい。フィールド領域３８の３価元素は、電界緩和構造２１の３価元素と同一種であってもよいし、電界緩和構造２１の３価元素と異なる種であってもよい。フィールド領域３８の３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種であってもよい。

[0113] 複数のフィールド領域３８は、電界緩和構造２１の緩和幅ＷＲとは異なる幅を有していることが好ましい。つまり、フィールド領域３８による電界緩和効果は、複数の電界緩和構造２１から切り離して調節されることが好ましい。複数のフィールド領域３８の幅は、緩和幅ＷＲよりも小さいことが特に好ましい。むろん、複数のフィールド領域３８の幅は、緩和幅ＷＲよりも大きくてもよい。また、複数のフィールド領域３８の幅は、緩和幅ＷＲとほぼ等しくてもよい。

[0114] 複数のフィールド領域３８は、電界緩和構造２１の緩和ピッチＰＲとは異

なるピッチで形成されていることが好ましい。複数のフィールド領域３８のピッチは、緩和ピッチＰＲよりも小さいことが特に好ましい。複数のフィールド領域３８のピッチは、緩和ピッチＰＲよりも大きくてもよい。複数のフィールド領域３８のピッチは、緩和ピッチＰＲとほぼ等しくてもよい。

[0115] 半導体装置１は、第１主面３を被覆する層間絶縁膜３９を含む。層間絶縁膜３９は、「絶縁膜」、「層間膜」、「中間絶縁膜」等と称されてもよい。層間絶縁膜３９は、この形態では、第１絶縁膜４０および第２絶縁膜４１を含む積層構造を有している。第１絶縁膜４０は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。第１絶縁膜４０は、チップ２（半導体層７）の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0116] 第１絶縁膜４０は、活性領域９および外周領域１０において第１主面３を選択的に被覆している。具体的には、第１絶縁膜４０は、活性面１１、外周面１２および第１～第４接続面１３Ａ～１３Ｄを選択的に被覆している。第１絶縁膜４０は、活性面１１において絶縁膜１８に接続され、埋設電極１９を露出させている。

[0117] 第１絶縁膜４０は、外周面１２においてウェル領域３７および複数のフィールド領域３８を被覆している。第１絶縁膜４０は、この形態では、第１～第４側面５Ａ～５Ｄに連なっている。むろん、第１絶縁膜４０は、外周面１２の周縁から内方に間隔を空けて形成され、外周面１２の周縁部から半導体層７を露出させていてもよい。第１絶縁膜４０は、第１～第４接続面１３Ａ～１３Ｄにおいてボディ領域１５およびウェル領域３７を被覆している。

[0118] 第２絶縁膜４１は、第１絶縁膜４０の上に積層されている。第２絶縁膜４１は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。層間絶縁膜３９は、酸化シリコン膜を含むことが好ましい。第２絶縁膜４１は、活性領域９および外周領域１０において第１絶縁膜４０を挟んで第１主面３を被覆している。具体的には、第２絶縁膜４１は、第１絶縁膜４０を挟んで活性面１１、外周面１２および第１

～第４接続面１３Ａ～１３Ｄを選択的に被覆している。

[0119] 第２絶縁膜４１は、活性領域９において複数のトレンチ構造１６（埋設電極１９）を被覆している。第２絶縁膜４１は、外周領域１０において第１絶縁膜４０を挟んでウェル領域３７および複数のフィールド領域３８を被覆している。第２絶縁膜４１は、この形態では、第１～第４側面５Ａ～５Ｄに連なっている。むろん、第２絶縁膜４１は、外周面１２の周縁から内方に間隔を空けて形成され、第１絶縁膜４０と共に第１主面３の周縁部を露出させていてもよい。

[0120] 半導体装置１は、層間絶縁膜３９に形成された複数のコンタクト開口４２を含む。複数のコンタクト開口４２は、複数のトレンチ構造１６（埋設電極１９）を露出させる複数のコンタクト開口４２（図示略）、および、複数のソース領域３３を露出させる複数のコンタクト開口４２を含む。ソース領域３３用の複数のコンタクト開口４２は、隣り合う複数のトレンチ構造１６の間の領域に形成され、複数のソース領域３３および複数のコンタクト領域３４を露出させている。

[0121] 半導体装置１は、第１～第４接続面１３Ａ～１３Ｄのうちの少なくとも１つを被覆するように層間絶縁膜３９内に配置されたサイドウォール構造４３を含む。サイドウォール構造４３は、第１絶縁膜４０の上に配置され、第２絶縁膜４１によって被覆されている。サイドウォール構造４３は、活性面１１および外周面１２の間に形成された段差を緩和する。

[0122] サイドウォール構造４３は、第１～第４接続面１３Ａ～１３Ｄのうちの少なくとも１つに沿って延びる帯状に形成されている。サイドウォール構造４３は、この形態では、平面視において活性面１１を取り囲むように第１～第４接続面１３Ａ～１３Ｄに沿って延びる環状（具体的には四角環状）に形成されている。

[0123] サイドウォール構造４３は、外周面１２に沿って膜状に延びる部分、および、第１～第４接続面１３Ａ～１３Ｄに沿って膜状に延びる部分を有していてもよい。サイドウォール構造４３は、この形態では、最内のフィールド領

域３８から活性面１１側に間隔を空けて形成され、水平方向および鉛直方向Ｚに第１絶縁膜４０を挟んでウェル領域３７に対向している。サイドウォール構造４３は、第１絶縁膜４０を挟んでボディ領域１５に対向していてもよい。

[0124]　図１を参照して、半導体装置１は、層間絶縁膜３９の上に配置されたゲートパッド４４を含む。ゲートパッド４４は、外部からゲート電位が付与される電極である。ゲートパッド４４は、「ゲートパッド電極」、「第１パッド電極」等と称されてもよい。ゲートパッド４４は、層間絶縁膜３９側からこの順に積層されたＴｉ系金属膜およびＡｌ系金属膜を含む積層構造を有していてもよい。

[0125]　ゲートパッド４４は、この形態では、層間絶縁膜３９のうち活性領域９を被覆する部分の上に配置されている。具体的には、ゲートパッド４４は、平面視において外周面１２から間隔を空けて活性面１１の上に配置されている。ゲートパッド４４は、平面視において活性面１１の一辺（この形態では第２接続面１３Ｂ）の中央部に近接する領域に配置されている。

[0126]　むろん、ゲートパッド４４は、第１～第４接続面１３Ａ～１３Ｄの中央部のいずれかに沿う領域に配置されていてもよい。むろん、ゲートパッド４４は、平面視において活性面１１の任意の角部に配置されていてもよい。また、ゲートパッド４４は、平面視において活性面１１の中央部に配置されていてもよい。ゲートパッド４４は、この形態では、平面視において四角形状に形成されている。

[0127]　半導体装置１は、ゲートパッド４４から層間絶縁膜３９の上に引き出された少なくとも１つ（この形態では複数）のゲート配線４５を含む。ゲート配線４５は、「配線」、「配線電極」等と称されてもよい。複数のゲート配線４５は、この形態では、平面視において外周面１２から間隔を空けて活性面１１の上に配置されている。

[0128]　複数のゲート配線４５は、層間絶縁膜３９側からこの順に積層されたＴｉ系金属膜およびＡｌ系金属膜を含む積層構造を有していてもよい。複数のゲ

ート配線４５は、この形態では、第１ゲート配線４５Ａおよび第２ゲート配線４５Ｂを含む。

[0129] 第１ゲート配線４５Ａは、ゲートパッド４４から第１接続面１３Ａ側に向けて引き出され、複数のトレンチ構造１６の一部（具体的には一端部）に交差（具体的には直交）するように活性面１１の周縁に沿ってライン状に延びている。第１ゲート配線４５Ａは、複数のコンタクト開口４２を介して層間絶縁膜３９を貫通し、複数のトレンチ構造１６の一端部に電気的に接続されている。

[0130] 第２ゲート配線４５Ｂは、ゲートパッド４４から第３接続面１３Ｃ側に向けて引き出され、複数のトレンチ構造１６の一部（具体的には他端部）に交差（具体的には直交）するように活性面１１の周縁に沿ってライン状に延びている。第２ゲート配線４５Ｂは、複数のコンタクト開口４２を介して層間絶縁膜３９を貫通し、複数のトレンチ構造１６の他端部に電気的に接続されている。

[0131] 半導体装置１は、ゲートパッド４４およびゲート配線４５から間隔を空けて層間絶縁膜３９の上に配置されたソースパッド４６を含む。ソースパッド４６は、外部からソース電位が付与される電極である。ソースパッド４６は、「ソースパッド電極」、「第２パッド電極」等と称されてもよい。ソースパッド４６は、層間絶縁膜３９側からこの順に積層されたＴｉ系金属膜およびＡｌ系金属膜を含む積層構造を有していてもよい。

[0132] ソースパッド４６は、この形態では、平面視において外周面１２から間隔を空けて活性面１１の上に配置されている。ソースパッド４６は、この形態では、平面視においてゲートパッド４４に沿って窪んだ凹部を有する多角形状に形成されている。むろん、ソースパッド４６は、平面視において四角形状に形成されていてもよい。

[0133] ソースパッド４６は、複数のコンタクト開口４２を介して層間絶縁膜３９を貫通し、ボディ領域１５、複数のソース領域３３および複数のコンタクト領域３４Ａ，３４Ｂに電気的に接続されている。つまり、ソースパッド４６

は、ボディ領域１５および複数のコンタクト領域３４Ａ，３４Ｂを介して複数の電界緩和構造２１に電気的に接続されている。

[0134] 半導体装置１は、第２主面４を被覆するドレインパッド４７を含む。ドレインパッド４７は、外部からドレイン電位が付与される電極である。ドレインパッド４７は、「ドレインパッド電極」、「第３パッド電極」等と称されてもよい。ドレインパッド４７は、第２主面４から露出したベース層６とオーミック接触を形成している。

[0135] つまり、ドレインパッド４７は、ベース層６を介して複数のドリフト領域８に電気的に接続されている。ドレインパッド４７は、チップ２の周縁（第１～第４側面５Ａ～５Ｄ）に連なるように第２主面４の全域を被覆していてもよい。ドレインパッド４７は、チップ２の周縁部を露出させるように、チップ２の周縁から内方に間隔を空けて第２主面４を被覆していてもよい。

[0136] ソースパッド４６およびドレインパッド４７の間（第１主面３および第２主面４の間）に印加可能なブレークダウン電圧は、５００Ｖ以上３０００Ｖ以下であってもよい。ブレークダウン電圧は、５００Ｖ以上１０００Ｖ以下、１０００Ｖ以上１５００Ｖ以下、１５００Ｖ以上２０００Ｖ以下、２０００Ｖ以上２５００Ｖ以下、および、２５００Ｖ以上３０００Ｖ以下のいずれか１つの範囲に属する値を有していてもよい。

[0137] 図１３は、半導体装置１の製造に使用されるウエハ５０を示す概略図である。ウエハ５０は、ベース層６の基材であり、ＳｉＣ単結晶を含む。ウエハ５０は、扁平な円盤状に形成されている。むろん、ウエハ５０は、扁平な直方体形状に形成されていてもよい。ウエハ５０は、一方側の第１ウエハ主面５１、他方側の第２ウエハ主面５２、ならびに、第１ウエハ主面５１および第２ウエハ主面５２を接続するウエハ側面５３を有している。

[0138] 第１ウエハ主面５１はベース層６の上端に対応し、第２ウエハ主面５２はベース層６の下端に対応している。第１ウエハ主面５１および第２ウエハ主面５２は、ＳｉＣ単結晶のｃ面によって形成されている。第１ウエハ主面５１はＳｉＣ単結晶のシリコン面によって形成され、第２ウエハ主面５２はＳ

ｉＣ単結晶のカーボン面によって形成されている。ウエハ５０（第１ウエハ主面５１および第２ウエハ主面５２）は、前述のオフ方向Ｄｏおよびオフ角θｏを有している。

[0139] ウエハ５０は、ウエハ側面５３においてＳｉＣ単結晶の結晶方位を示す目印５４を有している。目印５４は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠き部からなる。オリエンテーションノッチは、平面視において第１ウエハ主面５１の中央部に向けて凹形状（たとえば先細り形状）に切り欠かれた切り欠き部からなる。

[0140] 目印５４は、ｍ軸方向に延びる第１のオリエンテーションフラット、および、ａ軸方向に延びる第２のオリエンテーションフラットのいずれか一方または双方を含んでいてもよい。目印５４は、ｍ軸方向に窪んだオリエンテーションノッチ、および、ａ軸方向に窪んだオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。図１２では、平面視においてｍ軸方向（第１方向Ｘ）に延びるオリエンテーションフラットが示されている。

[0141] たとえば、ウエハ５０には、アライメントマーク等によって複数のデバイス領域５５および複数の切断予定ライン５６が設定される。各デバイス領域５５は、半導体装置１に対応する領域である。複数のデバイス領域５５は、平面視において四角形状にそれぞれ設定されている。

[0142] 複数のデバイス領域５５は、この形態では、平面視において第１方向Ｘおよび第２方向Ｙに沿って行列状に設定される。複数のデバイス領域５５は、平面視において第１ウエハ主面５１の周縁から内方に間隔を空けてそれぞれ設定されている。複数の切断予定ライン５６は、複数のデバイス領域５５を区画するように第１方向Ｘおよび第２方向Ｙに沿って延びる格子状に設定されている。

[0143] 図１４は、半導体装置１の製造方法例を示すフローチャートである。図１５Ａ～図１５Ｇは、半導体装置１の製造方法例を示す断面図である。図１５

Ａ～図１５Ｇは、図６に対応する断面図である。

[0144]　まず、図１５Ａを参照して、前述のウエハ５０の用意工程が実施される（図１４のステップＳ１）。次に、半導体層７の形成工程が実施される（図１４のステップＳ２）。半導体層７は、エピタキシャル成長法によって第１ウエハ主面５１（ウエハ５０）を起点に形成される。

[0145]　次に、図１５Ｂを参照して、ボディ領域１５の形成工程が実施される（図１４のステップＳ３）。ボディ領域１５の形成工程では、ｐ型不純物が半導体層７の全域に導入される。これにより、半導体層７の表層部の全域にボディ領域１５が形成される。

[0146]　次に、図１５Ｃを参照して、ソース領域３３の形成工程が実施される（図１４のステップＳ４）。ソース領域３３の形成工程では、ｎ型不純物が半導体層７（ボディ領域１５の表層部）に選択的に導入される。これにより、ボディ領域１５の表層部にソース領域３３が形成される。

[0147]　次に、図１５Ｄを参照して、複数のトレンチ１７の形成工程が実施される。まず、所定パターンを有する第１マスク６０が形成される（図１４のステップＳ５）。第１マスク６０は、無機マスク（ハードマスク）であることが好ましい。第１マスク６０は、複数のトレンチ１７を形成すべき領域を露出させる複数の第１開口６１を有している。次に、第１マスク６０を介するエッチング法によって、半導体層７の不要な部分が除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。エッチング法は、ＲＩＥ（Reactive Ion Etching）法であることが好ましい。これにより、半導体層７の上端に複数のトレンチ１７が形成される（図１４のステップＳ６）。また、半導体層７の上端に活性面１１、外周面１２および第１～第４接続面１２Ａ～１２Ｄが形成される。

[0148]　次に、図１５Ｅを参照して、第１マスク６０を半導体層７上に残したまま、複数の電界緩和構造２１の形成工程が実施される（図１４のステップＳ７）。電界緩和構造２１の形成工程では、第１マスク６０を介してｐ型不純物が半導体層７に選択的に導入される。これにより、各トレンチ１７の底部に

電界緩和構造２１が形成される。

[0149] 電界緩和構造２１の形成方法として、種々のイオン注入方法が適用できる。たとえば、電界緩和構造２１は、チャネリングイオン注入法によって形成されてもよい。チャネリング注入工程は、オフ角θｏのデータ（情報）に基づいて実施される。チャネリング中注入工程であれば、電界緩和構造２１を半導体層７の深い位置に選択的に簡単に形成することができる。電界緩和構造２１がチャネリングイオン注入法によって形成される場合、電界緩和構造２１は、ボディ領域１５よりも先に形成されてもよい。その後、第１マスク６０が除去される。

[0150] 次に、図１５Ｆを参照して、複数のコンタクト領域３４Ａ，３４Ｂの形成工程が実施される。まず、所定パターンを有する第２マスク６２が形成される（図１４のステップＳ８）。第２マスク６２は、無機マスク（ハードマスク）であることが好ましい。第２マスク６２は、複数のコンタクト領域３４Ａ，３４Ｂを形成すべき領域を露出させる複数の第２開口６３を有している。

[0151] 次に、第２マスク６２を介するイオン注入法によってｐ型不純物を半導体層７の表層部に導入することによって、複数のコンタクト領域３４Ａ，３４Ｂが形成される。この形態では、第１ウエハ主面５１に対して所定の角度をつけた斜め注入が実施される。これにより、第１ウエハ主面５１およびトレンチ１７の底部に加えて、トレンチ１７の側面にもイオンを注入することができる。一方、前述のように、トレンチ構造１６が縦長柱状に延びるアスペクト比ＤＴ／ＷＴ（たとえば、１以上５以下）を有しており、トレンチ幅ＷＴに比べてトレンチ深さＤＴが遥かに大きい。そのため、トレンチ１７の側面全体に均等にイオン注入するために注入角度を大きくする必要がある。その結果、トレンチ１７の側面からのイオン注入深さが浅くなり、得られた複数のコンタクト領域３４Ａ，３４Ｂでは、第２厚さＴ２Ａ＜第１厚さＴ１Ａ，第３厚さＴ３Ａ、および第２厚さＴ２Ｂ＜第１厚さＴ１Ｂ，第３厚さＴ３Ｂとなる。

[0152] 次に、図１５Ｇを参照して、絶縁膜１８の形成工程が実施される（図１４のステップＳ１０）。絶縁膜１８の形成工程は、第１絶縁膜４０の形成工程を兼ねている。絶縁膜１８は、ＣＶＤ（Chemical Vapor Deposition）法および酸化処理法のいずれか一方または双方によって形成されてもよい。絶縁膜１８および第１絶縁膜４０は、典型的には、熱酸化処理法によって形成される。絶縁膜１８は複数のトレンチ１７の壁面に膜状に形成され、第１絶縁膜４０は半導体層７の上端のうち複数のトレンチ１７外の領域に膜状に形成される。

[0153] 次に、埋設電極１９の形成工程が実施される（図１４のステップＳ１１）。この工程は、絶縁膜１８の上にベース電極膜を形成する工程を含む。ベース電極膜は、この形態では、導電性ポリシリコンを含む。ベース電極膜は、複数のトレンチ１７を埋め戻し、半導体層７の上端を被覆する。ベース電極膜は、ＣＶＤ法によって形成されてもよい。次に、埋設電極１９の不要な部分がエッチング法によって除去される。埋設電極１９の不要な部分は、絶縁膜１８が露出するまで除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。これにより、複数のトレンチ１７内に複数の埋設電極１９がそれぞれ埋設され、複数のトレンチ構造１６が形成される。

[0154] 次に、層間絶縁膜３９（第２絶縁膜４１）の形成工程が実施される（図１４のステップＳ１２）。層間絶縁膜３９は、ＣＶＤ法によって形成されてもよい。層間絶縁膜３９には、所定レイアウトを有するマスク（図示せず）を介するエッチング法によって所定レイアウトを有する複数のコンタクト開口４２が形成される。

[0155] 次に、ゲートパッド４４、ゲート配線４５およびソースパッド４６の形成工程が実施される（図１４のステップＳ１３）。ゲートパッド４４、ゲート配線４５およびソースパッド４６は、スパッタ法によって金属膜を層間絶縁膜３９の上に堆積させた後、所定レイアウトを有するマスク（図示せず）を介するエッチング法によって所定レイアウトに成形されることによって形成

される。

[0156] 次に、ドレインパッド４７の形成工程が実施される（図１４のステップＳ１４）。ドレインパッド４７は、スパッタ法によって金属膜を第２ウエハ主面５２の上に堆積させせることによって形成される。その後、ウエハ５０が複数の切断予定ライン５６に沿って切断される（図１４のステップＳ１５）。以上を含む工程を経て、１枚のウエハ５０から複数の半導体装置１が製造される。

[0157] 以上のように、トレンチ１７の底壁に電界緩和構造２１が形成されているので、ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）に係るトレンチゲート構造のトレンチ１７の底壁への電界集中を緩和することができる。また、電界緩和構造２１が複数のコンタクト領域３４Ａ，３４Ｂに接続されているため、複数のコンタクト領域３４Ａ，３４Ｂを介して電界緩和構造２１を所定の電位（この形態では、ソース電位）に固定することができる。たとえば、ソース電位を接地電位にすることにより、トレンチ１７の底壁への電界集中を安定して緩和することができる。

[0158] また、電界緩和構造２１へのコンタクト用の複数のコンタクト領域３４Ａ，３４Ｂが、各トレンチ１７の幅方向一方側および他方側のそれぞれに分かれて配置されている。この形態では、各メサ部２０のトレンチ１７の長さ方向において、第１コンタクト領域３４Ａおよび第２コンタクト領域３４Ｂが左右交互に間隔を空けて配列されている。これにより、ソース領域３３が第２方向Ｙにおいてジグザグ状に形成され、第２方向Ｙ（トレンチ１７の長さ方向）に複数の第１チャネル区間３５および複数の第２チャネル区間３６が交互に配列される。その結果、トレンチ１７の長さ方向に均等にチャネルを形成することができるので、短絡時の電流バランスを均等にすることができる。よって、メサ部２０における部分的な電流集中を防止でき、破壊耐量を向上することができる。

[0159] たとえば、各トレンチ１７の幅方向一方側のみに選択的に、コンタクト領域３４Ａが形成されている形態では、チャネル電流が各トレンチ１７の幅方

向他方側に偏る。そのため、各トレンチ１７の幅方向他方側に電流が集中し、短絡時に破壊に至るケースが増える。これに対し、前述の形態では、トレンチ１７の長さ方向にチャネルを均等にバランスよく形成できるので、電流集中を防止して破壊耐量を向上することができる。

[0160] 図１６～図２２は、半導体装置１の第１～第６変形例を示す図である。次に、図１６～図２２を参照して、半導体装置１の変形例について説明する。

[0161] 図１６を参照して、複数の電界緩和構造２１の側面２２は、トレンチ１７の幅方向における中央に位置していてもよい。より詳細には、各電界緩和構造２１は、ボディ領域１５と一体的に形成され、トレンチ１７に対して第１方向Ｘの一方側に形成されている。この形態では、各電界緩和構造２１は、隣り合う２つのトレンチ１７に挟まれたボディ領域１５の一部から鉛直方向Ｚにおいてトレンチ１７の底壁よりも下方に延び、かつ第１主面３に沿う水平方向に沿って広がり、トレンチ１７の底壁に重なっている。これにより、各電界緩和構造２１は、各トレンチ１７内において、トレンチ１７の側壁の下部および側壁の下部に連続するトレンチ１７の底壁として露出する略Ｌ字状の露出面を有している。

[0162] 電界緩和構造２１は、トレンチ１７の底壁よりも第２主面４側のベース部５７と、隣り合う２つのトレンチ１７に挟まれた突出部５８とを一体的に有していてもよい。

[0163] ベース部５７は、各トレンチ１７に重なり、各トレンチ１７の側壁を第１方向Ｘに横切っている。ベース部５７は、メサ部２０の直下の領域よりも水平方向の外側に張り出した端部を有している。突出部５８は、ベース部５７から各トレンチ１７の側壁に沿ってメサ部２０の内側に延び、ボディ領域１５の底部に接続されている。突出部５８は、トレンチ１７の底壁から鉛直方向Ｚにボディ領域１５まで形成されている。

[0164] 複数の第１コンタクト領域３４Ａおよび複数の第２コンタクト領域３４Ｂは、ボディ領域１５および突出部５８を鉛直方向Ｚに貫通し、さらにベース部５７に接続されている。

[0165]　なお、図示は省略するが、複数の電界緩和構造２１が第２方向Ｙに間隔を空けて配列されていてもよい。この場合、第２コンタクト領域３４Ｂに対応する電界緩和構造２１は、トレンチ１７に対して第１方向Ｘの他方側（つまり、図１６の電界緩和構造２１とはトレンチ１７を挟んで反対側）に形成されていてもよい。これにより、当該電界緩和構造２１の突出部５８およびベース部５７に第２コンタクト領域３４Ｂを接続することができる。

[0166]　この構成によれば、電界緩和構造２１へのコンタクト用の複数のコンタクト領域３４Ａ，３４Ｂが、各トレンチ１７の幅方向一方側および他方側のそれぞれに分かれて配置されている（図１６では、第１コンタクト領域３４のみを示している）。これにより、トレンチ１７の長さ方向に均等にチャネルを形成することができるので、短絡時の電流バランスを均等にすることができる。その結果、メサ部２０における部分的な電流集中を防止でき、破壊耐量を向上することができる。

[0167]　図１７および図１８を参照して、複数のトレンチ１７のうちの一対のトレンチ１７Ａ，１７Ｂの一方のトレンチ１７Ａの側面に沿って形成された第１コンタクト領域３４Ａと、他方のトレンチ１７Ｂの側面に沿って形成された第２コンタクト領域３４Ｂとが一体化し、一方のトレンチ１７Ａと他方のトレンチ１７Ｂに跨る１つのコンタクト領域５９が形成されていてもよい。なお、図１７および図１８では、一例として参照符号「１７Ａ」および「１７Ｂ」を１つずつ示しているが、一対のトレンチ１７Ａ，１７Ｂは、任意の一対のトレンチ１７から選択してもよい。

[0168]　コンタクト領域５９は、平面視において千鳥状パターンで配列されている。たとえば、第１方向Ｘにおいて複数のメサ部２０のうち一対のメサ部２０を第１メサ部２０Ａおよび第２メサ部２０Ｂと定義する。第１メサ部２０Ａには、複数のコンタクト領域５９Ａ（これを「第１コンタクト領域」と称してもよい。）がトレンチ構造１６の延在方向に間隔を空けて配列されている。第２メサ部２０Ｂには、複数のコンタクト領域５９Ｂ（これを「第２コンタクト領域」と称してもよい。）がトレンチ構造１６の延在方向に間隔を空

けて配列されている。複数のコンタクト領域５９Ａおよび複数のコンタクト領域５９Ｂは、第１方向Ｘにおいて互いに重ならないように配置されている。これにより、複数のコンタクト領域５９Ａおよび複数のコンタクト領域５９Ｂが、全体として千鳥状パターンで配列されている。

[0169]　各メサ部２０において、複数のコンタクト領域５９が形成されていない領域は、チャネル区間６４である。チャネル区間６４は、第２方向Ｙに一定の幅を有する領域である。一方、各メサ部２０において、複数のコンタクト領域５９が形成された領域は、非チャネル区間６５である。非チャネル区間６５は、第２方向Ｙに一定の幅を有する領域である。各メサ部２０では、トレンチ構造１６の延在方向にチャネル区間６４および非チャネル区間６５が交互に配列されている。

[0170]　この構成によれば、各トレンチ１７の両側にチャネル区間６４および非チャネル区間６５が交互に配列されている。これにより、トレンチ１７の長さ方向に均等にチャネルを形成することができるので、短絡時の電流バランスを均等にすることができる。その結果、メサ部２０における部分的な電流集中を防止でき、破壊耐量を向上することができる。

[0171]　図１９を参照して、各電界緩和構造２１の側面２２は、トレンチ１７の側面から鉛直方向Ｚに面一な平面形状である必要はなく、水平方向（第１方向Ｘおよび第２方向Ｙの少なくとも一方）に向かって膨らむ膨出部６６を有していてもよい。

[0172]　図２０を参照して、半導体装置１の素子構造は、図６～図１０のＭＩＳＦＥＴ構造とは異なり、ＩＧＢＴ（Insulated Gate Bipolar Transistor）構造であってもよい。この場合、ベース層６に変えて、ｐ型のコレクタ領域７１が形成されていてもよい。また、ボディ領域１５によりｐ型のベース領域７２が形成され、ソース領域３３によりｎ型のエミッタ領域７３が形成されていてもよい。

[0173]　この構成によれば、電界緩和構造２１へのコンタクト用の複数のコンタクト領域３４Ａ，３４Ｂが、各トレンチ１７の幅方向一方側および他方側のそ

れぞれに分かれて配置されている（図２０では、第１コンタクト領域３４のみを示している）。これにより、トレンチ１７の長さ方向に均等にチャネルを形成することができるので、ＩＧＢＴの短絡時の電流バランスを均等にすることができる。その結果、メサ部２０における部分的な電流集中を防止でき、破壊耐量を向上することができる。

[0174] 複数の第１コンタクト領域３４Ａおよび複数の第２コンタクト領域３４Ｂは、第２方向Ｙにおいて１つずつ左右交互に間隔を空けて配列されている必要はなく、たとえば図２１に示すように、複数個ずつ（図２１では、２つずつ）左右交互に間隔を空けて配列されていてもよいし、図２２に示すように、第２方向Ｙに間隔を空けずに交互に配列されていてもよい。

[0175] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0176] たとえば、前述の各実施形態では、ＳｉＣ単結晶をそれぞれ含むベース層６および半導体層７が採用された。しかし、ベース層６および半導体層７の少なくとも１つまたは全部は、ＳｉＣ単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。

[0177] ワイドバンドギャップ半導体は、シリコンのバンドギャップよりも大きいバンドギャップを有する半導体である。ワイドバンドギャップ半導体の単結晶として、炭化シリコン（ＳｉＣ）、窒化ガリウム（ＧａＮ）、ダイヤモンド（Ｃ）、酸化ガリウム（Ga_2O_3）等が例示される。ベース層６および半導体層７は、同一種類の単結晶によって構成されていてもよいし、異なる種類の単結晶によって構成されていてもよい。また、ベース層６および半導体層７の少なくとも１つまたは全部は、シリコン（Ｓｉ）により構成されていてもよい。

[0178] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各付記（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「ＳｉＣ半導体装置」、「ワイドバンドギャ

ップ半導体装置」、「半導体スイッチング装置」、「半導体整流装置」、「ＭＩＳＦＥＴ装置」、「ＩＧＢＴ装置」、「ダイオード装置」等に置き換えられてもよい。

[0179] ［付記１－１］

第１主面（３）およびその反対側の第２主面（４）を有するチップ（２）と、

前記第１主面（３）の表層部に形成された第１導電型の第１不純物領域（７）と、

前記第１不純物領域（７）の表層部に形成された第２導電型の第２不純物領域（１５）と、

前記第２不純物領域（１５）の表層部に形成された第１導電型の第３不純物領域（３３）と、

前記第１主面（３）から前記第３不純物領域（３３）および前記第２不純物領域（１５）を通って前記第１不純物領域（７）に達するトレンチ（１７）と、

前記トレンチ（１７）の底部に形成された第２導電型の電界緩和構造（２１）と、

前記第１主面（３）から前記第２主面（４）に向かって前記トレンチ（１７）の一方側の側面に沿って形成され、前記第２不純物領域（１５）および前記電界緩和構造（２１）に電気的に接続された第１コンタクト領域（３４Ａ）と、

前記第１主面（３）から前記第２主面（４）に向かって前記トレンチ（１７）の他方側の側面に沿って形成され、前記第２不純物領域（１５）および前記電界緩和構造（２１）に電気的に接続され、前記第１コンタクト領域（３４Ａ）から物理的に分離された第２コンタクト領域（３４Ｂ）とを含み、

複数の前記第１コンタクト領域（３４Ａ）および複数の前記第２コンタクト領域（３４Ｂ）が、前記トレンチ（１７）の長さ方向に沿って配列されている、半導体装置（１）。

[0180] この構成によれば、トレンチ（１７）の底部に電界緩和構造（２１）が形成されているので、トレンチ（１７）の底部への電界集中を緩和することができる。また、電界緩和構造（２１）が複数の第１コンタクト領域（３４Ａ）および第２コンタクト領域（３４Ｂ）に接続されているため、複数の第１コンタクト領域（３４Ａ）および第２コンタクト領域（３４Ｂ）を介して電界緩和構造（２１）を所定の電位に固定することができる。

[0181] また、電界緩和構造（２１）へのコンタクト用の複数の第１コンタクト領域（３４Ａ）および第２コンタクト領域（３４Ｂ）が、トレンチ（１７）の幅方向一方側および他方側のそれぞれに分かれて配置されている。これにより、トレンチ（１７）の長さ方向に均等にチャネルを形成することができるので、短絡時の電流バランスを均等にすることができる。よって、部分的な電流集中を防止でき、破壊耐量を向上することができる。

[0182] たとえば、トレンチ（１７）の幅方向一方側のみに選択的に、コンタクト領域が形成されている形態では、チャネル電流がトレンチ（１７）の幅方向他方側に偏る。そのため、トレンチ（１７）の幅方向他方側に電流が集中し、短絡時に破壊に至るケースが増える。これに対し、上記の構成では、トレンチ（１７）の長さ方向にチャネルを均等にバランスよく形成できるので、電流集中を防止して破壊耐量を向上することができる。

[0183] ［付記１－２］

前記第１コンタクト領域（３４Ａ）および前記第２コンタクト領域（３４Ｂ）は、それぞれ、前記トレンチ（１７）の深さ方向に前記トレンチ（１７）の側面に沿って延び、前記トレンチ（１７）の側面から第１厚さ（Ｔ１Ａ，Ｔ１Ｂ）を有する第１部分（２３，２６）と、前記第１部分（２３，２６）から前記トレンチ（１７）の底面に沿って延び、前記トレンチ（１７）の底面から前記第１厚さ（Ｔ１Ａ，Ｔ１Ｂ）よりも大きな第２厚さ（Ｔ２Ａ，Ｔ２Ｂ）を有する第２部分（２４，２７）とを一体的に有している、付記１－１に記載の半導体装置（１）。

[0184] ［付記１－３］

前記第１コンタクト領域（３４Ａ）および前記第２コンタクト領域（３４Ｂ）は、それぞれ、前記第１部分（２３，２６）の上端部から前記トレンチ（１７）の反対側に向かって前記第１主面（３）に沿って形成された第３部分（２５，２８）を前記第１部分（２３，２６）および前記第２部分（２４，２７）と一体的に有している、付記１－２に記載の半導体装置（１）。

[0185] ［付記１－４］

前記第１コンタクト領域（３４Ａ）および前記第２コンタクト領域（３４Ｂ）の前記第１部分（２３，２６）、前記第２部分（２４，２７）および前記第３部分（２５，２８）は、前記トレンチ（１７）の長さ方向において同じ幅（ＷＡ，ＷＢ）を有している、付記１－３に記載の半導体装置（１）。

[0186] ［付記１－５］

複数の前記第１コンタクト領域（３４Ａ）および複数の前記第２コンタクト領域（３４Ｂ）が、前記トレンチ（１７）の長さ方向に沿って間隔を空けて配列されている、付記１－１～付記１－４のいずれか一項に記載の半導体装置（１）。

[0187] ［付記１－６］

複数の前記第１コンタクト領域（３４Ａ）および複数の前記第２コンタクト領域（３４Ｂ）が、前記トレンチ（１７）の長さ方向に沿って間隔を空けて交互に配列されている、付記１－１～付記１－５のいずれか一項に記載の半導体装置（１）。

[0188] ［付記１－７］

複数のトレンチ（１７）が第１方向（Ｘ）に間隔を空けて配列されており、

前記複数の第１コンタクト領域（３４Ａ）は、前記複数のトレンチ（１７）の全体にわたって、各前記トレンチ（１７）の前記第１方向（Ｘ）の一方側に統一されて配置されており、

前記複数の第２コンタクト領域（３４Ｂ）は、前記複数のトレンチ（１７）の全体にわたって、各前記トレンチ（１７）の前記第１方向（Ｘ）の他方

側に統一されて配置されている、付記１－６に記載の半導体装置（１）。

[0189] ［付記１－８］

前記複数のトレンチ（１７）のうちの一対の前記トレンチ（１７Ａ）の一方の前記トレンチ（１７）の前記複数の第１コンタクト領域（３４Ａ）の間の領域（２９）に対して、前記第１方向（Ｘ）に隣接する位置に、他方の前記トレンチ（１７Ｂ）の前記第２コンタクト領域（３４Ｂ）が配置されている、付記１－７に記載の半導体装置（１）。

[0190] ［付記１－９］

前記一対のトレンチ（１７）に挟まれた前記チップ（２）のメサ部（２０）において、前記第３不純物領域（３３）は、前記複数の第１コンタクト領域（３４Ａ）および前記複数の第２コンタクト領域（３４Ｂ）の間を通過して、前記第１方向（Ｘ）に交差する第２方向（Ｙ）に沿ってジグザグ状に形成されている、付記１－８に記載の半導体装置（１）。

[0191] ［付記１－１０］

前記電界緩和構造（２１）は、前記トレンチ（１７）の深さ方向において、前記トレンチ（１７）の両側面に対して面一な側面（２２）を有している、付記１－１～付記１－９のいずれか一項に記載の半導体装置（１）。

[0192] ［付記１－１１］

前記電界緩和構造（２１）は、前記トレンチ（１７）の両側面の少なくとも一方の側面から横方向に膨らむ膨出部（６６）を有している、付記１－１～付記１－１０のいずれか一項に記載の半導体装置（１）。

[0193] ［付記１－１２］

複数の前記トレンチ（１７）が間隔を空けて配列されており、

前記複数のトレンチ（１７）のうちの一対の前記トレンチ（１７Ａ）の一方の前記トレンチ（１７）の側面に沿って形成された前記第１コンタクト領域（３４Ａ）と、他方の前記トレンチ（１７Ｂ）の側面に沿って形成された前記第２コンタクト領域（３４Ｂ）とが一体化し、前記一方のトレンチ（１７Ａ）と前記他方のトレンチ（１７Ｂ）に跨る１つのコンタクト領域（５９

）を形成している、付記１－１～付記１－４、付記１－１０および付記１－１１のいずれか一項に記載の半導体装置（１）。

[0194] ［付記１－１３］

前記第１不純物領域（７）に対して前記第２主面（４）側に形成された第１導電型のドレイン領域（６）と、

前記第２不純物領域（１５）により形成されたボディ領域（１５）と、

前記第３不純物領域（３３）により形成されたソース領域（３３）と、

前記トレンチ（１７）、前記トレンチ（１７）の壁面を被覆する絶縁膜（１８）、および前記トレンチ（１７）に埋設された埋設電極（１９）により形成されたトレンチゲート構造（１６）とを含む、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（１）。

[0195] ［付記１－１４］

前記第１不純物領域（７）に対して前記第２主面（４）側に形成された第２導電型のコレクタ領域（７１）と、

前記第２不純物領域（１５）により形成されたベース領域（７２）と、

前記第３不純物領域（３３）により形成されたエミッタ領域（７３）と、

前記トレンチ（１７）、前記トレンチ（１７）の壁面を被覆する絶縁膜（１８）、および前記トレンチ（１７）に埋設された埋設電極（１９）により形成されたトレンチゲート構造（１６）とを含む、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（１）。

[0196] ［付記１－１５］

前記チップ（２）は、ＳｉＣチップ（２）を含む、付記１－１～付記１－１４のいずれか一項に記載の半導体装置（１）。

符号の説明

[0197] １　　：半導体装置

２　　：チップ

３　　：第１主面

４　　：第２主面

５Ａ　：第１側面
５Ｂ　：第２側面
５Ｃ　：第３側面
５Ｃ　：第４側面
５Ｄ　：第４側面
６　：ベース層
７　：半導体層
７ａ　：下側領域
８　：ドリフト領域
９　：活性領域
１０　：外周領域
１１　：活性面
１２　：外周面
１２Ａ　：第４接続面
１２Ｂ　：第４接続面
１２Ｃ　：第４接続面
１２Ｄ　：第４接続面
１３Ａ　：第１接続面
１３Ｂ　：第２接続面
１３Ｃ　：第３接続面
１３Ｃ　：第４接続面
１３Ｄ　：第４接続面
１４　：活性台地
１５　：ボディ領域
１６　：トレンチ構造
１７　：トレンチ
１７Ａ　：トレンチ
１７Ｂ　：トレンチ

１８　　：絶縁膜

１９　　：埋設電極

２０　　：メサ部

２０Ａ　：第１メサ部

２０Ｂ　：第２メサ部

２１　　：電界緩和構造

２２　　：側面

２３　　：第１部分

２４　　：第２部分

２５　　：第３部分

２６　　：第１部分

２７　　：第２部分

２８　　：第３部分

２９　　：領域

３０　　：領域

３１　　：チャネル部

３２　　：非チャネル部

３３　　：ソース領域

３４Ａ　：第１コンタクト領域

３４Ｂ　：第２コンタクト領域

３５　　：第１チャネル区間

３６　　：第２チャネル区間

３７　　：ウェル領域

３８　　：フィールド領域

３９　　：層間絶縁膜

４０　　：第１絶縁膜

４１　　：第２絶縁膜

４２　　：コンタクト開口

４３　　：サイドウォール構造
４４　　：ゲートパッド
４５　　：ゲート配線
４５Ａ　：第１ゲート配線
４５Ｂ　：第２ゲート配線
４６　　：ソースパッド
４７　　：ドレインパッド
４９　　：重複チャネル区間
５０　　：ウエハ
５１　　：第１ウエハ主面
５２　　：第２ウエハ主面
５３　　：ウエハ側面
５４　　：目印
５５　　：デバイス領域
５６　　：切断予定ライン
５７　　：ベース部
５８　　：突出部
５９　　：コンタクト領域
５９Ａ　：コンタクト領域
５９Ｂ　：コンタクト領域
６０　　：第１マスク
６１　　：第１開口
６２　　：第２マスク
６３　　：第２開口
６４　　：チャネル区間
６５　　：非チャネル区間
６６　　：膨出部
７１　　：コレクタ領域

７２　　：ベース領域

７３　　：エミッタ領域

請求の範囲

[請求項1] 第１主面およびその反対側の第２主面を有するチップと、

前記第１主面の表層部に形成された第１導電型の第１不純物領域と、

前記第１不純物領域の表層部に形成された第２導電型の第２不純物領域と、

前記第２不純物領域の表層部に形成された第１導電型の第３不純物領域と、

前記第１主面から前記第３不純物領域および前記第２不純物領域を通って前記第１不純物領域に達するトレンチと、

前記トレンチの底部に形成された第２導電型の電界緩和構造と、

前記第１主面から前記第２主面に向かって前記トレンチの一方側の側面に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続された第１コンタクト領域と、

前記第１主面から前記第２主面に向かって前記トレンチの他方側の側面に沿って形成され、前記第２不純物領域および前記電界緩和構造に電気的に接続され、前記第１コンタクト領域から物理的に分離された第２コンタクト領域とを含み、

複数の前記第１コンタクト領域および複数の前記第２コンタクト領域が、前記トレンチの長さ方向に沿って配列されている、半導体装置。

[請求項2] 前記第１コンタクト領域および前記第２コンタクト領域は、それぞれ、前記トレンチの深さ方向に前記トレンチの側面に沿って延び、前記トレンチの側面から第１厚さを有する第１部分と、前記第１部分から前記トレンチの底面に沿って延び、前記トレンチの底面から前記第１厚さよりも大きな第２厚さを有する第２部分とを一体的に有している、請求項１に記載の半導体装置。

[請求項3] 前記第１コンタクト領域および前記第２コンタクト領域は、それぞ

れ、前記第１部分の上端部から前記トレンチの反対側に向かって前記第１主面に沿って形成された第３部分を前記第１部分および前記第２部分と一体的に有している、請求項２に記載の半導体装置。

[請求項4] 前記第１コンタクト領域および前記第２コンタクト領域の前記第１部分、前記第２部分および前記第３部分は、前記トレンチの長さ方向において同じ幅を有している、請求項３に記載の半導体装置。

[請求項5] 複数の前記第１コンタクト領域および複数の前記第２コンタクト領域が、前記トレンチの長さ方向に沿って間隔を空けて配列されている、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 複数の前記第１コンタクト領域および複数の前記第２コンタクト領域が、前記トレンチの長さ方向に沿って間隔を空けて交互に配列されている、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 複数のトレンチが第１方向に間隔を空けて配列されており、

前記複数の第１コンタクト領域は、前記複数のトレンチの全体にわたって、各前記トレンチの前記第１方向の一方側に統一されて配置されており、

前記複数の第２コンタクト領域は、前記複数のトレンチの全体にわたって、各前記トレンチの前記第１方向の他方側に統一されて配置されている、請求項６に記載の半導体装置。

[請求項8] 前記複数のトレンチのうちの一対の前記トレンチの一方の前記トレンチの前記複数の第１コンタクト領域の間の領域に対して、前記第１方向に隣接する位置に、他方の前記トレンチの前記第２コンタクト領域が配置されている、請求項７に記載の半導体装置。

[請求項9] 前記一対のトレンチに挟まれた前記チップのメサ部において、前記第３不純物領域は、前記複数の第１コンタクト領域および前記複数の第２コンタクト領域の間を通過して、前記第１方向に交差する第２方向に沿ってジグザグ状に形成されている、請求項８に記載の半導体装置。

[請求項10] 前記電界緩和構造は、前記トレンチの深さ方向において、前記トレンチの両側面に対して面一な側面を有している、請求項１～９のいずれか一項に記載の半導体装置。

[請求項11] 前記電界緩和構造は、前記トレンチの両側面の少なくとも一方の側面から横方向に膨らむ膨出部を有している、請求項１～１０のいずれか一項に記載の半導体装置。

[請求項12] 複数の前記トレンチが間隔を空けて配列されており、

前記複数のトレンチのうちの一対の前記トレンチの一方の前記トレンチの側面に沿って形成された前記第１コンタクト領域と、他方の前記トレンチの側面に沿って形成された前記第２コンタクト領域とが一体化し、前記一方のトレンチと前記他方のトレンチに跨る１つのコンタクト領域を形成している、請求項１～４、１０および１１のいずれか一項に記載の半導体装置。

[請求項13] 前記第１不純物領域に対して前記第２主面側に形成された第１導電型のドレイン領域と、

前記第２不純物領域により形成されたボディ領域と、

前記第３不純物領域により形成されたソース領域と、

前記トレンチ、前記トレンチの壁面を被覆する絶縁膜、および前記トレンチに埋設された埋設電極により形成されたトレンチゲート構造とを含む、請求項１～１２のいずれか一項に記載の半導体装置。

[請求項14] 前記第１不純物領域に対して前記第２主面側に形成された第２導電型のコレクタ領域と、

前記第２不純物領域により形成されたベース領域と、

前記第３不純物領域により形成されたエミッタ領域と、

前記トレンチ、前記トレンチの壁面を被覆する絶縁膜、および前記トレンチに埋設された埋設電極により形成されたトレンチゲート構造とを含む、請求項１～１２のいずれか一項に記載の半導体装置。

[請求項15] 前記チップは、ＳｉＣチップを含む、請求項１～１４のいずれか一

項に記載の半導体装置。

[図1]

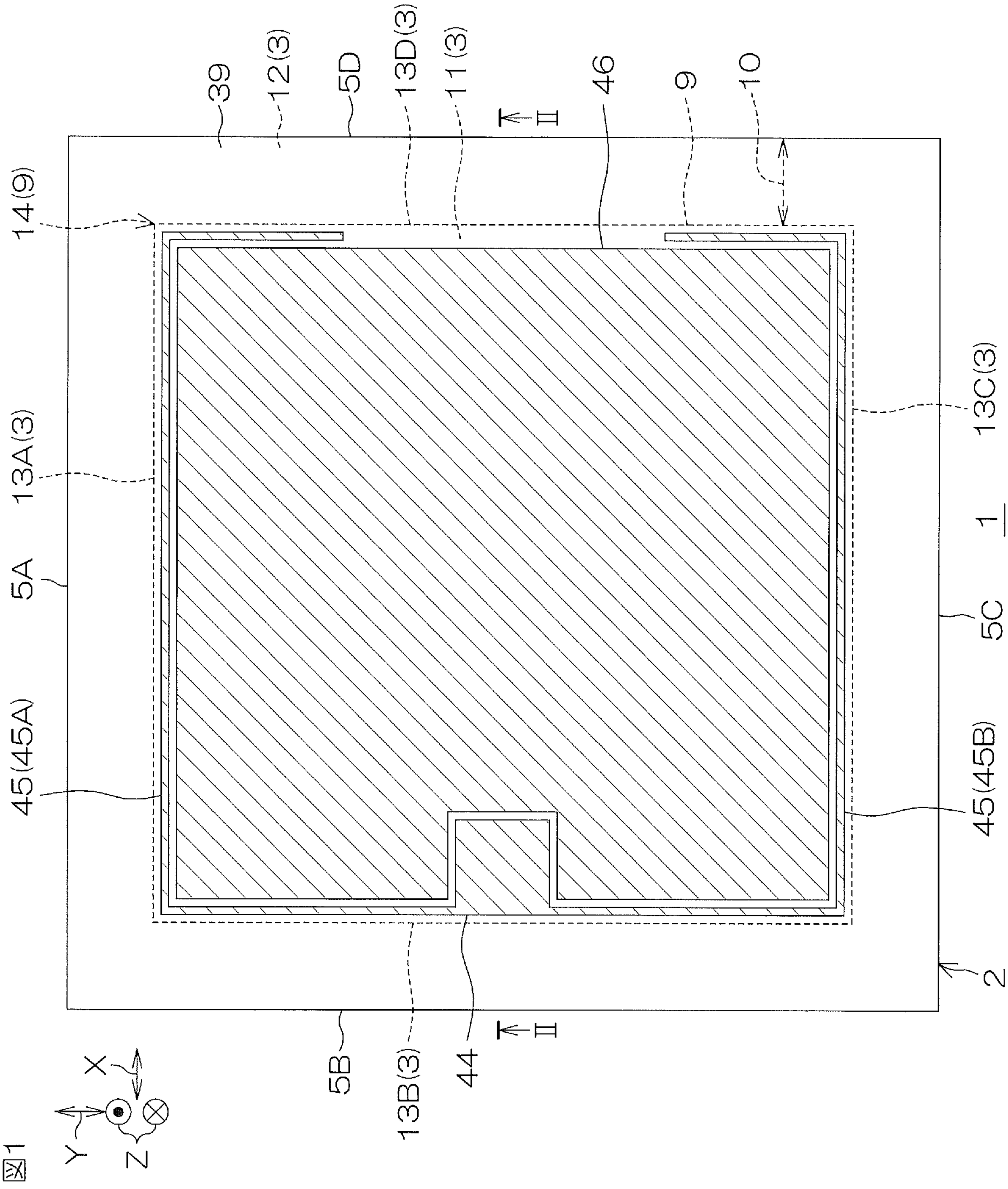

39
12(3)
5D
13D(3)
11(3)
II
46
9
10
14(9)
13A(3)
5A
45(45A)
13C(3)
1
5C
45(45B)
2
5B
13B(3)
44
II
X
Y
Z

図1

[図2]

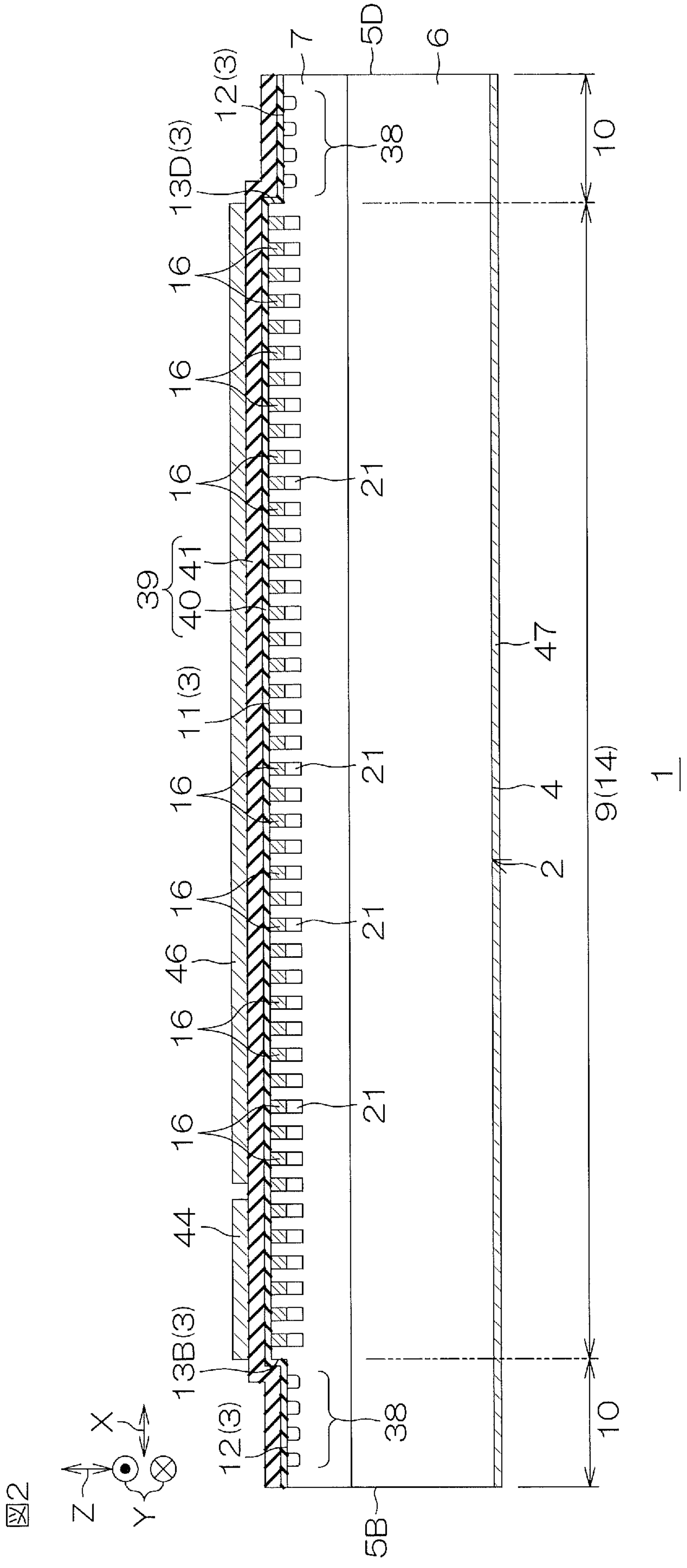
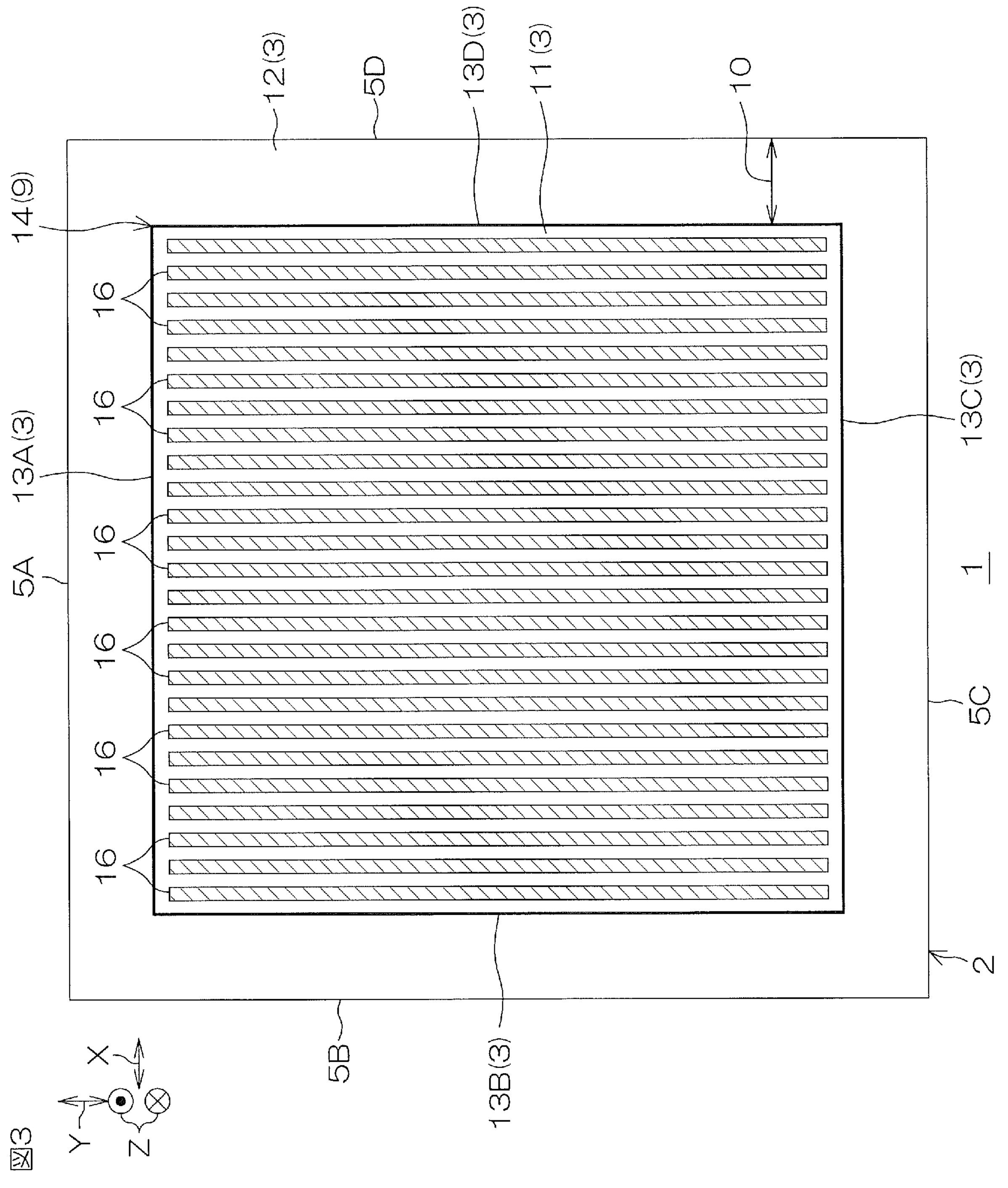


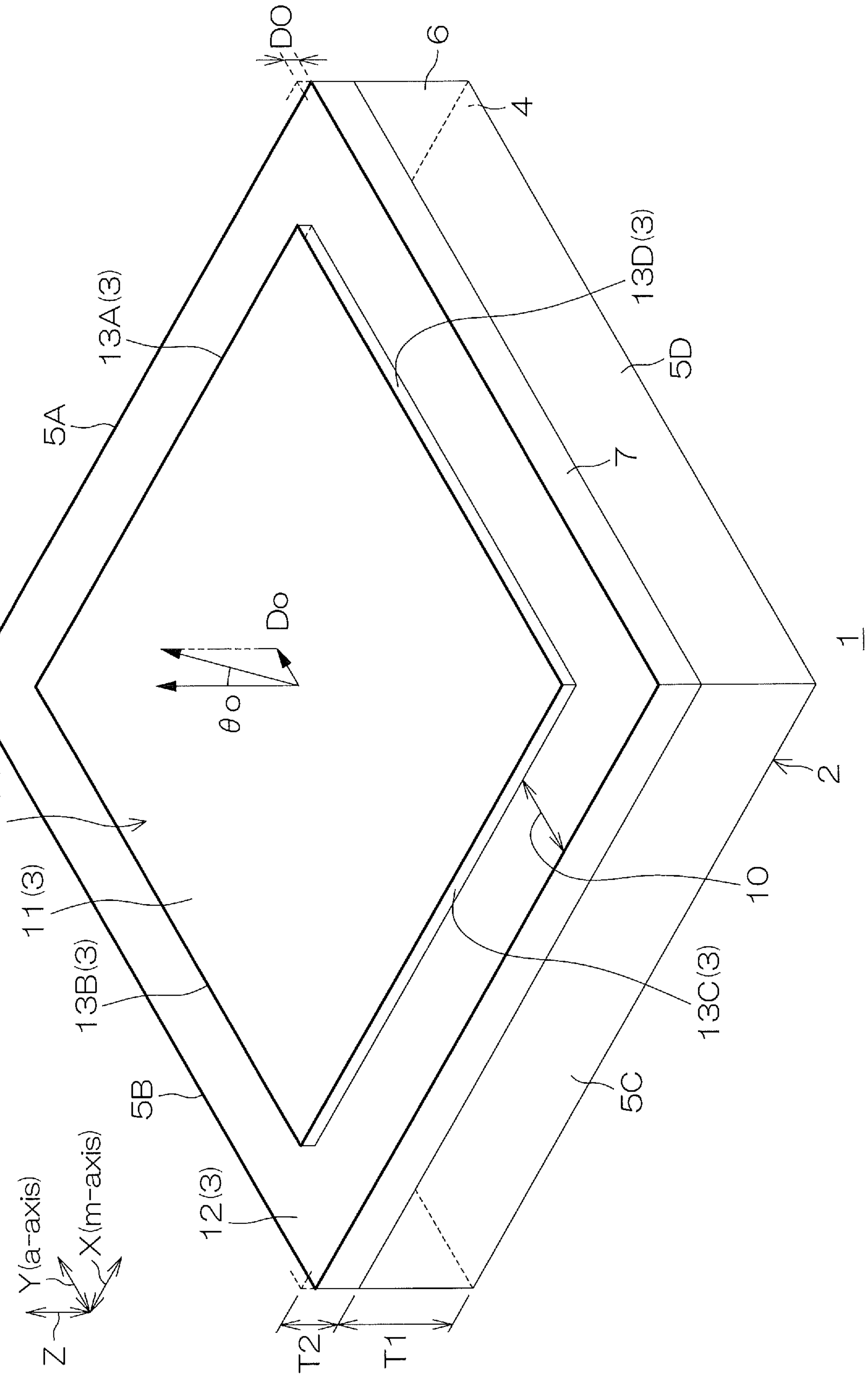
図2
7
5D
6
12(3)
13D(3)
38
10
16
21
39
41
40
47
11(3)
4
9(14)
1
2
46
44
13B(3)
5B
X
Y
Z

[図3]


12(3)
5D
13D(3)
11(3)
10
14(9)
16
16
13A(3)
16
5A
16
16
16
13C(3)
1
5C
2
5B
13B(3)
X
Y
Z
図3

[図4]

図4


DO
6
4
13D(3)
5D
7
1
2
10
13C(3)
5C
13A(3)
5A
Do
θo
14(9)
11(3)
13B(3)
5B
12(3)
Y(a-axis)
X(m-axis)
Z
T2
T1

[図5]

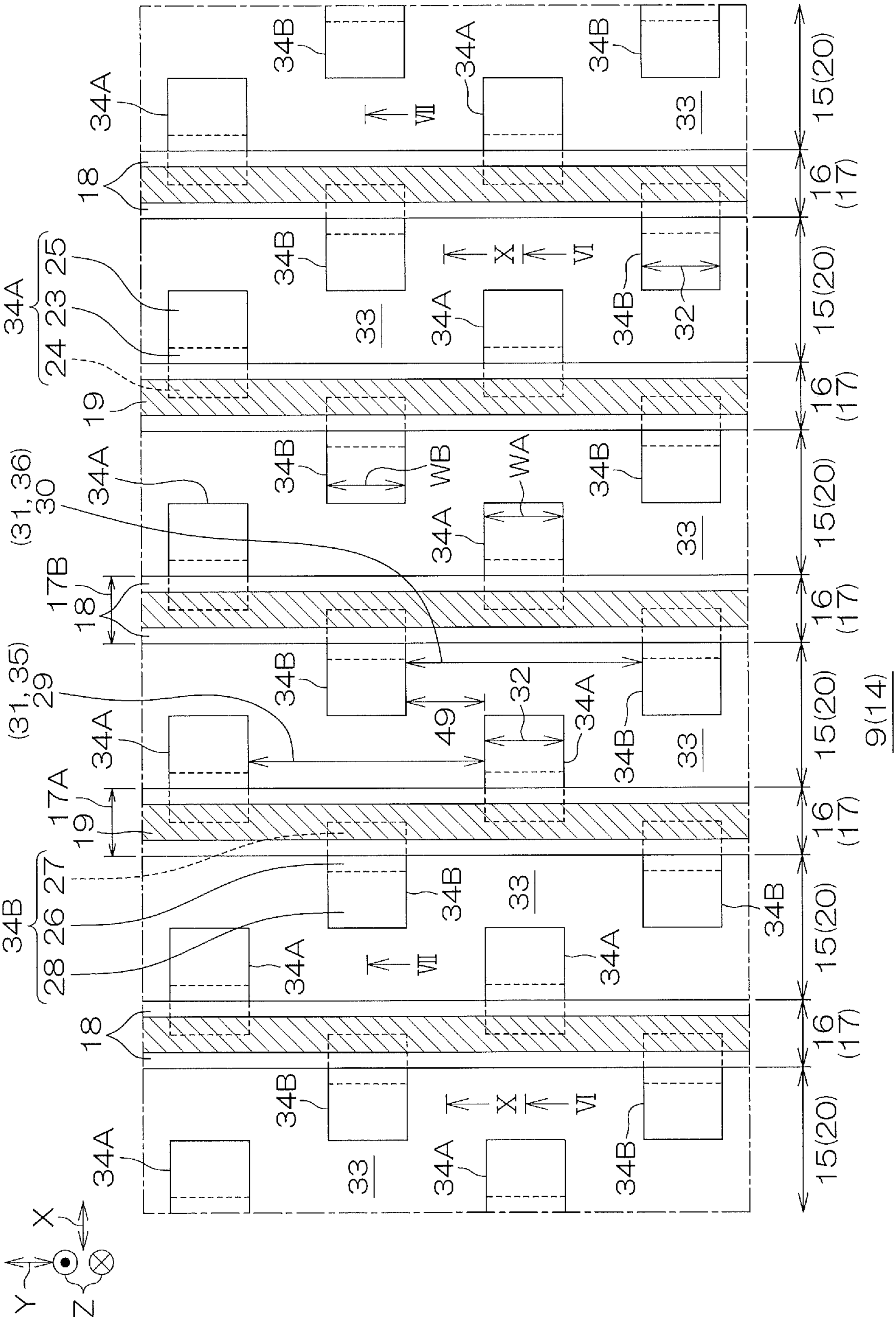
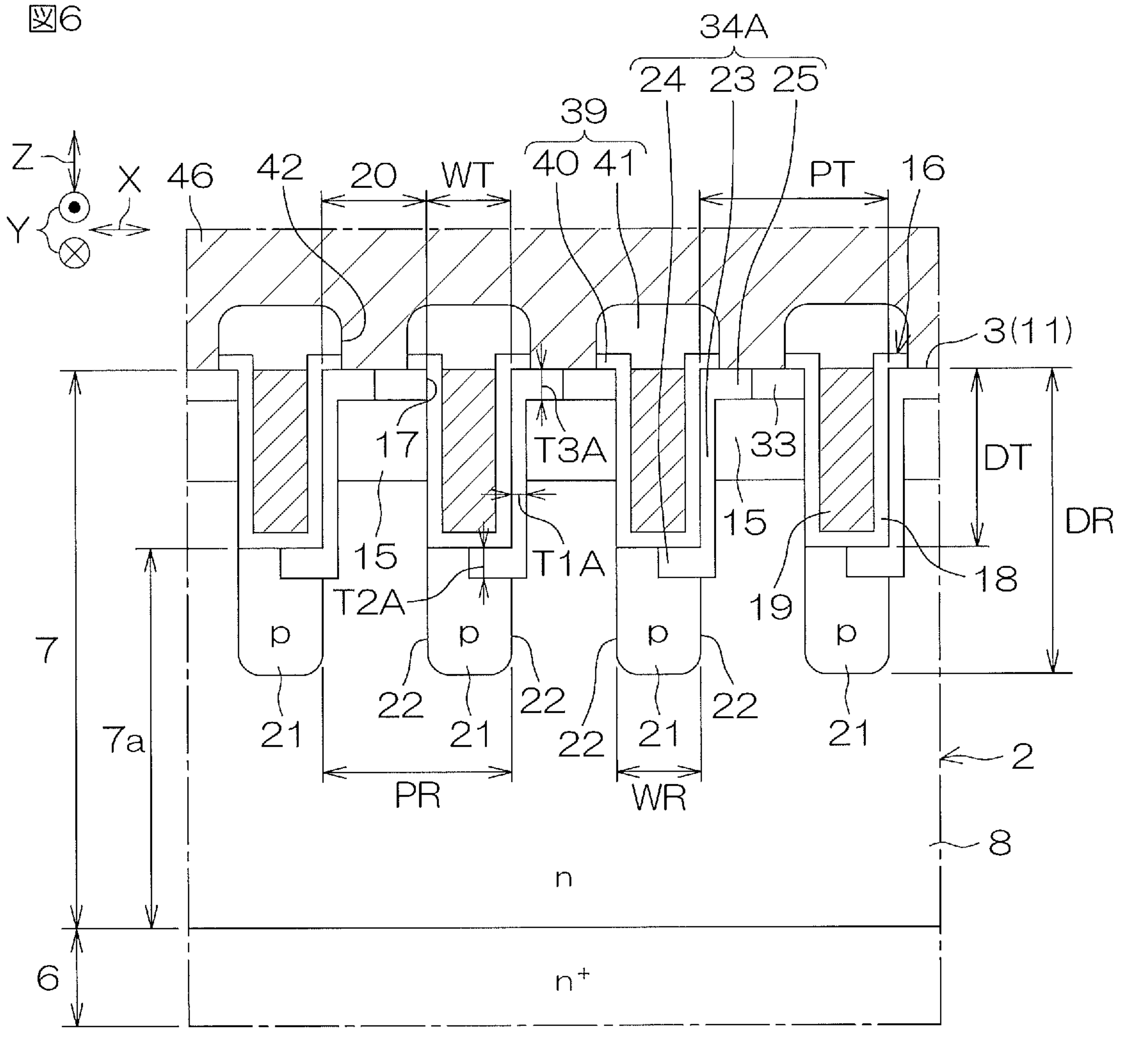

34A
34B
33
VII
18
16
(17)
15(20)
34A 25 23 24
X
VI
32
19
(31, 36) 30
WB
WA
17B
(31, 35) 29
49
9(14)
17A
34B 27 26 28
X
Y
Z

図5

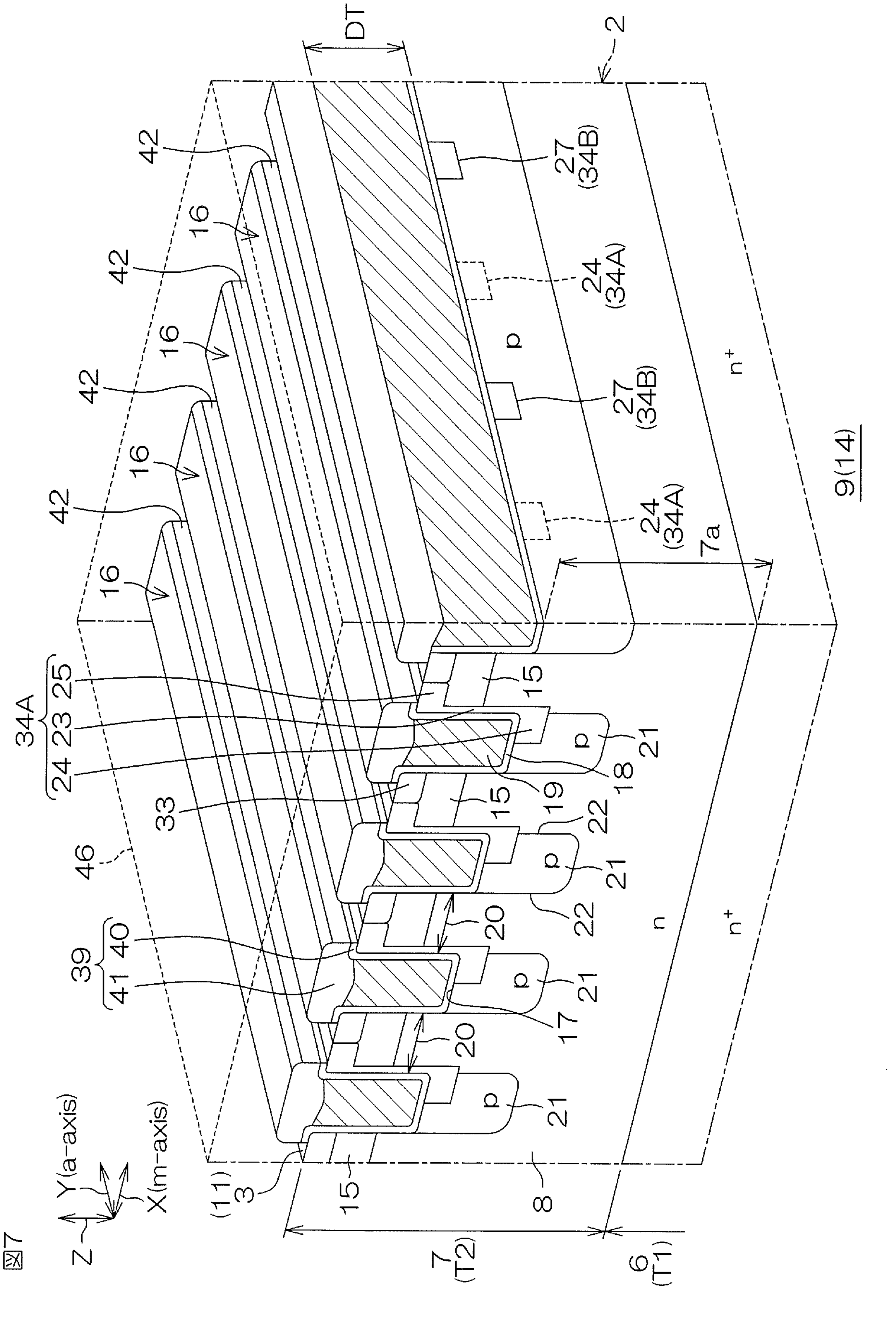
[図6]

図6


34A
24 23 25
39
40 41
Z
X
Y
46
42
20
WT
PT
16
3(11)
17
T3A
33
DT
DR
15
T1A
15
15
19
18
T2A
p
p
p
p
7
7a
22
22
22
22
21
21
21
21
2
PR
WR
8
n
6
n+

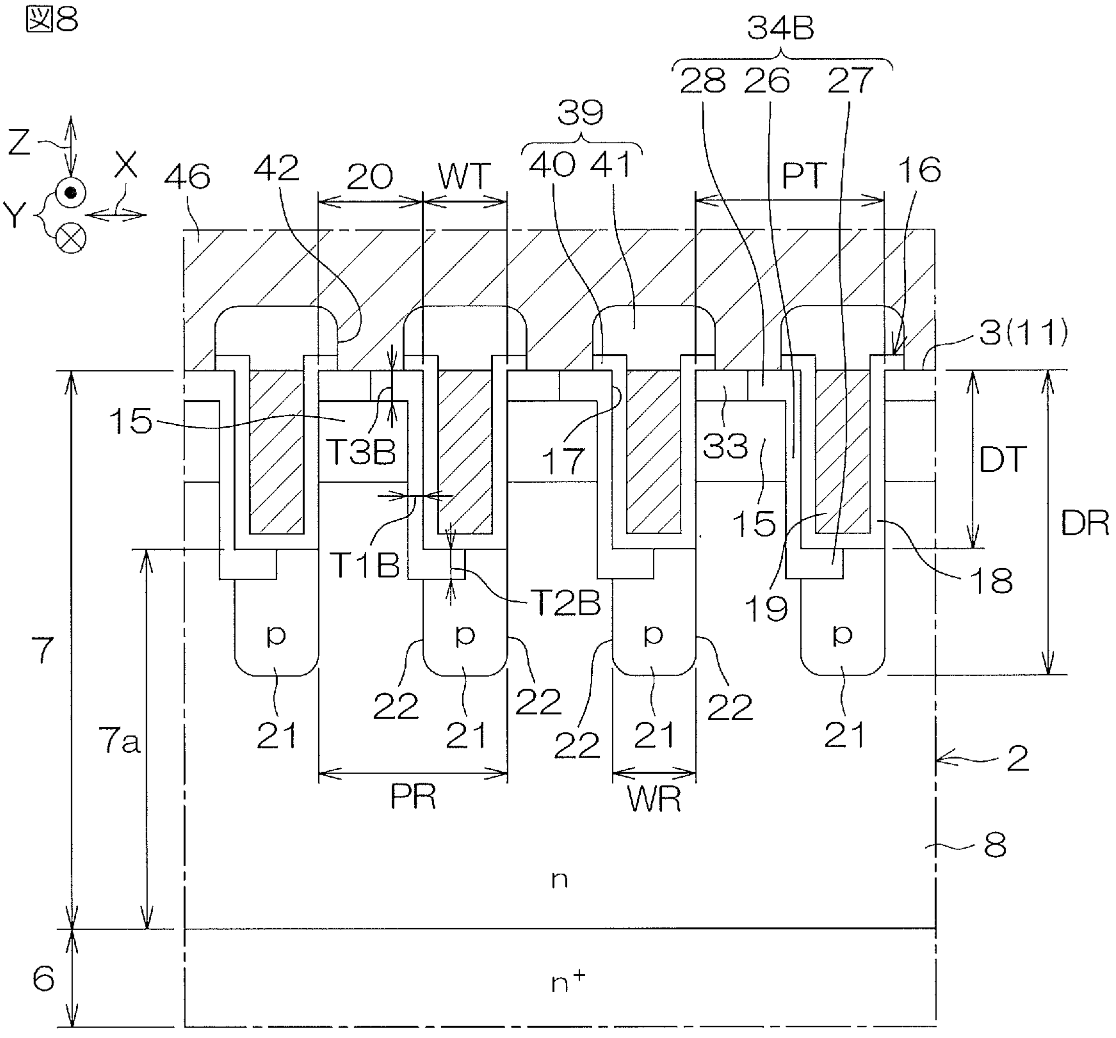
9(14)

[図7]


DT
2
42
16
27
(34B)
24
(34A)
p
n+
9(14)
7a
34A
25
23
24
15
21
18
19
33
22
46
39
40
41
20
17
n
Y(a-axis)
X(m-axis)
Z
(11)
3
8
7
(T2)
6
(T1)
図7

[図8]

図8


34B
28 26 27
39
40 41
Z
X
Y
46
42
20
WT
PT
16
3(11)
15
T3B
17
33
DT
DR
15
T1B
T2B
19
18
7
p
p
p
p
22
22
22
22
21
21
21
21
7a
2
PR
WR
8
n
6
n+

9(14)

[図9]

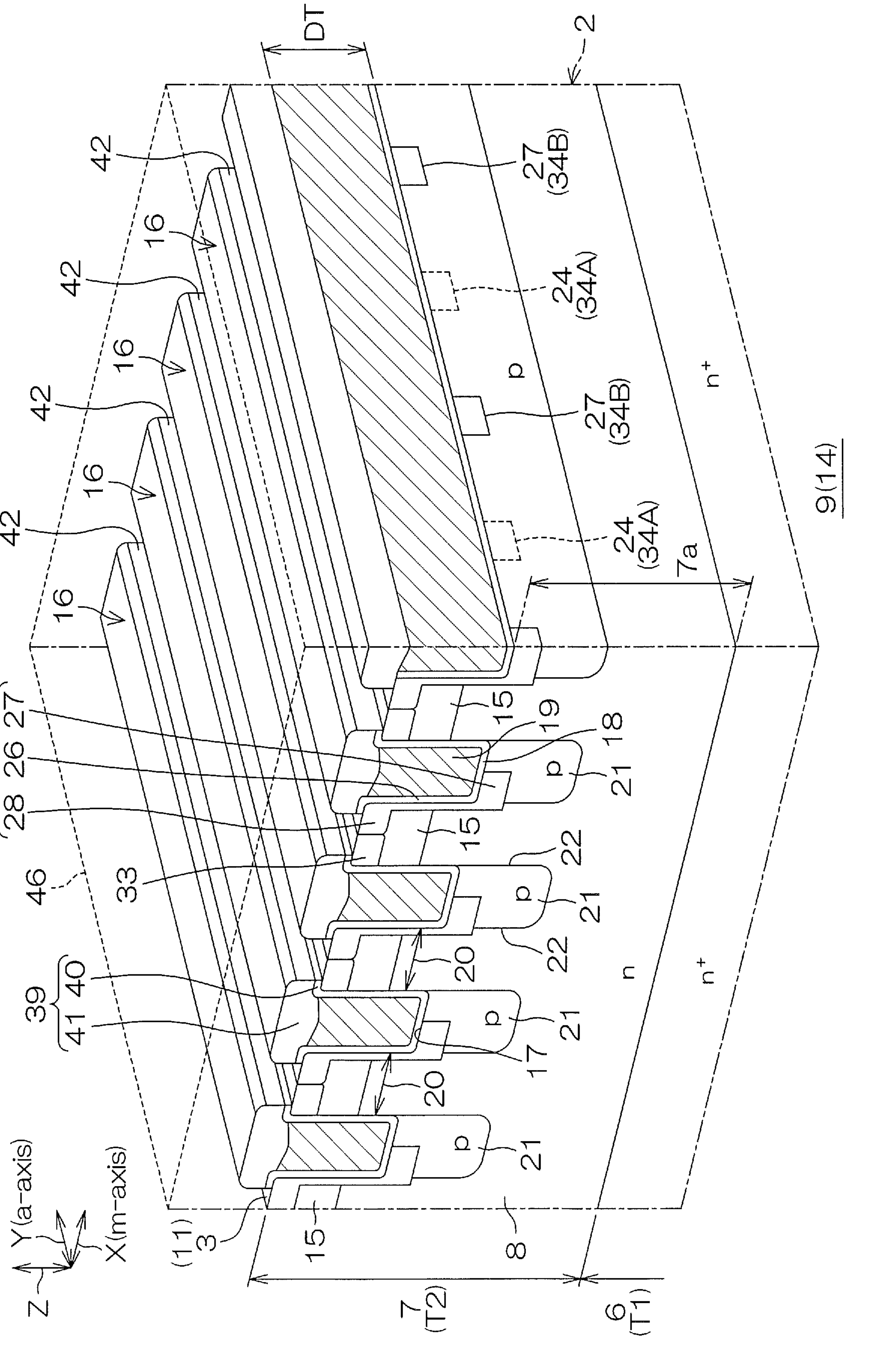
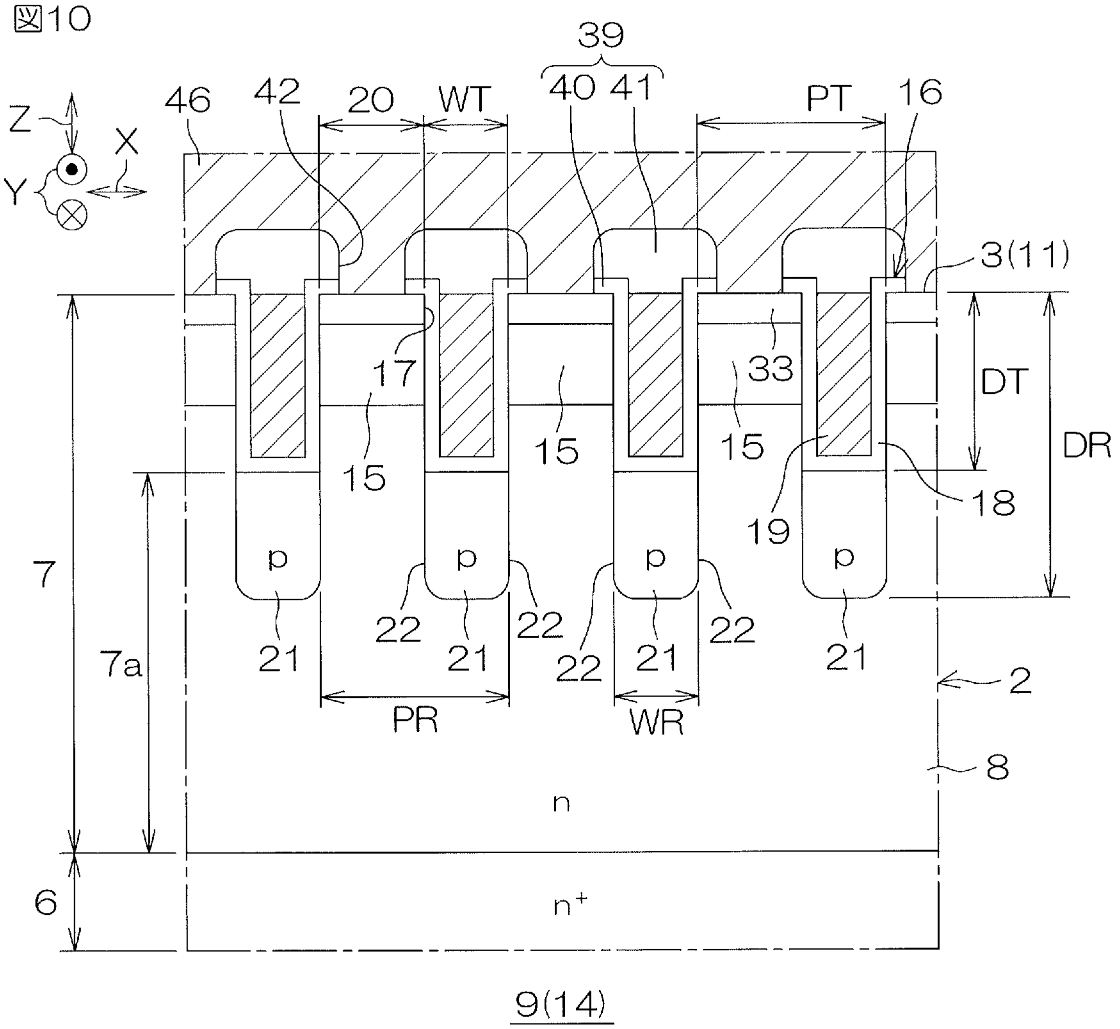

DT
2
42
16
27
(34B)
24
(34A)
p
n+
9(14)
7a
15
19
18
21
22
20
n
17
34B
27
26
28
33
46
39
40
41
Y(a-axis)
X(m-axis)
Z
(11)
3
8
7
(T2)
6
(T1)

図9

[図10]

図10


39
Z
X
Y
46
42
20
WT
40 41
PT
16
3(11)
17
33
DT
DR
15
15
15
15
19
18
7
p
p
p
p
22
22
22
22
21
21
21
21
7a
2
PR
WR
8
n
6
n+
9(14)

[図11]

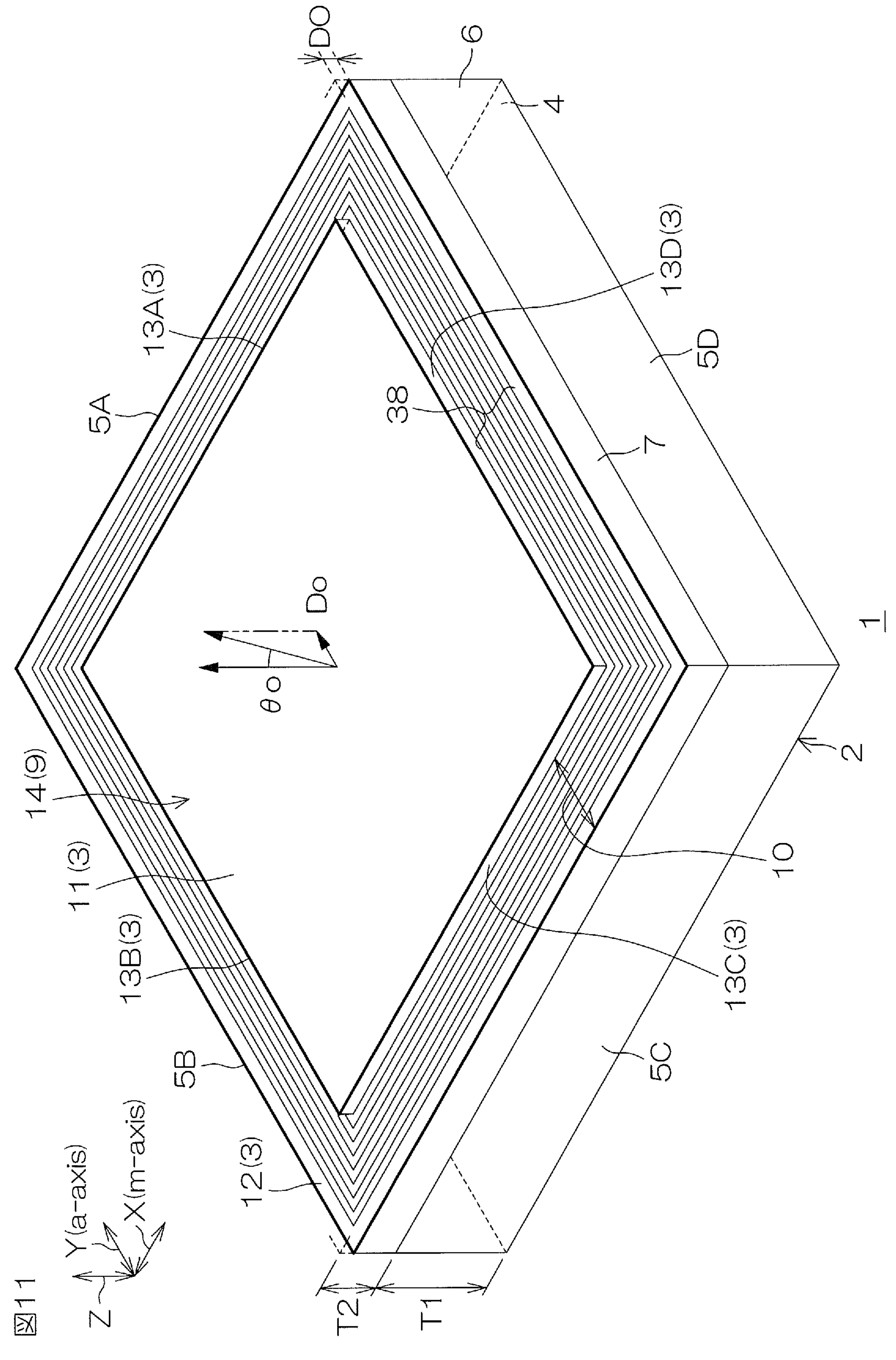


図11
Z
Y(a-axis)
X(m-axis)
12(3)
5B
13B(3)
11(3)
14(9)
θo
5A
13A(3)
Do
DO
6
4
13D(3)
38
5D
7
1
2
10
13C(3)
5C
T2
T1

[図12]

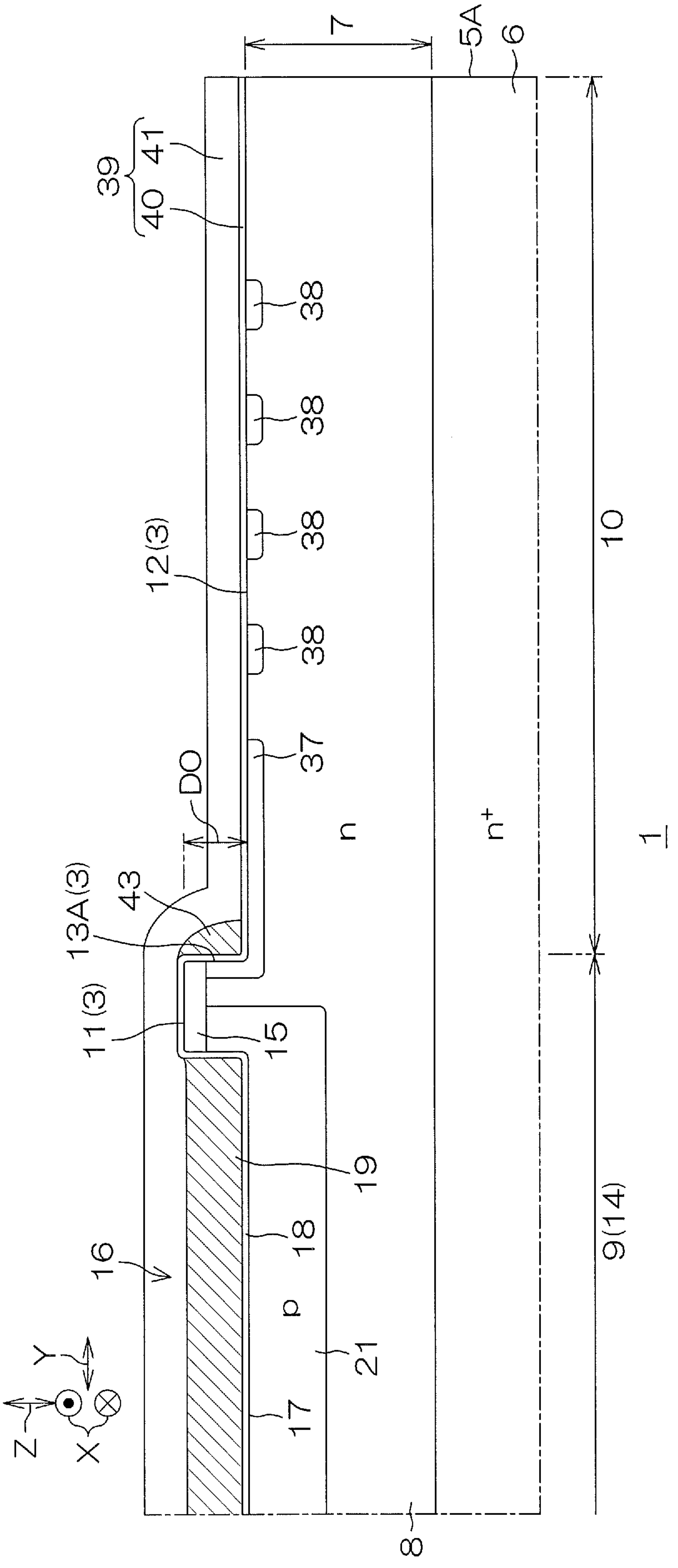
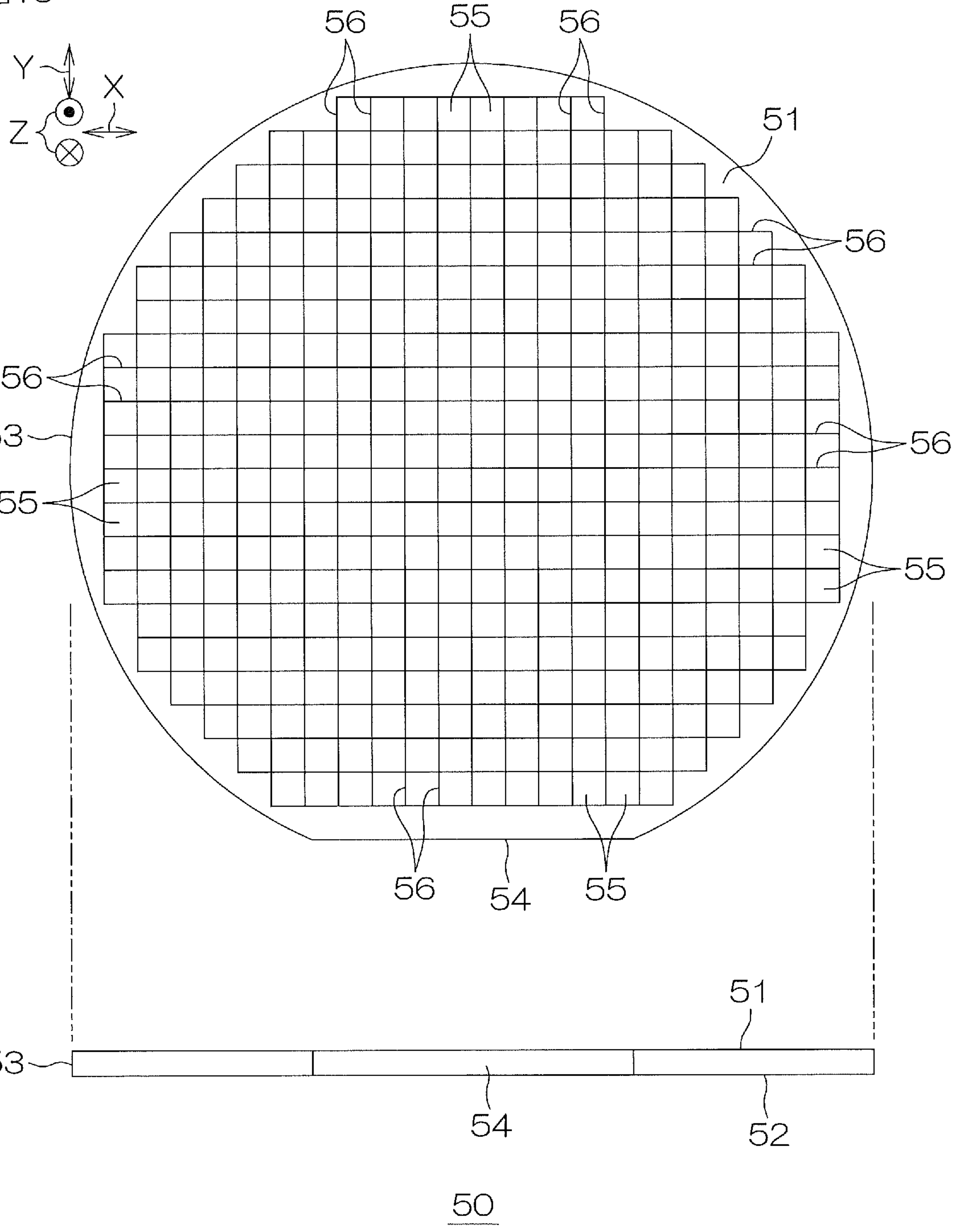

7
5A
6
39
41
40
38
38
38
38
12(3)
37
DO
n
n+
10
1
43
13A(3)
11(3)
15
19
18
16
p
21
17
9(14)
Y
Z
X
8

図12

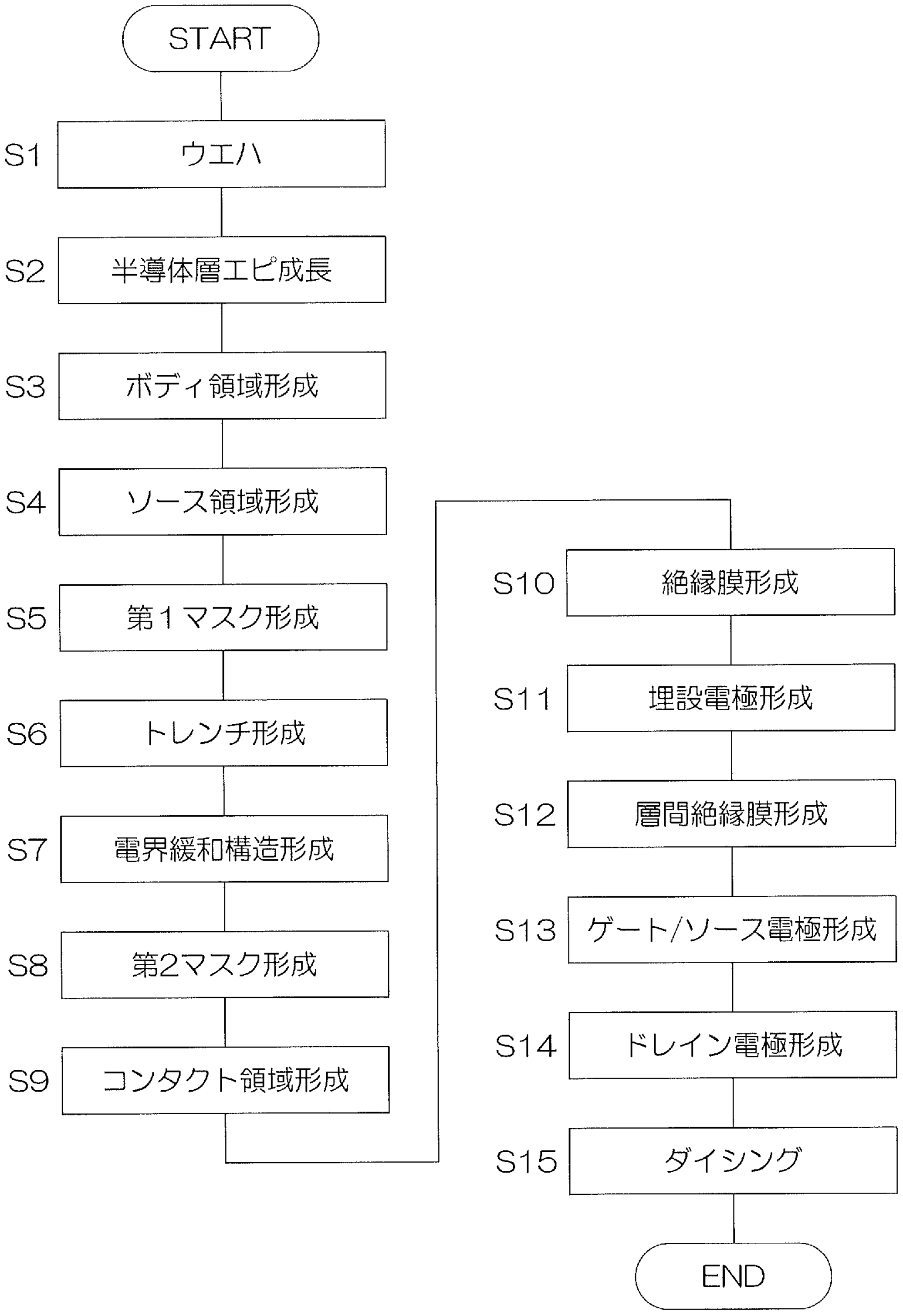
[図13]

図13

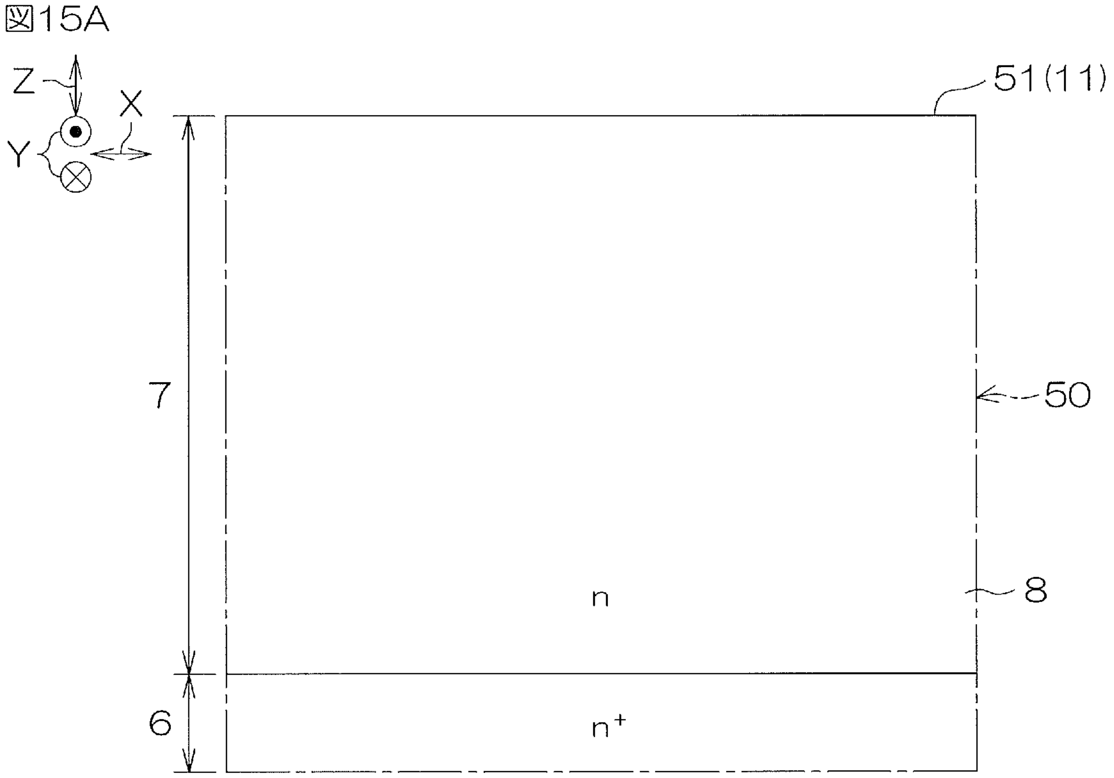


[図14]

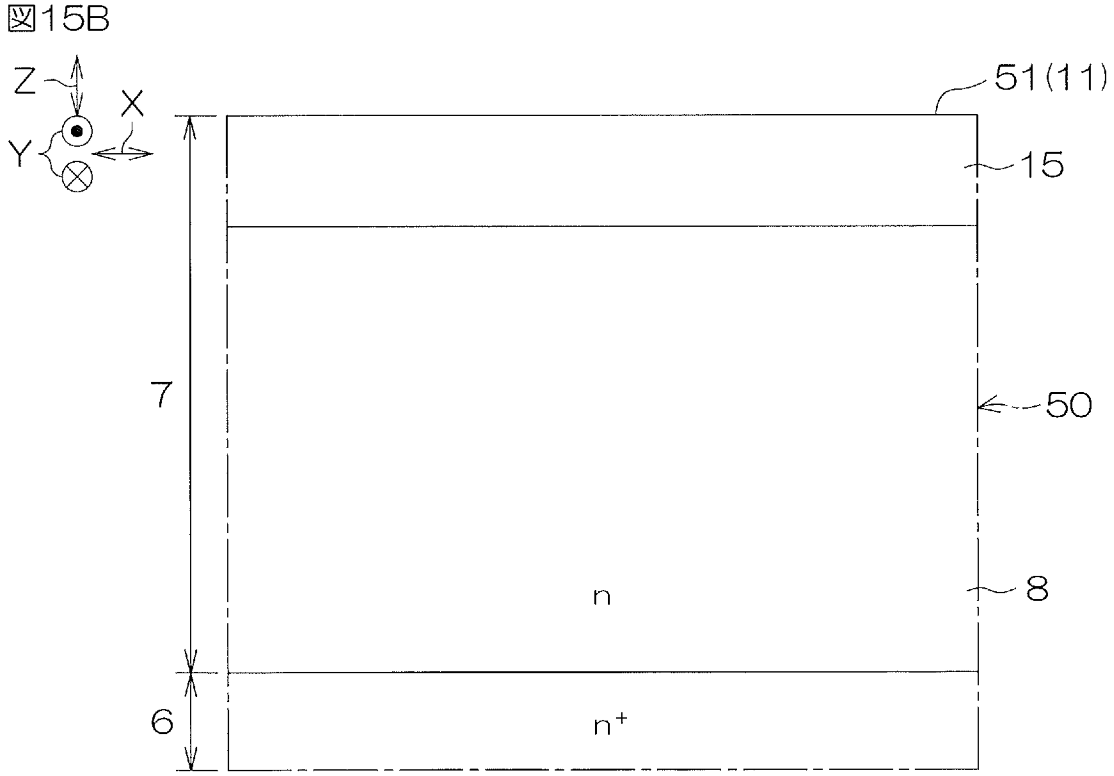
図14


START
S1
ウエハ
S2
半導体層エピ成長
S3
ボディ領域形成
S4
ソース領域形成
S5
第１マスク形成
S6
トレンチ形成
S7
電界緩和構造形成
S8
第2マスク形成
S9
コンタクト領域形成
S10
絶縁膜形成
S11
埋設電極形成
S12
層間絶縁膜形成
S13
ゲート/ソース電極形成
S14
ドレイン電極形成
S15
ダイシング
END

[図15A]



[図15B]



[図15C]

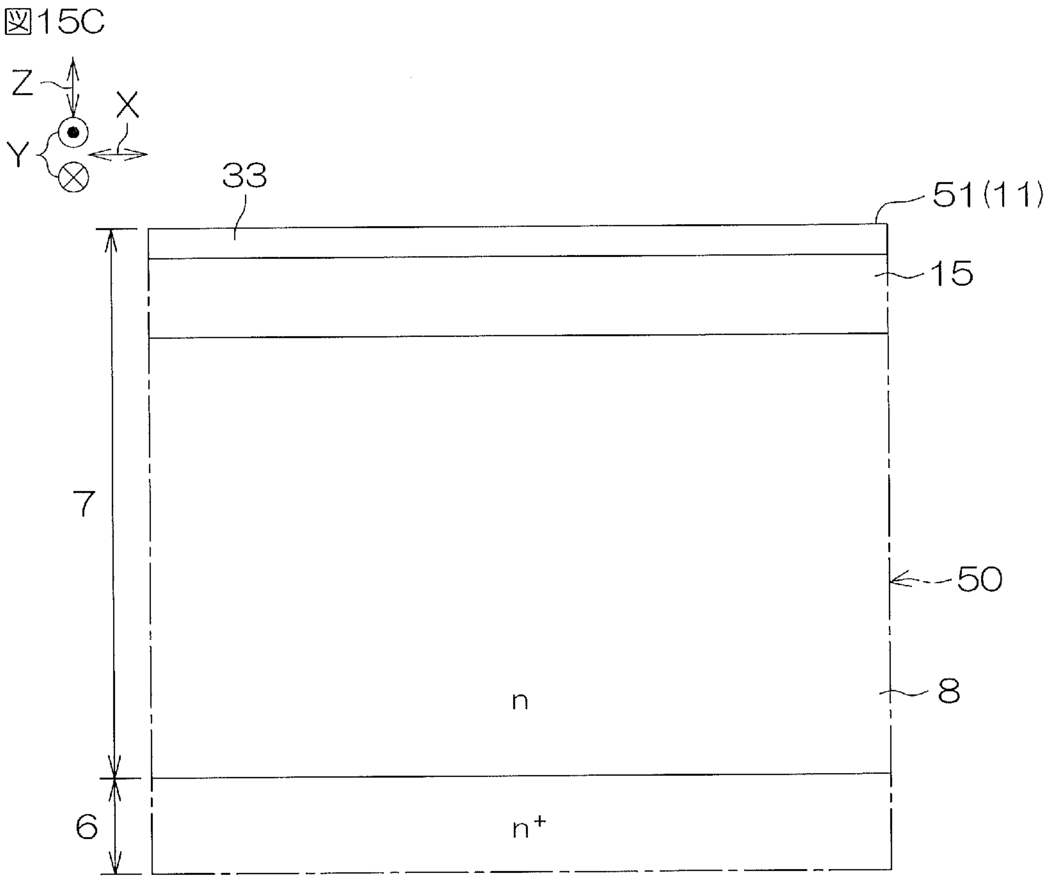


図15C
Z
X
Y
33
51(11)
15
7
50
n
8
6
n+

[図15D]

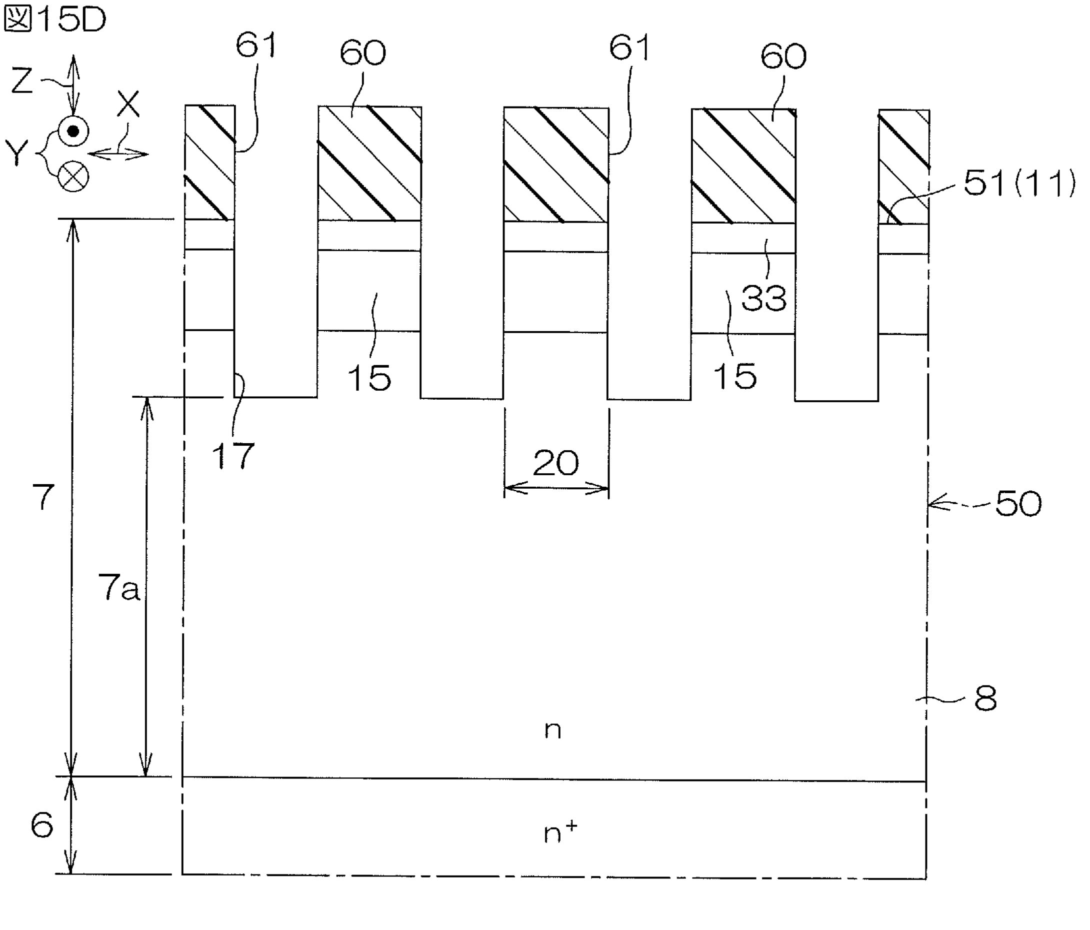


図15D
61
60
61
60
Z
X
Y
51(11)
33
15
15
17
20
7
50
7a
8
n
6
n+

[図15E]

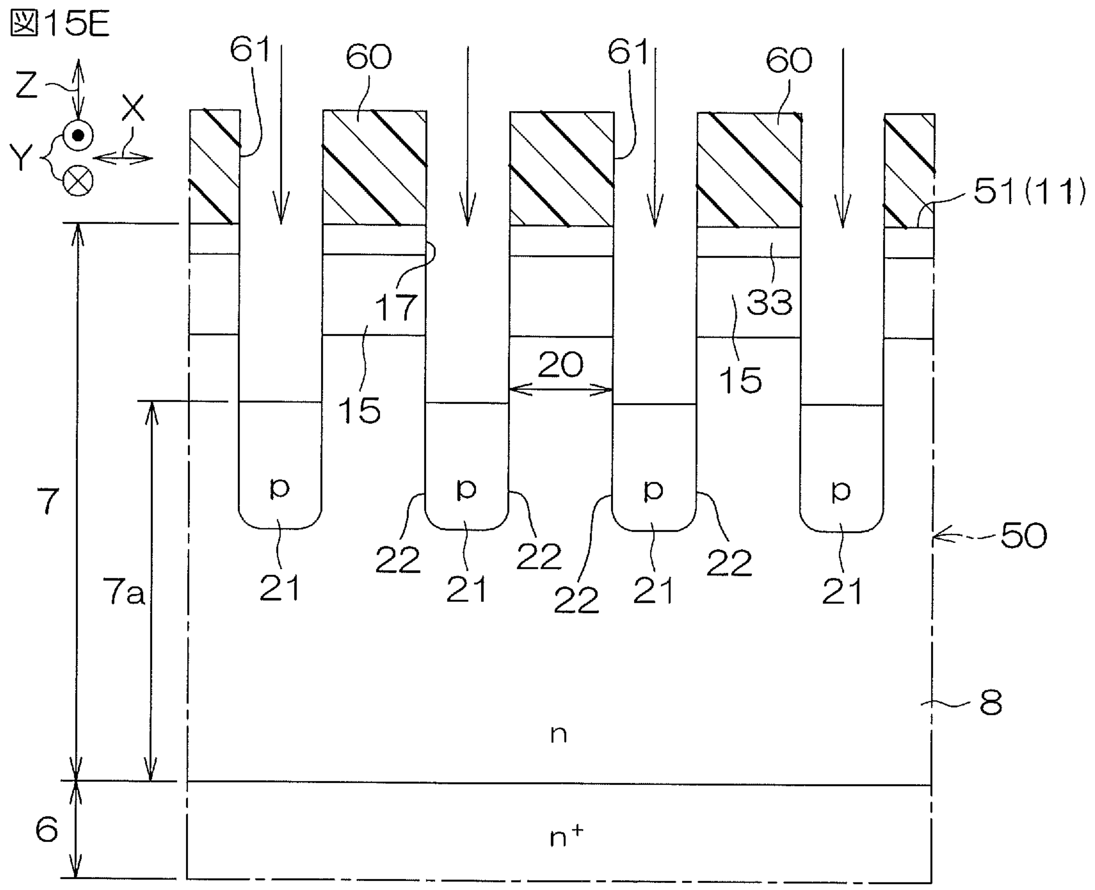


図15E
Z
X
Y
61
60
61
60
51(11)
17
33
20
15
15
15
p
p
p
p
7
7a
22
22
22
22
21
21
21
21
50
8
n
6
n+

[図15F]

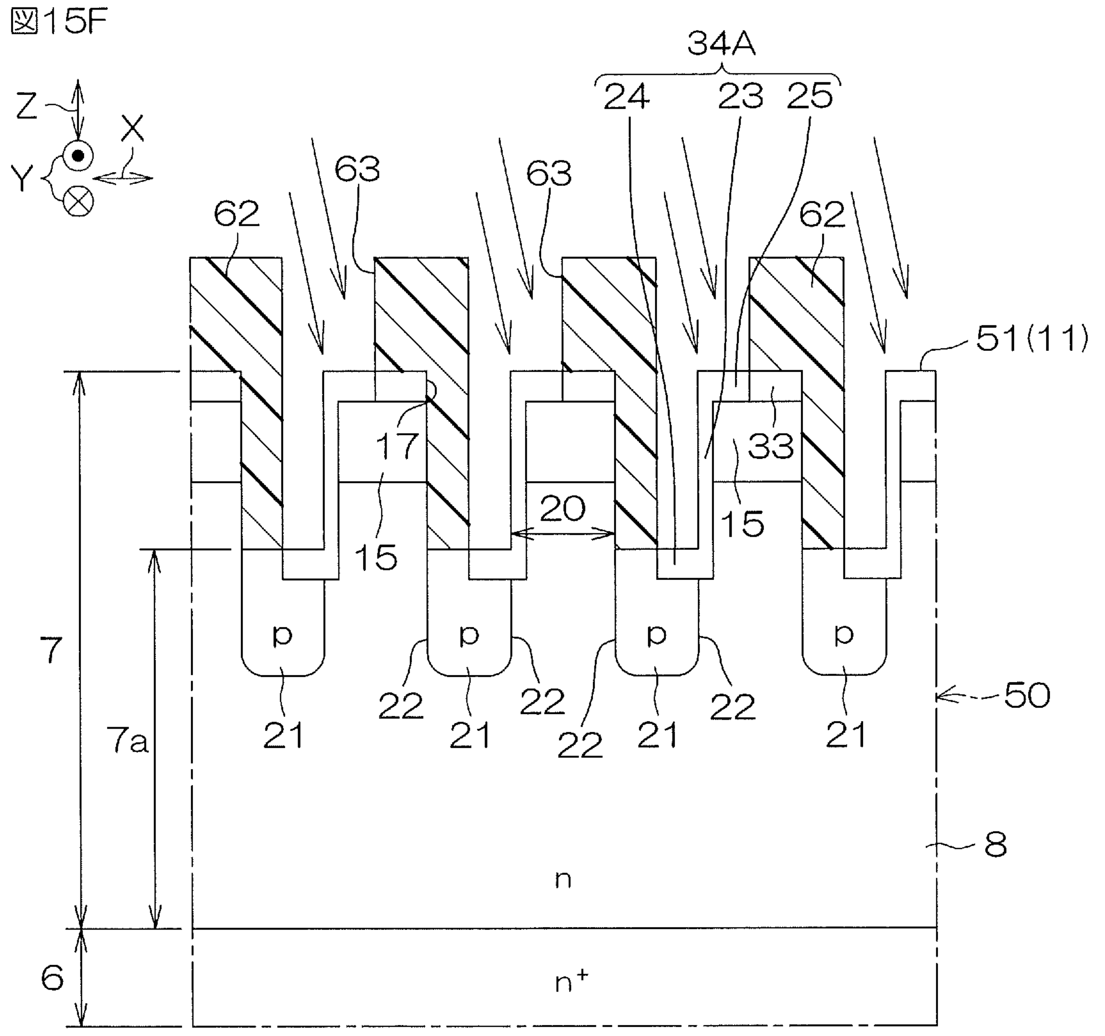
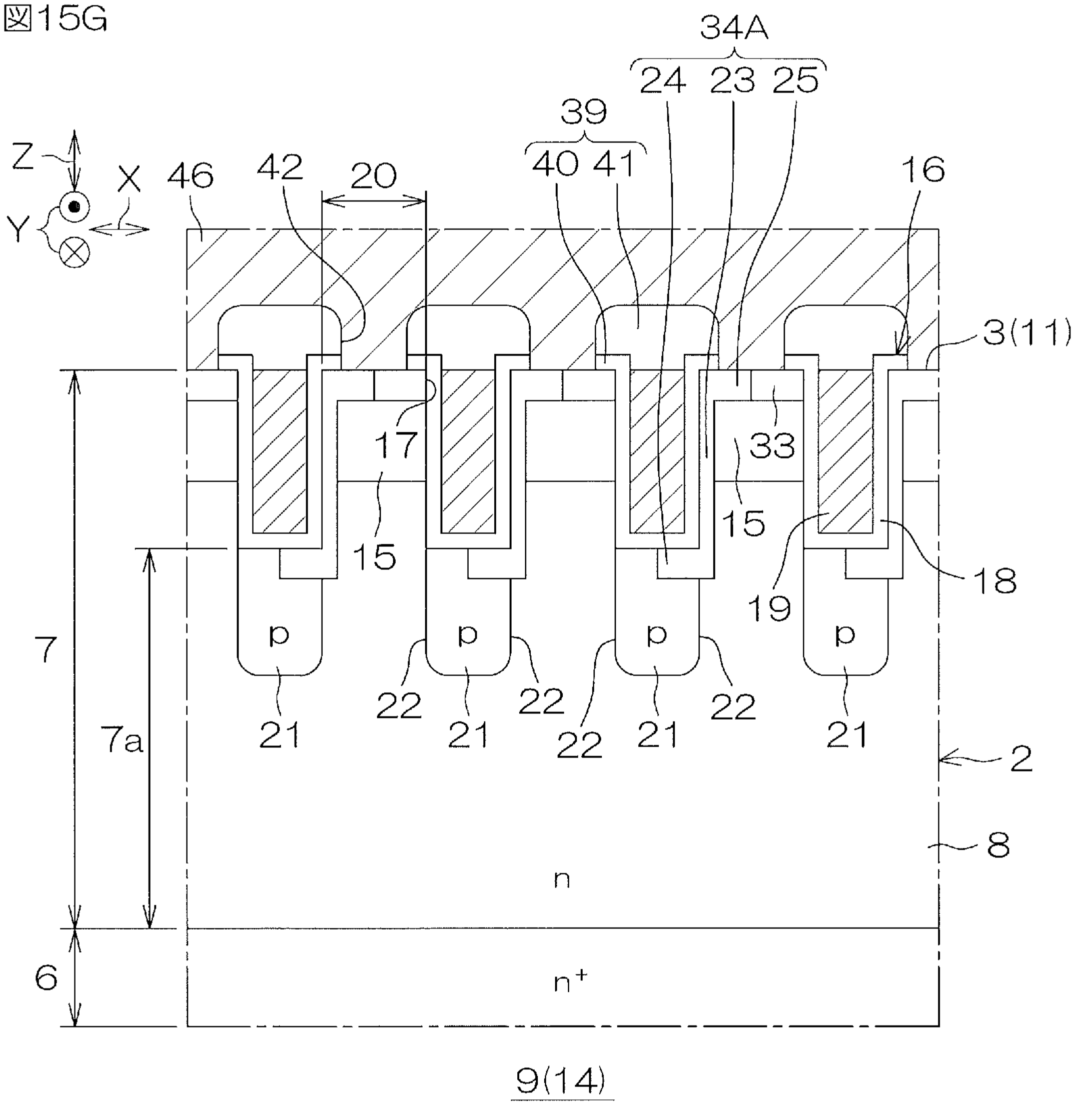


図15F
34A
24
23
25
Z
X
Y
63
63
62
62
51(11)
17
33
15
20
15
15
7
7a
p
p
p
p
22
22
22
22
21
21
21
21
50
8
n
6
n+

[図15G]

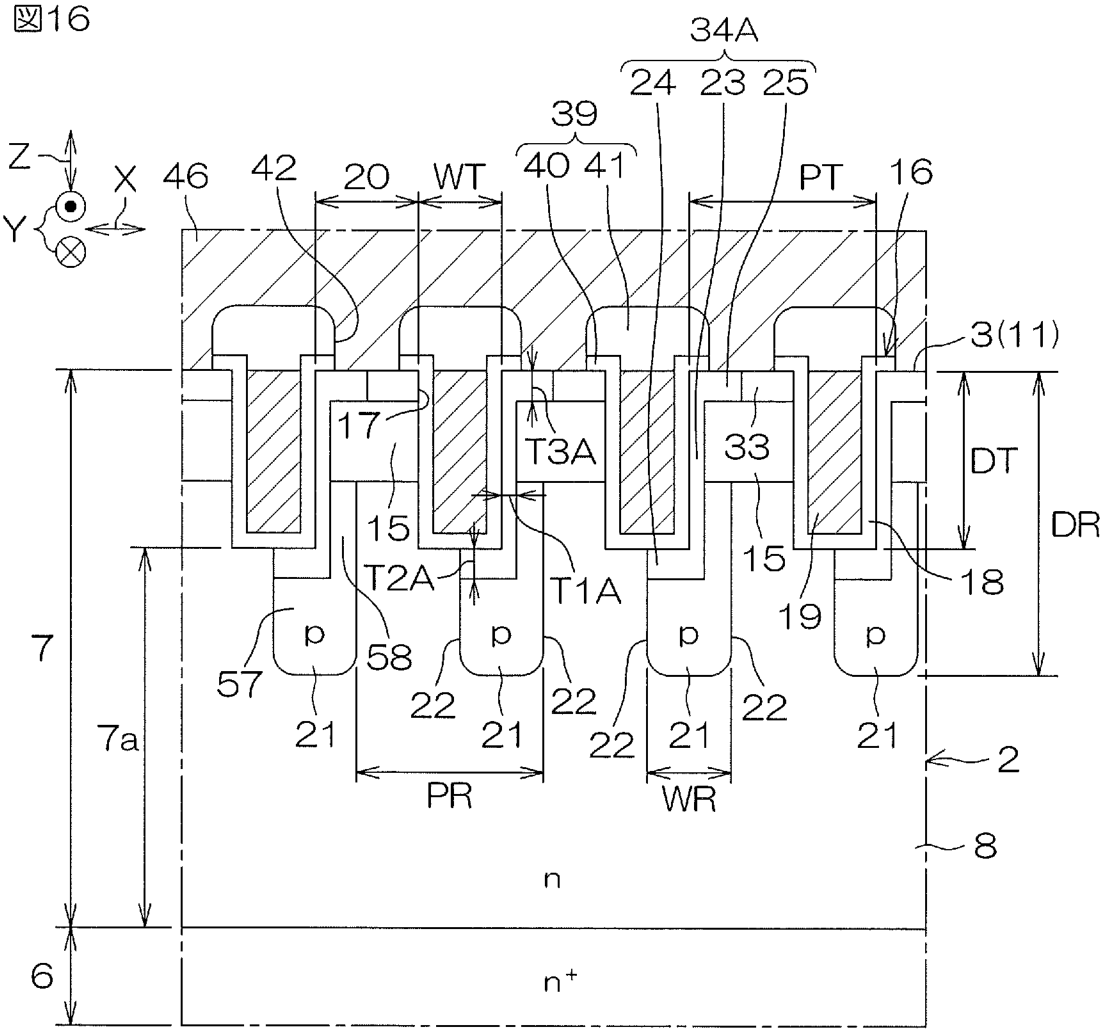
図15G



34A
24 23 25
39
40 41
Z
X
Y
46
42
20
16
3(11)
17
33
15
15
15
18
19
7
7a
p
p
p
p
22
22
22
22
21
21
21
21
2
8
n
6
n+
9(14)

[図16]

図16


34A
24 23 25
39
40 41
Z
X
Y
46
42
20
WT
PT
16
3(11)
17
T3A
33
DT
DR
15
15
18
19
T2A
T1A
7
p
p
p
p
57
58
22
22
22
22
21
21
21
21
7a
2
PR
WR
8
n
6
n+

9(14)

[図17]

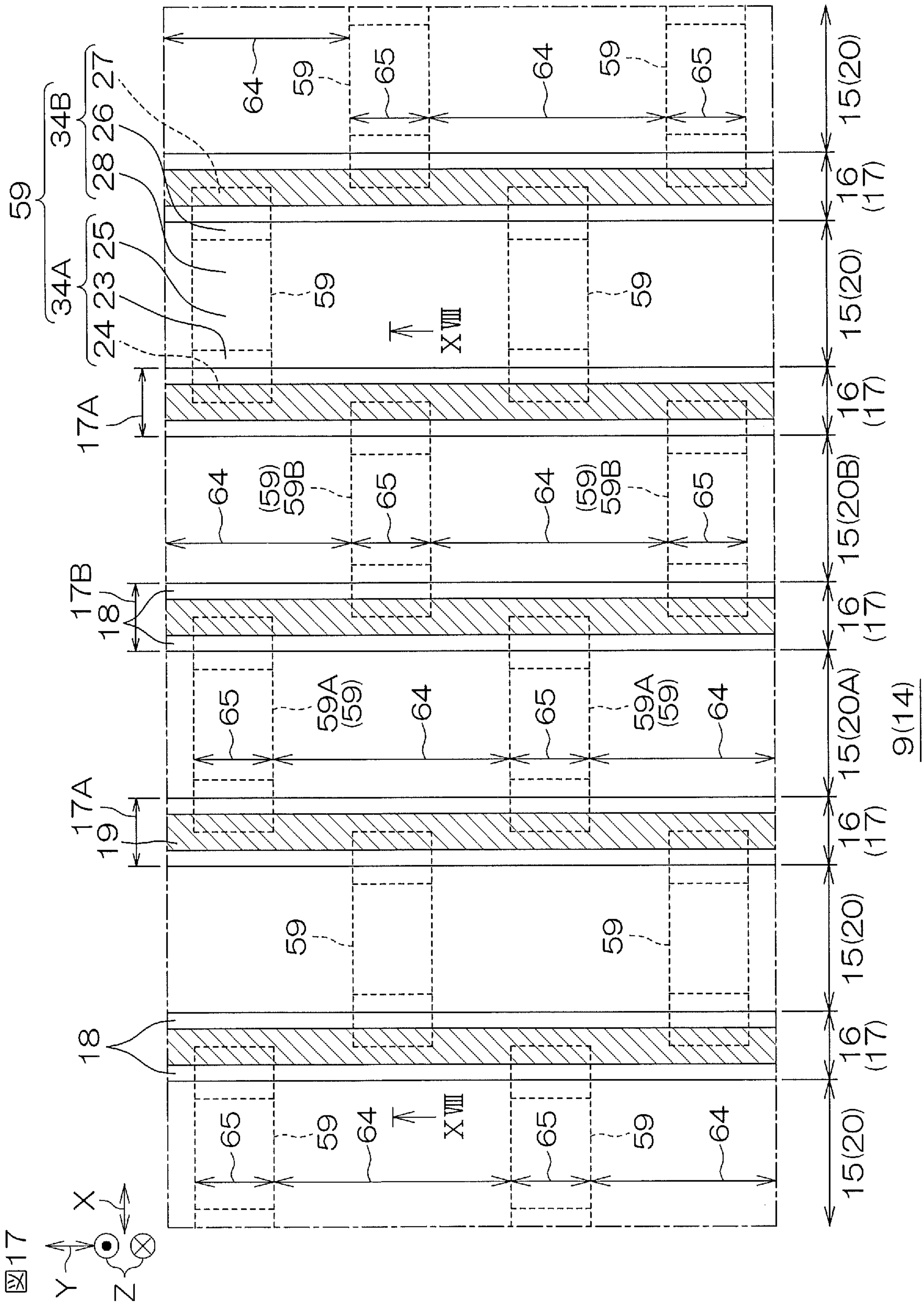
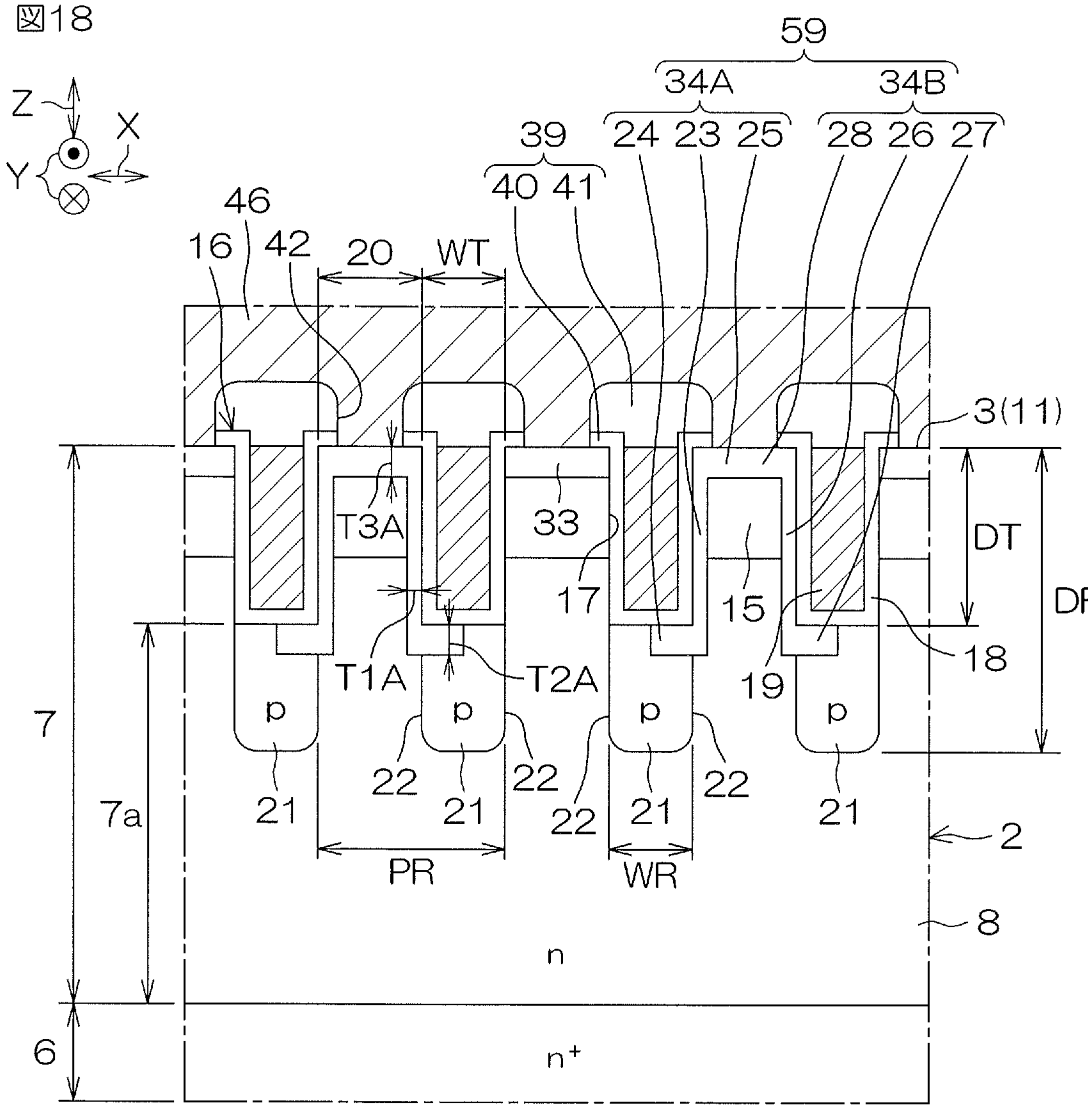


図17
X
Y
Z
59
34B
34A
27
26
28
25
23
24
17A
17B
18
19
64
65
59A
59B
(59)
XVIII
15(20)
15(20A)
15(20B)
16
(17)
9(14)

[図18]

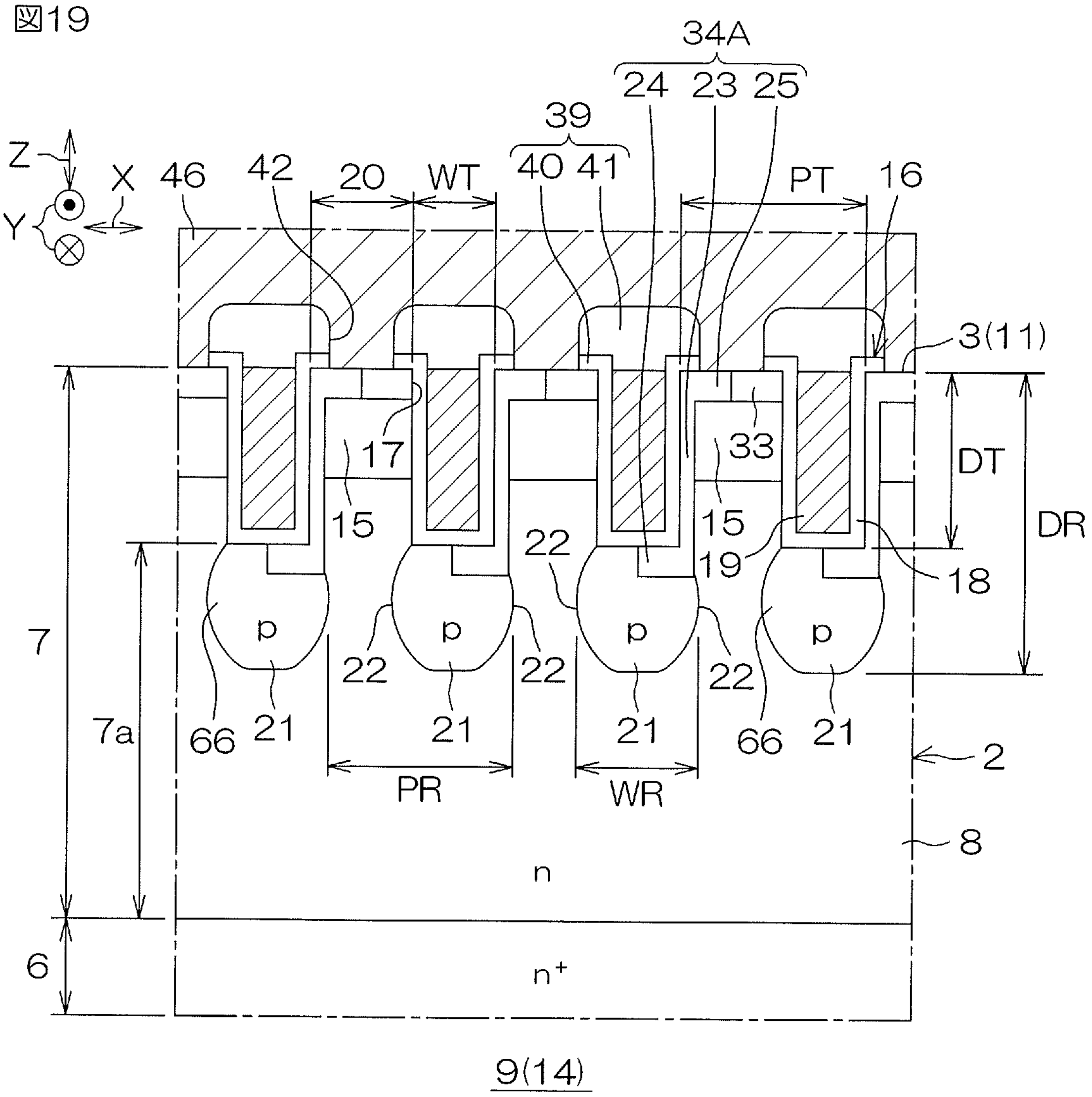
図18


Z
Y
X
59
34A
34B
39
24 23 25
28 26 27
40 41
46
16
42
20
WT
3(11)
T3A
33
DT
DR
17
15
T1A
T2A
19
18
7
p
p
p
p
22
22
22
22
21
21
21
21
7a
2
PR
WR
8
n
6
n+

9(14)

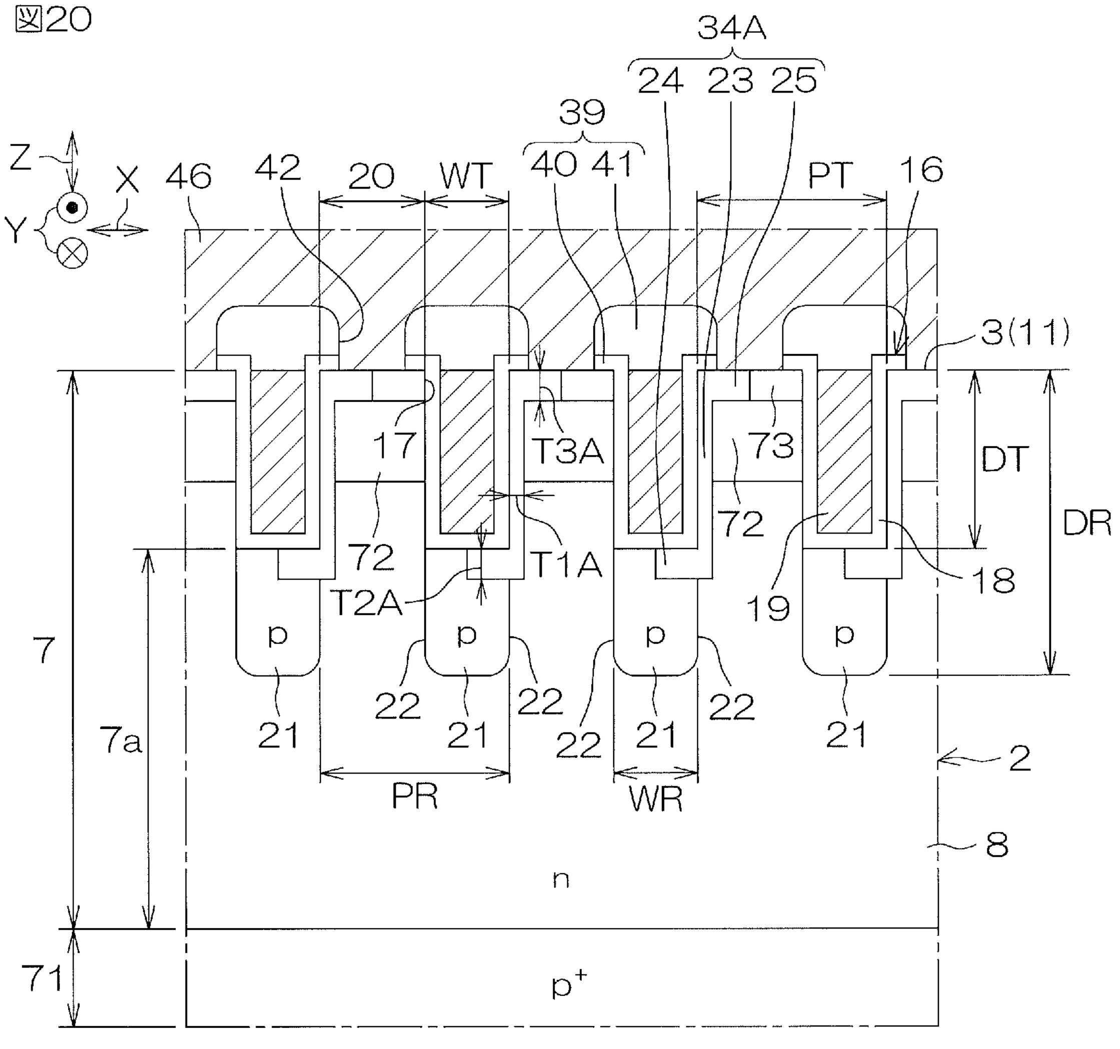
[図19]

図19


34A
24 23 25
39
40 41
Z
X
Y
46
42
20
WT
PT
16
3(11)
17
33
15
DT
DR
7
22
19
18
p
7a
66
21
2
PR
WR
8
n
6
n+
9(14)

[図20]

図20


34A
24 23 25
39
40 41
Z
Y
X
46
42
20
WT
PT
16
3(11)
17
T3A
73
DT
DR
7
72
T1A
72
19
18
T2A
p
p
p
p
22
22
22
22
21
21
21
21
7a
2
PR
WR
8
n
71
p+

9(14)

[図21]

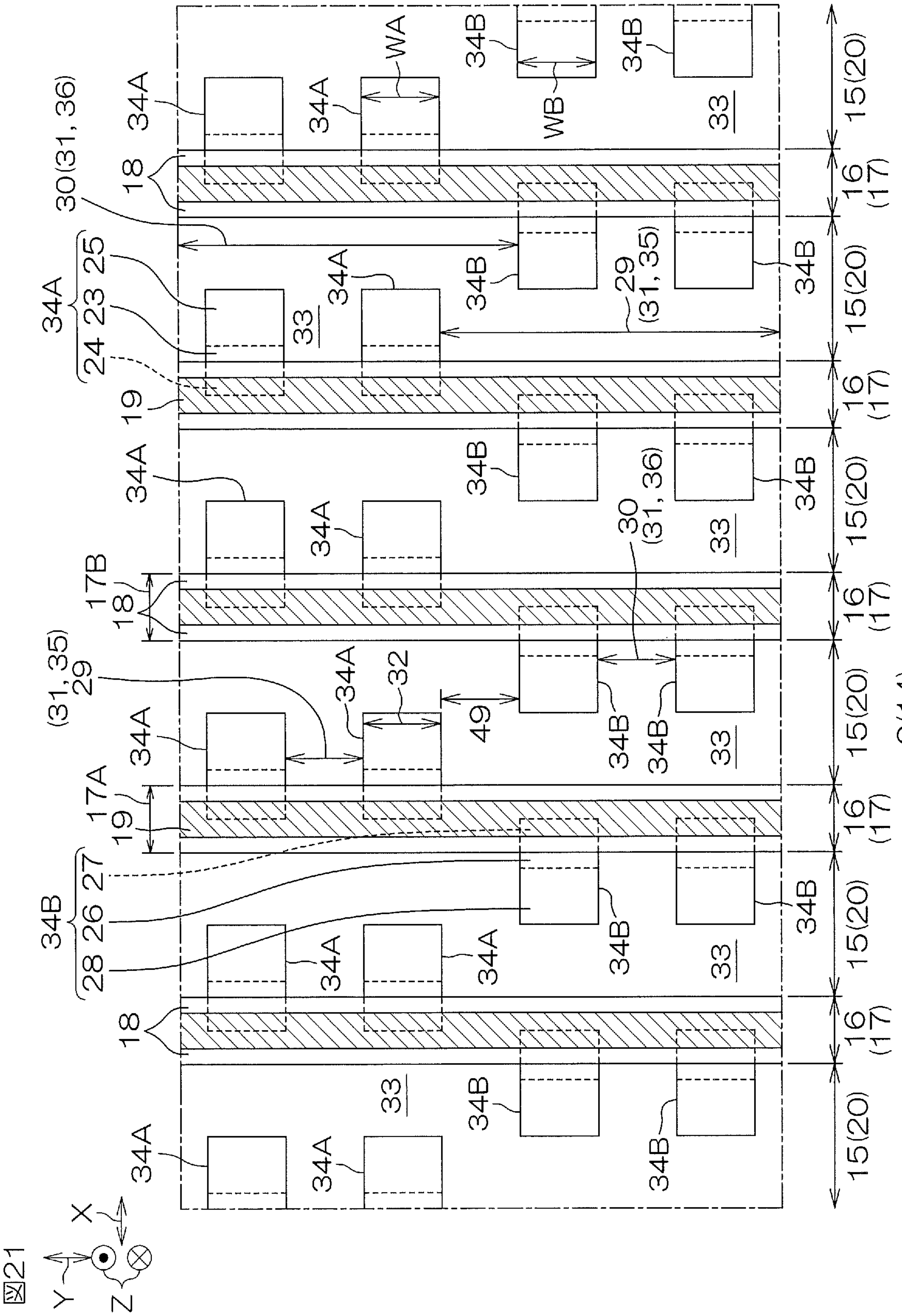


図21
X
Y
Z
34A
34B
WA
WB
33
15(20)
16
(17)
18
19
30(31, 36)
29
(31, 35)
34A 25 23 24
34B 27 26 28
17A
17B
32
49
9(14)

[図22]

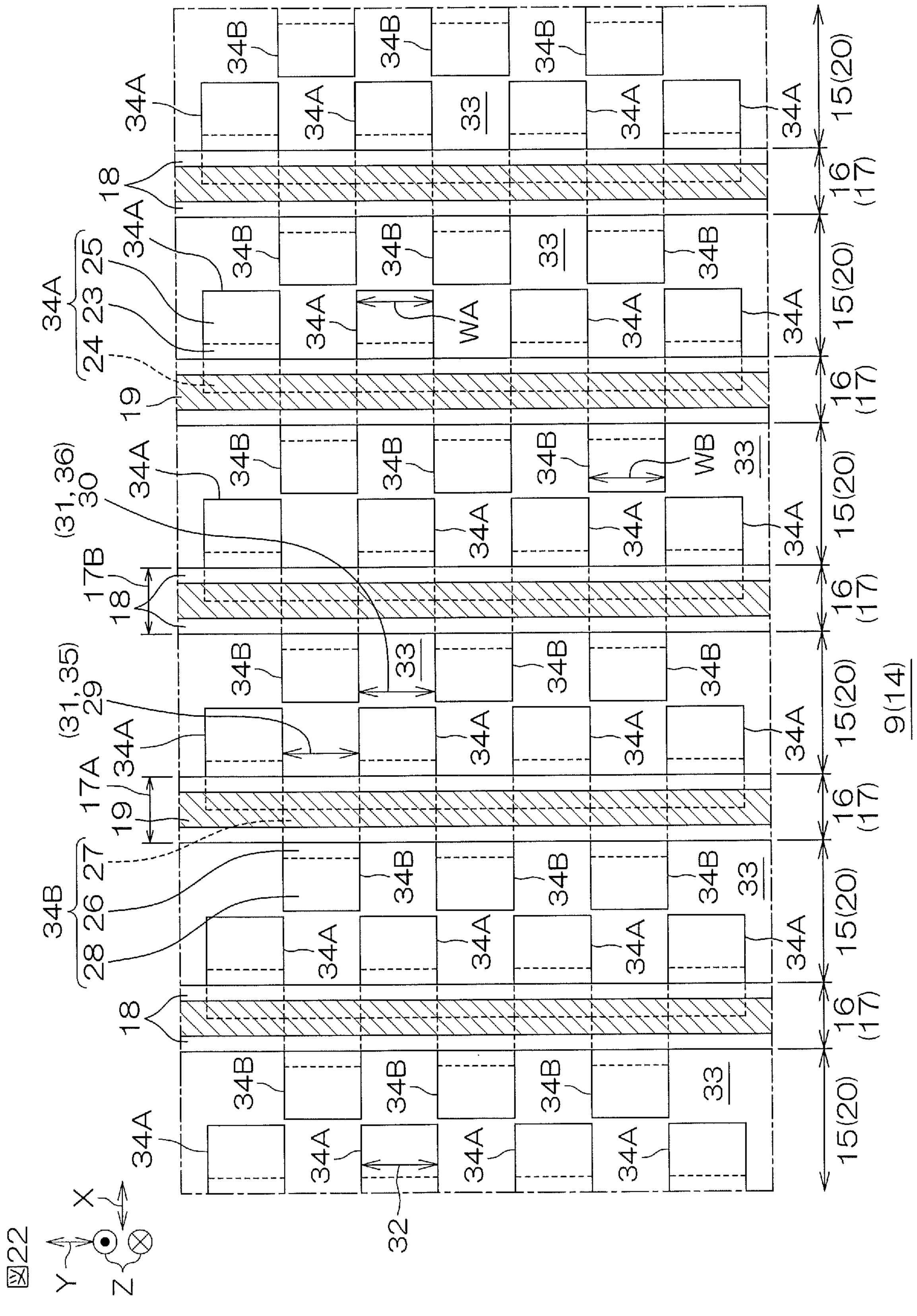


図22
X
Y
Z
34A
34B
33
32
18
19
16
(17)
15(20)
17A
17B
23
24
25
26
27
28
29
(31, 35)
30
(31, 36)
WA
WB
9(14)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/021289

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/06***(2006.01)i
FI: H01L29/78 652J; H01L29/78 652F; H01L29/78 652S; H01L29/06 301G; H01L29/06 301V; H01L29/78 653A; H01L29/78 658A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2018/225600 A1 (MITSUBISHI ELECTRIC CORPORATION) 13 December 2018 (2018-12-13) paragraphs [0023]-[0041], [0084], [0124], fig. 1-4, 20	1, 5-8, 10, 13-15 2-4, 9, 11, 12
A	JP 2020-17641 A (KABUSHIKI KAISHA TOSHIBA) 30 January 2020 (2020-01-30)	1-15
A	JP 2019-96711 A (KABUSHIKI KAISHA TOSHIBA) 20 June 2019 (2019-06-20)	1-15
P, X	JP 2023-136822 A (KABUSHIKI KAISHA TOSHIBA) 29 September 2023 (2023-09-29) paragraphs [0012]-[0100], fig. 1-7	1, 2, 5-9, 13-15

☐ Further documents are listed in the continuation of Box C.　☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August 2024	**27 August 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/021289

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2018/225600 A1	13 December 2018	US 2021/0288156 A1 paragraphs [0059]-[0078], [0125], [0174], fig. 1-4, 20 DE 112018002873 T5 CN 110709997 A	
JP 2020-17641 A	30 January 2020	US 2020/0035791 A1	
JP 2019-96711 A	20 June 2019	US 10199466 B1	
JP 2023-136822 A	29 September 2023	US 2023/0317844 A1 paragraphs [0029]-[0117], fig. 1-7	

国際調査報告

国際出願番号 PCT/JP2024/021289

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i
FI: H01L29/78 652J; H01L29/78 652F; H01L29/78 652S; H01L29/06 301G; H01L29/06 301V; H01L29/78 653A; H01L29/78 658A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献の カテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2018/225600 A1 (三菱電機株式会社) 13.12.2018 (2018 - 12 - 13) 段落0023-0041, 0084, 0124、図1-4, 20	1, 5-8, 10, 13-15 2-4, 9, 11, 12
A	JP 2020-17641 A (株式会社東芝) 30.01.2020 (2020 - 01 - 30)	1-15
A	JP 2019-96711 A (株式会社東芝) 20.06.2019 (2019 - 06 - 20)	1-15
P, X	JP 2023-136822 A (株式会社東芝) 29.09.2023 (2023 - 09 - 29) 段落0012-0100、図1-7	1, 2, 5-9, 13-15

☐ Ｃ欄の続きにも文献が列挙されている。　　☑ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.08.2024	27.08.2024

名称及びあて先	権限のある職員（特許庁審査官）
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目４番３号	岩本　勉 5F 9355 電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/021289

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/225600 A1	13.12.2018	US 2021/0288156 A1 段落0059-0078, 0125, 0174、図1-4, 20 DE 112018002873 T5 CN 110709997 A	
JP 2020-17641 A	30.01.2020	US 2020/0035791 A1	
JP 2019-96711 A	20.06.2019	US 10199466 B1	
JP 2023-136822 A	29.09.2023	US 2023/0317844 A1 段落0029-0117、図1-7	