



(21)申請案號：101124962

(22)申請日：中華民國 101 (2012) 年 07 月 11 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/8247(2006.01)

(71)申請人：華邦電子股份有限公司(中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：廖修漢 LIAO, HSIU HAN (TW)；蔣汝平 CHIANG, LU PING (TW)；謝榮源 HSIEH, JUNG YUAN (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200845227A

TW 201017869A

TW 201025510A

審查人員：王順德

申請專利範圍項數：10 項 圖式數：1 共 18 頁

(54)名稱

半導體元件的製造方法

METHOD OF FORMING SEMICONDUCTOR DEVICE

(57)摘要

一種半導體元件的製造方法。基底具有第一區、第二區及第三區。至少於第一區及第二區的基底上形成第一絕緣層。於第三區的基底上形成第二絕緣層。於第二區的基底中形成抑制區。移除第一絕緣層。於基底上形成第三絕緣層，其中第三絕緣層於抑制區上的厚度小於第三絕緣層於第一區中的厚度。於基底上形成導體材料層。進行圖案化步驟，以於第一區中形成多數個第一閘極結構、於第二區中形成至少一第二閘極結構以及於第三區中形成至少一第三閘極結構。

A method of forming a semiconductor device is provided. A substrate has a first area, a second area, and a third area. A first insulation layer is formed on the substrate at least in the first and second areas. A second insulation layer is formed on the substrate in the third area. A restriction region is formed in the substrate in the second area. The first insulation layer is removed. A third insulation layer is formed on the substrate. The thickness of the third insulation layer on the restriction region is less than that of the same in the first area. A conductive material layer is formed on the substrate. A patterning step is performed to form a plurality of first gate structures in the first area, at least one second gate structure in the second area, and at least one third gate structure in the third area.

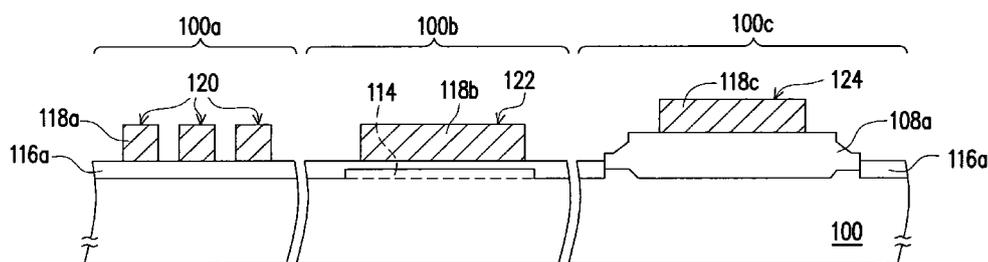


圖 1H

100 . . . 基底

100a . . . 第一區

100b . . . 第二區

100c . . . 第三區

108a . . . 第二絕緣層

114 . . . 抑制區

116a . . . 第三絕緣
層

118a、118b、

118c . . . 導體層

120 . . . 第一閘極結
構

122 . . . 第二閘極結
構

124 . . . 第三閘極結
構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101126962

H01L21/28 2006.01

※申請日：101. 7. 11

※IPC 分類：

H01L21/824 2006.01

一、發明名稱：

半導體元件的製造方法 / METHOD OF FORMING
SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體元件的製造方法。基底具有第一區、第二區及第三區。至少於第一區及第二區的基底上形成第一絕緣層。於第三區的基底上形成第二絕緣層。於第二區的基底中形成抑制區。移除第一絕緣層。於基底上形成第三絕緣層，其中第三絕緣層於抑制區上的厚度小於第三絕緣層於第一區中的厚度。於基底上形成導體材料層。進行圖案化步驟，以於第一區中形成多數個第一閘極結構、於第二區中形成至少一第二閘極結構以及於第三區中形成至少一第三閘極結構。

三、英文發明摘要：

A method of forming a semiconductor device is provided. A substrate has a first area, a second area, and a third area. A first insulation layer is formed on the substrate at least in the first and second areas. A second insulation layer is formed on the substrate in the third area. A restriction region is formed in the substrate in the second area. The first insulation layer is removed. A third insulation layer is formed on the substrate. The thickness of the third insulation layer on the restriction region is less than that of the same in the first area. A conductive material layer is formed on the substrate. A patterning step is performed to form a plurality of first gate structures in the first area, at least one second gate structure in the second area, and at least one third gate structure in the third area.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1H

(二) 本代表圖之元件符號簡單說明：

100：基底

100a：第一區

100b：第二區

100c：第三區

108a：第二絕緣層

114：抑制區

116a：第三絕緣層

118a、118b、118c：導體層

120：第一閘極結構

122：第二閘極結構

124：第三閘極結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種電子元件的製造方法，且特別是有關於一種半導體元件的製造方法。

【先前技術】

半導體元件為了達到降低成本及簡化製程步驟的需求，將晶胞區（memory cell）與周邊區（periphery cell）的元件整合在同一晶片上已逐漸成為一種趨勢，例如將快閃記憶體與邏輯電路元件整合在同一晶片上，則稱之為嵌入式快閃記憶體（embedded flash memory）。

在嵌入式快閃記憶體中，周邊區時常包括低壓元件區及高壓元件區。在一般習知之製程中，低壓元件區之閘絕緣層的厚度與晶胞區之閘絕緣層屬於同一道製程製作，且彼此的厚度相當。然而，此種製程方式將使得低壓元件區的效能受限，造成嵌入式快閃記憶體的電性不佳。

【發明內容】

有鑑於此，本發明提供一種半導體元件的製造方法，其可於低壓元件區製造相對於晶胞區之厚度較薄的閘絕緣層，以提供半導體元件良好的電性。

本發明提供一種半導體元件的製造方法。提供基底。基底具有第一區、第二區及第三區。至少於第一區及第二區的基底上形成第一絕緣層。於第三區的基底上形成第二

絕緣層。於第二區的基底中形成抑制區。移除第一絕緣層。於基底上形成第三絕緣層，其中第三絕緣層於抑制區上的厚度小於第三絕緣層於第一區中的厚度。於基底上形成導體材料層。進行圖案化步驟，以於第一區的基底上形成多數個第一閘極結構、於第二區的基底上形成至少一第二閘極結構以及於第三區的基底上形成至少一第三閘極結構。

在本發明之一實施例中，形成上述抑制區的方法包括於基底上形成圖案化光阻層，以曝露出第二區的第一絕緣層；以及進行氮氣植入製程。

在本發明之一實施例中，上述氮氣植入製程的植入劑量為每平方公分約 10^{13} ~ 10^{15} 個原子，植入能量為約 13~17 KeV。

在本發明之一實施例中，上述氮氣區的厚度為約 10 埃~90 埃。

在本發明之一實施例中，於形成上述第三絕緣層的步驟中，抑制區中的氮氣自基底釋出。

在本發明之一實施例中，形成上述第三絕緣層的方法包括進行熱氧化法。

在本發明之一實施例中，形成上述第一絕緣層的方法包括於基底上形成絕緣材料層；以及移除部分絕緣材料層，以曝露出第三區之部分基底，剩餘的絕緣材料層形成第一絕緣層。

在本發明之一實施例中，形成上述第二絕緣層的方法包括進行熱氧化法。

在本發明之一實施例中，上述第三絕緣層於第一區的厚度小於第二絕緣層的厚度。

在本發明之一實施例中，上述第一區為晶胞區，第二區為低壓元件區，且第三區為高壓元件區。

基於上述，當本發明之半導體元件應用於嵌入式快閃記憶體時，可先於低壓元件區中進行氮氣植入，再進行晶胞區及低壓元件區之間絕緣層的製作。如此一來，可於低壓元件區上製造相對於晶胞區之厚度較薄的間絕緣層。利用此種半導體元件的製程方法，可在不影響晶胞區之電性的情形下，提供低壓元件區較薄的間絕緣層，以提高半導體元件之整體效能。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1A 至 1H 為根據本發明一實施例所繪示之半導體元件的剖面示意圖。

首先，請參照圖 1A，提供基底 100。基底 100 例如是矽基底。基底 100 具有第一區 100a、第二區 100b 及第三區 100c。此外，基底 100 中具有多個隔離結構（未繪示）。隔離結構例如是淺溝渠隔離（STI）結構。基底 100 之第一區 100a、第二區 100b 及第三區 100c 藉由隔離結構而彼此隔離。值得注意的是，當利用本發明之半導體元件的製造方法製造嵌入式快閃記憶體時，第一區 100a 例如是晶胞

區、第二區 100b 例如是低壓元件區及第三區 100c 例如是高壓元件區，但本發明並不以此為限。

然後，於基底 100 上形成絕緣材料層 102。絕緣材料層 102 的材料例如是二氧化矽，且其形成方法包括進行熱氧化法。之後，於絕緣材料層 102 上形成罩幕材料層 104。罩幕材料層 104 的材料例如是氮化矽、氧化矽、氮氧化矽或其組合物。罩幕材料層 104 的形成方法包括進行化學氣相沈積法或物理氣相沈積法。接著，塗覆圖案化光阻層 106 於罩幕材料層 104 上。

請參照圖 1B，以圖案化光阻層 106 為罩幕，依序移除第三區 100c 之基底 100 上之部分罩幕材料層 104 及部分絕緣材料層 102，以至少於第一區 100a 及第二區 100b 上形成第一絕緣層 102a 及罩幕層 104a，並曝露出第三區 100c 之部分基底 100。上述之移除製程包括進行蝕刻製程。緊接著，移除圖案化光阻層 106。在一實施例中，可選擇性地進行灰化製程，以確保圖案化光阻層 106 完全被移除。在本實施例中，雖然上述移除製程僅移除第三區 100c 之部分基底 100，但本發明並不以此為限。在另一實施例中，亦可移除第三區 100c 之全部基底 100。在此情形下，第一絕緣層 102a 僅形成於第一區 100a 及第二區 100b 的基底 100 上。

再者，雖然在本實施例中以移除部分絕緣材料層 102 的方式以形成第一絕緣層 102a，但本發明不限制第一絕緣層 102a 的形成方式。也就是說，在其他實施例中，亦可使

用其他適合的方式而直接於第一區 100a 及第二區 100b 的基底 100 上形成第一絕緣層 102a。

請參照圖 1C，於第三區 100c 的基底 100 上形成第二絕緣層 108。第二絕緣層 108 的形成方法包括進行熱氧化法。在本實施例中，第二絕緣層 108 形成於第三區 100c 的部分基底 100 上，且因為鳥嘴效應而延伸至其周圍的第一絕緣層 102a 中（如圖 1C 所示）。再者，在本實施例中，雖然第二絕緣層 108 僅形成於第三區 100c 之部分基底 100 上，但本發明並不以此為限。在另一實施例中，第二絕緣層 108 亦可形成於第三區 100c 之全部基底 100 上。此外，於形成第三絕緣層 108 的步驟中，亦會同時於罩幕層 104a 的表面上形成氧化膜層（未繪示）。在一實施例中，於形成第三絕緣層 108 的步驟之後，也可以選擇性地進行一濕式浸漬（wet dip）製程，以移除第三絕緣層 108 表面的原生氧化層（native oxide layer）。上述濕式浸漬製程也可同時移除掉罩幕層 104a 表面上的氧化膜層。之後，移除罩幕層 104a。

請參照圖 1D，於基底 100 上形成圖案化光阻層 110，以曝露出第二區 100b 的第一絕緣層 102a。接著，進行氮氣植入製程 112，以於第二區 100b 的基底 100 中形成抑制區 114。特別說明地是，雖然在本實施例之中，抑制區 114 僅形成於第二區 100b 之部分基底 100 中，但本發明並不以此為限。在另一實施例中，抑制區 114 亦可形成於第二區 100b 之全部基底 100 中。抑制區 114 的形成方法包括以每

平方公分約 10^{13} ~ 10^{15} 個原子的植入劑量及約 13~17 KeV 的植入能量所進行之氮氣植入製程 112。抑制區 114 的厚度為約 10 埃~90 埃，更佳為 10 埃~70 埃。

請參照圖 1E，移除基底 100 上的圖案化光阻層 110。在一實施例中，可選擇性地進行灰化製程，以確保圖案化光阻層 110 完全被移除。接著，移除第一絕緣層 102a，以曝露出第一區 100a 及第二區 100b 之基底 100。第一絕緣層 102a 的移除方法包括進行蝕刻製程。

特別要注意的是，在本發明中，是先進行用於形成抑制區 114 的氮氣植入製程 112，再移除第一絕緣層 102a。也就是說，在對第二區 100b 進行氮氣植入製程 112 時，第二區 100b 上的第一絕緣層 102a 可作為保護第二區 100b 的緩衝層，以避免氮氣植入製程 112 破壞第二區 100b 的基底 100 表面。

請參照圖 1F，於基底 100 上形成第三絕緣層 116，其中，由於抑制區 114 中的氮氣會抑制第三絕緣層 116 的生長速度，因此第三絕緣層 116 於抑制區 114 上的厚度會小於第三絕緣層 116 於第一區 100a 中的厚度。形成第三絕緣層 116 的方法包括進行熱氧化法。在本實施例中，第三絕緣層 116 於第一區 100a 的厚度又小於第二絕緣層 108 的厚度。

特別要注意的是，於形成第三絕緣層 116 的步驟中，抑制區 114 中的氮氣自基底 100 釋出。因此，於圖 1F 中以虛線代表抑制區 114。具體言之，於爐管中生長第三絕

緣層 116 的步驟中，同時進行低壓抽吸 (purge)，因此抑制區 114 中氮氣自基底 100 向上釋出，而非擴散至基底 100 中。從另一個觀點來說，可視為於最後完成之半導體元件 (如圖 1H 所示) 中，將不殘留或僅殘留微量之氮氣植入製程 112 所植入之氮氣。因此，氮氣植入製程 112 所植入之氮氣實質上並不會影響半導體元件的效能。

請參照圖 1G，於基底 100 上形成導體材料層 118。導體材料層 118 全面性覆蓋於第二絕緣層 108 及第三絕緣層 116 上。導體材料層 118 的材料例如是多晶矽，且其形成方法包括進行化學氣相沉積法。

接著，請參考圖 1H，進行圖案化步驟，以於第一區 100a 之基底 100 上形成多數個第一閘極結構 120、於第二區 100b 之基底 100 上形成至少一第二閘極結構 122 以及於第三區 100c 之基底 100 上形成至少一第三閘極結構 124。各第一閘極結構包括導體層 118a 與位於導體層 118a 下方及位於第一區 100a 中的第三絕緣層 116a。第二閘極結構 122 包括導體層 118b 與位於導體層 118b 下方及位於第二區 100b 中的第三絕緣層 116a。第三閘極結構 124 包括導體層 118c 及其下方的第二絕緣層 108a。至此，完成本發明之半導體元件的製作。

綜上所述，本發明於第二區 100b 之基底 100 中形成抑制區 114。抑制區 114 可抑制稍後之製程所形成之第三絕緣層 116 的厚度。亦即，第三絕緣層 116 於第二區 100b 中之抑制區 114 上的厚度小於第三絕緣層 116 於第一區

100a 的厚度。當本發明之半導體元件為嵌入式快閃記憶體，且第一區 100a 為晶胞區、第二區 100b 為低壓元件區時，本發明的方法可使得低壓元件區之間絕緣層的厚度小於晶胞區之間絕緣層的厚度。又，因為相較於習知技術的製造方法而言，本發明的製造方法並無改變任何第一區 100a（即晶胞區）之第三絕緣層 116 的厚度。故在不影響晶胞區之原電性的情形下，可有效地減少低壓元件區之間絕緣層的厚度，以提供嵌入式快閃記憶體之良好的電性效能。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至 1H 為根據本發明一實施例所繪示之半導體元件的剖面示意圖。

【主要元件符號說明】

- 100：基底
- 100a：第一區
- 100b：第二區
- 100c：第三區
- 102：絕緣材料層
- 102a：第一絕緣層
- 104：罩幕材料層
- 104a：罩幕層
- 106、110：圖案化光阻層
- 108、108a：第二絕緣層
- 112：氮氣植入製程
- 114：抑制區
- 116、116a：第三絕緣層
- 118：導體材料層
- 118a、118b、118c：導體層
- 120：第一閘極結構
- 122：第二閘極結構
- 124：第三閘極結構

七、申請專利範圍：

1. 一種半導體元件的製造方法，包括：

提供一基底，該基底具有一第一區、一第二區及一第三區；

至少於該第一區及該第二區的該基底上形成一第一絕緣層；

於該第三區的該基底上形成一第二絕緣層，該第二絕緣層與該第一絕緣層不同；

於該第二區的該基底中形成一抑制區；

移除該第一絕緣層；

於該基底上形成一第三絕緣層，其中該第三絕緣層於該抑制區上的厚度小於該第三絕緣層於該第一區中的厚度；

於該基底上形成一導體材料層；以及

進行一圖案化步驟，以於該第一區的該基底上形成多個第一閘極結構、於該第二區的該基底上形成至少一第二閘極結構以及於該第三區的該基底上形成至少一第三閘極結構。

2. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中形成該抑制區的方法包括：

於該基底上形成一圖案化光阻層，以曝露出該第二區的該第一絕緣層；以及

進行一氮氣植入製程。

3. 如申請專利範圍第 2 項所述之半導體元件的製造

方法，其中該氮氣植入製程的植入劑量為每平方公分 $10^{13}\sim 10^{15}$ 個原子，植入能量為13~17 KeV。

4. 如申請專利範圍第2項所述之半導體元件的製造方法，其中該氮氣區的厚度為10埃~90埃。

5. 如申請專利範圍第2項所述之半導體元件的製造方法，其中於形成該第三絕緣層的步驟中，該抑制區中的氮氣自該基底釋出。

6. 如申請專利範圍第1項所述之半導體元件的製造方法，其中形成該第三絕緣層的方法包括進行熱氧化法。

7. 如申請專利範圍第1項所述之半導體元件的製造方法，其中形成該第一絕緣層的方法包括：

於該基底上形成一絕緣材料層；以及

移除部分該絕緣材料層，以曝露出該第三區之部分該基底，剩餘的該絕緣材料層形成該第一絕緣層。

8. 如申請專利範圍第1項所述之半導體元件的製造方法，其中形成該第二絕緣層的方法包括進行熱氧化法。

9. 如申請專利範圍第1項所述之半導體元件的製造方法，其中該第三絕緣層於該第一區的厚度小於該第二絕緣層的厚度。

10. 如申請專利範圍第1項所述之半導體元件的製造方法，其中該第一區為晶胞區，該第二區為低壓元件區，且該第三區為高壓元件區。

八、圖式：

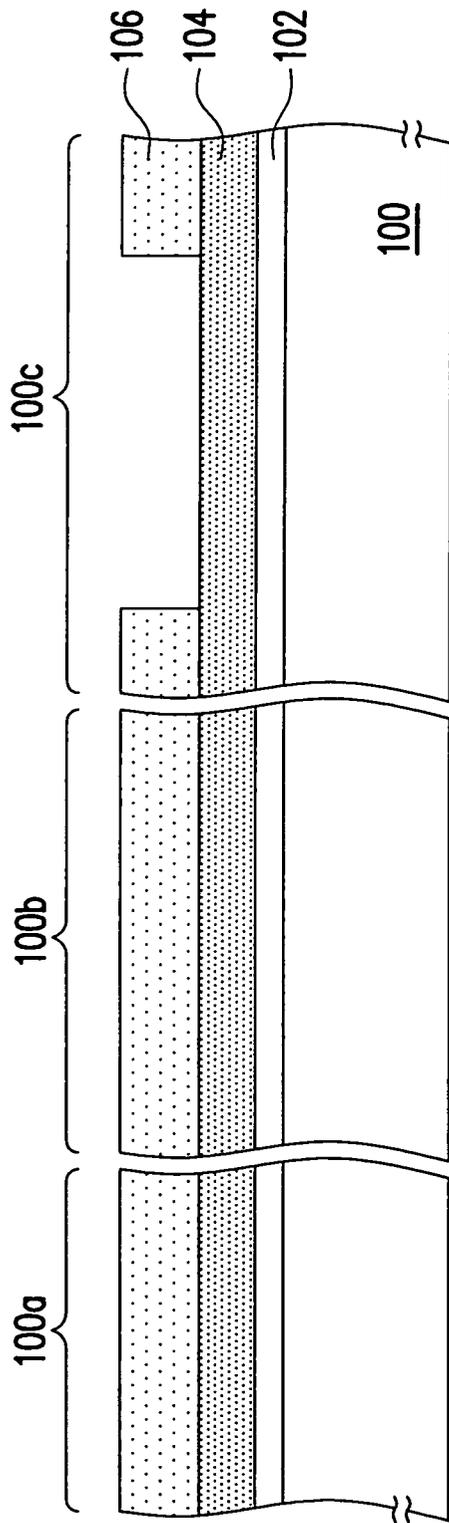


圖 1A

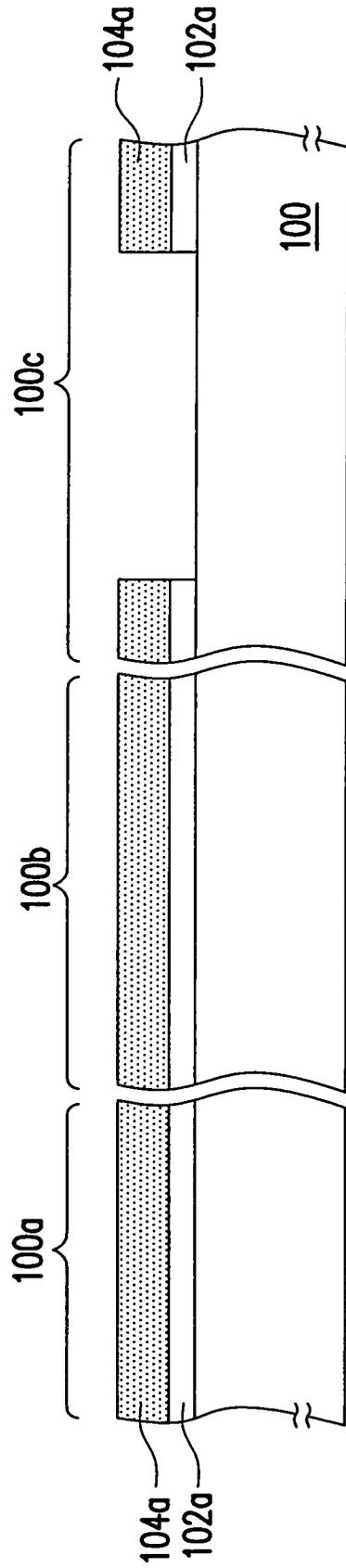


圖 1B

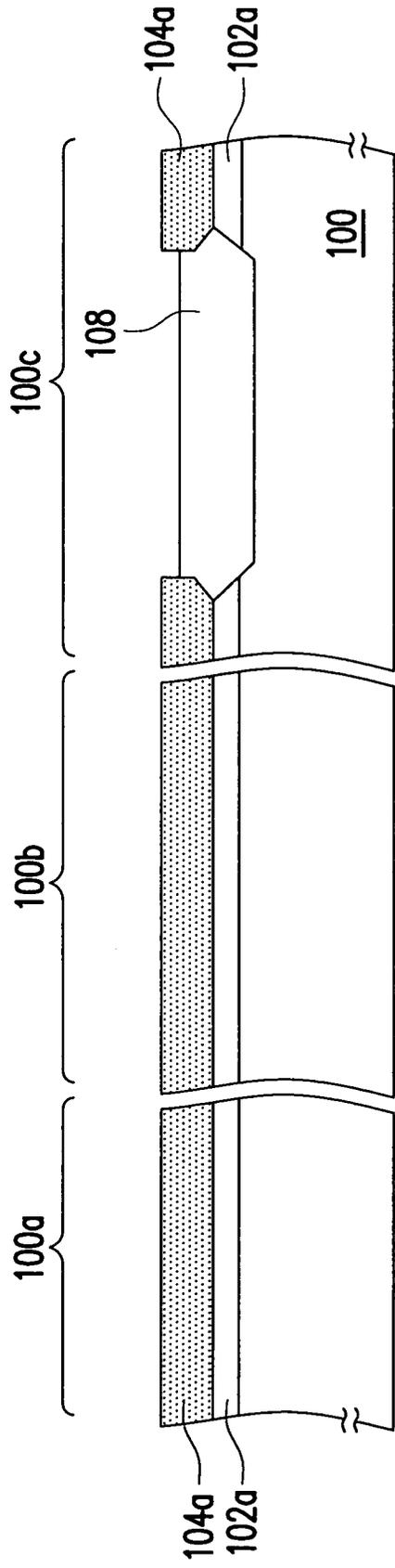


圖 1C

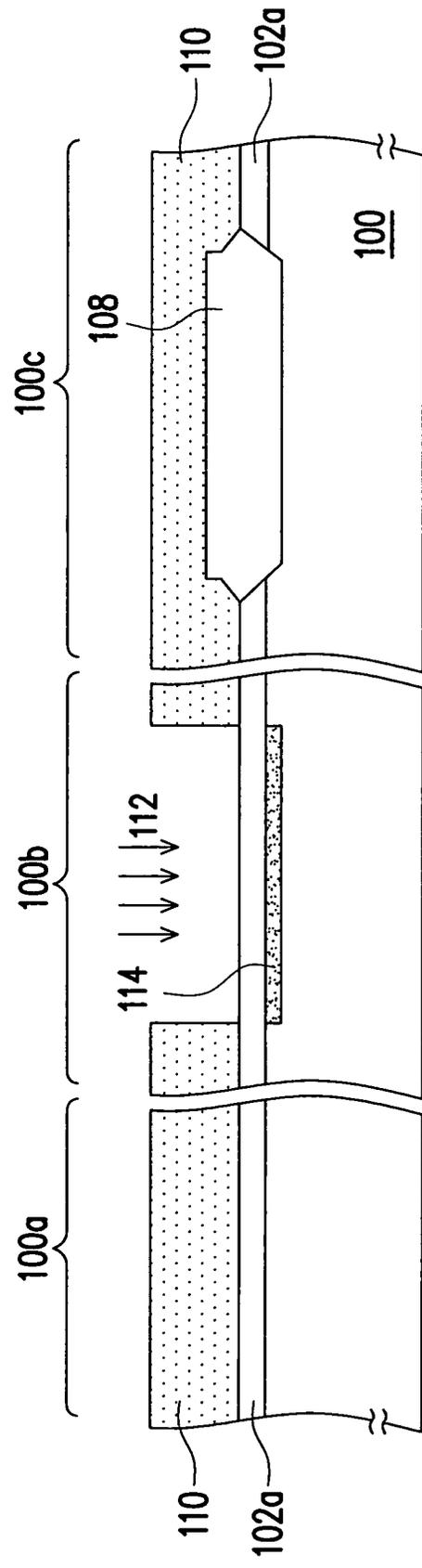


圖 1D

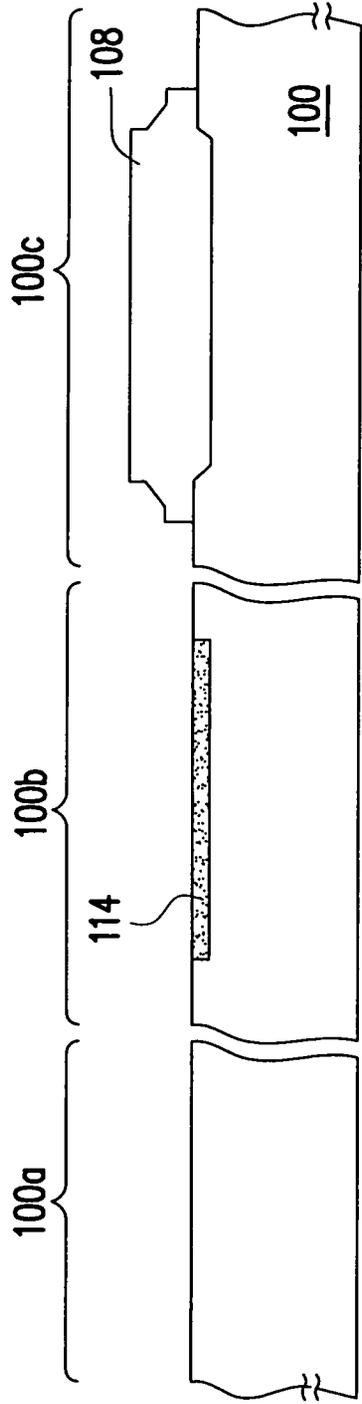


圖1E

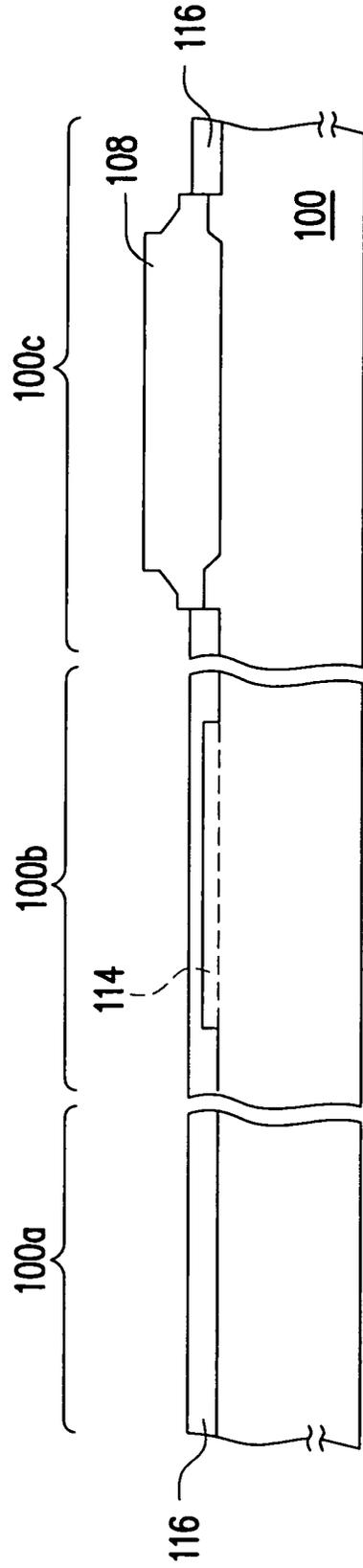


圖1F

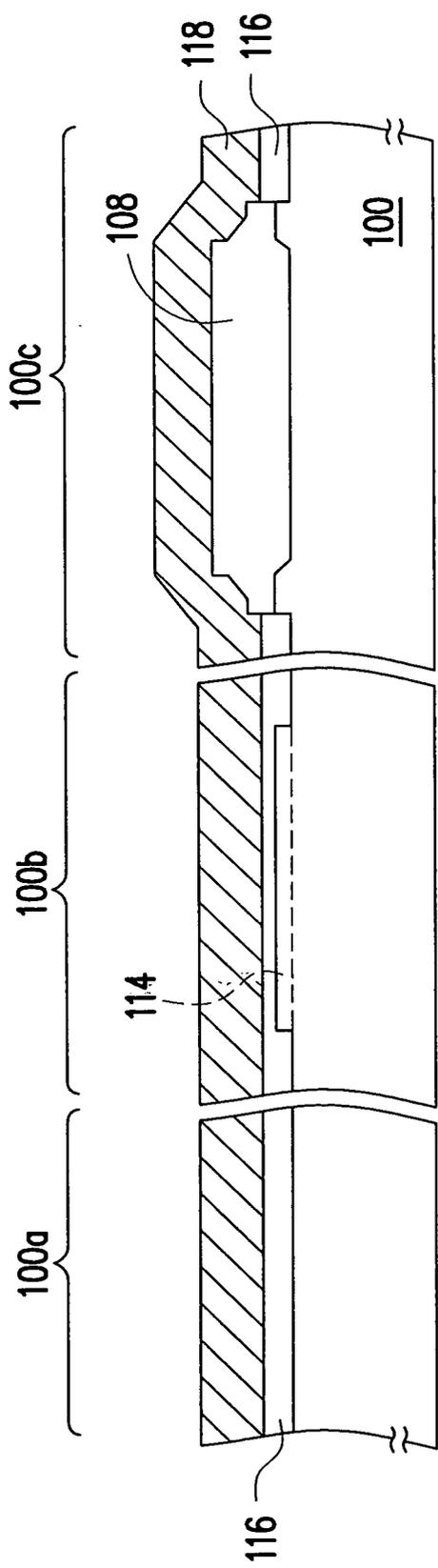


圖 1G

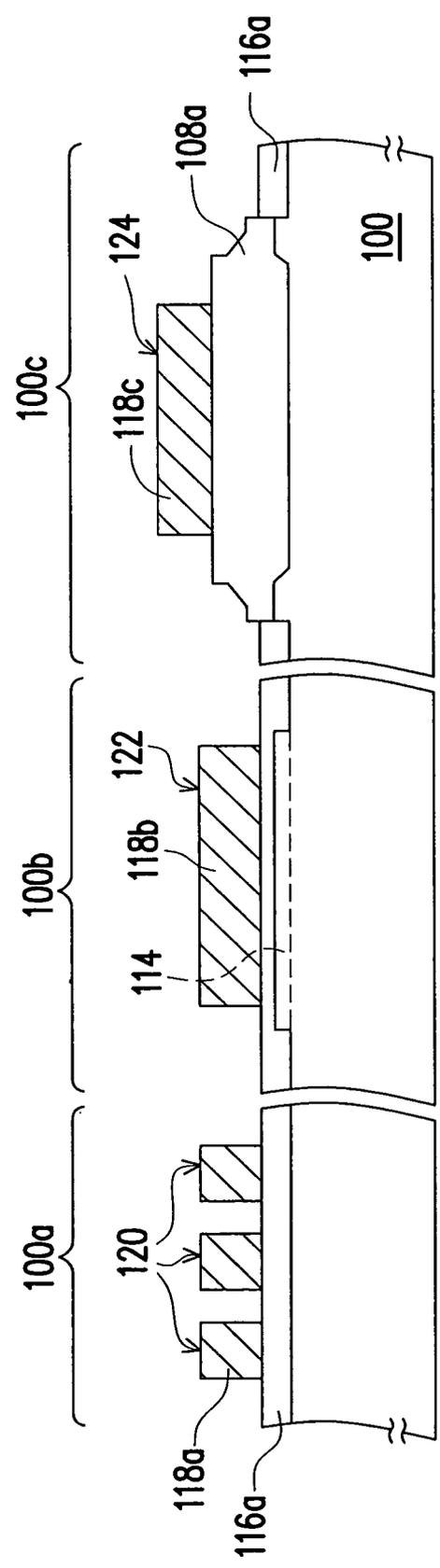


圖 1H