

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256830

(P2012-256830A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 3 2 1	5 F 0 8 3
H O 1 L 27/108 (2006.01)	H O 1 L 29/78 6 1 3 B	5 F 1 0 1
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 0
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 M 0 2 4
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	
審査請求 未請求 請求項の数 7 O L (全 52 頁) 最終頁に続く		

(21) 出願番号	特願2011-275183 (P2011-275183)	(71) 出願人	000153878
(22) 出願日	平成23年12月16日 (2011.12.16)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-291861 (P2010-291861)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年12月28日 (2010.12.28)	(72) 発明者	加藤 清
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-108896 (P2011-108896)		半導体エネルギー研究所内
(32) 優先日	平成23年5月14日 (2011.5.14)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	齋藤 利彦
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

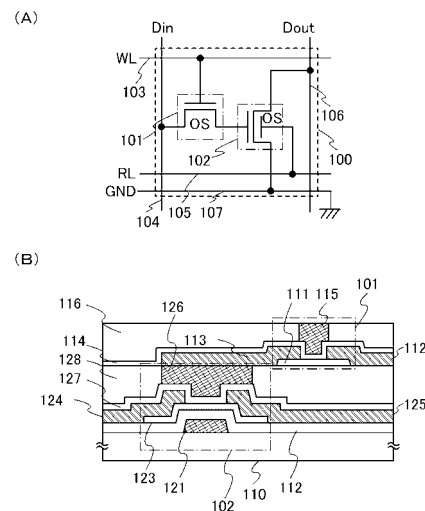
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】リフレッシュ動作の回数を減らすことで、消費電力を抑える。また、先に書き込んだデータを破壊することなく、データを読み出す。

【解決手段】ソースまたはドレインの一方となる第1の電極と、ソースまたはドレインの他方となる第2の電極と、第1のチャネル形成領域に絶縁膜を介して重畳して設けられた第1のゲート電極と、を有する第1のトランジスタと、ソースまたはドレインの一方となる第3の電極と、ソースまたはドレインの他方となる第4の電極と、第2のチャネル形成領域が第2のゲート電極と第3のゲート電極との間に絶縁膜を介して設けられた第2のトランジスタと、を有するメモリセルを複数有し、第1のチャネル形成領域及び第2のチャネル形成領域は、酸化物半導体を含んでおり、第2の電極は、第2のゲート電極に直接接続されている記憶装置とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ソース及びドレインの一方となる第 1 の電極と、ソース及びドレインの他方となる第 2 の電極と、第 1 の活性層に第 1 の絶縁膜を介して重畳して設けられた第 1 のゲート電極と、を有する第 1 のトランジスタと、ソース及びドレインの一方となる第 3 の電極と、ソース及びドレインの他方となる第 4 の電極と、第 2 の活性層が第 2 のゲート電極に接する第 2 の絶縁膜と第 3 のゲート電極に接する第 3 の絶縁膜との間に設けられた第 2 のトランジスタと、を有するメモリセルを複数有し、前記第 1 の活性層及び前記第 2 の活性層は、酸化物半導体を含んでおり、前記第 2 の電極は、前記第 2 のゲート電極に直接接続されている記憶装置。

10

【請求項 2】

ソース及びドレインの一方となる第 1 の電極と、ソース及びドレインの他方となる第 2 の電極と、第 1 の活性層に第 1 の絶縁膜を介して重畳して設けられた第 1 のゲート電極と、を有する第 1 のトランジスタと、ソース及びドレインの一方となる第 3 の電極と、ソース及びドレインの他方となる第 4 の電極と、第 2 の活性層が第 2 のゲート電極に接する第 2 の絶縁膜と第 3 のゲート電極に接する第 3 の絶縁膜との間に設けられた第 2 のトランジスタと、を有するメモリセルを複数有し、前記第 1 の活性層及び前記第 2 の活性層は、酸化物半導体を含んでおり、前記第 2 の電極は、前記第 2 のゲート電極に直接接続されており、前記第 1 の活性層と前記第 1 のゲート電極とが重畳する面積は、前記第 2 の活性層と前記第 2 のゲート電極または前記第 3 のゲート電極が重畳する面積よりも小さい記憶装置。

20

【請求項 3】

請求項 1 または請求項 2 において、前記第 1 のトランジスタの前記第 1 の活性層は、ドーパントを含む領域を有する記憶装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、前記第 1 のトランジスタは、前記第 2 のトランジスタとは異なる層に設けられている記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、前記第 2 のゲート電極と前記第 2 の活性層とが重畳する面積は、前記第 3 のゲート電極と前記第 2 の活性層とが重畳する面積よりも大きい記憶装置。

30

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、前記第 1 の電極は、前記第 3 の電極に電氣的に接続される記憶装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、前記酸化物半導体は、In - Ga - Zn - O 系の酸化物半導体である記憶装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は記憶装置に関する。特に本発明はデータを保持するメモリセルの構成に関する。

【背景技術】**【0002】**

半導体特性を利用した記憶装置（以下、記憶装置という）は、複数の電子機器に組み込まれ、多くの製品化がなされている。記憶装置としては、揮発性メモリと不揮発性メモリに大別することができる。揮発性メモリとしては、レジスタ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）が挙げられ、不揮発性メモリとしては、Flash E

50

PROM (フラッシュメモリ) が挙げられる。

【0003】

SRAMはフリップフロップなどの回路を用いて記憶内容を保持するため、1メモリセルあたりに素子の数が多くなり(例えば、1メモリセルあたりトランジスタが6個)、記憶容量あたりの単価が高くなるという問題がある。

【0004】

一方、DRAMは、トランジスタ及び容量素子でメモリセルを構成する単純な構造を有している。そのため他の揮発性メモリに比べ、メモリセルを構成するための半導体素子の数が少なく、単位面積あたりの記憶容量を高めることができ、低コスト化を実現できる。しかしながらDRAMは、一度記憶したデータを読み出す際にデータが消えてしまうといった点、一定期間経過するとトランジスタからの電荷のリークによって記憶したデータが消えてしまう点、といった欠点があり、1秒間に数十回の定期的なリフレッシュ動作が必要となっている。定期的なリフレッシュ動作は、消費電力の増加を招いてしまう。

10

【0005】

特許文献1には、揮発性メモリと不揮発性メモリを組み合わせることで、リフレッシュ動作をなくすることができるDRAMの構成について記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-308691号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

不揮発性メモリであるフラッシュメモリでは、フローティングゲート(電荷蓄積層ともいう)に電荷を蓄積する際に、印加される電圧の絶対値が、20V前後と、揮発性メモリに比べて大きい電圧が必要になる。印加する電圧値が大きいと、繰り返しで動作させる際の消費電力が増加してしまう。そのため消費電力を低下させることを優先するために、低い電圧で動作することの可能な構成である、トランジスタ及び容量素子でメモリセルを構成する単純な構造のDRAMの構成が多く採用されている。

30

【0008】

しかしながら、低電圧での動作が可能なトランジスタ及び容量素子でメモリセルを構成する単純な構造のDRAMの構成では、データを読み出す際に先に入力したデータを破壊する構成となるため、同じデータであっても再度書き込む必要が生じてしまう。従って定期的なリフレッシュ動作による消費電力の増加が問題となる。

【0009】

上述の課題に鑑み、本発明の一態様は、リフレッシュ動作の回数を減らすことのできる記憶装置の提供を目的の一つとする。また、本発明の一態様は、先に入力したデータを破壊することなく、データを読み出すことのできる記憶装置の提供を目的の一つとする。

【課題を解決するための手段】

【0010】

40

本発明の一態様は、ソース及びドレインの一方となる第1の電極と、ソース及びドレインの他方となる第2の電極と、第1のチャネル形成領域に絶縁膜を介して重畳して設けられた第1のゲート電極と、を有する第1のトランジスタと、ソース及びドレインの一方となる第3の電極と、ソース及びドレインの他方となる第4の電極と、第2のチャネル形成領域が第2のゲート電極と第3のゲート電極との間に絶縁膜を介して設けられた第2のトランジスタと、を有するメモリセルを複数有し、第1のチャネル形成領域及び第2のチャネル形成領域は、酸化半導体を含んでおり、第2の電極は、第2のゲート電極に直接接続されている記憶装置である。

【0011】

本発明の一態様は、ソース及びドレインの一方となる第1の電極と、ソース及びドレイン

50

の他方となる第２の電極と、第１のチャネル形成領域に絶縁膜を介して重畳して設けられた第１のゲート電極と、を有する第１のトランジスタと、ソース及びドレインの一方となる第３の電極と、ソース及びドレインの他方となる第４の電極と、第２のチャネル形成領域が第２のゲート電極と第３のゲート電極との間に絶縁膜を介して設けられた第２のトランジスタと、を有するメモリセルを複数有し、第１のチャネル形成領域及び第２のチャネル形成領域は、酸化物半導体を含んでおり、第２の電極は、第２のゲート電極に直接接続されており、第１のチャネル形成領域を有する活性層と第１のゲート電極とが重畳する面積は、第２のチャネル形成領域を有する活性層と第２のゲート電極または第３のゲート電極が重畳する面積よりも小さい記憶装置である。

【００１２】

本発明の一態様において、第１のトランジスタの第１のチャネル形成領域を有する活性層は、ドーパントが添加されることで低抵抗化された領域を有し、当該領域により、第１のゲート電極と、第１の電極及び第２の電極と、が離間して設けられている記憶装置である。

【００１３】

本発明の一態様において、第１のトランジスタは、第２のトランジスタとは異なる層に設けられている記憶装置である。

【００１４】

本発明の一態様において、第２のゲート電極と第２のチャネル形成領域が有する活性層とが重畳する面積は、第３のゲート電極と第２のチャネル形成領域が有する活性層とが重畳する面積よりも大きい記憶装置である。

【００１５】

本発明の一態様において、第１の電極は、第３の電極に電氣的に接続される記憶装置である。

【００１６】

本発明の一態様において、酸化物半導体は、 $In-Ga-Zn-O$ 系の酸化物半導体である記憶装置である。

【発明の効果】

【００１７】

本発明の一態様により、印加する電圧を高くすることなく、リフレッシュ動作の回数を減らすことによる消費電力の低減を図れる記憶装置の提供をすることができる。また、本発明の一態様により、先に入力したデータを破壊することなく、データを読み出すことができる記憶装置の提供をすることができる。

【図面の簡単な説明】

【００１８】

【図１】実施の形態１を説明する図。

【図２】実施の形態１を説明する図。

【図３】実施の形態２を説明する図。

【図４】実施の形態２を説明する図。

【図５】実施の形態２を説明する図。

【図６】実施の形態３を説明する図。

【図７】実施の形態４を説明する図。

【図８】実施の形態４を説明する図。

【図９】実施の形態５を説明する図。

【図１０】実施の形態６を説明する図。

【図１１】実施の形態７を説明する図。

【図１２】実施例１を説明する図。

【図１３】実施例１を説明する図。

【図１４】実施例１を説明する図。

【図１５】実施例１を説明する図。

10

20

30

40

50

- 【図 1 6】酸化物半導体の一例。
- 【図 1 7】酸化物半導体の一例。
- 【図 1 8】酸化物半導体の一例。
- 【図 1 9】ゲート電圧と電界効果移動度の関係。
- 【図 2 0】ゲート電圧とドレイン電流の関係。
- 【図 2 1】ゲート電圧とドレイン電流の関係。
- 【図 2 2】ゲート電圧とドレイン電流の関係。
- 【図 2 3】トランジスタの特性。
- 【図 2 4】トランジスタの特性。
- 【図 2 5】トランジスタの特性。
- 【図 2 6】トランジスタのオフ電流の温度依存性。
- 【発明を実施するための形態】

10

【0019】

以下、本発明の実施の形態及び実施例について図面を参照しながら説明する。但し、本発明の構成は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0020】

20

なお、各実施の形態及び実施例の図面等において示す各構成の、大きさ、層の厚さ、信号波形、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0021】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0022】

(実施の形態 1)

図 1 (A) に、本発明の記憶装置の最小単位に当たるメモリセルの、回路図の一例を示す。図 1 (A) に示すメモリセル 100 は、スイッチング素子として機能する第 1 のトランジスタ 101 と、記憶素子として機能する第 2 のトランジスタ 102 と、を有する。なお第 1 のトランジスタ 101 は、スイッチング素子として機能することで、第 2 のトランジスタ 102 の第 2 のゲート電極に、入力用データ線の電位の供給をする。

30

【0023】

スイッチング素子として機能する第 1 のトランジスタ 101 は、ソース及びドレインの一方となる第 1 の電極と、ソース及びドレインの他方となる第 2 の電極と、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料で形成された第 1 のチャネル形成領域と、第 1 のゲート電極とを有する。第 1 のトランジスタ 101 は、真性キャリア密度がシリコンよりも低い半導体材料を第 1 のチャネル形成領域に用いることで、オフ電流を十分低減することができる。

40

【0024】

記憶素子として機能する第 2 のトランジスタ 102 は、ソース及びドレインの一方となる第 3 の電極と、ソース及びドレインの他方となる第 4 の電極と、第 2 のチャネル形成領域と、第 2 のゲート電極と、第 3 のゲート電極とを有する。第 2 のチャネル形成領域は、第 2 のゲート電極と第 3 のゲート電極の間に位置する。なお第 2 のチャネル形成領域は、第 1 のチャネル形成領域と同様に、真性キャリア密度がシリコンよりも低い半導体材料で形成されることが好ましい。なお、第 2 のチャネル形成領域は、第 2 のゲート電極と第 3 のゲート電極の間に位置することができる半導体材料であれば、特に材料は限定されない。

【0025】

50

第1のチャネル形成領域及び第2のチャネル形成領域に用いられる、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、炭化珪素(SiC)、窒化ガリウム(GaN)などの化合物半導体、酸化亜鉛(ZnO)などの金属酸化物でなる酸化物半導体などを適用することができる。中でも酸化物半導体は、スパッタリング法や湿式法(印刷法など)によって作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンの成膜温度は約1500、窒化ガリウムの成膜温度は約1100であるが、酸化物半導体の成膜温度は、300~500(ガラス転移温度以下、最大でも700程度)と低く、安価で入手しやすいガラス基板上への成膜が可能である。また、基板の大型化にも対応が可能である。また第2のトランジスタ102における第2のチャネル形成領域を、第2のゲート電極と第3のゲート電極の間に位置するよう作製することも可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能(例えば電界効果移動度)を向上させるために結晶性の酸化物半導体を得ようとする場合でも、450から800の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0026】

なお酸化物半導体は、真性(I型ともいう)、又は実質的に真性である半導体であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である材料を用いる。

【0027】

上記酸化物半導体をチャネル形成領域に含むトランジスタのオフ電流は、チャネル幅1 μm あたり100yA(1×10^{-22} A)以下、好ましくはチャネル幅1 μm あたり10yA(1×10^{-23} A)以下、さらに好ましくはチャネル幅1 μm あたり1yA(1×10^{-24} A)以下とすることができる。従って、例えば第2のトランジスタ102の第2のゲート電極における静電容量が1fFとし、第2のトランジスタ102のオフ電流を1yAとすると、10年に1回程度のリフレッシュ動作でもデータの保持を可能にすることができる。

【0028】

また上記酸化物半導体としては、非単結晶であって、ab面に垂直な方向から見て、三角形、または、六角形、または正三角形、正六角形の原子配列を有し、且つ、c軸方向に、金属原子が層状、又は金属原子と酸素原子が層状に配列した相を有する酸化物半導体を用いることもできる。例えば、基板温度を100以上500以下にして酸化物半導体膜を成膜し、その後加熱処理を行い、酸化物半導体層を形成することで、層表面に垂直に配向した結晶を含む酸化物半導体層を形成することができる。上記層表面に垂直に配向した結晶を含む酸化物半導体層を用いることで、例えば光によるトランジスタの電気特性の変化を抑制することができる。

【0029】

以下の説明では第1のチャネル形成領域及び第2のチャネル形成領域に用いられる半導体材料として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。なお図面において、酸化物半導体をチャネル形成領域に用いたトランジスタであることを明確にするためにトランジスタを示す回路記号には"OS"の文字を付している。

【0030】

なお、図1(A)では、メモリセル100がスイッチング素子として機能する第1のトランジスタ101を一つだけ有する構成を示しているが、特にこの構成に限定されない。本発明の一態様では、スイッチング素子として機能する第1のトランジスタ101が各メモリセルに最低限1つ設けられていれば良く、上記第1のトランジスタ101の数は複数であっても良い。

【0031】

また、本発明の一態様では、少なくとも、スイッチング素子として機能する第1のトラン

ジスタ１０１の第１のチャネル形成領域が、上述したワイドギャップ半導体材料を用いて形成される構成であればよい。なお記憶素子として機能する第２のトランジスタ１０２の第２のチャネル形成領域に、第１のチャネル形成領域と同じ半導体材料である、酸化物半導体を用いる構成としても良い。第１のチャネル形成領域と第２のチャネル形成領域とを同じ半導体材料である酸化物半導体で形成することで、トランジスタを作製する際のプロセスを一部共通化することができる。或いは、記憶素子として機能する第２のトランジスタ１０２の第２のチャネル形成領域に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体材料が用いられていても良い。

【００３２】

次いで、図１（Ａ）に示したメモリセル１００における、第１のトランジスタ１０１、第２のトランジスタ１０２の接続関係について説明する。

【００３３】

第１のトランジスタ１０１の第１のゲート電極は、書き込み用ワード線ＷＬ（配線１０３）に接続されている。そして、第１のトランジスタ１０１は、ソース及びドレインの一方となる第１の電極が、入力用データ線Ｄｉｎ（配線１０４、ビット線ともいう）に接続され、ソース及びドレインの他方となる第２の電極が、第２のトランジスタ１０２の第２のゲート電極に接続されている。また、第２のトランジスタ１０２の第３のゲート電極は、読み出し用ワード線ＲＬ（配線１０５）に接続されている。そして、第２のトランジスタ１０２は、ソース及びドレインの一方となる第３の電極が出力用データ線Ｄｏｕｔ（配線１０６）に接続され、ソース及びドレインの他方となる第４の電極がグラウンド電位などの固定電位が与えられている電源線ＧＮＤ（配線１０７）に接続されている。

【００３４】

なお本明細書において、ＡとＢとが接続されている、とは、ＡとＢとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、ＡとＢとが電氣的に接続されているとは、ＡとＢとの間に何らかの電氣的作用を有する対象物が存在するとき、対象物を含むＡとＢとの間の部分が概略同じ電位となる場合を表すものとする。

【００３５】

次いで、図１（Ｂ）に、図１（Ａ）に示した回路構成を有するメモリセル１００の、断面図の一例を示す。図１（Ｂ）では、スイッチング素子として機能する第１のトランジスタ１０１と、記憶素子として機能する第２のトランジスタ１０２とが、絶縁表面を有する基板１１０上に形成されている様子を示している。特に図１（Ｂ）では、一例として、第２のトランジスタ１０２上に第１のトランジスタ１０１を形成する構成を示している。当該構成によってメモリセルの集積度を高めることができる。また図１（Ｂ）に示す構成以外にも第１のトランジスタ１０１及び第２のトランジスタ１０２を構成する半導体材料及び電極材料を同じ層に形成することで、トランジスタを作製する際のプロセスを一部共通化することができる。

【００３６】

図１（Ｂ）で第２のトランジスタ１０２は、絶縁表面を有する基板１１０上に、第３のゲート電極１２１と、第３のゲート電極１２１上の絶縁膜１２２と、絶縁膜１２２を間に挟んで第３のゲート電極１２１と重なる、チャネル形成領域を有する酸化物半導体膜１２３と、酸化物半導体膜１２３上の第３の電極１２４、第４の電極１２５と、酸化物半導体膜１２３、第３の電極１２４及び第４の電極１２５上の絶縁膜１２７と、絶縁膜１２７上において酸化物半導体膜１２３と重なっている第２のゲート電極１２６と、絶縁膜１２７上の第２のゲート電極１２６が設けられる以外の領域での凹凸を平坦化するための絶縁膜１２８と、を有している。

【００３７】

また図１（Ｂ）で第１のトランジスタ１０１は、平坦化された絶縁膜１２８上に、チャネル形成領域を有する酸化物半導体膜１１１と、酸化物半導体膜１１１上の第１の電極１１２、第２の電極１１３と、酸化物半導体膜１１１、第１の電極１１２及び第２の電極１１

10

20

30

40

50

3上の絶縁膜114と、絶縁膜114上において酸化物半導体膜111と重なっている第1のゲート電極115と、絶縁膜114上の第1のゲート電極115が設けられる以外の領域での凹凸を平坦化するための絶縁膜116と、を有している。また図1(B)では、第2のゲート電極126と第2の電極113とが直接接続するよう設けられている。なお図1(B)では基板110上の第2のトランジスタ102上に第1のトランジスタ101を設ける構成について示したが、基板上の第1のトランジスタ101上に第2のトランジスタ102を設ける構成としてもよい。

【0038】

次いで、図2(A)、(B)を用いて、記憶素子として機能する第2のトランジスタ102の動作について、第2のトランジスタ102がnチャネル型であり、なおかつ2値のデータを扱う場合を例に挙げて説明する。なお、図2(A)には、第2のトランジスタ102の回路図を示しており、第2のゲート電極の電位を V_{cg} 、第3のゲート電極の電位を V_{bg} 、第3の電極(以下、ドレイン電極ともいう)の電位を V_d 、第4の電極(以下ソース電極ともいう)の電位を V_s として、第2のトランジスタ102が有する各電極の電位を表記している。

10

【0039】

また図2(A)、(B)の説明で第2のトランジスタ102の閾値電圧は、第3のゲート電極とソース電極との間の電圧に応じて、閾値電圧 V_{th0} または閾値電圧 V_{th1} の2値で変化するものとして説明する。ここで閾値電圧 V_{th0} と閾値電圧 V_{th1} との関係は、 $0 < V_{th1} < V_{th0}$ である。なお、閾値電圧 V_{th0} は、第3のゲート電極の電位 V_{bg} がグラウンド電位 V_{gnd} と同じか、それよりも低い電位のときの、第2のトランジスタ102の閾値電圧に相当するものとして説明する。従って例えば、第3のゲート電極の電位 V_{bg} が V_{gnd} に設定された場合、第2のトランジスタ102の閾値電圧は閾値電圧 V_{th0} となる。なお、閾値電圧 V_{th1} は、各電位の関係を $V_{gnd} < V_{ss} < V_{dd}$ で表す場合、第3のゲート電極の電位 V_{bg} が V_{ss} 以上で、 V_{dd} よりも低い電位のときの、第2のトランジスタ102の閾値電圧に相当する。従って例えば、第3のゲート電極の電位 V_{bg} が V_{ss} に設定された場合、第2のトランジスタ102の閾値電圧は閾値電圧 V_{th0} よりマイナス側にシフトした閾値電圧 V_{th1} となる。なお電位 V_{dd} は第2のトランジスタ102の第2のゲート電極の電位 V_{cg} をグラウンド電位 V_{gnd} としてもオンになる電位である。

20

30

【0040】

まず、データの書き込み時における、第2のトランジスタ102の動作について説明する。書き込み時において、第2のトランジスタ102は、閾値電圧 V_{th0} となるよう第3のゲート電極とソース電極との間に電圧が印加される。そして書き込み時における第2のゲート電極とソース電極の電位の関係は、 $V_{cg} - V_s = V_{th0}$ となるよう V_{cg} の電位を設定しておく。このとき、第2のトランジスタ102は書き込み時においてオフであり、ドレイン電極はハイインピーダンスの状態にある。

【0041】

第2のゲート電極の電位 V_{cg} は、データの書き込み時において、書き込むデータの値に従って電位の高低が設定される。具体的に2値のデータを扱う場合、第2のゲート電極には、高電位 V_H か、または低電位 V_L の、いずれかが与えられる。なお高電位 V_H 及び低電位 V_L は、 $V_H - V_s = V_{th0}$ 、 $V_L - V_s = V_{th0}$ であり、且つ $V_H - V_s > V_{th1}$ 、 $V_L - V_s > V_{th1}$ となる電位とする。

40

【0042】

次いで、データの保持時における第2のトランジスタ102の動作について説明する。保持時において、スイッチング素子として機能する第1のトランジスタ101はオフである。上述したように第1のトランジスタ101はオフ電流が著しく低いので、第2のゲート電極の電位 V_{cg} は、書き込み時において設定された電位を一定期間保持する。

【0043】

次いで、データの読み出し時における第2のトランジスタ102の動作について説明する

50

。読み出し時において、第2のトランジスタ102は、閾値電圧 V_{th1} となるよう第3のゲート電極とソース電極との間に電圧が印加される。従って上述したように、第3のゲート電極の電位 V_{bg} を電位 V_{ss} に設定すればよい。

【0044】

データの読み出し時では、直前に行われたデータの書き込み時において、第2のゲート電極の電位 V_{cg} に高電位 V_H か低電位 V_L が与えられている。データの読み出し時、第2のゲート電極の電位 V_{cg} が高電位 V_H の場合、第2のゲート電極とソース電極間の電圧が閾値電圧 V_{th1} よりも高くなることで、ソース電極とドレイン電極間の抵抗値が下がることにより、第2のトランジスタ102がオンになる。よって、ソース電極の電位 V_s は、ドレイン電極に与えられる。一方データの読み出し時、第2のゲート電極の電位 V_{cg} が低電位 V_L の場合、第2のゲート電極とソース電極間の電圧が閾値電圧 V_{th1} よりも低くなることで、第2のトランジスタ102はオフのままである。よって、ソース電極とドレイン電極間の抵抗値が高く、ドレイン電極はハイインピーダンスの状態のままである。

10

【0045】

従って、ドレイン電極の電位 V_d は、直前に行われたデータの書き込み時において、第2のゲート電極に与えられた電位の高さに連動している。図2(B)に、読み出し時における、第2のゲート電極の電位 V_{cg} と、第2のトランジスタ102のドレイン電流 I_d の関係を示す。曲線130は、閾値電圧が V_{th1} に設定されている場合の、電位 V_{cg} とドレイン電流 I_d の関係を示しており、曲線131は、閾値電圧が V_{th0} に設定されている場合の、電位 V_{cg} とドレイン電流 I_d の関係を示している。

20

【0046】

第3のゲート電極の電位 V_{bg} がグラウンド電位 V_{gnd} で第2のトランジスタ102の閾値電圧が V_{th0} の場合、第2のゲート電極の電位 V_{cg} が高電位 V_H に設定されるとドレイン電流 I_{d0}' が得られる。また第3のゲート電極の電位 V_{bg} がグラウンド電位 V_{gnd} で第2のトランジスタ102の閾値電圧が V_{th0} の場合、第2のゲート電極の電位 V_{cg} が低電位 V_L に設定されるとドレイン電流 I_{d0} が得られる。ドレイン電流 I_{d0}' 及びドレイン電流 I_{d0} は曲線131からわかるように小さい値のため、第2のトランジスタ102の閾値電圧が V_{th0} の場合、すなわち読み出し時以外ではソース電極とドレイン電極間の抵抗値が高い状態となる。

30

【0047】

一方で第3のゲート電極の電位 V_{bg} が電位 V_{ss} で第2のトランジスタ102の閾値電圧が V_{th1} の場合、第2のゲート電極の電位 V_{cg} が高電位 V_H に設定されるとドレイン電流 I_{d1}' が得られる。また第3のゲート電極の電位 V_{bg} が電位 V_{ss} で第2のトランジスタ102の閾値電圧が V_{th1} の場合、第2のゲート電極の電位 V_{cg} が低電位 V_L に設定されるとドレイン電流 I_{d1} が得られる。ドレイン電流 I_{d1} は曲線130からわかるように小さい値、ドレイン電流 I_{d1}' は曲線130からわかるように大きい値のため、第2のトランジスタ102の閾値電圧が V_{th1} の場合、すなわち読み出し時ではドレイン電流もしくはドレイン電極の電位 V_d の値を読み取ることで、書き込まれたデータの値を把握することができる。

40

【0048】

なお本実施の形態では、2値のデータを扱う場合について説明したが、本発明の記憶装置では、3値以上の多値のデータを扱うことも可能である。

【0049】

本発明の一態様では、高純度化された酸化物半導体膜をトランジスタのチャネル形成領域として用いたスイッチング素子によって、データの書き込み及び読み出しを行うことができる。よって、記憶装置の動作時に必要な電圧は数V程度であり、消費電力を格段に小さく抑えることができる。また高純度化された酸化物半導体膜をトランジスタのチャネル形成領域として用いることで、一度書き込んだデータの保持を極めて長くとることができる。よって、書き込んだデータを一定期間毎に再度書き込むリフレッシュ動作の回数を減ら

50

することができる。書き込み及び読み出しに要する電圧の低電圧化及びリフレッシュ動作の回数削減によって、本実施の構成は消費電力の削減を図ることができる。また書き込んだデータの読み出しに際し、先に書き込んだデータを破壊することなく、データを読み出すことができる。よって、再度同じデータを書き込む必要がないため、その分の消費電力を削減することが可能である。

【 0 0 5 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 0 5 1 】

(実施の形態 2)

本実施の形態では、複数のメモリセルを有する記憶装置の構成と、その駆動方法の一例について説明する。

【 0 0 5 2 】

図 3 に、複数のメモリセル 1 0 0 A 乃至 1 0 0 C がマトリクス状に接続された NOR 型の記憶装置のセルアレイの回路図を、一例として示す。図 3 に示す記憶装置が有する各メモリセル 1 0 0 A 乃至 1 0 0 C の構成については、実施の形態 1 において、図 1 (A) で説明した内容を参照することができる。

【 0 0 5 3 】

具体的に、メモリセル 1 0 0 A 乃至 1 0 0 C は、第 2 のトランジスタ 1 0 2 A 乃至 1 0 2 C の第 2 のゲート電極への電位の供給を制御することができる、スイッチング素子として機能する第 1 のトランジスタ 1 0 1 A 乃至 1 0 1 C と、記憶素子として機能する第 2 のトランジスタ 1 0 2 A 乃至 1 0 2 C と、を有する。

【 0 0 5 4 】

図 3 に示すセルアレイでは、複数の入力用データ線 D_{in} 、複数の出力用データ線 D_{out} 、複数の書き込み用ワード線 W_L 、複数の読み出し用ワード線 R_L などの各種配線が設けられており、セルアレイの駆動回路からの信号または電源電位が、これら配線を介して各メモリセル 1 0 0 A 乃至 1 0 0 C に供給される。よって、上記配線の数、メモリセル 1 0 0 A 乃至 1 0 0 C の数及び配置によって決めることができる。具体的に、図 3 に示すセルアレイの場合、3 行 × 1 列のメモリセルがマトリクス状に接続されており、少なくとも、入力用データ線 D_{in} 、出力用データ線 D_{out} 、書き込み用ワード線 $W_L 1 \sim W_L 3$ 、読み出し用ワード線 $R_L 1 \sim R_L 3$ が、セルアレイ内に配置されている場合を例示している。

【 0 0 5 5 】

上記配線と、メモリセル 1 0 0 A 乃至 1 0 0 C 内の回路素子との接続構造について、入力用データ線 D_{in} 、出力用データ線 D_{out} 、書き込み用ワード線 $W_L 1$ 、読み出し用ワード線 $R_L 1$ に接続されているメモリセル 1 0 0 A 乃至 1 0 0 C のひとつを例に挙げ、説明する。第 1 のトランジスタ 1 0 1 A の第 1 のゲート電極は、書き込み用ワード線 $W_L 1$ に接続されている。そして、第 1 のトランジスタ 1 0 1 A は、第 1 の電極が入力用データ線 D_{in} に接続され、第 2 の電極が、第 2 のトランジスタ 1 0 2 A の第 2 のゲート電極に接続されている。また、第 2 のトランジスタ 1 0 2 A の第 3 のゲート電極は、読み出し用ワード線 $R_L 1$ に接続されている。そして、第 2 のトランジスタ 1 0 2 A は、ドレイン電極が出力用データ線 D_{out} に接続され、ソース電極がグラウンド電位などの固定電位が与えられている電源線 GND に接続されている。

【 0 0 5 6 】

次いで、図 3 に示すセルアレイを例に挙げ、本発明の一態様に係る記憶装置の動作について、図 4 を用いて説明する。図 4 は、各配線に入力される信号の電位の時間変化を示すタイミングチャートであり、第 1 のトランジスタ 1 0 1 A 乃至 1 0 1 C 及び第 2 のトランジスタ 1 0 2 A 乃至 1 0 2 C が共に n チャンネル型であり、なおかつ 2 値のデータを扱う場合を例示している。

【 0 0 5 7 】

まず、データの書き込み時における記憶装置の動作について説明する。書き込み時において、書き込み用ワード線 $W L 1$ に、パルスをもつ信号が入力されると、当該パルスの電位、具体的にはハイレベルの電位が、ゲート電極に与えられることで、書き込み用ワード線 $W L 1$ にゲート電極が接続されている第 1 のトランジスタ 101A が、オンになる。一方、読み出し用ワード線 $R L 1$ には、図 2 (A)、(B) で説明したように第 2 のトランジスタ 102A の閾値電圧が V_{th0} となる電位が入力されており、読み出し用ワード線 $R L 1$ に第 3 のゲート電極が接続されている第 2 のトランジスタ 102A はオフを維持する。

【0058】

そして、入力用データ線 $D i n$ に、データを情報として含む信号が入力される。図 4 では、入力用データ線 $D i n$ に、ハイレベルまたはローレベルの電位をもつ信号が入力されている場合を例示している。また、2 値のデータを扱う場合は、入力用データ線 $D i n$ に入力される信号の電位が電源電圧に相当する電位 (例えば V_{dd} と V_{ss}) の 2 値であれば良いが、3 値以上の多値のデータを扱う場合は、その扱うデータに用いられている基数に合わせて、電位のレベルの数を決めればよい。

【0059】

入力用データ線 $D i n$ に入力されている電位は、オンの第 1 のトランジスタ 101A を介して、第 2 のトランジスタ 102A が有する第 2 のゲート電極に与えられる。そして、第 2 のゲート電極の電位に従って、第 2 のトランジスタ 102A の閾値電圧が V_{th0} にシフトした際の第 2 のトランジスタ 102A のオン又はオフの状態が決まる。

【0060】

書き込み用ワード線 $W L 1$ への、パルスをもつ信号の入力が終了すると、書き込み用ワード線 $W L 1$ にゲート電極が接続されている第 1 のトランジスタ 101A がオフになる。そして、書き込み用ワード線 $W L 2$ 、書き込み用ワード線 $W L 3$ に、パルスをもつ信号が順に入力され、書き込み用ワード線 $W L 2$ を有するメモリセル、書き込み用ワード線 $W L 3$ を有するメモリセルにおいて、上述した動作が同様に繰り返される。

【0061】

次いで、データの保持時における記憶装置の動作について説明する。保持時において、全ての書き込み用ワード線 $W L 1 \sim W L 3$ には、第 1 のトランジスタ 101A 乃至 101C がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。第 1 のトランジスタ 101A 乃至 101C は、上述したようにオフ電流が著しく低いので、第 2 のゲート電極の電位は、書き込み時において設定されたレベルを保持する。また、全ての読み出し用ワード線 $R L 1 \sim R L 3$ には、図 2 (A)、(B) で説明したように第 2 のトランジスタ 102A 乃至 102C の閾値電圧が V_{th0} となる電位が入力されており、読み出し用ワード線 $R L 1 \sim R L 3$ に第 3 のゲート電極が接続されている第 2 のトランジスタ 102A 乃至 102C はオフを維持する。

【0062】

図 4 のタイミングチャートではデータを保持する動作を説明するために保持期間を設けている。しかし、実際のメモリの動作においては保持期間を設けなくとも良い。

【0063】

次いで、データの読み出し時における記憶装置の動作について説明する。読み出し時において、全ての書き込み用ワード線 $W L 1 \sim W L 3$ には、保持時と同様に、第 1 のトランジスタ 101A 乃至 101C がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。

【0064】

一方、読み出し時において、読み出し用ワード線 $R L 1 \sim R L 3$ には、パルスをもつ信号が順に入力される。具体的には、まず、読み出し用ワード線 $R L 1$ に、パルスをもつ信号が入力されると、当該パルスの電位、具体的には、図 2 (A)、(B) で説明したように第 2 のトランジスタ 102A の閾値電圧が V_{th1} となる電位が入力される。第 2 のトランジスタ 102A では、閾値電圧が V_{th1} となると、直前の書き込み時において第

10

20

30

40

50

2のゲート電極に書き込まれた電位に従って、そのドレイン電流、またはソース電極とドレイン電極間の抵抗値が定まる。

【0065】

そして、第2のトランジスタ102Aのドレイン電流、またはソース電極とドレイン電極間の抵抗値が、情報として含まれる電位、すなわち第2のトランジスタ102Aが有するドレイン電極の電位が、出力用データ線Doutを介して駆動回路に供給される。

【0066】

なお、出力用データ線Doutに供給される電位は、メモリセルに書き込まれているデータに従って、そのレベルが決まる。よって、理想的には、複数のメモリセルに同じ値のデータが記憶されているならば、当該メモリセルに接続された全ての出力用データ線には、
10
同じレベルの電位が供給されているはずである。しかし、実際には、第1のトランジスタ101A乃至101Cまたは第2のトランジスタ102A乃至102Cの特性が、メモリセル間においてばらついている場合があるため、読み出されるはずのデータが全て同じ値であっても、出力用データ線Doutに供給される電位にばらつきが生じ、その分布に幅を有することがある。よって、出力用データ線Doutに供給される電位に多少のばらつきが生じていても、上記電位から、読み出されたデータを情報として含み、なおかつ、所望の仕様に合わせて振幅、波形が処理された信号を形成することができる読み出し回路を、駆動回路として記憶装置に設ける。

【0067】

本実施の形態では、書き込み、保持、読み出し、の各動作を、複数のメモリセルにおいて順に行う駆動方法について説明したが、本発明はこの構成に限定されない。指定されたアドレスのメモリセルにおいてのみ、上記動作を行うようにしても良い。

10

20

【0068】

なお本実施の形態の構成では、一度書き込んだデータを一定期間保持することが可能である。そこで、図3に示す回路図において入力用データ線Din及び出力用データ線Doutは、共通の配線とすることも可能である。具体的な回路図について図5に示す。図5の構成とすることで配線数を削減することができ、メモリセルの高密度化を図ることができる。

【0069】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0070】

(実施の形態3)

本実施の形態では、記憶装置におけるメモリセルの上面図、回路図、及び断面図について、図6(A)乃至(C)を参照して説明する。

【0071】

図6(A)にはメモリセルの平面図を示している。図6(B)には図6(A)に示した平面図に対応する回路図を示している。図6(C)には図6(A)のA-A'、B-B'における断面図を示している。図6(A)乃至(C)において付した符号は、図1(A)、(B)と同様であり、それぞれ第1のトランジスタ101及び第2のトランジスタ102
40
の配置について示している。なお図6(A)乃至(C)では、入力用データ線及び出力用データ線について、共通化した構成について示している。

【0072】

図6(A)及び(C)に示す第1のトランジスタ101及び第2のトランジスタ102では、特に第1のトランジスタ101が有する第1のゲート電極、第2のトランジスタ102が有する第2のゲート電極及び第3のゲート電極の大きさを異ならせて示している。

【0073】

具体的には、第2のチャネル形成領域を有する活性層と重畳する第2のゲート電極の面積をS2、第2のチャネル形成領域を有する活性層と重畳する第3のゲート電極の面積をS3とすると、 $S3 < S2$ とすることが好ましい。特にS2を大きく取ることによって第2のゲート電極の面積を大きくすることで、第2のゲート電極の電位を高く保つことが可能である。

50

ト電極における電荷の保持能力を高めることができる。

【0074】

また、第1のチャネル形成領域を有する活性層と重畳する第1のゲート電極の面積を S_1 とすると、前述の S_2 、 S_3 と比較して $S_1 < S_3 < S_2$ とすることが好ましい。特に S_1 を小さく取ること、書き込み用ワード線 WL の寄生容量を小さくすることができるため、充放電に要する電荷分の消費電力を低減することができる。

【0075】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0076】

(実施の形態4)

本実施の形態では、上記実施の形態の記憶装置に適用可能なトランジスタの構成例について説明する。本実施の形態では特に、上記実施の形態で説明した構成において第1のトランジスタ101を微細化して形成する際の構成例、及び作製工程の一例について示す。

【0077】

特に本実施の形態で説明する第1のトランジスタの構成では、酸化物半導体をチャネル形成領域に有する活性層のうちソース領域及びドレイン領域となる領域を、酸化物半導体中に不純物を導入してチャネル形成領域よりも低抵抗化させて形成する構成について説明する。なお不純物領域の抵抗値は、チャネル形成領域の抵抗値よりも低い値となる。

【0078】

図7(A)乃至(D)は、本実施の形態における第1のトランジスタの101の構成となる、トランジスタの断面図である。図7(A)乃至(D)に示すトランジスタの構造は、いずれもトップゲート構造である。図7(A)乃至(D)に示すように、第1のトランジスタ101の構造をトップゲート構造にしてゲート電極を用いてソース領域及びドレイン領域を自己整合的に形成することで、トランジスタの微細化を図ることができる。よってトランジスタのゲート電極とソース電極及びドレイン電極との重畳する部分をなくし、第1のトランジスタと書き込み用ワード線 WL との間の寄生容量を小さくできる。その結果、充放電の消費電力を低減することができる。

【0079】

図7(A)に示すトランジスタは、半導体層603__Aと、導電層605a__Aと、導電層605b__Aと、絶縁層606__Aと、導電層607__Aと、を含む。

【0080】

半導体層603__Aは、離間して設けられた高濃度領域604a__A及び高濃度領域604b__Aと、を含む。高濃度領域604a__A及び高濃度領域604b__Aの間の領域がチャネル形成領域になる。半導体層603__Aは、例えば絶縁層601__Aの上に設けられる。なお高濃度領域はドーパントが高濃度に添加されることで低抵抗化された領域であり、低濃度領域はドーパントが低濃度に添加されることで低抵抗化された領域である。

【0081】

導電層605a__A及び導電層605b__Aは、半導体層603__Aの上に設けられ、半導体層603__Aに電氣的に接続される。導電層605a__A及び導電層605b__Aは、例えば半導体層603__Aの一部に接する。また、導電層605a__A及び導電層605b__Aの側面は、テーパ状であり、導電層605a__A及び導電層605b__Aは、高濃度領域604a__A及び高濃度領域604b__Aの一部にそれぞれ重畳する。

【0082】

絶縁層606__Aは、半導体層603__A、導電層605a__A、及び導電層605b__Aの上に設けられる。

【0083】

導電層607__Aは、絶縁層606__Aを介して高濃度領域604a__Aと高濃度領域604b__Aとの間の半導体層603__Aに重畳する。絶縁層606__Aを介して導電層607__Aと重畳する半導体層603__Aの領域がチャネル形成領域になる。

【 0 0 8 4 】

また、図 7 (B) に示すトランジスタは、図 7 (A) に示す構造に加え、サイドウォールとなる絶縁層 6 0 9 a __ A 及び絶縁層 6 0 9 b __ A を含み、さらに、半導体層 6 0 3 __ A は、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A の間に低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A を含む。

【 0 0 8 5 】

絶縁層 6 0 9 a __ A 及び絶縁層 6 0 9 b __ A は、絶縁層 6 0 6 __ A の上に設けられ、導電層 6 0 7 __ A における、互いに対向する側面に接する。

【 0 0 8 6 】

低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A は、絶縁層 6 0 6 __ A を介して絶縁層 6 0 9 a __ A 及び絶縁層 6 0 9 b __ A に重畳する。また、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A の不純物濃度は、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A の不純物濃度よりも低い。

10

【 0 0 8 7 】

低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A を設けることによって、トランジスタへの局所的な電界集中を抑制することができるため、トランジスタの信頼性を高くすることができる。

【 0 0 8 8 】

図 7 (C) に示すトランジスタは、半導体層 6 0 3 __ B と、導電層 6 0 5 a __ B と、導電層 6 0 5 b __ B と、絶縁層 6 0 6 __ B と、導電層 6 0 7 __ B と、を含む。

20

【 0 0 8 9 】

導電層 6 0 5 a __ B 及び導電層 6 0 5 b __ B は、絶縁層 6 0 1 __ B の上に設けられ、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B に電氣的に接続される。導電層 6 0 5 a __ B 及び導電層 6 0 5 b __ B は、例えば高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B の一部に接する。また、導電層 6 0 5 a __ B 及び導電層 6 0 5 b __ B の側面はテーパ状であり、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B の一部に重畳する。

【 0 0 9 0 】

半導体層 6 0 3 __ B は、離間して設けられた高濃度領域 6 0 4 a __ B と高濃度領域 6 0 4 b __ B との間に設けられている。半導体層 6 0 3 __ B は、チャネル形成領域になる。半導体層 6 0 3 __ B は、例えば導電層 6 0 5 a __ A 及び導電層 6 0 5 b __ A 並びに絶縁層 6 0 1 __ B の上に設けられる。

30

【 0 0 9 1 】

絶縁層 6 0 6 __ B は、半導体層 6 0 3 __ B 、高濃度領域 6 0 4 a __ B 、及び高濃度領域 6 0 4 b __ B の上に設けられる。

【 0 0 9 2 】

導電層 6 0 7 __ B は、絶縁層 6 0 6 __ B を介して半導体層 6 0 3 __ B に重畳する。絶縁層 6 0 6 __ B を介して導電層 6 0 7 __ B と重畳する半導体層 6 0 3 __ B の領域がチャネル形成領域になる。

【 0 0 9 3 】

また、図 7 (D) に示すトランジスタは、図 7 (C) に示す構造に加え、サイドウォールとなる絶縁層 6 0 9 a __ B 及び絶縁層 6 0 9 b __ B を含み、さらに、半導体層 6 0 3 __ B は、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B の間に低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B を含む。

40

【 0 0 9 4 】

絶縁層 6 0 9 a __ B 及び絶縁層 6 0 9 b __ B は、絶縁層 6 0 6 __ B の上に設けられ、導電層 6 0 7 __ B における、互いに対向する一対の側面に接する。

【 0 0 9 5 】

低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B は、絶縁層 6 0 6 __ B を介して絶縁層 6 0 9 a __ B 及び 6 0 9 b __ B に重畳する。また、低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B の不純物濃度は、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B

50

の不純物濃度よりも低い。

【0096】

低濃度領域608a__B及び低濃度領域608b__Bを設けることによって、トランジスタへの局所的な電界集中を抑制することができるため、トランジスタの信頼性を高くすることができる。

【0097】

さらに、図7(A)乃至図7(D)に示す各構成要素について説明する。

【0098】

絶縁層601__A及び絶縁層601__Bとしては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層または積層して用いることができる。また、絶縁層601__A及び絶縁層601__Bは、平坦性を有する表面に加工して用いることのできる材料であることが好ましい。

10

【0099】

半導体層603__A及び半導体層603__Bは、トランジスタのチャネル形成層としての機能を有する。半導体層603__A及び半導体層603__Bとしては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを含む酸化物半導体層を用いることができる。

【0100】

四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などを用いることができる。

20

【0101】

三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などを用いることができる。

【0102】

二元系金属酸化物としては、例えばIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、In-Sn-O系金属酸化物、又はIn-Ga-O系金属酸化物などを用いることができる。

30

【0103】

また、半導体層603__A及び半導体層603__Bとしては、例えばIn-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物の層などを用いることもできる。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、窒素を含んでいてもよい。

【0104】

また、半導体層603__A及び半導体層603__Bとしては、 $InL_3O_3(ZnO)_m$ (m は0よりも大きい数)で表記される材料の層を用いることもできる。 $InL_3O_3(ZnO)_m$ のLは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

40

【0105】

高濃度領域604a__A及び高濃度領域604a__Bは、トランジスタのソースまたはドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。

【0106】

低濃度領域608a__A及び低濃度領域608b__A、並びに低濃度領域608a__B及び低濃度領域608b__Bの抵抗値は、高濃度領域604a__A及び高濃度領域604b__A、並びに高濃度領域604a__B及び高濃度領域604b__Bの抵抗値よりも高く、

50

低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B を高抵抗不純物領域ともいう。

【 0 1 0 7 】

高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B に含まれるドーパントとしては、例えば窒素、リン、砒素、アルゴン、キセノン、ヘリウム、及び水素の一つ又は複数が挙げられる。

【 0 1 0 8 】

また、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A、並びに高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B に含まれるドーパントの濃度は、例えば $5 \times 10^{19} \text{ cm}^{-3}$ 以上であることが好ましい。 10

【 0 1 0 9 】

また、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B に含まれるドーパントの濃度は、例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 未満であることが好ましい。

【 0 1 1 0 】

また、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B は、チャネル形成領域より結晶性が低くてもよい。 20

【 0 1 1 1 】

また、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B に、In - Ga - Zn - O - N 系材料であり、ウルツ鉱構造の結晶が含まれていてもよい。このとき、高濃度領域 6 0 4 a __ A 及び高濃度領域 6 0 4 b __ A、低濃度領域 6 0 8 a __ A 及び低濃度領域 6 0 8 b __ A、高濃度領域 6 0 4 a __ B 及び高濃度領域 6 0 4 b __ B、並びに低濃度領域 6 0 8 a __ B 及び低濃度領域 6 0 8 b __ B は、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 7 原子 % 未満の窒素を含むウルツ鉱構造になりやすい。 30

【 0 1 1 2 】

上記不純物領域を In - Ga - Zn - O - N 系材料であり、ウルツ鉱構造の結晶を含む構造にすることによって、トランジスタのソース又はドレインと、チャネル形成領域との間の抵抗値が低くなる。

【 0 1 1 3 】

導電層 6 0 5 a __ A、導電層 6 0 5 a __ B、導電層 6 0 5 b __ A、並びに導電層 6 0 5 b __ B のそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

【 0 1 1 4 】

導電層 6 0 5 a __ A、導電層 6 0 5 a __ B、導電層 6 0 5 b __ A、並びに導電層 6 0 5 b __ B としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。合金材料の層としては、例えば Cu - Mg - Al 合金材料の層を用いることができる。 40

【 0 1 1 5 】

また、導電層 6 0 5 a __ A、導電層 6 0 5 a __ B、導電層 6 0 5 b __ A、並びに導電層 6 0 5 b __ B としては、導電性の金属酸化物を含む層を用いることもできる。なお、導電層 6 0 5 a __ A、導電層 6 0 5 a __ B、導電層 6 0 5 b __ A、並びに導電層 6 0 5 b __ B に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。 50

【0116】

また、導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bとしては、In-Ga-Zn-O-N系材料の層を用いることもできる。In-Ga-Zn-O-N系材料の層は、導電性が高いため、導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bとして好ましい。

【0117】

また、導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bに適用可能な材料の層の積層によって、導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bを構成することもできる。例えばCu-Mg-Al合金材料の層の上に銅の層が設けられた積層によって導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bを構成することによって、導電層605a__A、導電層605a__B、導電層605b__A、並びに導電層605b__Bに接する絶縁層との密着性を高めることができる。

10

【0118】

絶縁層606__A及び絶縁層606__Bとしては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層606__A及び絶縁層606__Bに適用可能な材料の層の積層によって絶縁層606__A及び絶縁層606__Bを構成することもできる。

【0119】

また、絶縁層606__A及び絶縁層606__Bとしては、例えば元素周期表における第13族元素及び酸素元素を含む材料の絶縁層を用いることもできる。

20

【0120】

第13族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりもアルミニウムの含有量(原子%)が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上の物質のことをいう。

【0121】

導電層607__A及び導電層607__Bは、電界効果トランジスタのゲートとしての機能を有する。なお、電界効果トランジスタのゲートとしての機能を有する導電層をゲート電極又はゲート配線ともいう。

30

【0122】

導電層607__A及び導電層607__Bとしては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層607__A及び導電層607__Bに適用可能な材料の層の積層によって、導電層607__A及び導電層607__Bを構成することもできる。

【0123】

また、導電層607__A及び導電層607__Bとしては、導電性の金属酸化物を含む層を用いることもできる。なお、導電層607__A及び導電層607__Bに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。また、導電層607__A及び導電層607__Bに適用可能な導電性の金属酸化物は、窒素を含んでいてもよい。窒素を含ませることによって、導電性を高めることができる。

40

【0124】

また、導電層607__A及び導電層607__Bとしては、In-Ga-Zn-O-N系材料の層を用いることもできる。In-Ga-Zn-O-N系材料の層は、導電性が高いため、導電層607__A及び導電層607__Bとして好ましい。

【0125】

絶縁層609a__A及び絶縁層609b__A、並びに絶縁層609a__B及び絶縁層60

50

9 b __ B としては、例えば絶縁層 6 0 6 __ A 及び絶縁層 6 0 6 __ B に適用可能な材料の層を用いることができる。また、絶縁層 6 0 9 a __ A 及び絶縁層 6 0 9 b __ A、並びに絶縁層 6 0 9 a __ B 及び絶縁層 6 0 9 b __ B に適用可能な材料の層の積層によって絶縁層 6 0 9 a __ A 及び絶縁層 6 0 9 b __ A、並びに絶縁層 6 0 9 a __ B 及び絶縁層 6 0 9 b __ B を構成してもよい。

【 0 1 2 6 】

さらに、本実施の形態のトランジスタの作製方法例として、図 7 (A) に示すトランジスタの作製方法例について、図 8 (A) 乃至図 8 (E) を用いて説明する。図 8 (A) 乃至図 8 (E) は、本実施の形態におけるトランジスタの作製方法例を説明するための断面図である。

10

【 0 1 2 7 】

まず、図 8 (A) に示すように、第 1 の絶縁層として形成された絶縁層 6 0 1 __ A の上に半導体層 6 0 3 __ A を形成する。

【 0 1 2 8 】

さらに、半導体層 6 0 3 __ A の一例として、結晶性を向上させることのできる酸化物半導体層の形成方法例について以下に説明する。

【 0 1 2 9 】

酸化物半導体層の形成方法例は、絶縁層 6 0 1 __ A の上に半導体膜を形成する工程と、1 回以上の熱処理を行う工程と、を含む。なお、半導体層 6 0 3 __ A の形成方法例において、該半導体膜の一部を除去する工程を含ませてもよい。このとき、該半導体膜の一部を除去する工程の順番は、半導体膜の形成後から導電層 6 0 5 a __ A 及び導電層 6 0 5 b __ A の形成前までであれば特に限定されない。また、熱処理を行う工程の順番は半導体膜の形成後であれば特に限定されない。

20

【 0 1 3 0 】

絶縁層 6 0 1 __ A の上に半導体膜を形成する工程としては、例えばスパッタリング法を用いて半導体層 6 0 3 __ A に適用可能な材料の膜を形成することによって半導体膜を形成する。このとき、膜形成面側 (基板側) の温度を 1 0 0 以上 5 0 0 以下にする。

【 0 1 3 1 】

熱処理を行う工程としては、例えば 4 0 0 以上 7 5 0 以下の温度で加熱処理 (加熱処理 A ともいう) を行う。なお、半導体膜を形成した後であれば、加熱処理 A を行うタイミングは特に限定されない。

30

【 0 1 3 2 】

加熱処理 A によって、半導体膜の表面から結晶化が起こり、半導体膜の表面から内部に向かって結晶成長する。

【 0 1 3 3 】

上記工程によって、非単結晶であって、a b 面に垂直な方向から見て、三角形、または、六角形、または正三角形、正六角形の原子配列を有し、且つ、c 軸方向に、金属原子が層状、又は金属原子と酸素原子が層状に配列した相を有する半導体膜 (C A A C - O S (C Axis Aligned Crystalline Oxide Semiconductor)) を形成することができる。

40

【 0 1 3 4 】

なお、加熱処理 A を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって被処理物を加熱する装置を用いることができ、例えば G R T A (Gas Rapid Thermal Anneal) 装置又は L R T A (Lamp Rapid Thermal Anneal) 装置などの R T A (Rapid Thermal Anneal) 装置を用いることができる。L R T A 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光 (電磁波) の輻射によって、被処理物を加熱する装置である。また、G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処

50

理物と反応しない不活性気体（例えば窒素）を用いることができる。

【0135】

また、加熱処理Aを行った後、加熱処理Aを行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下の雰囲気）を導入してもよい。このとき、酸素ガス又は N_2O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度を、 $6N$ 以上、好ましくは $7N$ 以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を $1ppm$ 以下、好ましくは $0.1ppm$ 以下とすることが好ましい。酸素ガス又は N_2O ガスの作用によって、半導体層603__Aに酸素が供給され、半導体層603__A中の酸素欠乏に起因する欠陥を低減することができる。

10

【0136】

次に、図8（B）に示すように、半導体層603__Aの一部の上に第1の導電膜を形成し、該第1の導電膜の一部をエッチングすることによって導電層605a__A及び導電層605b__Aを形成する。

【0137】

例えば、スパッタリング法などを用いて導電層605a__A及び導電層605b__Aに適用可能な材料の膜を形成することによって第1の導電膜を形成することができる。また、導電層605a__A及び導電層605b__Aに適用可能な材料の膜を積層させることによって第1の導電膜を形成することもできる。

20

【0138】

また、上記導電層605a__A及び導電層605b__Aの形成方法のように、本実施の形態のトランジスタの作製方法例において、膜の一部をエッチングする場合、例えば、フォトリソグラフィ工程によって膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングしてもよい。なお、この場合、エッチング後にレジストマスクを除去することが好ましい。

【0139】

次に、図8（C）に示すように、半導体層603__A、導電層605a__A、及び導電層605b__Aの上に第2の絶縁膜を形成することによって、絶縁層606__Aを形成する。

30

【0140】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層606__Aに適用可能な材料の膜を形成することによって第2の絶縁膜を形成することができる。また、絶縁層606__Aに適用可能な材料の膜を積層させることによって第2の絶縁膜を形成することもできる。また、高密度プラズマCVD法（例えば μ 波（例えば、周波数 $2.45GHz$ の μ 波）を用いた高密度プラズマCVD法）を用いて絶縁層606__Aに適用可能な材料の膜を形成することによって、絶縁層606__Aを緻密にすることができ、絶縁層606__Aの絶縁耐圧を向上させることができる。

【0141】

次に、図8（D）に示すように、絶縁層606__Aの上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることによって、導電層607__Aを形成する。

40

【0142】

例えば、スパッタリング法を用いて導電層607__Aに適用可能な材料の膜を形成することによって第2の導電膜を形成することができる。また、第2の導電膜に適用可能な材料の膜を積層させ、第2の導電膜を形成することもできる。

【0143】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることによって、形成される膜の上記不純物濃度を低減することができる。

【0144】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室に

50

て加熱処理（加熱処理 B ともいう）を行ってもよい。加熱処理 B を行うことによって、水素、水分などの不純物を脱離することができる。

【0145】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、膜形成面側に RF 電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことによって、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0146】

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリーメーションポンプなどを用いることができる。また、コールドトラップを設けたターボポンプを用いて成膜室内の残留水分を除去することもできる。

10

【0147】

さらに、絶縁層 606 __ A を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で、加熱処理（加熱処理 C ともいう）を行ってもよい。このとき、例えば 200 以上 400 以下、好ましくは 250 以上 350 以下で加熱処理 C を行うことができる。

【0148】

以上の工程によって、半導体層 603 __ A を高純度化させることができる。

20

【0149】

次に、図 8 (E) に示すように、半導体層 603 __ A にドーパントを添加することによって、高濃度領域 604 a __ A 及び高濃度領域 604 b __ A を形成する。

【0150】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

【0151】

添加するドーパントとしては、例えば窒素、リン、砒素、アルゴン、キセノン、ヘリウム、及び水素の一つ又は複数を用いることができる。

【0152】

なお、半導体層 603 __ A にドーパントを添加した後に加熱処理を行ってもよい。

30

【0153】

以上が図 7 (A) に示すトランジスタの作製方法例である。

【0154】

本実施の形態では、第 1 のトランジスタ 101 の構造をトップゲート構造にしてゲート電極を用いてソース領域及びドレイン領域を自己整合的に形成することで、トランジスタの微細化を図ることができる。よってトランジスタのゲート電極とソース電極及びドレイン電極との重畳する部分をなくし、第 1 のトランジスタと書き込み用ワード線 WL との間の寄生容量を小さくできる。その結果、充放電に要する消費電力を低減することができる。

【0155】

なお本実施の形態とは異なる構成として、酸化物半導体を用いたトランジスタにおけるソース領域またはドレイン領域として機能する領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体膜の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体膜のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. Dig., p. 504, 2010.)。

40

【0156】

しかしながら上記作製方法では、ゲート絶縁膜となる絶縁層を形成した後に、ソース領域

50

またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜となる絶縁層を部分的に除去する必要がある。よって、ゲート絶縁膜となる絶縁層が除去される際に、下層の酸化物半導体膜も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまう。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0157】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体膜とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

10

【0158】

例えば、酸化物半導体膜が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を200nm以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体膜の厚さは20nm以下、好ましくは10nm以下であることが求められる。そのような薄い酸化物半導体膜を扱う場合には、酸化物半導体膜のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0159】

しかし、本実施の形態の構成のように、酸化物半導体膜へのドーパントの添加を、酸化物半導体膜を露出させず、絶縁層を残したまま行うことで、酸化物半導体膜のオーバーエッチングを防ぎ、酸化物半導体膜への過剰なダメージを軽減することができる。また、加えて、酸化物半導体膜とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

20

【0160】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0161】

(実施の形態5)

酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。

30

【0162】

また、酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はランタノイドの中から選ばれた一種又は複数種を有することが好ましい。

【0163】

ランタノイドとして、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロビウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)がある。

40

【0164】

例えば、一元系金属の酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛等を用いることができる。

【0165】

また、例えば、二元系金属の酸化物半導体として、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物等を用いることができる。

【0166】

また、例えば、三元系金属の酸化物半導体として、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、In-Al-

50

Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物等を用いることができる。

【0167】

また、例えば、四元系金属の酸化物半導体として、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等を用いることができる。

10

【0168】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含有させても良い。

【0169】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ あるいは $\text{In}:\text{Ga}:\text{Zn}=2:2:1 (=2/5:2/5:1/5)$ の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。

【0170】

あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3 (=1/3:1/6:1/2)$ あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5 (=1/4:1/8:5/8)$ の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いても良い。

20

【0171】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0172】

酸化物半導体は単結晶でも、非単結晶でもよい。

30

【0173】

非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。

【0174】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0175】

（実施の形態6）

結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている酸化物半導体であるCAAC-OSについて説明する。

40

【0176】

CAAC-OSは新規な酸化物半導体である。CAAC-OSは、c軸配向し、かつab面、表面または界面の方向から見て三角形または六角形状の原子配列を有する。

【0177】

そして、CAAC-OSは、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列している。

【0178】

さらに、CAAC-OSは、ab面においてはa軸またはb軸の向きが異なる（c軸を中心に回転している）。

50

【0179】

C A A C - O S とは、広義には、非単結晶である。

【0180】

そして、C A A C - O S は、a b 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有する。

【0181】

さらに、C A A C - O S は、c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物である。

【0182】

C A A C - O S は単結晶ではないが、非晶質のみから形成されているものでもない。

10

【0183】

また、C A A C - O S は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0184】

C A A C - O S を構成する酸素の一部は窒素で置換されてもよい。

【0185】

また、C A A C - O S を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C - O S を支持する基板面、C A A C - O S の表面などに垂直な方向）に揃っていてもよい。

【0186】

若しくは、C A A C - O S を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C - O S を支持する基板面、C A A C - O S の表面などに垂直な方向）を向いていてもよい。

20

【0187】

C A A C - O S は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0188】

例えば、膜状に形成された C A A C - O S を、膜表面または支持する基板面に垂直な方向から電子顕微鏡で観察すると三角形または六角形の原子配列が認められる。

30

【0189】

さらに、電子顕微鏡で膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる。

【0190】

図16乃至図18を用いて、C A A C - O S に含まれる結晶構造の一例について説明する。

【0191】

なお、図16乃至図18において、上方向が c 軸方向であり、c 軸方向と直交する面が a b 面である。

【0192】

本実施の形態において、上半分、下半分とは、a b 面を境にした場合の上半分、下半分をいう。

40

【0193】

図16(A)に、1個の6配位の I n と、I n に近接の6個の4配位の酸素原子（以下4配位の O ）と、を有する構造 A を示す。

【0194】

ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。

【0195】

構造 A は、八面体構造をとるが、簡単のため平面構造で示している。

50

【 0 1 9 6 】

なお、構造 A は上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。構造 A に示す小グループは電荷が 0 である。

【 0 1 9 7 】

図 1 6 (B) に、1 個の 5 配位の Ga と、Ga に近接の 3 個の 3 配位の酸素原子 (以下 3 配位の O) と、Ga に近接の 2 個の 4 配位の O と、を有する構造 B を示す。

【 0 1 9 8 】

3 配位の O は、いずれも a b 面に存在する。構造 B の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。

【 0 1 9 9 】

また、In も 5 配位をとるため、構造 B をとりうる。構造 B の小グループは電荷が 0 である。

【 0 2 0 0 】

図 1 6 (C) に、1 個の 4 配位の Zn と、Zn に近接の 4 個の 4 配位の O と、を有する構造 C を示す。

【 0 2 0 1 】

構造 C の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。構造 C の小グループは電荷が 0 である。

【 0 2 0 2 】

図 1 6 (D) に、1 個の 6 配位の Sn と、Sn に近接の 6 個の 4 配位の O と、を有する構造 D を示す。

【 0 2 0 3 】

構造 D の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。

【 0 2 0 4 】

構造 D の小グループは電荷が + 1 となる。

【 0 2 0 5 】

図 1 6 (E) に、2 個の Zn を含む構造 E を示す。

【 0 2 0 6 】

構造 E の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。構造 E の小グループは電荷が - 1 となる。

【 0 2 0 7 】

本実施の形態では複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ (ユニットセルともいう。) と呼ぶ。

【 0 2 0 8 】

ここで、これらの小グループ同士が結合する規則について説明する。

【 0 2 0 9 】

図 1 6 (A) に示す 6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。

【 0 2 1 0 】

図 1 6 (B) に示す 5 配位の Ga の上半分の 1 個の O は、下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は、上方向に 1 個の近接 Ga を有する。

【 0 2 1 1 】

図 1 6 (C) に示す 4 配位の Zn の上半分の 1 個の O は、下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Zn を有する。

【 0 2 1 2 】

この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。

【 0 2 1 3 】

O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の

10

20

30

40

50

和は 4 になる。

【 0 2 1 4 】

従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。

【 0 2 1 5 】

その理由を以下に示す。例えば、6 配位の金属原子 (I_n または S_n) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (G_a または I_n) の上半分の 4 配位の O、5 配位の金属原子 (G_a または I_n) の下半分の 4 配位の O または 4 配位の金属原子 (Z_n) の上半分の 4 配位の O のいずれかと結合することになる。

10

【 0 2 1 6 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。

【 0 2 1 7 】

また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 2 1 8 】

図 17 (A) に、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループ A のモデル図を示す。

【 0 2 1 9 】

図 17 (B) に、3 つの中グループで構成される大グループ B を示す。

20

【 0 2 2 0 】

なお、図 17 (C) は、図 17 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 2 2 1 】

中グループ A では、3 配位の O は省略し、4 配位の O は個数のみである。

【 0 2 2 2 】

例えば、 S_n の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。

【 0 2 2 3 】

同様に、中グループ A において、 I_n の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。

30

【 0 2 2 4 】

また、中グループ A において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z_n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z_n とを示している。

【 0 2 2 5 】

中グループ A は、 $I_n - S_n - Z_n - O$ 系の層構造を構成し、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある S_n が、4 配位の O が 1 個ずつ上半分および下半分にある I_n と結合する。

40

【 0 2 2 6 】

その I_n が、上半分に 3 個の 4 配位の O がある Z_n と結合する。

【 0 2 2 7 】

その Z_n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある I_n と結合する。

【 0 2 2 8 】

その I_n が、上半分に 1 個の 4 配位の O がある Z_n 2 個からなる小グループと結合する。

【 0 2 2 9 】

この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある S_n と結合している構成である。

50

【0230】

この中グループが複数結合して大グループを構成する。

【0231】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ - 0.667、- 0.5と考えることができる。

【0232】

例えば、In (6配位または5配位)、Zn (4配位)、Sn (5配位または6配位)の電荷は、それぞれ + 3、+ 2、+ 4である。従って、Snを含む小グループは電荷が + 1となる。

【0233】

そのため、Snを含む層構造を形成するためには、電荷 + 1を打ち消す電荷 - 1が必要となる。

【0234】

電荷 - 1をとる構造として、構造Eに示すように、2個のZnを含む小グループが挙げられる。

【0235】

例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0236】

具体的には、大グループBが繰り返されることで、In - Sn - Zn - O系の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。

【0237】

得られるIn - Sn - Zn - O系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (mは0または自然数。)とする組成式で表すことができる。

【0238】

In - Sn - Zn - O系の結晶は、mの数が大きいと結晶性が向上するため、好ましい。

【0239】

In - Sn - Zn - O系以外の酸化物半導体を用いた場合も同様である。

【0240】

例えば、図18(A)に、In - Ga - Zn - O系の層構造を構成する中グループLのモデル図を示す。

【0241】

中グループLにおいて、In - Ga - Zn - O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合する。

【0242】

そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合する。

【0243】

そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合する。

【0244】

この中グループが複数結合して大グループを構成する。

【0245】

図18(B)に3つの中グループで構成される大グループMを示す。

【0246】

なお、図18(C)は、図18(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0247】

ここで、In (6配位または5配位)、Zn (4配位)、Ga (5配位)の電荷は、それ

10

20

30

40

50

それ + 3、+ 2、+ 3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。

【0248】

そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0249】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、中グループ L に限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0250】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0251】

(実施の形態 7)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。

【0252】

移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinson モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0253】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁 (粒界等) が存在すると仮定すると、式 (1) で表される。

【0254】

【数 1】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \dots (1)$$

【0255】

E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。

【0256】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinson モデルでは、式 (2) で表される。

【0257】

【数 2】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \dots (2)$$

【0258】

e は電気素量、N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、t はチャネルの厚さである。

【0259】

なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

【0260】

線形領域におけるドレイン電流 I_d は、式 (3) で表される。

【0261】

10

20

30

40

50

【数 3】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \dots (3)$$

【0262】

ここで、L はチャネル長、W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。

【0263】

また、 V_d はドレイン電圧である。

【0264】

式(3)の両辺を V_g で割り、更に両辺の対数を取ると、式(4)で表される。

【0265】

【数 4】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \dots (4)$$

【0266】

式(3)の右辺は V_g の関数である。

【0267】

上式のからわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ とする直線の傾きから平均欠陥密度 N が求められる。

【0268】

すなわち、トランジスタの $I_d - V_g$ 特性から、平均欠陥密度を評価できる。

【0269】

酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは平均欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

【0270】

このようにして求めた欠陥密度等をもとに $\mu_0 = 120 cm^2 / Vs$ が導出される。

【0271】

欠陥のある $In - Sn - Zn$ 酸化物で測定される移動度は $35 cm^2 / Vs$ 程度である。

【0272】

しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

【0273】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、式(5)で表される。

【0274】

【数 5】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \dots (5)$$

【0275】

D はゲート方向の電界、B、G は定数である。B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 cm / s$ 、 $G = 10 nm$ (界面散乱が及ぶ深さ) である。

【0276】

D が増加する (すなわち、ゲート電圧が高くなる) と式(5)の第2項が増加するため、

10

20

30

40

50

移動度 μ_1 は低下することがわかる。

【0277】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 の計算結果 E を図 19 に示す。

【0278】

なお、計算にはシノプシス社製のデバイスシミュレーションソフトである *Sentaurus Device* を使用した。

【0279】

計算において、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8 電子ボルト、4.7 電子ボルト、15、15 nm とした。

10

【0280】

これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0281】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5 電子ボルト、4.6 電子ボルト、4.6 電子ボルトとした。

【0282】

また、ゲート絶縁膜の厚さは 100 nm、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに 10 μ m、ドレイン電圧 V_d は 0.1 V である。

【0283】

計算結果 E で示されるように、ゲート電圧 1 V 強で移動度 100 cm^2/Vs 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。

20

【0284】

なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (*Atomic Layer Flatness*) が望ましい。

【0285】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した。

【0286】

なお、計算に用いたトランジスタは酸化物半導体層に一对の n 型半導体領域にチャネル形成領域が挟まれたものを用いた。

30

【0287】

一对の n 型半導体領域の抵抗率は $2 \times 10^{-3} \Omega \text{cm}$ として計算した。

【0288】

また、チャネル長を 33 nm、チャネル幅を 40 nm として計算した。

【0289】

また、ゲート電極の側壁にサイドウォールを有する。

【0290】

サイドウォールと重なる半導体領域をオフセット領域として計算した。

【0291】

40

計算にはシノプシス社製のデバイスシミュレーションソフト、*Sentaurus Device* を使用した。

【0292】

図 20 は、トランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性の計算結果である。

【0293】

ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0294】

図 20 (A) はゲート絶縁膜の厚さを 15 nm として計算したものである。

50

【 0 2 9 5 】

図 2 0 (B) はゲート絶縁膜の厚さを 1 0 n m として計算したものである。

【 0 2 9 6 】

図 2 0 (C) はゲート絶縁膜の厚さを 5 n m として計算したものである。

【 0 2 9 7 】

ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。

【 0 2 9 8 】

一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。

10

【 0 2 9 9 】

図 2 1 は、オフセット長 (サイドウォール長) L_{off} を 5 n m としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。

【 0 3 0 0 】

ドレイン電流 I_d は、ドレイン電圧を + 1 V とし、移動度 μ はドレイン電圧を + 0 . 1 V として計算したものである。

【 0 3 0 1 】

図 2 1 (A) はゲート絶縁膜の厚さを 1 5 n m として計算したものである。

【 0 3 0 2 】

図 2 1 (B) はゲート絶縁膜の厚さを 1 0 n m として計算したものである。

20

【 0 3 0 3 】

図 2 1 (C) はゲート絶縁膜の厚さを 5 n m として計算したものである。

【 0 3 0 4 】

図 2 2 は、オフセット長 (サイドウォール長) L_{off} を 1 5 n m としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧依存性を示す。

【 0 3 0 5 】

ドレイン電流 I_d は、ドレイン電圧を + 1 V とし、移動度 μ はドレイン電圧を + 0 . 1 V として計算したものである。

【 0 3 0 6 】

図 2 2 (A) はゲート絶縁膜の厚さを 1 5 n m として計算したものである。

30

【 0 3 0 7 】

図 2 2 (B) はゲート絶縁膜の厚さを 1 0 n m として計算したものである。

【 0 3 0 8 】

図 2 2 (C) はゲート絶縁膜の厚さを 5 n m として計算したものである。

【 0 3 0 9 】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【 0 3 1 0 】

なお、移動度 μ のピークは、図 2 0 では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図 2 1 では $60 \text{ cm}^2 / \text{Vs}$ 程度、図 2 2 では $40 \text{ cm}^2 / \text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。

40

【 0 3 1 1 】

また、オフ電流も同様な傾向がある。

【 0 3 1 2 】

一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【 0 3 1 3 】

また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリ素子等で必要とされる $10 \mu \text{A}$ を超えることが示された。

【 0 3 1 4 】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0315】

(実施の形態8)

In、Sn、Znを含有する酸化物半導体を用いたトランジスタは、酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。

【0316】

なお、In、Sn、Znは組成比でそれぞれ5 atomic %以上含まれていると好ましい。

10

【0317】

In、Sn、Znを含有する酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。

【0318】

また、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることができる。

【0319】

nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることにより、nチャネル型のトランジスタのオフ状態を維持するための電圧の絶対値を低くすることができ、低消費電力化が可能となる。

20

【0320】

さらに、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせて、しきい値電圧を0 V以上にすれば、ノーマリーオフ型のトランジスタを形成することが可能となる。

【0321】

以下、In、Sn、Znを含有する酸化物半導体を用いたトランジスタの特性を示す。

【0322】

(サンプルA～C共通条件)

組成比としてIn:Sn:Zn=1:1:1のターゲットを用いて、ガス流量比をAr/O₂=6/9 sccm、成膜圧力を0.4 Pa、成膜電力100 Wとして、15 nmの厚さとなるように基板上に酸化物半導体層を成膜した。

【0323】

次に、酸化物半導体層を島状になるようにエッチング加工した。

30

【0324】

そして、酸化物半導体層上に50 nmの厚さとなるようにタングステン層を成膜し、これをエッチング加工してソース電極及びドレイン電極を形成した。

【0325】

次に、プラズマCVD法を用いて、シランガス(SiH₄)と一酸化二窒素(N₂O)を用いて100 nmの厚さとなるように酸化窒化珪素膜(SiON)を形成してゲート絶縁膜とした。

【0326】

次に、15 nmの厚さとなるように窒化タンタルを形成し、135 nmの厚さとなるようにタングステンを形成し、これらをエッチング加工してゲート電極を形成した。

40

【0327】

さらに、プラズマCVD法を用いて、300 nmの厚さとなるように酸化窒化珪素膜(SiON)を形成し、1.5 μmの厚さとなるようにポリイミド膜を形成し層間絶縁膜とした。

【0328】

次に、層間絶縁膜にコンタクトホールを形成し、50 nmの厚さとなるように第1のチタン膜を形成し、100 nmの厚さとなるようにアルミニウム膜を形成し、50 nmの厚さとなるように第2のチタン膜を形成し、これらをエッチング加工して測定用のパッドを形成した。

50

【0329】

以上のようにしてトランジスタを有する半導体装置を形成した。

【0330】

(サンプルA)

サンプルAは酸化物半導体層の成膜中に基板に意図的な加熱を施さなかった。

【0331】

また、サンプルAは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

【0332】

(サンプルB)

10

サンプルBは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0333】

また、サンプルBは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

【0334】

基板を加熱した状態で成膜を行った理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0335】

(サンプルC)

20

サンプルCは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0336】

さらに、サンプルCは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に窒素雰囲気中で650℃1時間の加熱処理を施した後、酸素雰囲気中で650℃1時間の加熱処理を施した。

【0337】

窒素雰囲気中で650℃1時間の加熱処理を施した理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0338】

30

ここで、酸化物半導体層中でドナーとなる水素を追い出すための加熱処理で酸素も離脱し、酸化物半導体層中でキャリアとなる酸素欠損も生じてしまう。

【0339】

そこで、酸素雰囲気中で650℃1時間の加熱処理を施すことにより、酸素欠損を低減する効果を狙った。

【0340】

(サンプルA～Cのトランジスタの特性)

図23(A)にサンプルAのトランジスタの初期特性を示す。

【0341】

図23(B)にサンプルBのトランジスタの初期特性を示す。

40

【0342】

図23(C)にサンプルCのトランジスタの初期特性を示す。

【0343】

サンプルAのトランジスタの電界効果移動度は $18.8 \text{ cm}^2 / \text{Vs} \cdot \text{sec}$ であった。

【0344】

サンプルBのトランジスタの電界効果移動度は $32.2 \text{ cm}^2 / \text{Vs} \cdot \text{sec}$ であった。

【0345】

サンプルCのトランジスタの電界効果移動度は $34.5 \text{ cm}^2 / \text{Vs} \cdot \text{sec}$ であった。

【0346】

ここで、サンプルA～Cと同様の成膜方法で形成した酸化物半導体層の断面を透過型顕微

50

鏡 (TEM) で観察したところ、成膜時に基板加熱を行ったサンプル B 及びサンプル C と同様の成膜方法で形成したサンプルには結晶性が確認された。

【0347】

そして、驚くべきことに、成膜時に基板加熱を行ったサンプルは、結晶性部分と非結晶性部分とを有し、結晶性部分の配向が c 軸配向に揃っている結晶性であった。

【0348】

通常が多結晶では結晶性部分の配向が揃っておらず、ばらばらの方向を向いているため、成膜時に基板加熱を行ったサンプルは新しい構造を有している。

【0349】

また、図 23 (A) ~ (C) を比較すると、成膜時に基板加熱を行うこと、又は、成膜後に加熱処理を行うことにより、ドナーとなる水素元素を追い出すことができるため、n チャンネル型トランジスタのしきい値電圧をプラスシフトできることが理解できる。

10

【0350】

即ち、成膜時に基板加熱を行ったサンプル B のしきい値電圧は、成膜時に基板加熱を行っていないサンプル A のしきい値電圧よりもプラスシフトしている。

【0351】

また、成膜時に基板加熱を行ったサンプル B 及びサンプル C を比較した場合、成膜後に加熱処理を行ったサンプル C の方が、成膜後に加熱処理を行っていないサンプル B よりもプラスシフトしていることがわかる。

【0352】

また、水素のような軽元素は加熱処理の温度が高いほど離脱しやすいため、加熱処理の温度が高いほど水素が離脱しやすい。

20

【0353】

よって、成膜時又は成膜後の加熱処理の温度を更に高めればよりプラスシフトが可能であると考察した。

【0354】

(サンプル B とサンプル C のゲート BT ストレス試験結果)

サンプル B (成膜後加熱処理なし) 及びサンプル C (成膜後加熱処理あり) に対してゲート BT ストレス試験を行った。

【0355】

まず、基板温度を 25 とし、 V_{ds} を 10 V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行い、加熱及びプラスの高電圧印加を行う前のトランジスタの特性を測定した。

30

【0356】

次に、基板温度を 150 とし、 V_{ds} を 0.1 V とした。

【0357】

次に、ゲート絶縁膜に印加される V_{gs} に 20 V を印加し、そのまま 1 時間保持した。

【0358】

次に、 V_{gs} を 0 V とした。

【0359】

次に、基板温度 25 とし、 V_{ds} を 10 V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行い、加熱及びプラスの高電圧印加を行った後のトランジスタの特性を測定した。

40

【0360】

以上のようにして、加熱及びプラスの高電圧印加を行う前後のトランジスタの特性を比較することをプラス BT 試験と呼ぶ。

【0361】

一方、まず基板温度を 25 とし、 V_{ds} を 10 V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行い、加熱及びマイナスの高電圧印加を行う前のトランジスタの特性を測定した。

【0362】

次に、基板温度を 150 とし、 V_{ds} を 0.1 V とした。

50

【0363】

次に、ゲート絶縁膜に印加される V_{gs} に -20 V を印加し、そのまま 1 時間保持した。

【0364】

次に、 V_{gs} を 0 V とした。

【0365】

次に、基板温度 25°C とし、 V_{ds} を 10 V とし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行い、加熱及びマイナスの高電圧印加を行った後のトランジスタの特性を測定した。

【0366】

以上のようにして、加熱及びマイナスの高電圧印加を行う前後のトランジスタの特性を比較することをマイナス BT 試験と呼ぶ。

10

【0367】

図 24 (A) はサンプル B のプラス BT 試験結果であり、図 24 (B) はサンプル B のマイナス BT 試験結果である。

【0368】

図 25 (A) はサンプル C のプラス BT 試験結果であり、図 25 (B) はサンプル C のマイナス BT 試験結果である。

【0369】

プラス BT 試験及びマイナス BT 試験はトランジスタの劣化具合を判別する試験であるが、図 24 (A) 及び図 25 (A) を参照すると少なくともプラス BT 試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

20

【0370】

特に、図 24 (A) ではプラス BT 試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。

【0371】

よって、トランジスタの作製時の加熱処理に加えて、プラス BT 試験の処理を行うことにより、しきい値電圧のプラスシフト化を促進でき、ノーマリーオフ型のトランジスタを形成することができることがわかった。

【0372】

図 26 はサンプル A のトランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。

30

【0373】

ここでは、測定時の基板温度の逆数に 1000 を掛けた数値 ($1000 / T$) を横軸としている。

【0374】

なお、図 26 ではチャネル幅 $1\text{ }\mu\text{m}$ の場合における電流量を図示している。

【0375】

基板温度が 125°C ($1000 / T$ が約 2.51) のとき $1 \times 10^{-19}\text{ A}$ 以下となっていた。

【0376】

基板温度が 85°C ($1000 / T$ が約 3.66) のとき $1 \times 10^{-20}\text{ A}$ 以下となっていた。

40

【0377】

つまり、シリコン半導体を用いたトランジスタと比較して極めて低いオフ電流であることがわかった。

【0378】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

【0379】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能

50

である。

【0380】

(実施の形態9)

本発明の一態様に係る記憶装置の、駆動回路の具体的な構成の一例について説明する。

【0381】

図9に、本発明の一態様に係る記憶装置の具体的な構成を、一例としてブロック図で示す。なお、図9に示すブロック図では、記憶装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0382】

図9に示す記憶装置300は、セルアレイ301と、駆動回路302とを有している。駆動回路302は、ワード線の電位を制御するワード線駆動回路304と、セルアレイ301において選択されたメモリセルにおけるデータの書き込み及び読み出しを制御するデータ線駆動回路305とを有する。さらに、駆動回路302は、ワード線駆動回路304、データ線駆動回路305の動作を制御する制御回路306を有している。また駆動回路302においてデータ線駆動回路305内には、書き込んだデータを定期的に取りフレッシュするためのリフレッシュ回路を有する(図示せず)。

【0383】

また、図9に示す記憶装置300では、ワード線駆動回路304が、デコーダ307と、レベルシフタ308と、バッファ309とを有している。データ線駆動回路305が、デコーダ310と、セクタ312と、セルアレイ301から読み出されたデータを情報として含む信号を生成する読み出し回路303と、を有している。

【0384】

なお、本発明の一態様に係る記憶装置300は、少なくともセルアレイ301をその構成に含んでいればよい。更に、本発明の一態様に係る記憶装置300は、セルアレイ301に駆動回路302の一部又は全てが接続された状態にあるメモリモジュールを、その範疇に含む。メモリモジュールは、プリント配線基板等を実装することが可能な接続端子が設けられ、なおかつ樹脂等で保護された、所謂パッケージングされた状態であっても良い。

【0385】

また、セルアレイ301、ワード線駆動回路304、データ線駆動回路305、制御回路306は、全て一の基板を用いて形成されていても良いし、いずれか1つ又は全てが互いに異なる基板を用いて形成されていても良い。

【0386】

異なる基板を用いている場合、FPC(Flexible Printed Circuit)などを介して電氣的な接続を確保することができる。この場合、駆動回路302の一部がFPCにCOF(Chip On Film)法を用いて接続されていても良い。或いは、COG(Chip On Glass)法を用いて、電氣的な接続を確保することができる。

【0387】

記憶装置300に、セルアレイ301のアドレス(Ax、Ay)を情報として含む信号ADが入力されると、制御回路306は、列方向のアドレスAxをデータ線駆動回路305に送り、行方向のアドレスAyをワード線駆動回路304に送る。また、制御回路306は、記憶装置300に入力されたデータを情報として含む信号DATAを、データ線駆動回路305に送る。

【0388】

セルアレイ301におけるデータの書き込み動作、読み出し動作の選択は、制御回路306に供給される信号RE(Read enable)、信号WE(Write enable)などによって選択される。

【0389】

信号WEによって書き込み動作が選択されると、制御回路306からの指示に従って、ワ

10

20

30

40

50

ード線駆動回路304が有するデコーダ307において、アドレスA_yに対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ308によって振幅が調整された後、バッファ309において波形が処理され、セルアレイ301に入力される。一方、データ線駆動回路305では、制御回路306からの指示に従って、デコーダ310において選択されたメモリセルのうち、アドレスA_xに対応するメモリセルを選択するための信号が生成される。当該信号は、セクタ312に入力される。セクタ312では、入力された信号に従って信号DATAをサンプリングし、アドレス(A_x、A_y)に対応するメモリセルにサンプリングした信号を入力する。

【0390】

また、信号REによって読み出し動作が選択されると、制御回路306からの指示に従って、ワード線駆動回路304が有するデコーダ307において、アドレスA_yに対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ308によって振幅が調整された後、バッファ309において波形が処理され、セルアレイ301に入力される。一方、読み出し回路303では、制御回路306からの指示に従って、デコーダ307によって選択されたメモリセルのうち、アドレスA_xに対応するメモリセルを選択する。そして、アドレス(A_x、A_y)に対応するメモリセルに記憶されているデータを読み出し、該データを情報として含む信号を生成する。

【0391】

本実施の形態に示すメモリセルは、先の実施の形態に係る記憶装置である。このため、印加する電圧を高くすることなく、リフレッシュ動作の回数を減らすことによる消費電力の低減を図れる記憶装置である。また、先に書き込んだデータを破壊することなく、データを読み出すことができる記憶装置である。

【0392】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0393】

(実施の形態10)

本実施の形態では、上記実施の形態で説明した、読み出し回路の具体的な構成の一例について説明する。

【0394】

セルアレイから読み出された電位は、メモリセルに書き込まれているデータに従って、そのレベルが決まる。よって、理想的には、複数のメモリセルに同じデジタル値のデータが記憶されているならば、複数のメモリセルから読み出された電位は、全て同じレベルの値である。しかし、実際には、記憶素子として機能するトランジスタ、または読み出し時においてスイッチング素子として機能するトランジスタの特性が、メモリセル間においてばらつくことがある。この場合、読み出されるはずのデータが全て同じデジタル値であっても、実際に読み出された電位にはばらつきが生じており、その電位の分布は幅を有する。よって、セルアレイから読み出された電位に多少のばらつきが生じていても、正確なデータを情報として含み、なおかつ所望の仕様に合わせて振幅、波形が処理された信号を形成する読み出し回路を、駆動回路に設けることが望ましい。

【0395】

図10に、読み出し回路の一例を回路図で示す。図10に示す読み出し回路は、セルアレイから読み出された電位V_{d a t a}の、読み出し回路への入力を制御するためのスイッチング素子として機能するトランジスタ260と、抵抗として機能するトランジスタ261とを有する。また、図10に示す読み出し回路は、オペアンプ262を有している。

【0396】

具体的に、トランジスタ261は、それぞれ、そのゲート電極とドレイン端子が接続されており、なおかつ、ゲート電極及びドレイン端子にハイレベルの電源電位V_{d d}が与えられている。また、トランジスタ261は、ソース端子が、オペアンプ262の非反転入力端子(+)に接続されている。よって、トランジスタ261は、電源電位V_{d d}が与えら

10

20

30

40

50

れているノードと、オペアンプ262の非反転入力端子(+)との間に接続された、抵抗として機能する。なお、図10では、ゲート電極とドレイン端子が接続されたトランジスタを抵抗として用いたが、本発明はこれに限定されず、抵抗として機能する素子であれば代替が可能である。

【0397】

また、スイッチング素子として機能するトランジスタ260は、ゲート電極がデータ線にそれぞれ接続されている。そして、データ線の電位に従って、トランジスタ260が有するソース電極への電位Vdataの供給が制御される。

【0398】

データ線に接続されたトランジスタ260がオンになると、電位Vdataと電源電位Vddとを、トランジスタ260とトランジスタ261によって抵抗分割することで得られる電位が、オペアンプ262の非反転入力端子(+)に与えられる。そして、電源電位Vddのレベルは固定されているので、抵抗分割によって得られる電位のレベルには、電位Vdataのレベル、すなわち、読み出されたデータのデジタル値が反映されている。

【0399】

一方、オペアンプ262の反転入力端子(-)には、基準電位Vrefが与えられている。そして、非反転入力端子(+)に与えられる電位が、基準電位Vrefに対して高いか低いかによって、出力端子の電位Voutのレベルを異ならせることができ、それによって、間接的にデータを情報として含む信号を得ることができる。

【0400】

なお、同じ値のデータが記憶されているメモリセルであっても、メモリセル間の特性のばらつきによって、読み出された電位Vdataのレベルにもばらつきが生じ、その分布が幅を有する場合がある。よって、基準電位Vrefのレベルは、データの値を正確に読み取るために、ノードの電位Vdataのばらつきを考慮して定める。

【0401】

また、図10では、2値のデジタル値を扱う場合の読み出し回路の一例であるので、データの読み出しに用いるオペアンプは、電位Vdataの与えられるノードに対して1つずつ用いているが、オペアンプの数はこれに限定されない。n値(nは2以上の自然数)のデータを扱う場合は、電位Vdataの与えられるノードに対するオペアンプの数をn-1とする。

【0402】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0403】

(実施の形態11)

本実施の形態では、上述の実施の形態で説明した記憶装置を電子機器に適用する場合について、図11を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の記憶装置を適用する場合について説明する。

【0404】

図11(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一の内部には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0405】

図11(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端

10

20

30

40

50

末を操作するスタイラス 712などを備えている。本体 711の内部には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0406】

図 11(C)は、電子ペーパーを実装した電子書籍 720であり、筐体 721と筐体 723の2つの筐体で構成されている。筐体 721および筐体 723には、それぞれ表示部 725および表示部 727が設けられている。筐体 721と筐体 723は、軸部 737で接続されており、該軸部 737を軸として開閉動作を行うことができる。また、筐体 721は、電源 731、操作キー 733、スピーカー 735などを備えている。筐体 721、筐体 723の少なくとも一の内部には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

10

【0407】

図 11(D)は、携帯電話機であり、筐体 740と筐体 741の2つの筐体で構成されている。さらに、筐体 740と筐体 741は、スライドし、図 11(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 741は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748などを備えている。また、筐体 740は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750などを備えている。また、アンテナは、筐体 741に内蔵されている。筐体 740と筐体 741の少なくとも一の内部には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

20

【0408】

図 11(E)は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766などによって構成されている。本体 761の内部には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

30

【0409】

図 11(F)は、テレビジョン装置 770であり、筐体 771、表示部 773、スタンド 775などで構成されている。テレビジョン装置 770の操作は、筐体 771が備えるスイッチや、リモコン操作機 780によって行うことができる。筐体 771およびリモコン操作機 780の内部には、先の実施の形態に示す記憶装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0410】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る記憶装置が搭載されている。このため、印加する電圧を高くすることなく、リフレッシュ動作の回数を減らすことによる消費電力の低減を図れる電子機器が実現できる。また、先に書き込んだデータを破壊することなく、データを読み出すことができる電子機器が実現できる。

40

【実施例 1】

【0411】

本実施例では、上記実施の形態で説明した記憶装置を携帯電話機、情報処理機能を強化したスマートフォンとよばれる携帯電話機、電子書籍などの携帯型の電子機器(携帯機器)に応用した場合の例を示す。このような携帯機器においては、現状、画像データの一時的な記憶などに S R A Mまたは D R A Mが使用されている。S R A Mまたは D R A Mは使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。

50

【 0 4 1 2 】

一方で、S R A MまたはD R A Mを画像データの一時的な記憶に用いた場合以下の欠点がある。S R A Mは応答速度が速いという利点がある。通常のS R A Mは図 1 2 (A) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、メモリセルをワード線駆動回路 8 0 7、データ線駆動回路 8 0 8 にて駆動している。図 1 2 (A) に示すS R A Mの回路では、トランジスタ 8 0 3 とトランジスタ 8 0 5、及びトランジスタ 8 0 4 とトランジスタ 8 0 6 がインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 つのトランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときにS R A Mのセル面積は通常 $100 \sim 150 F^2$ である。このためS R A Mはビットあたりの単価が各種メモリの中で最も高い。 10

【 0 4 1 3 】

またD R A Mは、メモリセルが図 1 2 (B) に示されるようにトランジスタ 8 1 1 及び容量素子 8 1 2 によって構成され、メモリセルをワード線駆動回路 8 1 3、データ線駆動回路 8 1 4 にて駆動している。1 つのメモリセルが 1 つのトランジスタと 1 つの容量素子の構成になっており、S R A Mに比べて、セル面積が小さい。D R A Mのセル面積は通常 $10 F^2$ 以下である。しかし、D R A Mは常にリフレッシュが必要であり、書き換えをおこなわない場合でも消費電力が発生する。

【 0 4 1 4 】

上記実施の形態で説明した記憶装置は、メモリセルの面積を $10 F^2$ 前後とすることができ、且つ頻繁なリフレッシュ動作は不要である。従って上記実施の形態で説明した記憶装置の構成を採用することによって、セル面積の縮小と消費電力の低減を図ることができる。 20

【 0 4 1 5 】

図 1 3 は携帯電話機のブロック図の一例である。図 1 3 に示す携帯電話機 9 0 0 はR F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディスプレイコントローラ 9 1 1、メモリ回路 9 1 2、ディスプレイ 9 1 3、タッチセンサ 9 1 9、音声回路 9 1 7 及びキーボード 9 1 8 で構成されている。ディスプレイ 9 1 3 は、表示部 9 1 4、ソースドライバ 9 1 5、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 はC P U 9 0 7、D S P 9 0 8、インターフェイス 9 0 9 を有している。メモリ回路 9 1 2 に上記実施の形態で説明した記憶装置を採用することによって 1 ビットあたりメモリ単価と消費電力を低減することが可能になる。 30

【 0 4 1 6 】

図 1 4 はメモリ回路 9 1 2 のブロック図の一例である。メモリ回路 9 1 2 は上記実施の形態で説明した記憶装置によるメモリ 9 2 2、9 2 3、スイッチ 9 2 4、9 2 5 およびメモリコントローラ 9 2 1 で構成されている。

【 0 4 1 7 】

まず、ある画像データが受信またはアプリケーションプロセッサ 9 0 6 によって、形成される。この形成された画像データは、スイッチ 9 2 4 を介してメモリ 9 2 2 に記憶される。そしてスイッチ 9 2 4 を介して、ディスプレイコントローラ 9 1 1 を介してディスプレイ 9 1 3 に送られ、表示される。そのまま、画像データに変更が無ければ通常 $30 \sim 60$ H z 程度の周期でメモリ 9 2 2 から画像データが読み出され、スイッチ 9 2 5 を介して、ディスプレイコントローラ 9 1 1 に送られ続ける。ユーザーが画面を書き換える操作をしたとき、アプリケーションプロセッサ 9 0 6 は新たな画像データを形成し、その画像データはスイッチ 9 2 4 を介してメモリ 9 2 3 に記憶される。この間も定期的にメモリ 9 2 2 からスイッチ 9 2 5 を介して画像データは読み出されている。メモリ 9 2 3 に新たな画像データが記憶し終わると、ディスプレイ 9 1 3 の次のフレームからメモリ 9 2 3 に記憶されたデータは読み出され、スイッチ 9 2 5、ディスプレイコントローラ 9 1 1 を介して、 40 50

ディスプレイ 9 1 3 に画像データが送られ、表示がおこなわれる。この読み出しはさらに次の画像データがメモリ 9 2 2 に記憶されるまで継続される。このようにメモリ 9 2 2、9 2 3 は交互にデータを書き込み、読み出すことによって、ディスプレイ 9 1 3 の表示をおこなう。

【 0 4 1 8 】

なおメモリ 9 2 2、メモリ 9 2 3 はそれぞれ別のメモリチップには限定されず、1つのメモリチップを分割して使用してもよい。

【 0 4 1 9 】

メモリ 9 2 2、メモリ 9 2 3 に上記実施の形態で説明した記憶装置の構成を使用することで、単価を下げ、消費電力を削減することができる。

10

【 0 4 2 0 】

図 1 5 は電子書籍のブロック図である。図 1 5 に示す電子書籍 9 3 0 は、バッテリー 9 3 1、電源回路 9 3 2、マイクロプロセッサ 9 3 3、フラッシュメモリ 9 3 4、音声回路 9 3 5、キーボード 9 3 6、メモリ回路 9 3 7、タッチパネル 9 3 8、ディスプレイ 9 3 9、ディスプレイコントローラ 9 4 0 によって構成される。上記実施の形態で説明した記憶装置はメモリ回路 9 3 7 に使用することができる。メモリ回路 9 3 7 は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。この情報を長期に保存する場合にはフラッシュメモリ 9 3 4 にコピーしても良い。

【 0 4 2 1 】

20

図 1 5 に示す構成においても、上記実施の形態で説明した記憶装置を採用することによってメモリ単価を下げ、消費電力を低減することが可能となる。

【 符号の説明 】

【 0 4 2 2 】

1 0 0 メモリセル
 1 0 0 A メモリセル
 1 0 0 C メモリセル
 1 0 1 トランジスタ
 1 0 1 A トランジスタ
 1 0 1 C トランジスタ
 1 0 2 トランジスタ
 1 0 2 A トランジスタ
 1 0 2 C トランジスタ
 1 0 3 配線
 1 0 4 配線
 1 0 5 配線
 1 0 6 配線
 1 0 7 配線
 1 1 0 基板
 1 1 1 酸化物半導体膜
 1 1 2 電極
 1 1 3 電極
 1 1 4 絶縁膜
 1 1 5 ゲート電極
 1 1 6 絶縁膜
 1 2 1 ゲート電極
 1 2 2 絶縁膜
 1 2 3 酸化物半導体膜
 1 2 4 電極
 1 2 5 電極

30

40

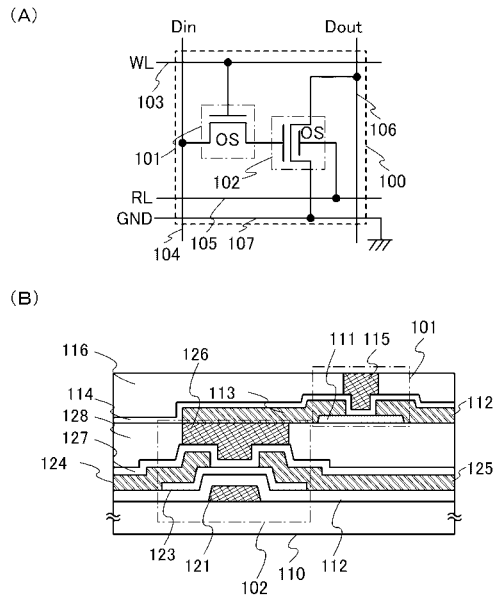
50

1 2 6	ゲート電極	
1 2 7	絶縁膜	
1 2 8	絶縁膜	
1 3 0	曲線	
1 3 1	曲線	
2 6 0	トランジスタ	
2 6 1	トランジスタ	
2 6 2	オペアンプ	
3 0 0	記憶装置	
3 0 1	セルアレイ	10
3 0 2	駆動回路	
3 0 3	回路	
3 0 4	ワード線駆動回路	
3 0 5	データ線駆動回路	
3 0 6	制御回路	
3 0 7	デコーダ	
3 0 8	レベルシフタ	
3 0 9	バッファ	
3 1 0	デコーダ	
3 1 2	セレクト	20
6 0 1 __ A	絶縁層	
6 0 1 __ B	絶縁層	
6 0 3 __ A	半導体層	
6 0 3 __ B	半導体層	
6 0 4 a __ A	高濃度領域	
6 0 4 a __ B	高濃度領域	
6 0 4 b __ A	高濃度領域	
6 0 4 b __ B	高濃度領域	
6 0 5 a __ A	導電層	
6 0 5 a __ B	導電層	30
6 0 5 b __ A	導電層	
6 0 5 b __ B	導電層	
6 0 6 __ A	絶縁層	
6 0 6 __ B	絶縁層	
6 0 7 __ A	導電層	
6 0 7 __ B	導電層	
6 0 8 a __ A	低濃度領域	
6 0 8 a __ B	低濃度領域	
6 0 8 b __ A	低濃度領域	
6 0 8 b __ B	低濃度領域	40
6 0 9 a __ A	絶縁層	
6 0 9 a __ B	絶縁層	
6 0 9 b __ A	絶縁層	
6 0 9 b __ B	絶縁層	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	50

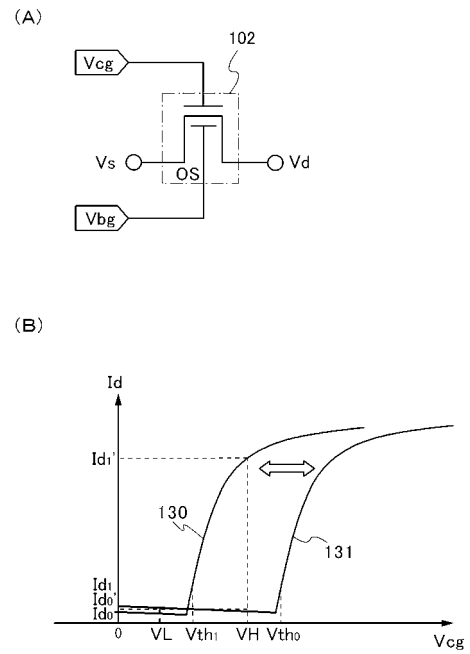
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	10
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	20
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	30
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	ワード線駆動回路	40
8 0 8	データ線駆動回路	
8 1 1	トランジスタ	
8 1 2	容量素子	
8 1 3	ワード線駆動回路	
8 1 4	データ線駆動回路	
9 0 0	携帯電話機	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	50

9 0 5	電 源 回 路	
9 0 6	ア プ リ ケ ー シ ョ ン プ ロ セ ッ サ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	イ ン タ ー フ ェ イ ス	
9 1 0	フ ラ ッ シ ュ メ モ リ	
9 1 1	デ ィ ス プ レ イ コ ン ト ロ ー ラ	
9 1 2	メ モ リ 回 路	
9 1 3	デ ィ ス プ レ イ	
9 1 4	表 示 部	10
9 1 5	ソ ー ス ド ラ イ バ	
9 1 6	ゲ ー ト ド ラ イ バ	
9 1 7	音 声 回 路	
9 1 8	キ ー ボ ー ド	
9 1 9	タ ッ チ セ ン サ	
9 2 1	メ モ リ コ ン ト ロ ー ラ	
9 2 2	メ モ リ	
9 2 3	メ モ リ	
9 2 4	ス イ ッ チ	
9 2 5	ス イ ッ チ	20
9 3 0	電 子 書 籍	
9 3 1	バ ッ テ リ ー	
9 3 2	電 源 回 路	
9 3 3	マ イ ク ロ プ ロ セ ッ サ	
9 3 4	フ ラ ッ シ ュ メ モ リ	
9 3 5	音 声 回 路	
9 3 6	キ ー ボ ー ド	
9 3 7	メ モ リ 回 路	
9 3 8	タ ッ チ パ ネ ル	
9 3 9	デ ィ ス プ レ イ	30
9 4 0	デ ィ ス プ レ イ コ ン ト ロ ー ラ	
I d	電 流	
I d 0	電 流	
I d 1	電 流	
V t h ₀	閾 値 電 圧	
V t h ₁	閾 値 電 圧	
D o u t	複 数 の 出 力 用 デ ー タ 線	
W L	書 き 込 み 用 ワ ー ド 線	
W L 1	書 き 込 み 用 ワ ー ド 線	
W L 2	書 き 込 み 用 ワ ー ド 線	40
W L 3	書 き 込 み 用 ワ ー ド 線	
R L	読 み 出 し 用 ワ ー ド 線	
R L 1	読 み 出 し 用 ワ ー ド 線	
R L 3	読 み 出 し 用 ワ ー ド 線	

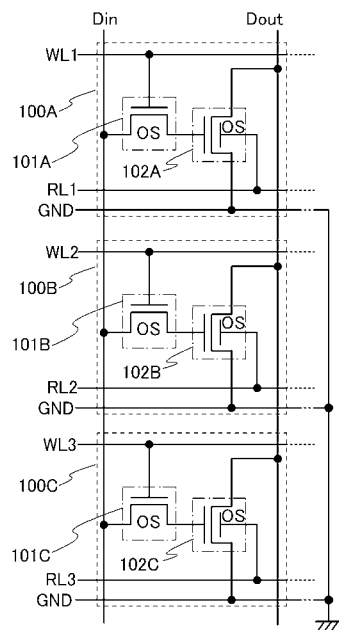
【図 1】



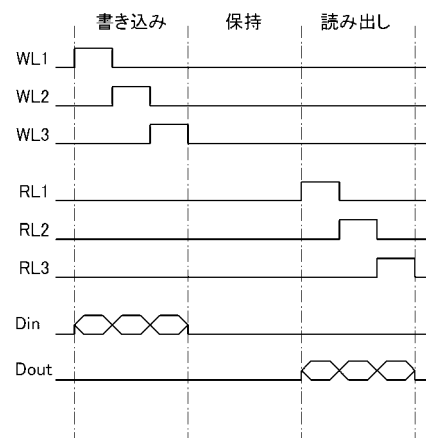
【図 2】



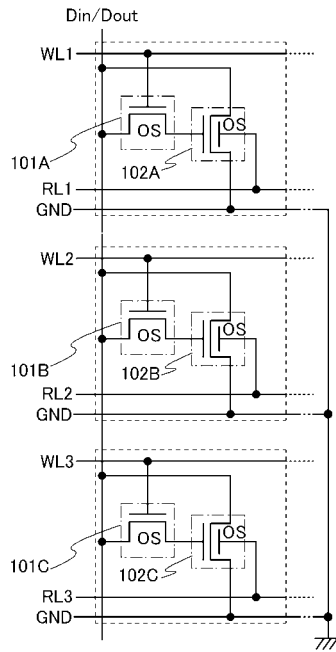
【図 3】



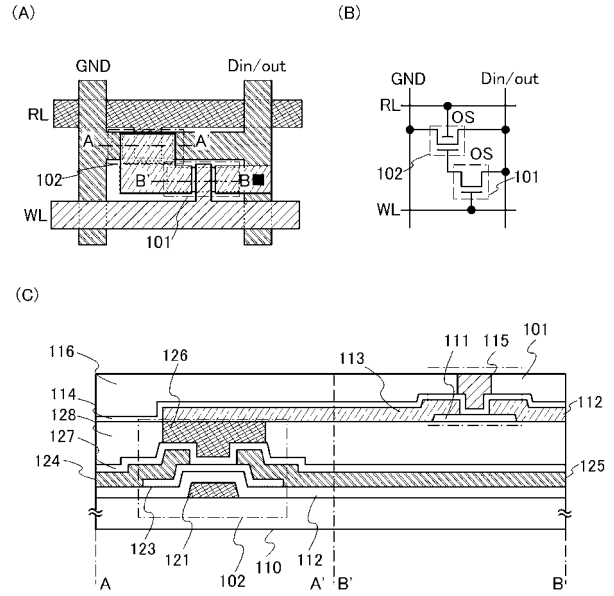
【図 4】



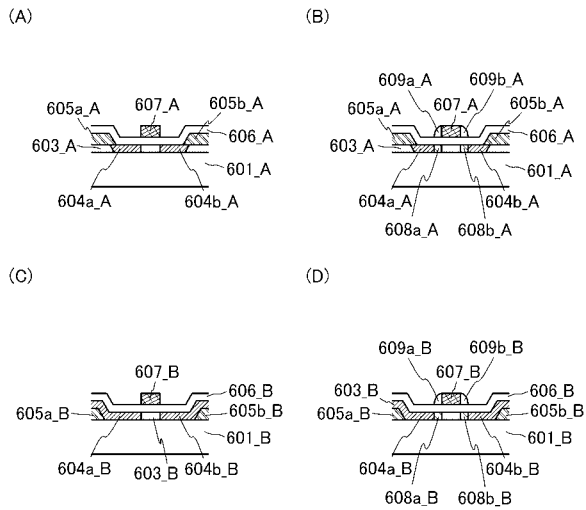
【図 5】



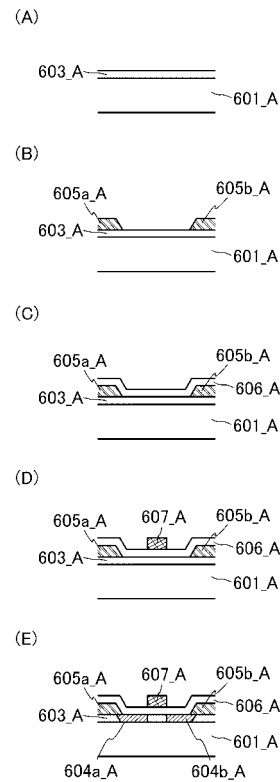
【図 6】



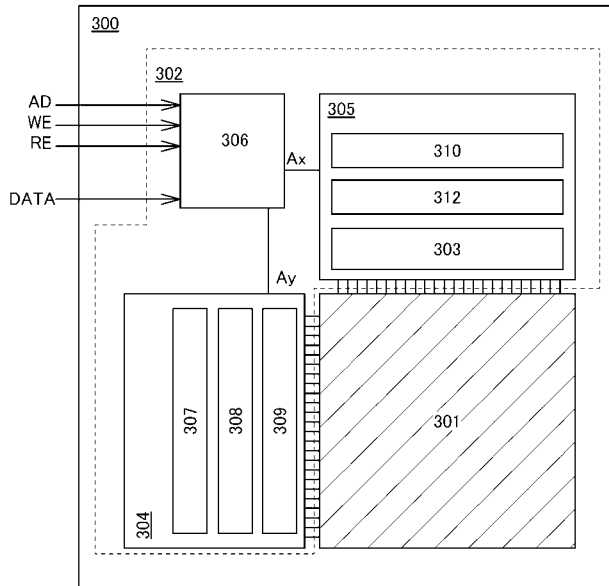
【図 7】



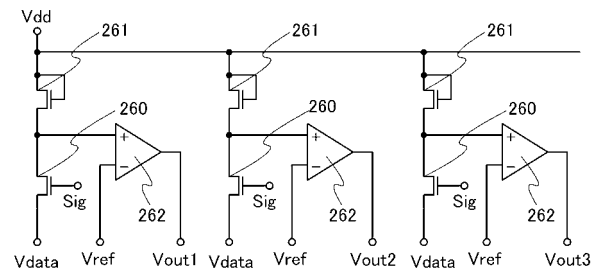
【図 8】



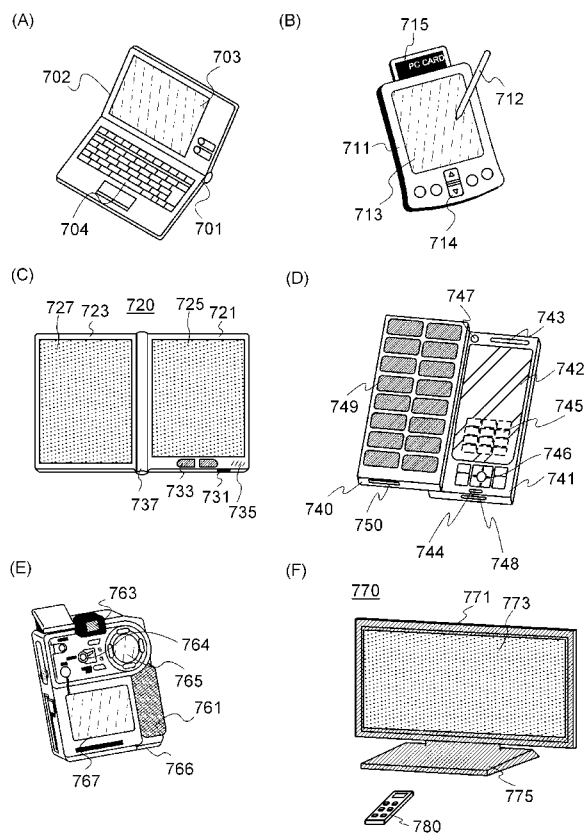
【図 9】



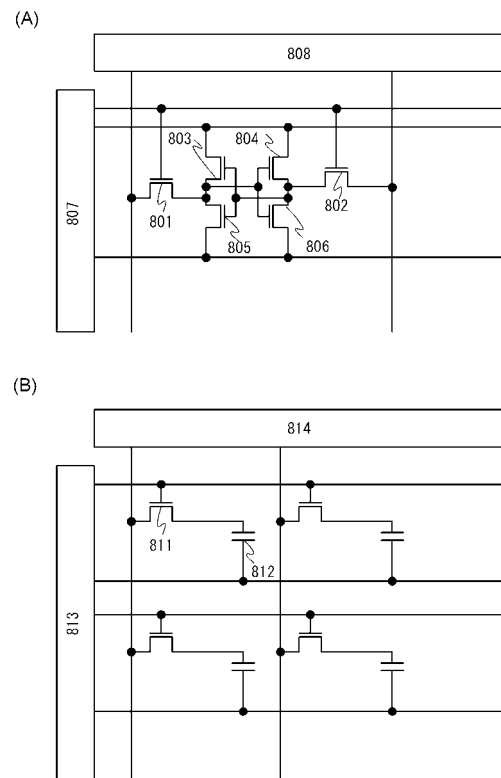
【図 10】



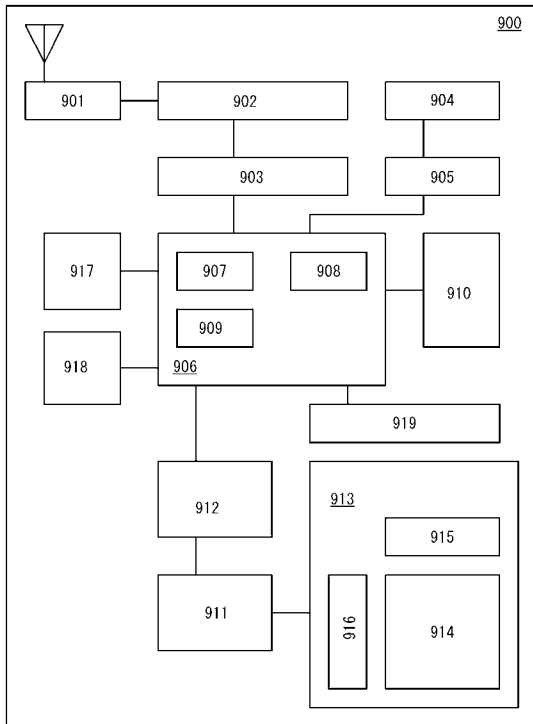
【図 11】



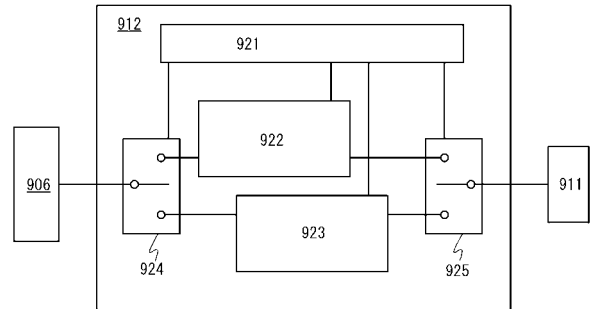
【図 12】



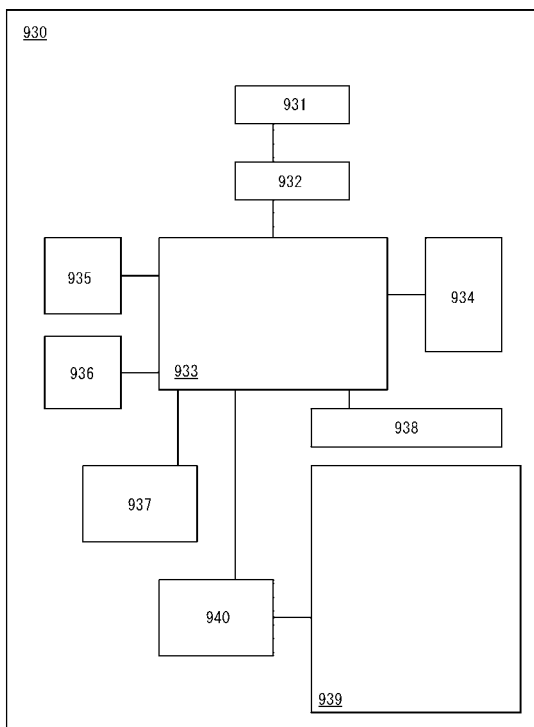
【図 13】



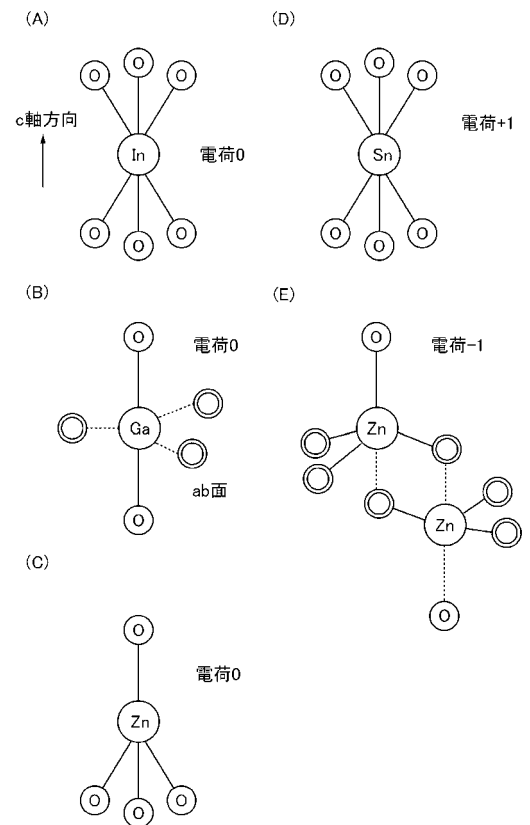
【図 14】



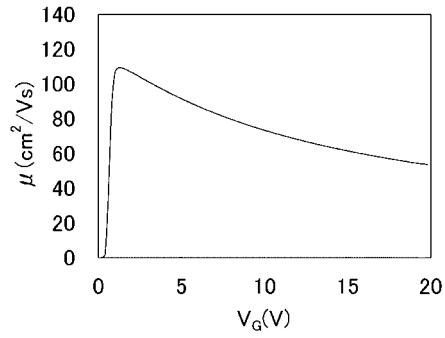
【図 15】



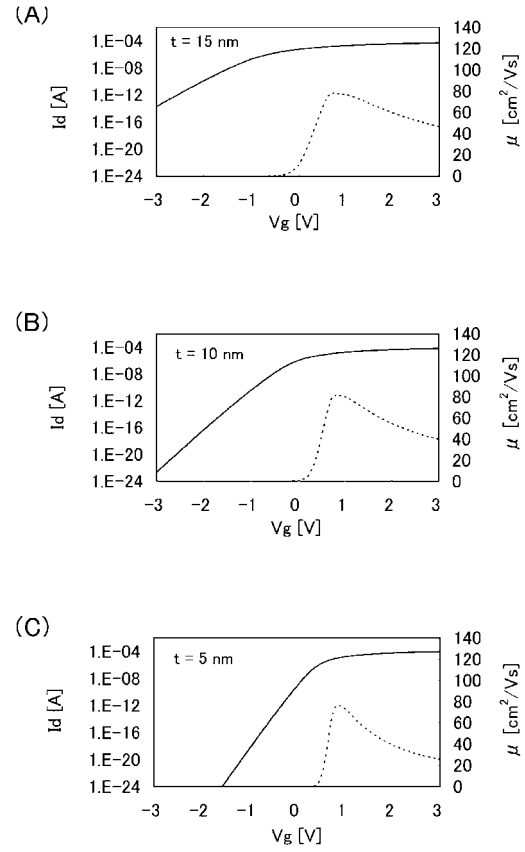
【図 16】



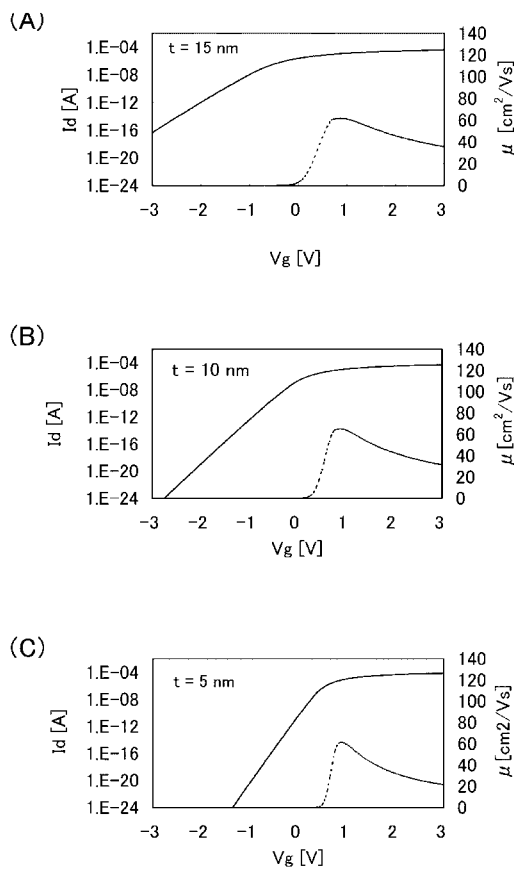
【図 19】



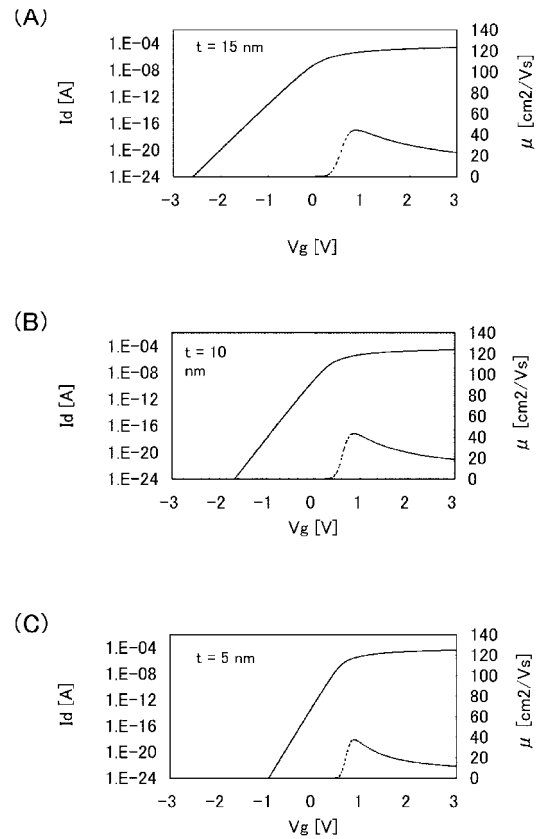
【図 20】



【図 21】

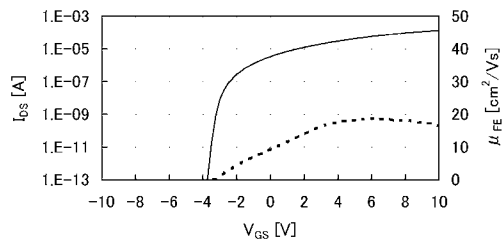


【図 22】

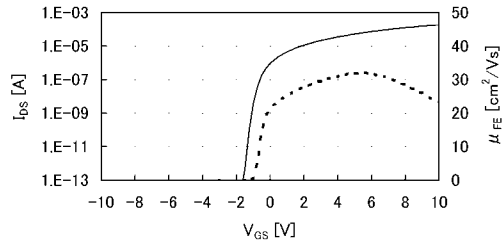


【図 2 3】

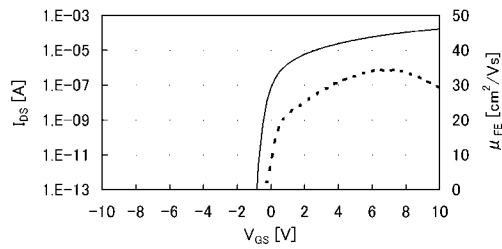
(A)



(B)

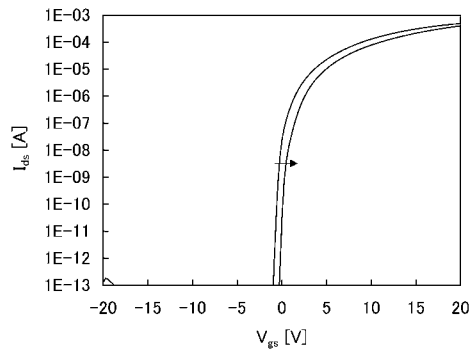


(C)

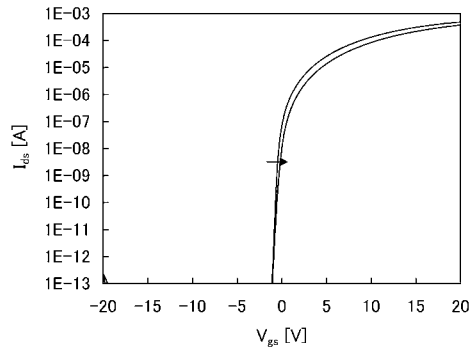


【図 2 5】

(A)

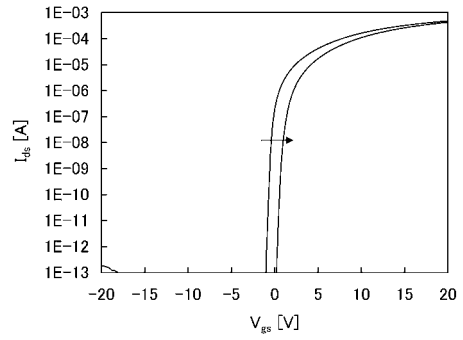


(B)

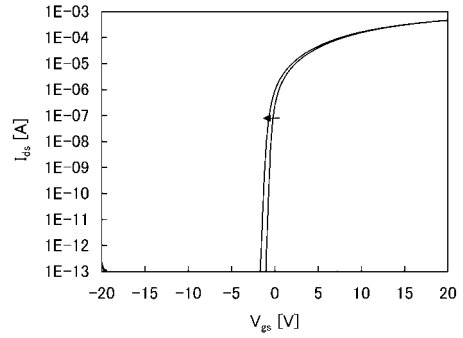


【図 2 4】

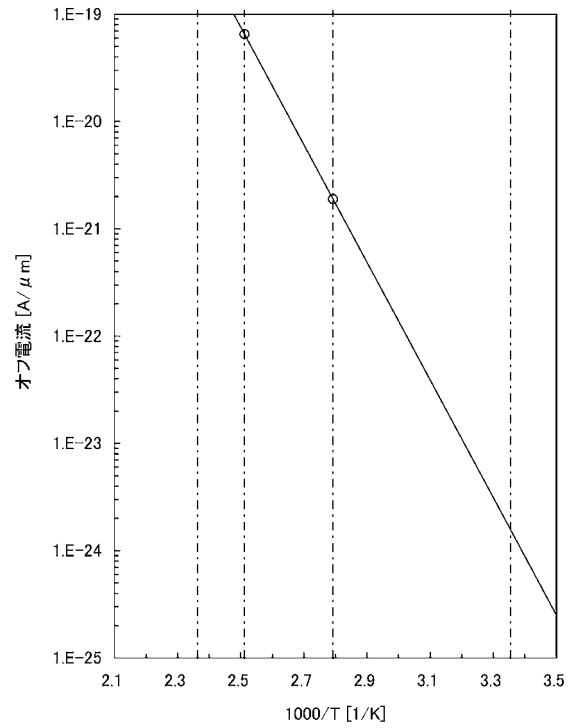
(A)



(B)

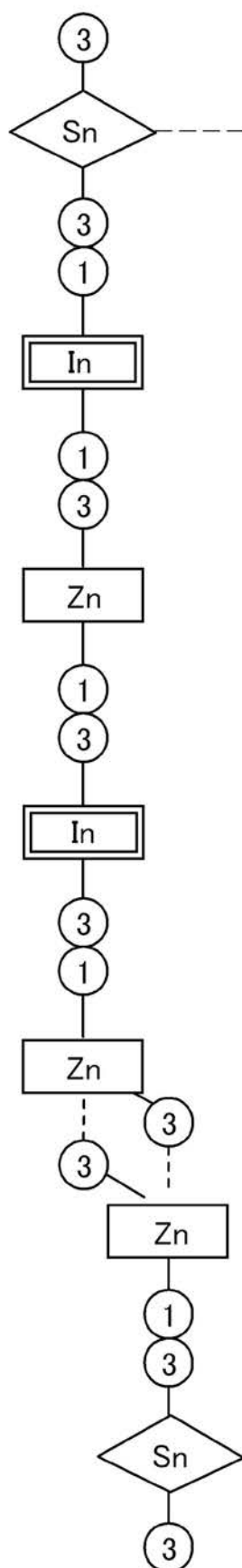


【図 2 6】



【 図 17 】

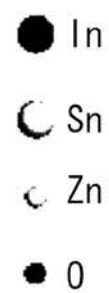
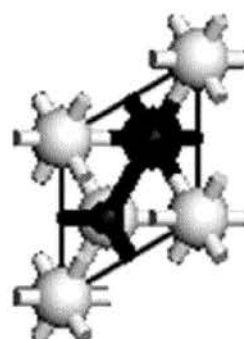
(A)



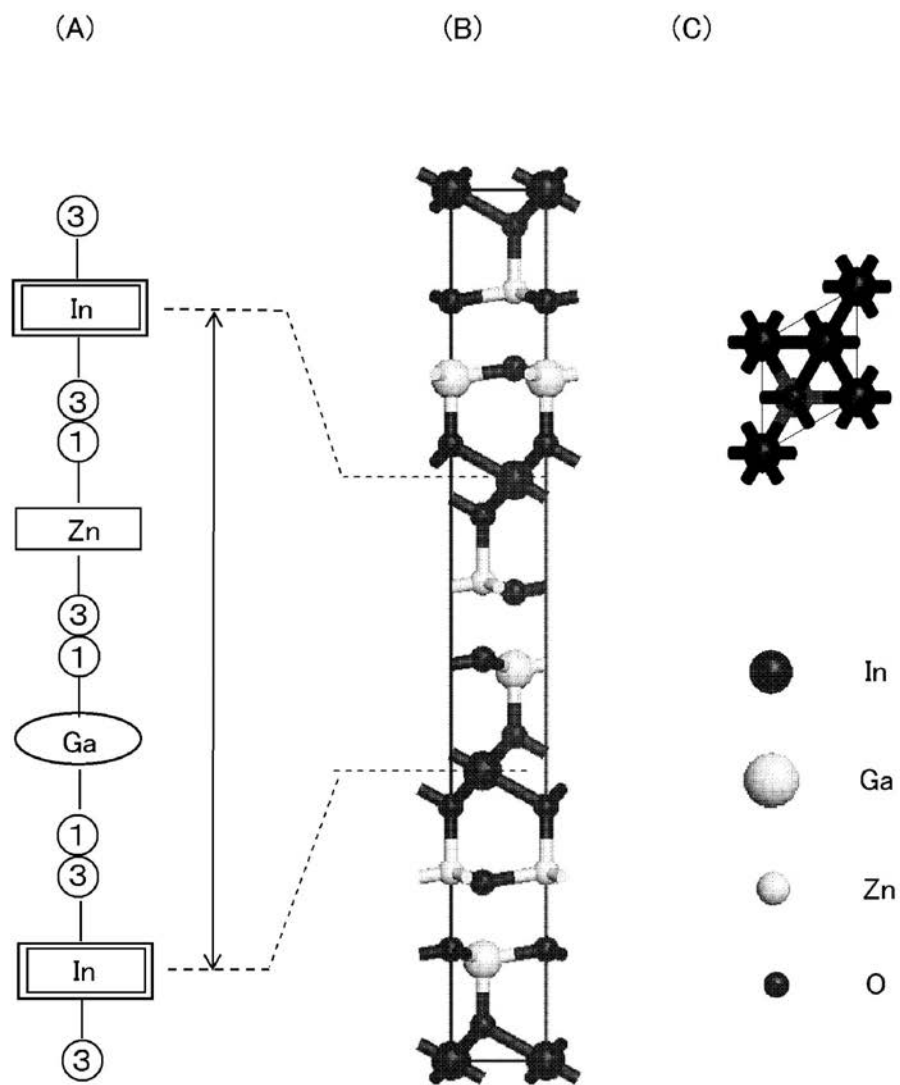
(B)



(C)



【 図 1 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/336 (2006.01)

H 0 1 L 27/10 4 8 1

H 0 1 L 29/788 (2006.01)

H 0 1 L 27/10 4 9 5

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/10 3 8 1

H 0 1 L 21/8244 (2006.01)

G 1 1 C 11/34 3 5 2 B

H 0 1 L 27/11 (2006.01)**G 1 1 C 11/405 (2006.01)**

Fターム(参考) 5F083 AD02 AD10 AD69 BS01 BS13 BS27 EP22 EP63 EP68 EP75
 ER22 GA02 GA03 GA05 GA06 GA09 GA10 GA11 GA21 GA27
 HA02 HA06 HA08 JA01 JA02 JA05 JA12 JA19 JA31 JA36
 JA37 JA39 JA42 LA02 LA04 LA05 LA10 PR22 PR33 PR34
 ZA12 ZA13 ZA14 ZA19 ZA20 ZA21 ZA23
 5F101 BA17 BD07 BD09 BD30 BD33 BD39 BD40 BE02 BE05 BE07
 BF01 BF02 BF03 BF05 BF08 BF09 BG09 BH16 BH26
 5F110 AA02 AA06 AA07 AA14 BB05 BB11 CC02 CC06 DD12 DD13
 DD14 DD15 DD17 EE02 EE03 EE04 EE06 EE08 EE14 EE31
 FF01 FF02 FF03 FF04 FF09 FF28 FF30 FF36 GG01 GG04
 GG06 GG12 GG13 GG15 GG17 GG28 GG29 GG34 GG35 GG42
 GG43 HJ01 HJ04 HJ11 HJ13 HK02 HK03 HK04 HK06 HK08
 HK21 HK33 HM15 NN02 NN03 NN05 NN22 NN23 NN24 NN77
 NN78 PP01 PP02 PP10 PP29 QQ06 QQ11
 5M024 AA04 AA06 BB02 BB22 CC02 EE10 HH11 PP03 PP07