

(19) (KR)
(12) (B1)

(51) 。 Int. Cl.⁷
G11C 16/02

(45)
(11)
(24)

2004 11 26
10-0458411
2004 11 15

(21) 10-2001-0058271
(22) 2001 09 20

(65)
(43)

10-2002-0025711
2002 04 04

(30) JP-P-2000-00297443 2000 09 28 (JP)

(73) 가 가 1 1 1

(72) 가 가 가 1가 가

가 가 가 1가 가

(74)

:

(54)

1, 2 . 1
, 2 . 1
1 , 2 . 1

1

, , , ,

1 1
2 1 (1) (2)
3a, 3b .

4 NAND
 5 2
 6a, 6b, 6c, 6d I/O
 7a, 7b 1 RD
 8a, 8b, 8c 1 CG , 8d 8c
 9a 1 , 9b
 10 1 RD
 11 1
 12
 13 12
 14
 15a 1 (15a) , 15b (15b)
 16 4
 17a , 17b, 17c
 18
 19
 20
 21 1
 22 1
 23 1
 24 1
 25
 26a, 26b, 26c 2
 27
 28 2 1
 29
 30
 31
 32 2
 33a, 33b 1
 34 2
 35 1
 36
 37
 38
 39
 40
 41 1
 42 2 ,
 43 1 , 2
 44 1 , 2
 45a, 45b, 45c, 45d 1 , 2
 46 1 , 2
 47 1 , 2

< >

1 :
 2 :
 3 :
 4 :
 5 : I/O
 6 :
 7 :
 8 : ECC
 9 : CG
 10 : RD

가 ,
 NAND 가 ,
 NAND 1 ,
 NAND ,
 가 ,
 NAND ,
 NAND ,
 ROM (ROMBLOC RO
 ROM
 K) M , ROM
 , ROM 가 ,
 , ROM
 , NAND ,
 ,
 , '0'
 , '0'
 , '0'
 ,
 , 가,
 가 ,
 가 ,
 1, 2 - 1
 , 2 , 1
 -, 1
 2 ,
 (1)
 1 , 1
 (1)
 , (1)
 (2)가 (1)
 (2) , (1)
 (1) (1)
 가 , (3)
 (2) (3), (4)가 (7) (4)
 I/O (5) (2) (4) I/O (5)
 (3) (2) (3)
 I/O (5) (7) (3)
 (15) ALE, CLE, CE, WE, RE, WP (4), (7), ECC
 (8), (13), (16), (17), (18)
 , (15) ROM (20) (15a) ROM (20)
 (15b) , (15) ,
 ECC (8) (15) ECC() (7)

3) (16) (7) (13) (13) (14)가 (1)
 (14) , , ,
 (17) (7) RD()
 (10) RD (10) (10)
 (3) RD (10)
 (18) (7) CG()
 (19) (18) (14)
 (9) CG (9) (18) (6) (12) RD() (11)
 ROM (6) (20)가 (12)가 RD (19)가
 (6) (19) RD (11) (12)
 (1) (19), RD (11) (12)
 , CG (9) (1)
 ROM (20) ROM ROM , RO
 M ROM , ROM , ROM
 2 1 (1) (2) (2)
 (4), (31₀, 31₁ 31_{n/2}) (31₀, 31₁ 31_{n/2}) (31₀, 31₁ 31_{n/2})
 (7) (31₀, 31₁ 31_{n/2}) (3)
 CSL0, CSL1 CSLn/2
 (31₀, 31₁ 31_{n/2}) (31₀)
 BL0, BL1 , (31₁) BL2, BL3 , (31_{n/2})
 BLn, BLn+1
 (1) NAND NAND 16 EE
 PROM M0 M15 , M15 S1 , M0
 S2 2 CELSRC S2 1 S1 S1 M0 M15 BLO , 2 WL0 WL15
 SGD2 , 1 SGD1 , 2 S2
 1) , 2 1 , 4 , 2 , 2 가 1
 NAND , 2 (BLi, BLi+1)
 (BLi) 1 (BLi, BLi+1) 1
 3a, 3b (BLi+1) 3a (41) (43)
 41) , n (42) (44) (45) (46)가
 (44)가 , (41) (47)
 3b (41) (48) (49)가
 4 NAND 16
 M0 M15가 S1 2 S2가 1 NAND
 S2 3b 1 S1 2
 5 2 (310)
 , BLi N (310)
 BLTR (61a) (61a) (61b) (61a)
 (61c) (61b) (61b) (62a)
 (62a) VBLA가 (61b) PREA가

(61c) BLSA가
 BLi+1 N (61d) (61d) (61d) (61e) (61e)
 BLTR (61f) (61e)
 62b) PREB가 (62b) VBLB가 (61e) (61e)
 PREA, PREB (61f) VBLA, VBLB (61b, 61e)
 BLSA, BLSB (61c, 61f)
 (61c, 61f) (61g) (61g) (62c) (62c) NE
 BIAS가 (61g) VCC가
 NE (61g) BIAS (61h) (61h) (61h) (61h) B
 LC1 (61h) (61h) P MOS (61m) (61m) (62d)
 가 (62d) VCC가 (61m) PRSTB
 1 (61h) 1 LAT(A) 1 LAT(A)
 (61i, 61j) (61j) LAT1, LAT1B SEN1, SEN1B(B
) (61j) 1
 LAT(A) (61j) NB (61i) (61i) NC N MO
 S (7), (61o) (4) (61o) (61o) IO
 (61i) NA (61j) (61j) N MOS
 (7), (61n) (4) (61o, 61n) (3) IOB CS
 L LAT(A) NE (61k, 61l)가 (61k) 1
 61l) NC VREG가 (61l) VRFY1 (61k, 61l) 1 LAT(A)
 NE (61q) (61q) P MOS (61q) (61p) PR
 BLC2가 (62e)가 (62e) VCC가 (61p)
 STB2가 (61q) 2 LAT(B)가 (61r) 2 LAT(B)
 (61r, 61s) (61s) LAT2, LAT2B (61r) 2 SEN2, SEN2B
 LAT(B) NE (61t, 61u)가 (61t) 2 LAT(B)
 61u) ND VREG가 (61u) VRFY2가 (61t, 61u) 2
 () 1 (15) CLE (16) WE I/O
 (5) 가 (15) ALE WE I/O (5)
 () 1 가 I/O
 6a, 6b, 6c, 6d 4 4
 (15) 2 4 가 32KB
 6a 1G(가) 2 1 2 가 16KB
 6b 512M(가) 4 2 가 128KB
 6c 1G 4 가 64KB
 6d 512M 2 가 4 3

6a, 6c 4, 1 2 가 2 MLAdd
가
6a A8, A8E
()
E I/O (5) (15) ALE CLE (3) W
가
() WE
() RE (15) ALE CLE
가 I/O (5) RE 가
가 RD ()
(7a, 7b RD (10)
1 RE (17) A0 A8, A8E WE
21 가 가 ECC , ECC 528
21 가 , 21 4 , 1 (528)
7 가 가 , 21 4 , 1
RD (10) , 7a A0 A8, A8E
CA0 7, CB0 7, CC0 8 528+17
, 7b , ECC가
8 가 , ECC 가 4 가 , 17 CA0
7, CB0 8 , 4 CSS0 3
RD (10) CA0 7, CB0 7, CC0 8 (3) 5
28 1 가 CSS0 7
, 1 (18) A9 A26
8a, 8b, 8c 1 CG (9)
cgusel CG , 8a, 8b CG Vcgssel , CG V
CG Vcgusel Vcgrv , Vcgssel , CG Vpgrmh
8a Vread , Vpass (81c, 81d)
(81c) (81a, 81b), (14) V
pgmh가 (81c) (81a) VPGMEN
(81a) Vpgrmh (81c) Vpgrmh (81a) VPGMEN
Vpgrmh+Vth (81d) Vcgrv가
(81d) (81b) (81b) Vcgrv
VCGREN (81d) Vcgrv VCGREN (81c, 81d) Vcgrv+Vth
, Vpgrmh, Vcgrv CG Vcgssel (82c, 82d)
8b (82c) (82a) (82a, 82b), (14) Vpass
가 (82c) (82a) VPASSENB가 (82a) VPASSENB Vpa
2a) Vpass (82d) Vreadh가
ss+Vth (82d) (82b) (82b) VREADEN Vreadh+Vth
dh VREADEN (82d) Vreadh (82d) Vcgrv
, Vpass, CG Vcgrv CG
8c CG Vcgssel 16 A11 A14 1 가
, CG , 15 가 (83a), (83b), (83c, 83d), (83e, 83f, 83g)
, (83a) A11 A14가 CG
가 (83c) (83e)가 VCGi

CG Vcgssel , CG 가 (83d) (83f)가
 , , VCGi CG Vcgssel (83g)가 ,
 , ERASEEN ,
 VCG0 VCG15 ,
 8d A11 A14 VCGi 8d A11 A14
 , VCGi가
 , 8a, 8b 8c 2 VCGi 2
 , CG ,
 9a, 9b 1 (19) (19)
 (A17 26)
 9a , 4 A15, A16
 PBLATPB0 3
 9b (19) A17 A26
 (91c, 91d) (91a), NAND (91b), NAND
 PBLATPB0 3
 A17 26 RD (11) RD (11) APB17 APB26
 10 1 (19) A17 26 ATPB
 ATPB17 ATPB26 ATPBD
 17 ATPB26 ATPBD
 , 10 A17 26 APB17 APB26
 , RD (11) , ATPB18 ATPB1
 8 ATPBRD
 11 1 (12) (12) RD (11)
 ATPB17 26 ATPBRD AROW
 A AROWE RDECPBLR AROWA AROWE (1)
 . RDECPBLR (1) () (6)
 , (12) ROM (20)가 , ROM (20)
 가 , ROM AROWA AROWE
 12 1 (6) (6a)
 (6a) , 12 (6b)
 (1) (6a) (100) VDD가 (100) ROWCOM
 P MOS (101), N MOS (102 108)가
 (101) RDECPBLR RDECPBLR
 (1) (6) (102 106)
 AROWA AROWE가 (107) RDECPBLRD가
 RDECPBL , 13 RDECPBLRD
 , (108) ROM CD_ROMBA가
 (108) (109)가 (109) (6a)
 , (101) P MOS (117, 118) 가 (101, 102,
 (117) (12). (119)
 118) (119)
 (118) (120) VRDEC가 VRDEC
 , (120) (120) (6a)가
 , VRDEC TG TG0 TG15 , 1, 2 S1, S2
 TG TG0 TG15
 CG0 CG15가 WL0 WL15가
 CG0 CG15 CG (9) VCG가
 , TGS1, TGS2 SGD, SGS가
 , SGD1, SGD2가 SGD1, SGD2 ,
 (14)

SGD1 N MOS (121, 122)가 (121)
 SGDSPBLR RDECADin+1n (122)
 (123) (119) RDECADn
 24) SGD2 N MOS (124) (110)
 SGDSPBLR RDECADn
 (6b) ROWCOM N MOS (110)
 MOS (111) (112)
 ROWCOMVSS가 (113)
 (114) (112) (113)
 FUSECUT가 FUSECUT (15) (115)
 14) N MOS (115) (115)
 (116) BUSY가
 (6a)
 RDECPBLR, RDECPBLRD, CMD_ROMBA, ROWCOM VSS
 (119) RDECAD
 RDECPBLR 가 AROWA AROWE가
 (119) RDECAD가 (120)가
 (120) Vpgm+Vth(Vth
 Vread+Vth VDD)
 CG (9)
 가 AROWA AROWE 가 VSS
 (6a) (120)
 WL0 15 (floating) SGD1, SGD2 SGDSPBLR
 VSS (121, 122, 123)가 VSS VDD
 WL0 15 VDD-Vth가 VERA
 SGD1, SGD2 WL0 15 SGD1, SGD2 VERA 가 가
 12 (109) (109)가 (119)
 AROWA E (109)가
 RDECAD (109)가
 가 , 4 2 '0' 가 , 2 '0'
 RDECPBLR ROWCOMVSS , 1 '1'
 , ROWCOM
 13 12 (109)
 BUSY RDECPBLRD ROWCOMVSS
 AROWA AROWE가 (109)가
 ROWCOM VDD (111)가
 (112, 113) (114)
 FUSECUT (109)가 (ROWCOM (VSS)
 (111) (112, 113)
 (114) FUSECUT (112, 113)
 ROWCOMVSS, RDECPBLRD가 (109)가
 12 (109)가 (109)가
 , 1 2 '0'
 , 가
 '1' '0' (109)가
 '0' FUSECUT가
 14
 (1) blk0 blk23 blkRD0 9 blkRD1
 blkRD0 blkRD9 ROM ROM
 ROM RD (11) 가 , ROM CD_ROMBA가 1
 (20)

A17 A26 ARD가 , 1 가 AROWA AROW
 E가
 ROM (109) , ROM 가
 , ROM , 12 CMD_ROMBA가 (108)
 가 (109)가 (15) ROM (15a) , 15b ROM (2
 0) (15b)
 15a (15a) P MOS (151a, 151b), N MOS (151c), (151
 d), (151e, 151f, 151h), NOR (151g) (151a, 151b)
 VDD가 ,
 (151c) (151d)가 (151a) (15
 1c) LOWVDDn (151e) NOR
 (151g) NOR (151g) (151f)
 CMD_ROMBA가 NOR (151g) (151h)
 (151h) PROENABL
 15b (15b) (15a) 가 (152a, 152b)
 VDD가 (152c) (152d)가 (152a) (152c)
 LOWVDDn (152e) NOR (152
 g) (152g) (152g) (152f)
 CMD_ROMBA가 NOR (152g) (152h)
 (152h) ERAENABL
 LOWVDDn (151d, 152d)
 PROENABL, ERAENABL
 가 (151d, 152d) ROM CMD_ROMBA가
 , PROENABL, ERAENABL , ROM
 (151d, 152d)
 (4 (值))
 4
 16, 17a
 가 '0' '3' 가
 '0'
 16 , , 2 가 , , 1 가
 , , 2 가 '1' , , 1 2
 가 '0' , , 1 2
 , '0' 가 1 가
 가 '1' , '0' 가
 '0' , 2 가 '1' , 1 가 '1'
 , 가 '0' , '2' , 1
 , 가 '0' '0' , '3'
 , 1 , 가 '1' , '1'
 , '1' 가 , 1 , 가 '0'
 '1' , '0' 가
 16, 17a , 가 '2' , 1 2 가 '1', '0'
 가 '0', '0' , 가 '3' , 1 가 2 , 1
 가 , , 2 가 , , 1
 2 가 '0' '1' '1'
 , 가 '2' , '3' '0' , 2
 , 1 가 '1' , '2' 1
 , , 가 '0' '3' '1'
 , 가 '1' '2' '0' , 1
 가 '0' '1' , , '2' ,

3' . , 1 '0' , 2 1, 2 .

'1' . 2 (1 , 2) A9 A9 2 가 . A9 가 . 가 ,

(多值) , , 가 가 가 ,

18 () ,

() 가 '0' , -3.5V ,

'0' '3' , '0' '3' 14V 16V 가 ,

16V 가 , 0.2V , '0' '1' 0.2V , 14V 16V 가 ,

3 4 가 '1' 가 '1' 14V , 13 '0' '3' '16

1 가 '1' '0' '3' '0' '1' , 2 '0' '3' '16

1' '2' V , 17b , '1' '2' '0' '3' , 2 24

11 , 11 가 , 1 2 6 , 2 24

가 , 1 2 , '0' '1', '0'

'2', '0' '3' , 14V '0' '1' ,

13 , 17c , '0' '2' , 17 , 2 ,

'0' '3' , 20 , 1 2 ,

1 2 , 2

() , 19 (31₀ 31_{n/2}) 1 , LAT(A) '80h'(h 16) ,

ALE WE 가 , '1' , 5 '0' ,

NC가 , 1 LAT(A) NC , ECC

NC가 , 19 '10h' , ECC (8) '10h' , ECC

20 , '80h', 1.5μs Busy , B

usy . ECC , '11h' '11h' ECC ,

Busy '80h', '11h' (A15, A16) 4 ,

가 '11h' '10h' , 2 ,

'80h' 1 LAT(A) 가 , 1 (18)

(A17 A26) 가 , 1 (19)

'10h' , , A9 A9가

2 , 1 가 , A9가 , 2 가 , 1, 2 , 2

21, 22 , 1 , 2

. , 21, 22 , 1, 2
 21 1 (ST1), , 가 (31₀ 31_{n/2}) 가
 1 LAT(A) (ST2). , 가
 1 LAT(A) , 가 (,
 , 가 4 4, 가 8 8)
 , (ST4). , 1
 LAT(A) 가 '1' , 가 (ST5). , 1 LAT(A)
 가 '1' , , '1' , 1
 , 22 2 , 가 (ST11).
 , (31₀ 31_{n/2}) 1 LAT(A)
 , LAT(B) , 1 가
 (ST12). (1) 가 '2' 가 (ST13
). (2) 가 '3' 가 (ST14). , 1
 , (ST15 ST17).
 , (109)가 ,
 , OK ,
 , 1, 2 , 21 ST3, ST4
 22 ST15, ST16 .
 (1 1)
 23 1 (61h) BLC1 VCC+V_{th} 5, 23 BLSA V_{pass}, B
 LTR VCC , 1 LAT(A) BLC1 '1' () VSS
 BL VCC , '0' () ,
 , 1 CG (9) SG1 VCC, SG2 가 VCC
 0V), V_{pass}(10V) 가 SG1 VCC, VPGM(20V), CG VPGM(2
 1 VSS , VSS, VPGM (VPGM/2
 , VCC , VSS가 VPGM ,
 , '0' , 16, 17a , '1' ,
 '1' (1) 가 (21, ST2).
 24 , 25
 1 , 16 b
 b' , 25 , SG1 V_{rehd}가 (1.6
 , 5 (61g) BIAS가
 V) , SG2 (V_{read}) , b'
 , , (VSS) b'
 , 5 NA 1 LAT(A) NA ('0')
 , ('1') (61I)
 VREG VCC , VRFY1 , 가 1 LAT(A)
 , 1 LAT(A) , 가
 , 1 LAT(A)가 , 가
 (2) (21, ST1 ST5).
 2 1 가 , LAT(A) 2 가 .
 (31₀ 31_{n/2}) 1

2, 1 (ST11). 2

1, 16, 17a, 1, 가 '0' (, 가 '0' '3' . 2 가

가 '1' (1) 가 '0' () ,

'1' '2' . 2 가 '1' () ,

'1' , 2 .

1 가 '0' '1' . 2 가

, 5 2 LAT(B)

가 (ST11). 16 a ,

. 2 LAT(B) .

26a 27

. 26a, 27

, , 5 1 LAT(A)

. a 가 1 LAT(A)

가 '0' , 1 LAT(A) 가 '

1' , 1 LAT(A) 가 '1' .

, 2 LAT(B) '1' , BLC2 1V 가 , VREG

VSS, VRFY1 . 1 LAT(A)가 '1',

가 '1' , 2 LAT(B) '0' . 1 LAT(A) 가 '0', ,

가 '1' , 2 LAT(B) '1' . ,

1 LAT(A) 가 .

, 1 LAT(A)

(2) (22, ST12).

2 (ST13) 2 (ST14) . 1 (ST13)

가 '2' . 2 (ST14) 가 '3'

{ 2 1 }

26b 2 1

, 28 2 1

, 16

b' , b' 가 . ,

, , '3' , b' , OK . , 1

, , 가 '0' . ,

, 1 , 가 '0' ,

2 LAT(B) ND , 5 (61u)

VREG , 28 VSS , VRFY2

. , 2 LAT(B) ND가 , (61t)

)가 , 1 가 , VREG VCC , (61l)

VRFY1 , 1 LAT(A) NC

(가 1 LAT(A) (61k)가 , ,

, 1 LAT(A) , 26b ,

'2' LAT(A) , '2' 가 '3' .

{ 2 2 }

26c 2 2

, 25 16 c' . '3'

, 1 , 가 '1' '3'

a' 가 , ,

c' 가 . ,

, 1 LAT(A) 26c , , 1

LAT(A) (1 LAT(A)) . , 1

LAT(A)

'3' , '3' NG , '2'

'2' , 2 1 2 2 '3' . 1 가

LAT(A)가 (22, ST12 , ST17).

가 '3' , 가 '3' '3'

'2' 가 , '2' 가

(29)

29 , 29 '00h' , (31₀ 31_{n/2}) .

BUSY가 , RE

30 , BUSY가 4 가 , RE

RE 가 , BUSY (1.5 μ s)가 , BUSY가 가 , 4

d 가 , 4 , 6c, 6

가 , 2 A9가 , 2 가 ,

A9가 , 1 가 .

31 '00h' (ST21). A9가

가 '2' 가 (ST25). 2 , 16, 17a ,

A9가 , 1 가 . 1

가 '2' , '3' (1 1)(ST22) , 16, 17a ,

가 '1' , '2' (1 2)(ST24) , 16, 17a

(109) , 2 4 2

'0' , 4 , 1 1, 2

(1 1, 2) '1' , 12 (114)

FUSECUT (109)가 , 가 '0'

1 (1 1) , 2 (1 2)

(ST23).

(2 32 35 ,

2 , 16 ,

가 , 34 ,

가 , 5 ,

SG2 (61g)

SG1 Vread(4.5V)

BIAS 가 ,

c ,

c

VSS , 17a ,

가 '0' , '1'

'2' '3' 1 LAT(A) , 5 1 LAT(A) N

A , 32 , '0' '1'

'3' , NB NA CSL ,

(61o, 61n)가 , NB, NA 가 (4)

(1)

가 , 1 가 '1' , 17a

가 '0' '3' .

가 '2' , '3' . 가

{ 1 , '1' }
1 가 '2' , '3' . 33a 1 1
23 35 34 가

가 '2' , '3'
1 LAT(A) , 33a 가

가 '0', '1', '2' . 1 LAT(A)
{ 2 가 }
2 , 2 가 '0' , '1' . 33b 1
2 가 '0' , '1' LAT(A) a 가
1 LAT(A) 가 '0' ,
'3' , 5 VREG VSS , (61I) VRFY1
1 LAT(A) , 1 1 가 '0'
'3' 가 , 가 '1' '2',
가 , 1 LAT(A) , 33b , '1', '2'
가 '0', '3' , 1 LAT(A) NA , CSL ,
NA (61o, 61n)가 , NB, NA 가 (4) ,
()
36 '60h' , , 'D0h' ,
가 ,
37 '60h', '60h', 'D0h'
(A15, A16) 3 , '60h', , 'D0h'
(A17 A26) 가 , 1 (18)
가 , 가 , 1
(19) ,
38 (ST31). ,
2 (BLi, BL+1) 1 (BLi)
, 가 (ST32 ST35, ST31).
, (BLi) (ST36). ,
, 가 (ST36 ST39, ST31).
AT(A) , , 가 ST33, ST36 , 1 L
가 4 4, 가 8 (8) 가 (ST34, ST38).
, (109)가 LAT(A) , OK
, 12 (114) FUSECUT (109)가 OK
, FUSECUT (109)가
()
39 '0' , 1
, 2 , '1' .
()
40 . 1 2
(BLi, BL+1) 1 (BLi)
WL VSS SRC VDD, SG1 Vread ,
SG2 Vread , BLC1 16 가 -Vth , 가
, 1 LAT(A) , Vth가 -0.6V () ,
1 LAT(A) , Vth가 -0.6V () , 1 LAT(A)

) 가 , 1 LAT(A) 가 , OK
 (41 1) (14) Vpgm, Vera Vpas
 14) s Vpgm , , 가 Vpgm, Vera Vpass
 가 , , Vpgm, Vpass Vera
 41 가 Vpgm, Vpass Vera
 , (161) Vpgm, Vpass (161), (162) 가
 era (162) (162) CT1, CT2가 (162) (162) Vpgm, Vpass V
 (162) CT1, CT2가 (162) (162) (163)
) CT1 , 1 NG (163) 1 (162)
 CT1 (162)
 , CT2 , (161)
 가 가 가
 , CT2 가 , 가 \pm 가
 , Vpass, Vpgm (161)
 가 (162) CT2 (1)-()
 (161)
 9 1 (1) blk0 blk23, blkRD0 blkRD
 D9 blk0 blk23 blkRD0 blkRD9 (6a)가 blkRD0 blkR
 ROM ROM ROM
 가, (15) ROM (15a), (15b) (151c, 152c)
 , ROM (6a) (109)
 , () ()
 , ECC , ECC (15)
 , ECC 21
 , NG , 가
 , (162) CT2 가 CT2 (161)
 가 \pm 가
 가
 (2) 2 1 1 , 1 2
 , 2 , 1 1 , 2 가 2
 1 1 , 2 , 1 , 1 , 2
 , 2 , 1 , 2

42 2 3 (, 3 가 ,).

42 3 5 LAT(C) 3 LAT(C) 42 NE (62f) (62f) (62i) (62i) (62j) (62j) BLC3 (62i) (62i) (62j) (62j) PRSTB3 LAT(C)가 (62k) 3 LAT(C) (62k, 62l) (62l) LAT3, LAT3B (62k) 3 SEN3, SEN3B LAT(C)

2f) VCC가 (62f) (62q, 62h)가 (62h) VREFY3 (62q, 62h) 3 LAT(C)

NE NF (62h) VREFY3 (62q, 62h) 3 LAT(C)

(1 , 2)

43 1 , 2 , 44, 45

1 46 , 19 가 , , '80h' '1' , 42

1 , LAT(A) NC NC 가

1 , '0' , NC , 1 LAT(A) 2 LAT(B) 1.5μs LAT(B) , 1

LAT(A) 2 LAT(B) '12h' , '80h', (A9) 1 LAT(

A) , '10h' , '2' '3' , '2' '3' OK 2

가 '1' NG , '2' '3' , '3' 3

LAT(B) '1' , '2' , '3' NG , '3' 3

OK LAT(C) '1' , LAT(A), 2 LAT(B) LAT(B) , 3 LAT(C) '2', '3' 3

1 '0' , 1 LAT (A) LAT(B)가 , '2', '3' 3

45a , 2 LAT(B) , 3 LAT(C) '3' 2 (ST41). , 1 , 2

LAT(C)가 (ST42).

23 가 , 1 , 2

45b, 45c, 45d 가 '1' , '2' '3' , '2' '3' LAT(

45b OK , '2' '3' NG (ST43). LAT(

C)가 , 45c , 가 '2' '3' NG (ST44). LAT(B)가 , OK

OK , '3' NG (ST44). , OK

45d , 가 '3' (ST45). , OK

'3' , 1 LAT(A)가 , (ST48). 1

LAT(A) 가 , LAT(A) 가 4 , 4,

가 8 8) , ,

(ST46, ST47). (1 , 2)

47 1 , 2 , '80h', , 1 LAT(A) .

T(B), '12h', BUSY, 1, LAT(A), 2, LA
'80h', (), '11h'
BUSY, (A15, A16), 4
'11h', 2, 1, 2, '10h'
, 1, 2
(6a) (109), (15a) (15b)
(151c, 152c) 가 가 EEPOM 가 가
가 가 가

(57)

1.

1, 2, 2 (blkRD) 1 (blk) -;
(15), 2

2.

1, 1, 3

3.

2, 3, 2

4.

3, 2

5.

1, 2, 2 (20), 2

6.

1, 2, 2 - 1 -;
1, 2, 2 (6, 6a) - (109),
1, 2 (108), 가 가
가

7.

6, 1, 3

8.

7, 3, 2

9.
8 ,
2
10.
6 ,
2 (20) ,
2
11.
6 ,
(109) (6b)
12.
;
(109)- 1 2
;
(6b);
가 1 ,
, 가 2
,
13.
12 ,
, 2
14.
12 ,
EEPROM
15.
, 1 (512)- 1
-;
(8);
2 (ECC) ,
2 가 , 1
16.
15 ,
(15)
17.
16 ,
(8) (2)
, 1, 2
18.
17 ,
(17);
(3, 10)
가 , 가
19.
18 ,
(3, 10) , 가
, , 가
20.

;

(163);
(161);

,
(162)

1 (CT2)가

21.

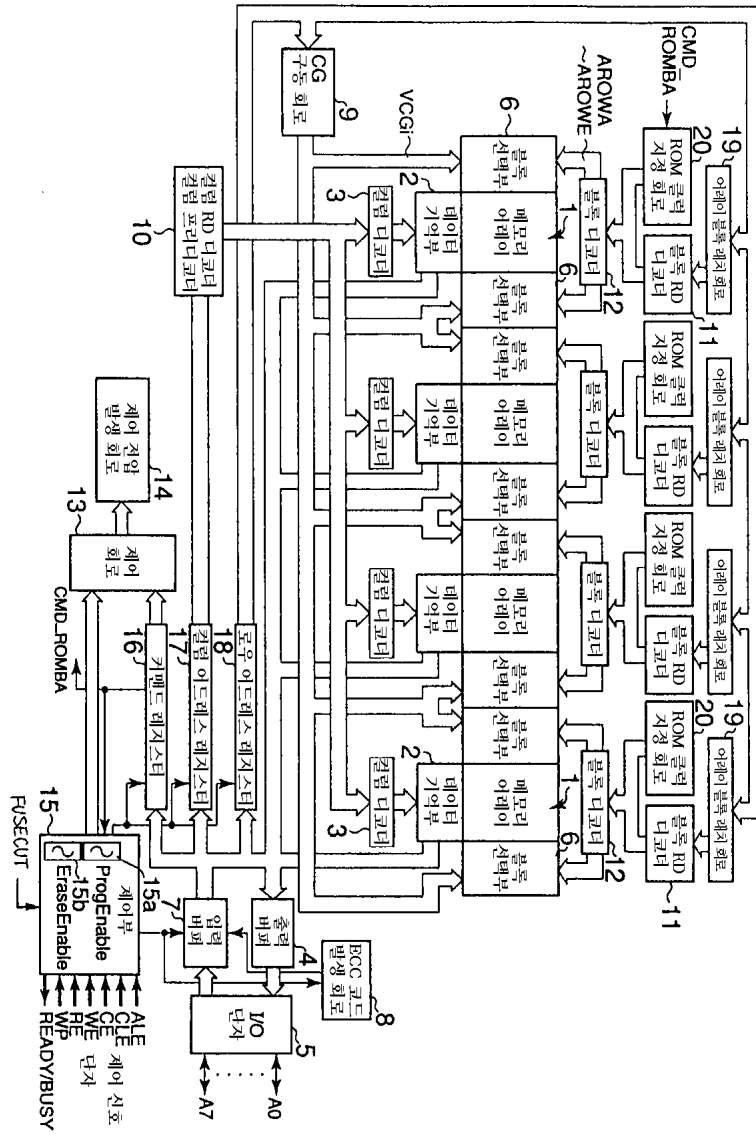
20
,
(161)

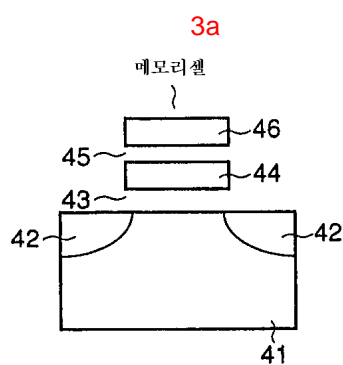
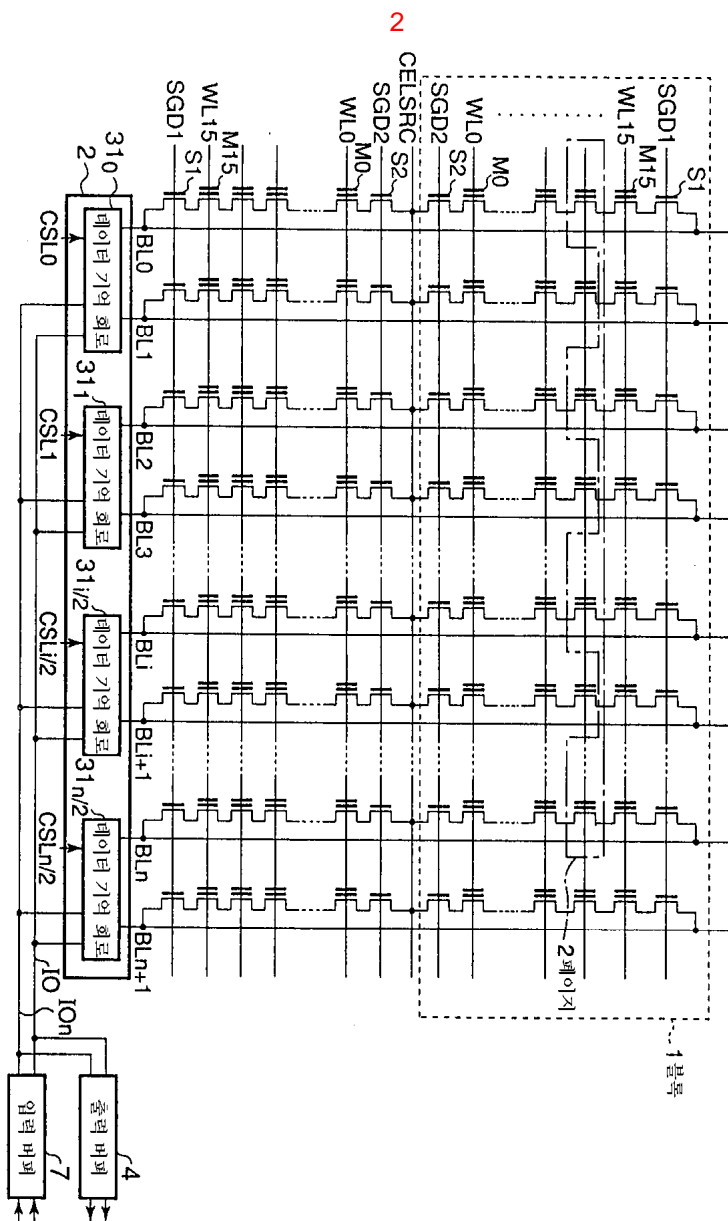
22.

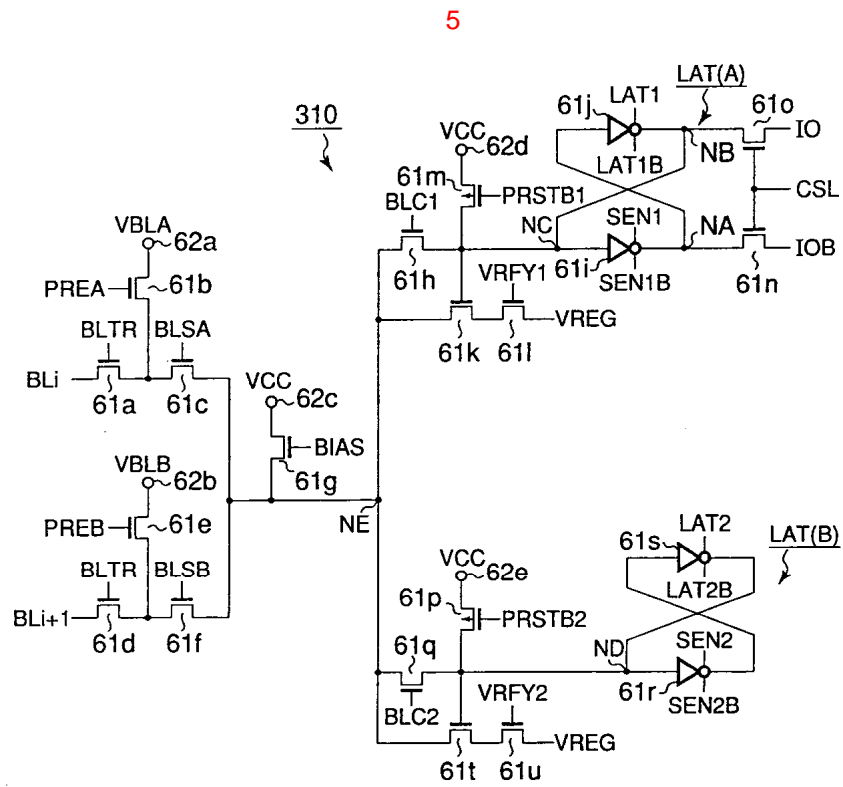
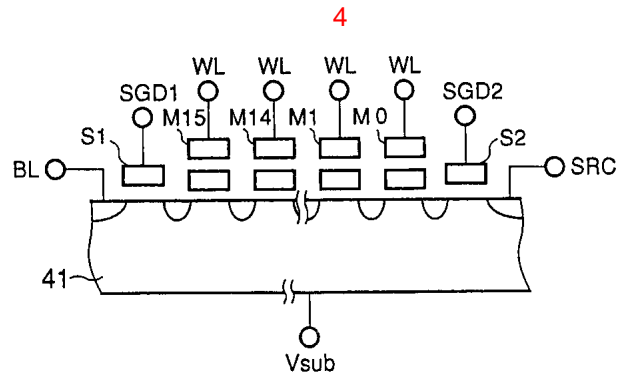
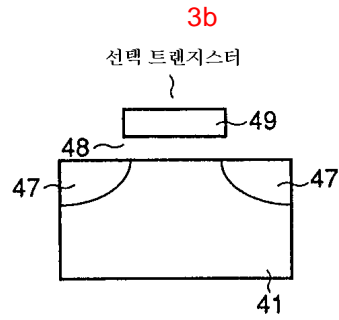
21
,
1

23.

20
2 1 , NG







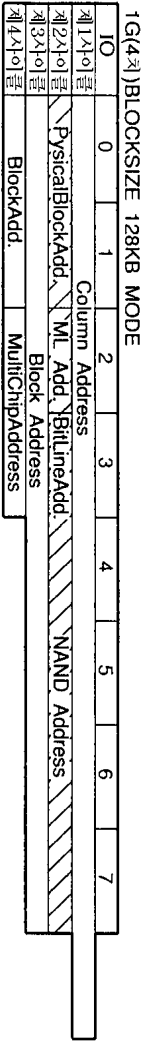
6a

1G(4치)BLOCKSIZE 32KB MODE										
IO	0	1	2	3	4	5	6	7	A8	A8E
제1사이클	A0	A1	A2	A3	A4	A5	A6	A7		
	Column Address									
제2사이클	A9	A10	A11	A12	A13	A14	A15	A16		
	ML Add. BitLineAdd. NAND Address PhysicalBlockAdd.									
제3사이클	A17	A18	A19	A20	A21	A22	A23	A24		
	Block Address									
제4사이클	A25	A26	A27	A28	A29					
	BlockAdd. MultiChipAddress									

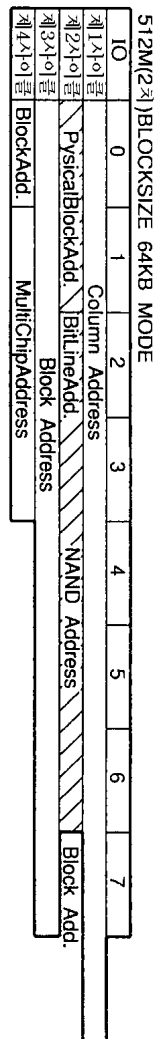
6b

512M(2채)BLOCKSIZE 16KB MODE								
IO	0	1	2	3	4	5	6	7
채1사이클	Column Address							
채2사이클	BitLineAdd.			NAND Address			PhysicalBlockAdd.	
채3사이클				Block Address			Block Add.	
채4사이클	BlockAdd.			MultiChipAddress				

6c



6d



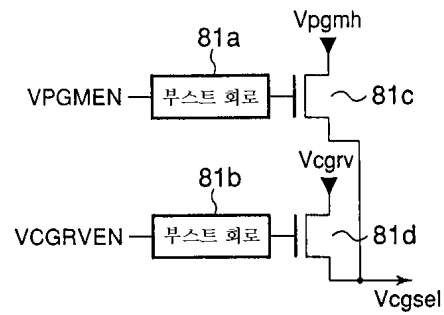
7a

A0	L	H	L	~	~	H
A1	L	L	H	~	~	H
A2	L	L	L	~	~	H
CA	0	1	2	~	7	
A3	L	H	L	~	~	H
A4	L	L	H	~	~	H
A5	L	L	L	~	~	H
CB	0	1	2	~	7	
A6	L	H	L	~	~	H
A7	L	L	H	~	~	H
A8	L	L	L	~	~	H
A8E	L	L	L	~	~	H
CC	0	1	2	~	7	8

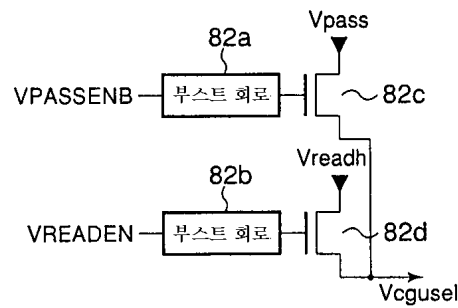
7b

	본체 영역				ECC 코드 영역				ECC 코드 또는 R/D				R/D영역			
	528컬럼				17컬럼				4컬럼				4컬럼			
CA	0	1	6	7	0	1	7	0								
CB	0	0	~	1	1	2	2	~	3	4						
CC	0	0		8	8	8	8		8	8						
CSS									4	5	6	7	0	1	2	3
CSL	0	1	~	525	527	528	529	~	543	544						
A0	L	H		L	H	L	H		L	H	L	H	L			
A1	L	L		H	H	L	L		H	L	L	H	H	L		
A2	L	L		H	H	L	L		H	L	L	L	L	H		
A3	L	L		H	H	L	L		H	L	L	L	L	L		
A4	L	L	~	L	L	H	H	~	H	L	L	L	L	L		
A5	L	L		L	L	L	L		L	H	H	H	H	H		
A6	L	L		L	L	L	L		L	L	L	L	L	L		
A7	L	L		L	L	L	L		L	L	L	L	L	L		
A8	L	L		L	L	L	L		L	L	L	L	L	L		
A8E	L	L		H	H	H	H		H	H	H	H				

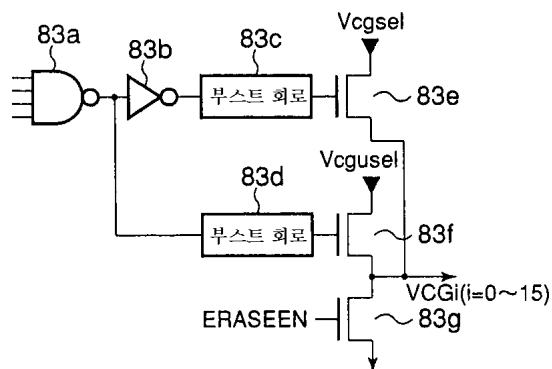
8a



8b



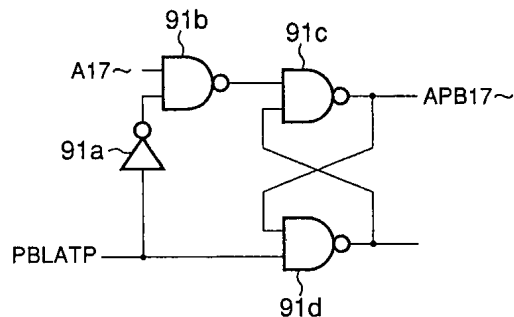
8c



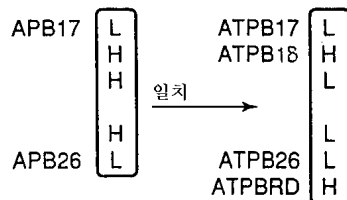
9a

어레이	0	1	2	3
A15	L	H	L	H
A16	L	L	H	H
PBLATPB	0	1	2	3

9b



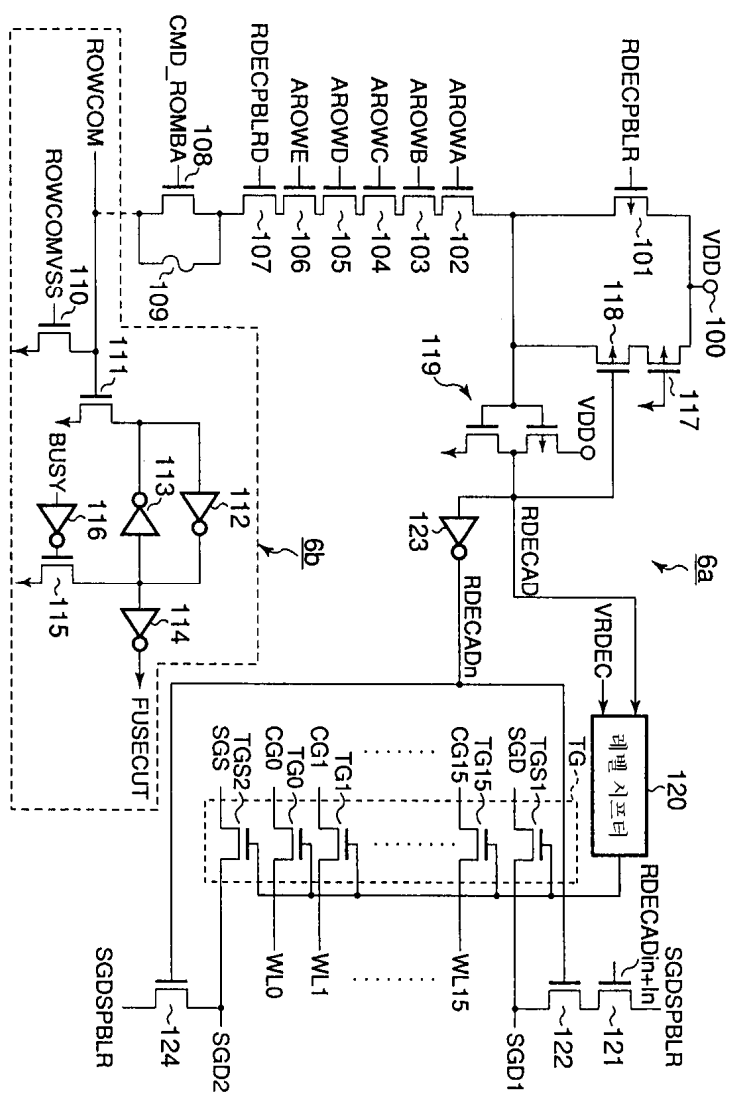
10



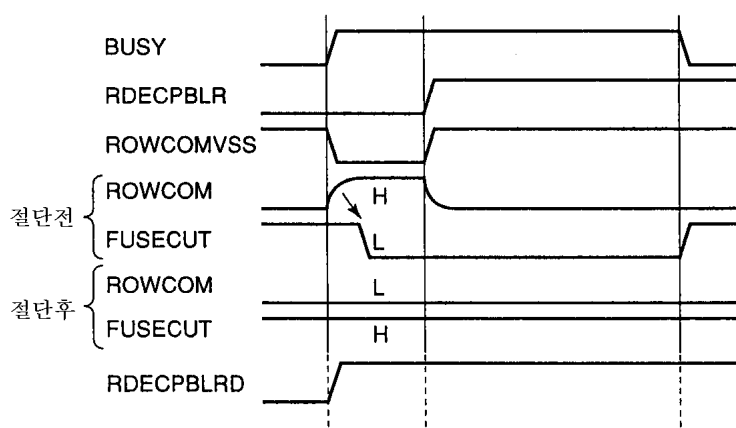
11

ATPB17	L	H	L	H
ATPB19	L	L	H	H
AROWA	0	1	2	3
ATPB18	L	H		
RDECPB	L	R		
ATPB20	L	H	L	H
ATPB21	L	L	H	H
AROWB	0	1	2	3
ATPB22	L	H	L	H
ATPB23	L	L	H	H
AROWC	0	1	2	3
ATPB24	L	H	L	H
ATPB25	L	L	H	H
AROWD	0	1	2	3
ATPB26	L	H	L	
ATPBRD	L	L	H	
AROWE	0	1	2	

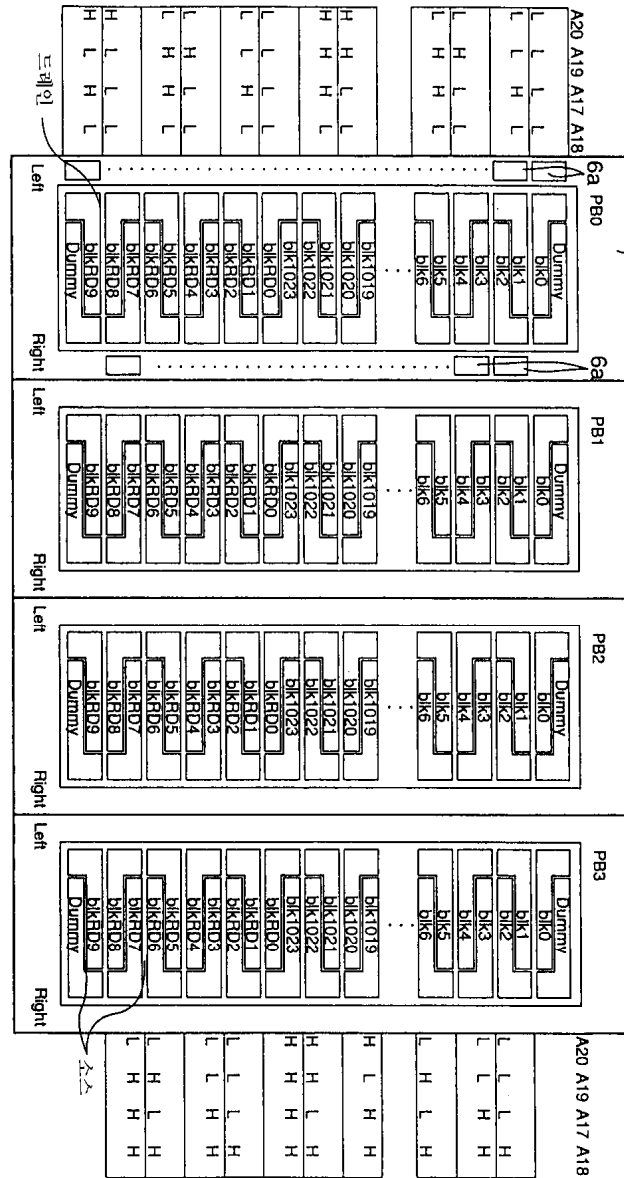
12



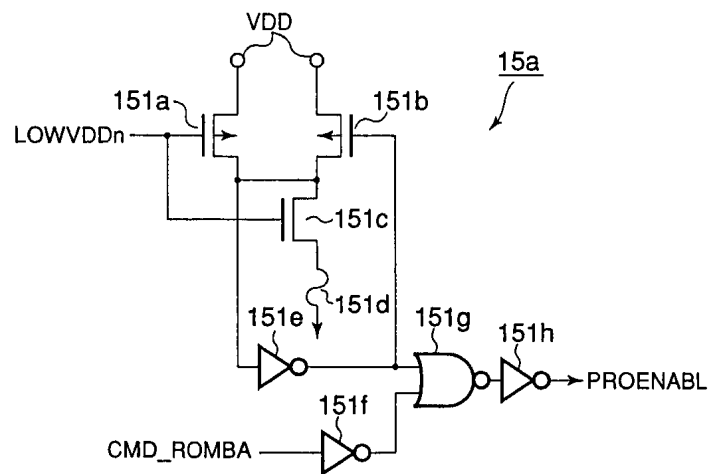
13



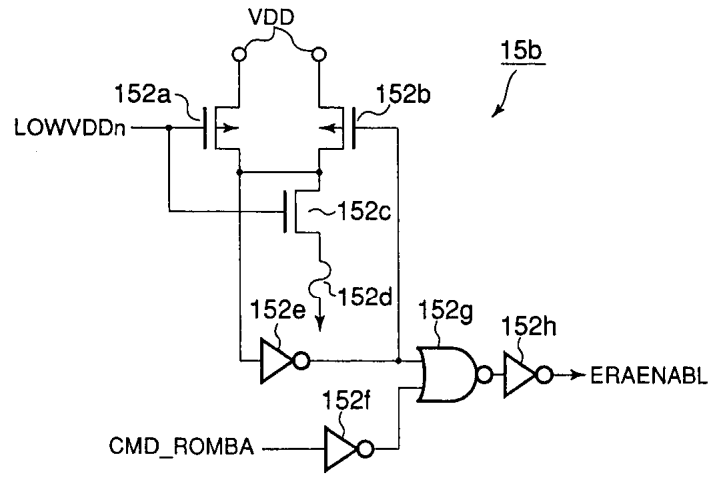
14



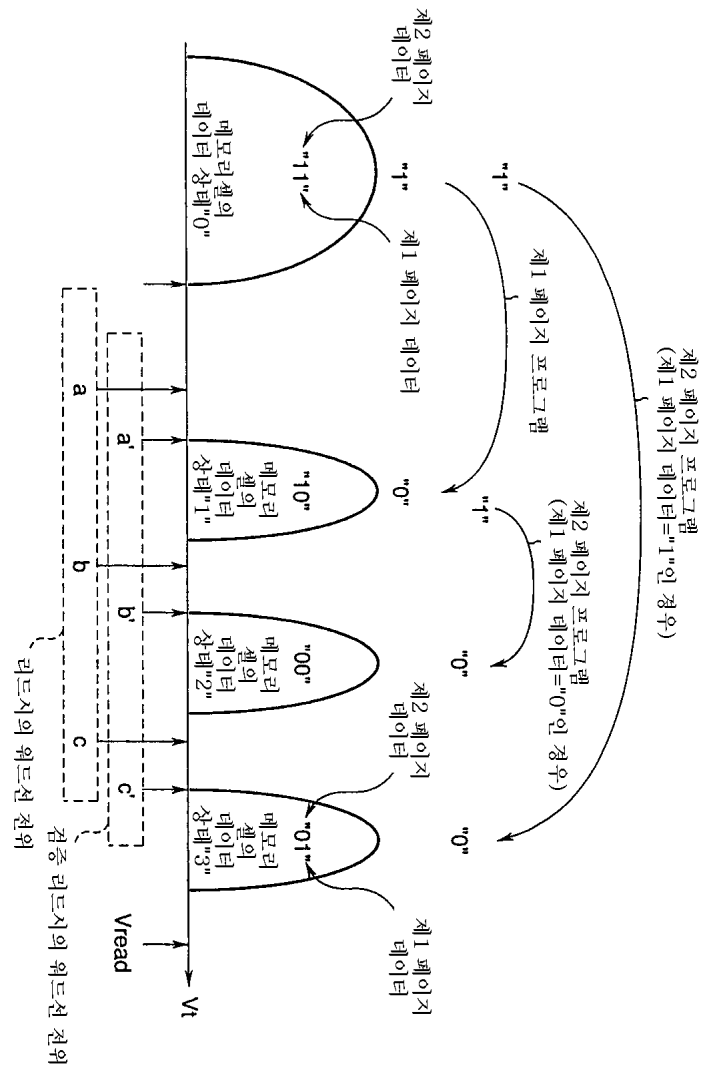
15a



15b



16



17a

메모리셀의 데이터	메모리셀의 임계치	기입 및 관독되는 데이터	
		제1 페이지	제2 페이지
0	0V 이하	1	1
1	0.3V~0.5V	0	1
2	0.8V~1.0V	0	0
3	1.3V~1.5V	1	0

메모리셀의 데이터와 메모리셀의 임계치

17b

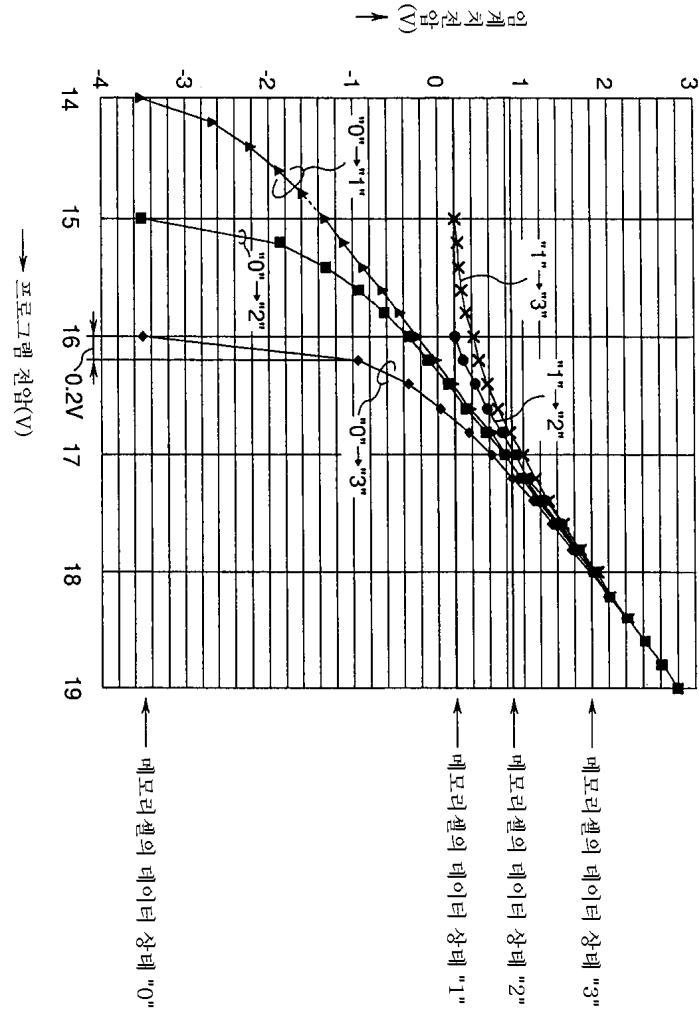
	필요 스텝 업 횟수	
제1 페이지 기입	13회	(0→1)13회
제2 페이지 기입	11회	(0→3)11회 (1→2)6회
합계	24회	

17c

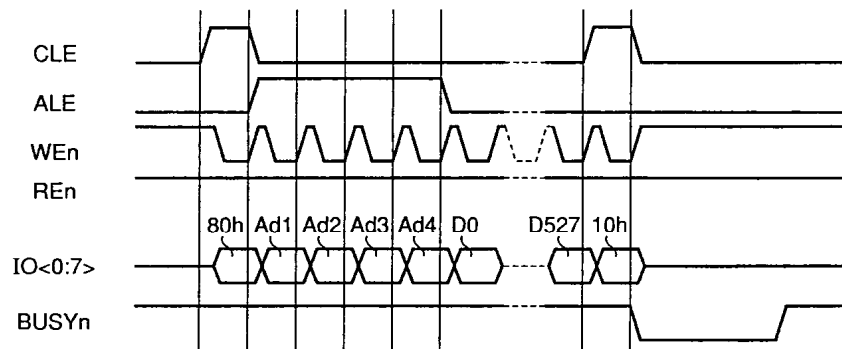
	필요 스텝 업 횟수	
제1,2 페이지 동시 기입	20회	(0→1)13회 (0→2)17회 (0→3)20회
합계	20회	

기입 횟수

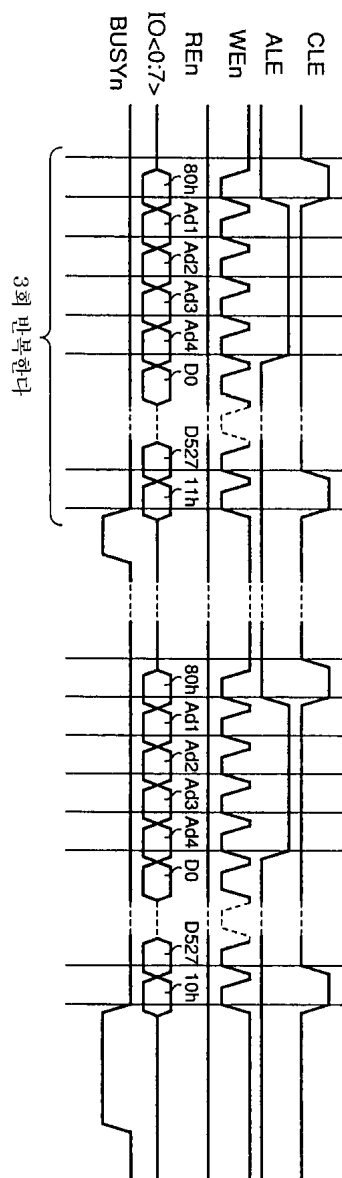
18



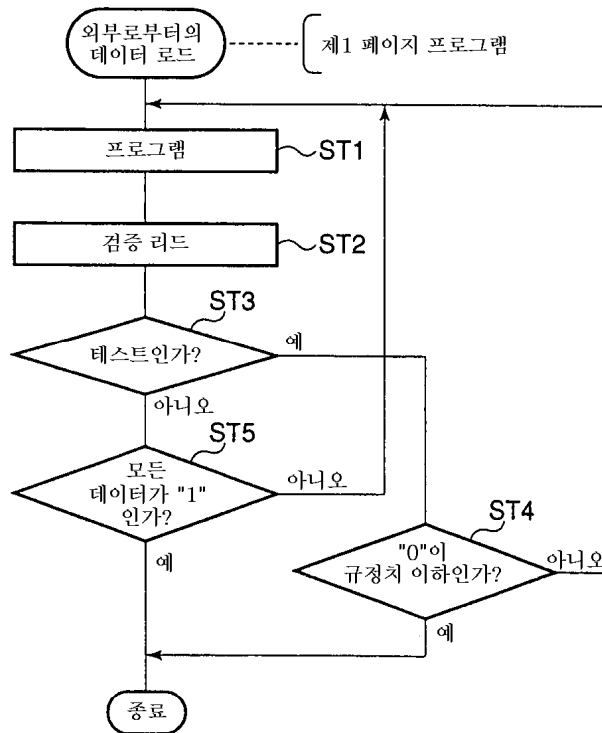
19



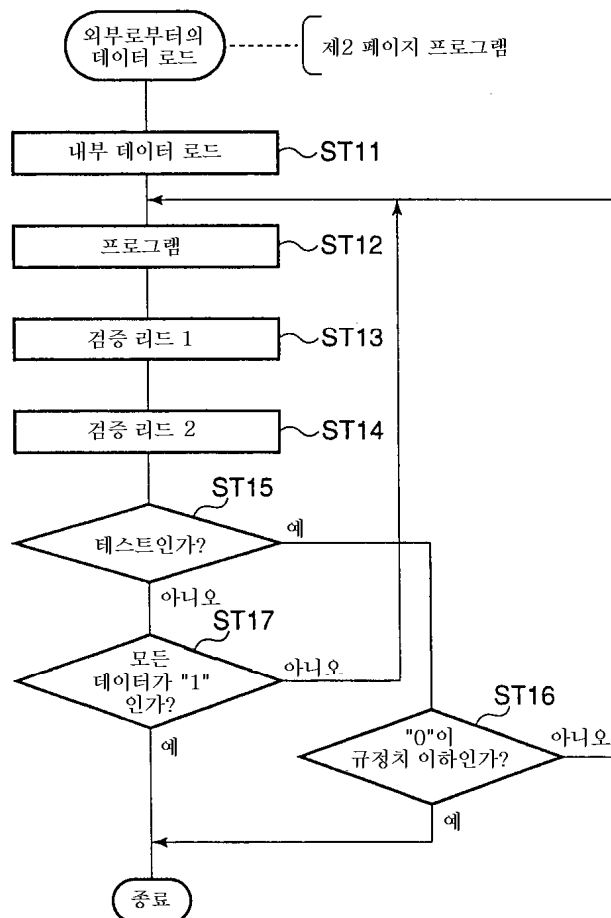
20



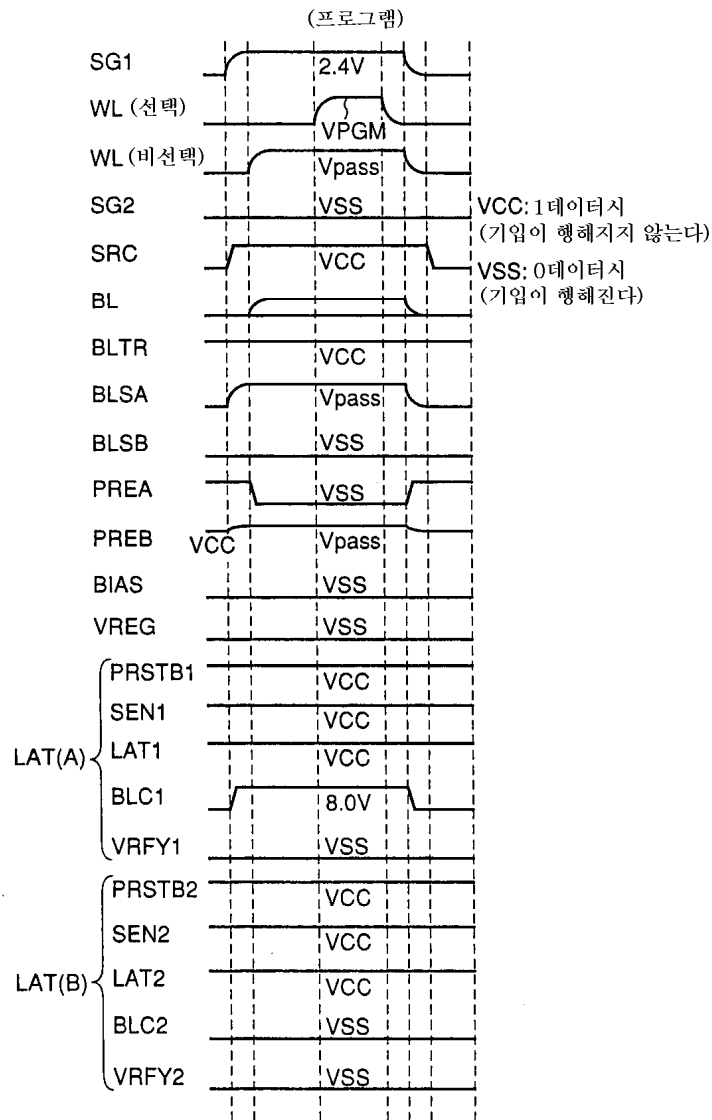
21



22



23



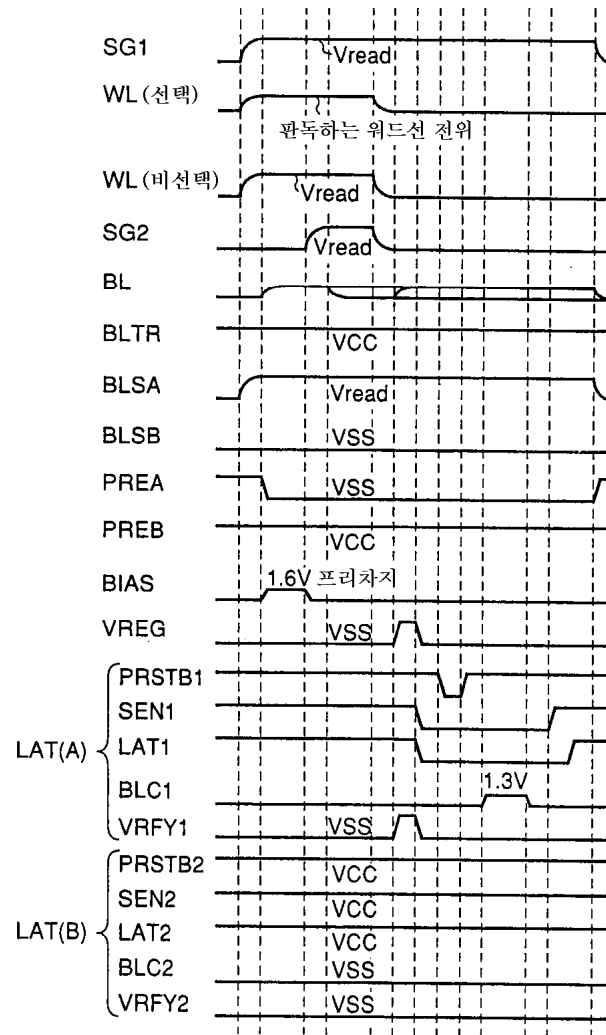
24

프로그램 검증 (제1 페이지)

상태 0	상태 0→1		메모리셀의 데이터	
inhibit	Write(OK)	Write(NG)		
A B bit	A B bit	A B bit		
H	L	L	데이터 로드 (A에 write→L, inhibit→H)	
H L	L H	L L	b'로 로드	0→1
H H	L H	L L	A가 H일 때 비트선 H(VRFY1)	검증
H H	H H	L L	비트선의 전위를 A로 래치	

(inhibit= 비기입, A=LAT(A), B=LAT(B))

(제1 페이지 검증 리드, 제2 페이지 제2의 검증 리드)



26a

프로그램 검증(제2 페이지)

상태 0	상태 0→3	상태 1	상태 1→2	메모리 셀의 데이터	
inhibit A B bit NSbit	Write(OK) A B bit NSbit	Write(NG) A B bit NSbit	inhibit A B bit NSbit	Write(OK) A B bit NSbit	Write(NG) A B bit NSbit
H H	L L	H H	L L	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
H L	L L	H H	L L	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
L L	L L	H H	L L	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
L HL	L HL	H H	L HL	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
L HL	L HL	H H	L HL	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
H HL	L HL	H H	L HL	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드
H HL	L HL	H H	L HL	데이터 로드 (A에 write→L, inhibit→H) 비선택 비트선에 A를 덮어	외부 데이터 로드

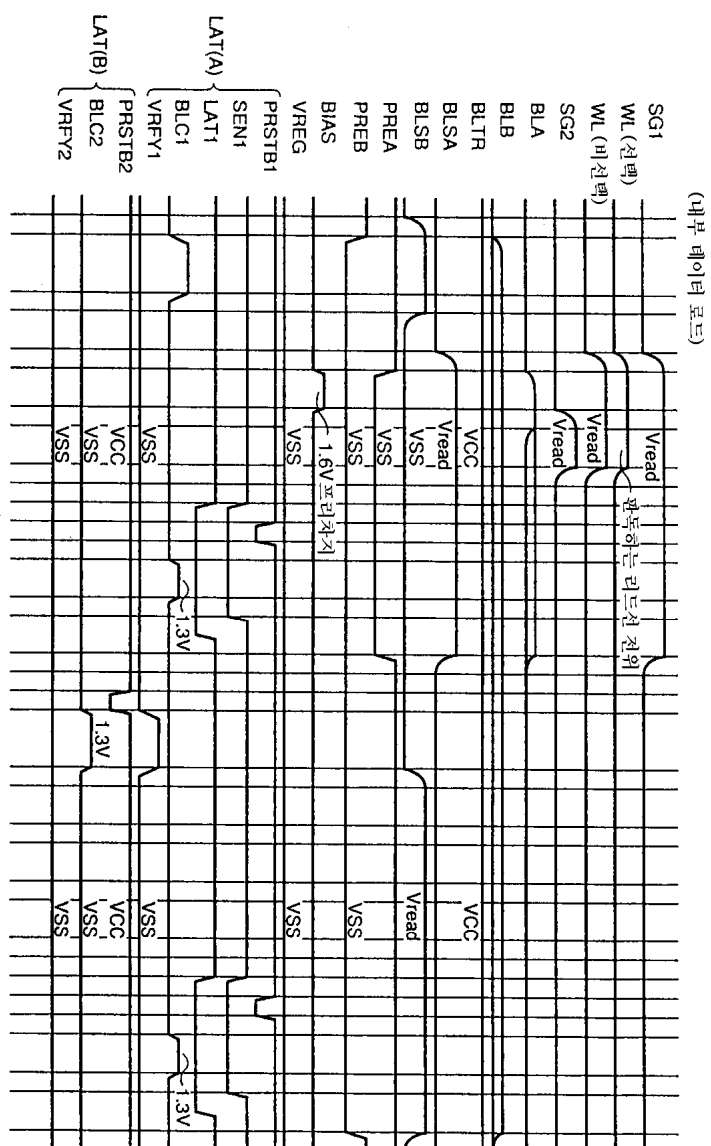
26b

HH	LH		HL	LL	LL	b'로 링크 B가 H일때 비트선 L(VRFY2) A가 H일때 비트선 H(VRFY1) 비트선의 전위를 A에 입력한다	1→2 검증
HHL	LHL		HL	LH	LL		
HHLL	LHL		HL	LH	LL		
HHHL	LHL		HL	LH	LL		
HHH	LHL		HL	LH	LL		

26c

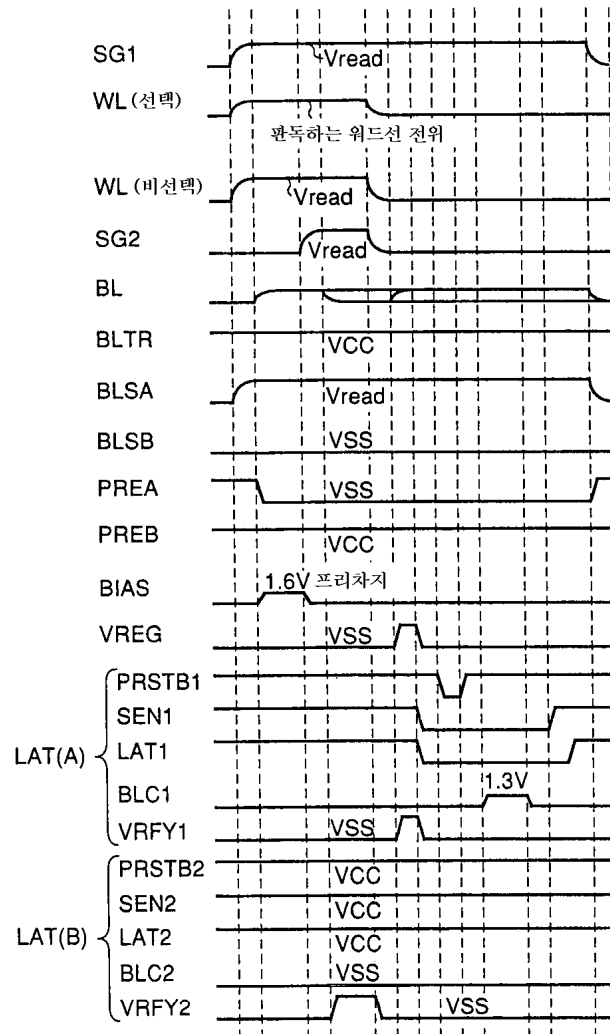
HH	LH	LH	HL	LL	c로 리드	0→3
HHL	LHH	LHL	HLL	LLL	A가 H일때 비트선 H(VRPLY)	검증
HHH	LHH	LHL	HLH	LLL	A가 H일때 비트선 H(VRPLY)	
HHH	HHH	LHL	HLH	LLL	비트선의 전위를 A에 입력한다	

(inhibit=비기입, NSbit=비선택 비트, A=LAT(A), B=LAT(B))

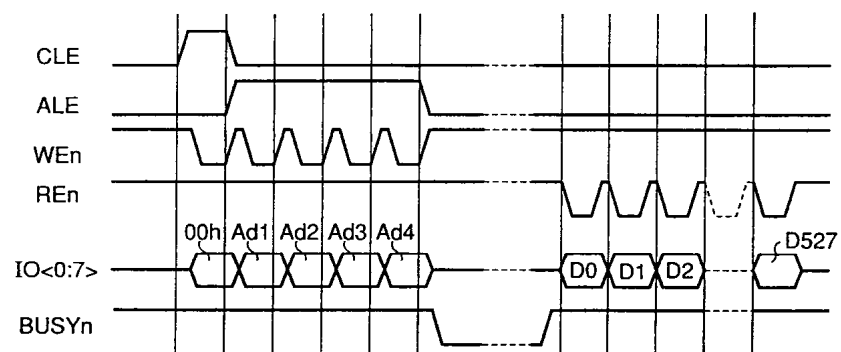


28

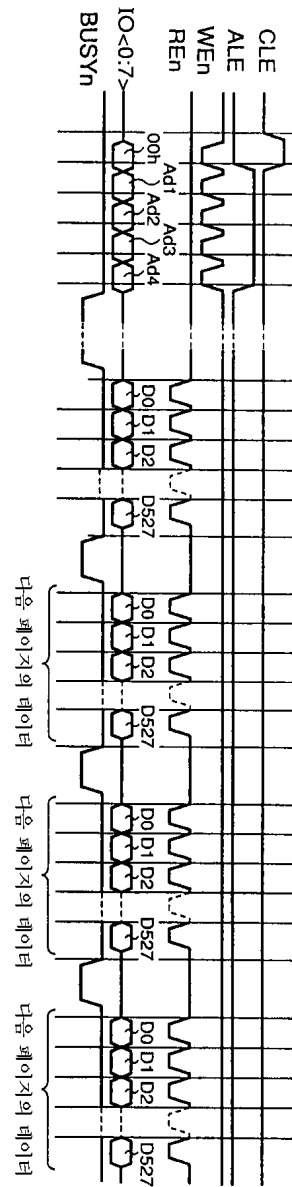
(제2 페이지 제1 검증 리드)



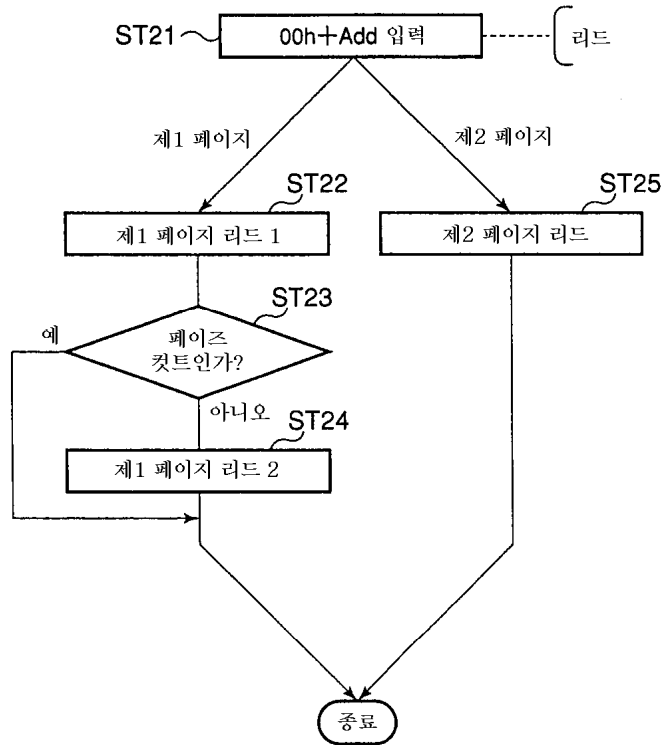
29



30



31



32

리드(제2 페이지)

상태 0,1	상태 2,3		
A B bit	A B bit		
L	H	b로 리드	제2 페이지 리드
L L	H H	비트선의 전위를 A로 래치	

(A=LAT(A), B=LAT(B))

33a

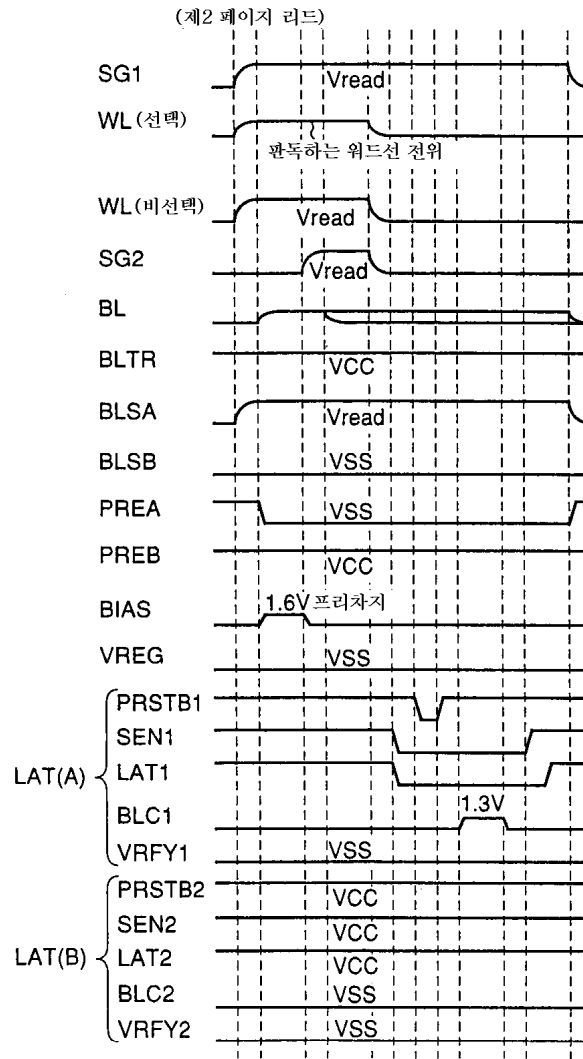
리드(제1 페이지)

상태0	상태 1,2	상태3		
A B bit	A B bit	A B bit		
L	L	H	c로 리드	제1의 리드
L L	L L	H H	비트선의 전위를 LAT(A)로 래치	

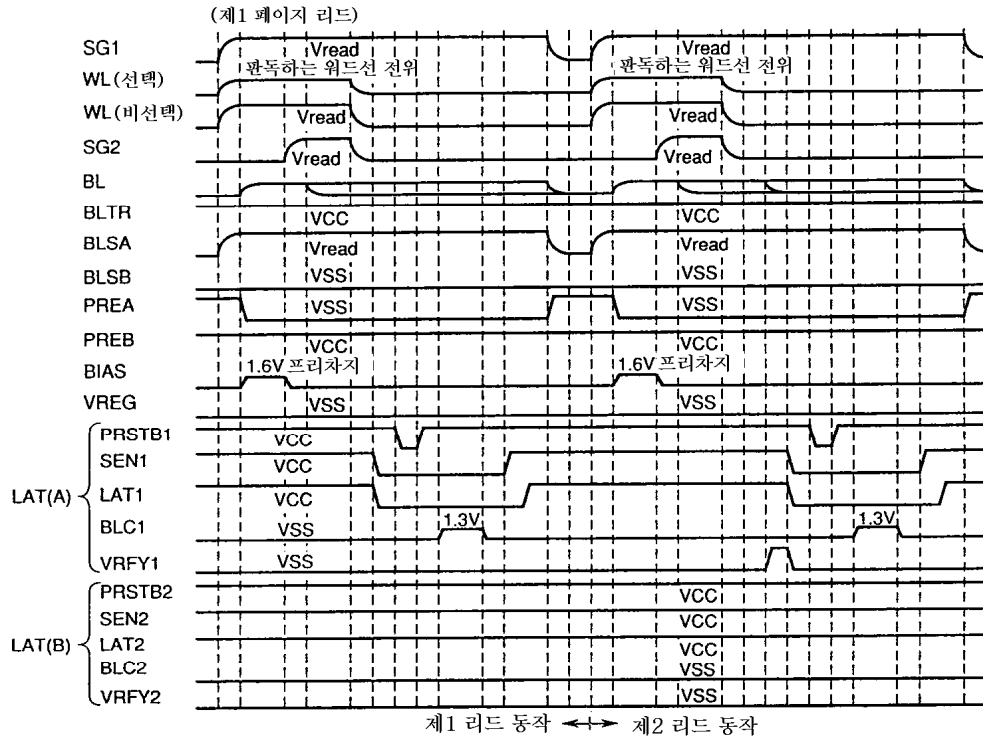
33b

L	L	L	H	H	a로 리드	제2의 리드
L	L	L	H	H	L	
L	L	H	H	L	L	
LAT(A)가 H라면 비트선 L (VRFY1) 비트선의 전위를 A로 래치						

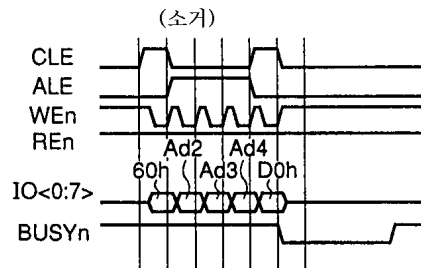
(A=LAT(A), B=LAT(B))



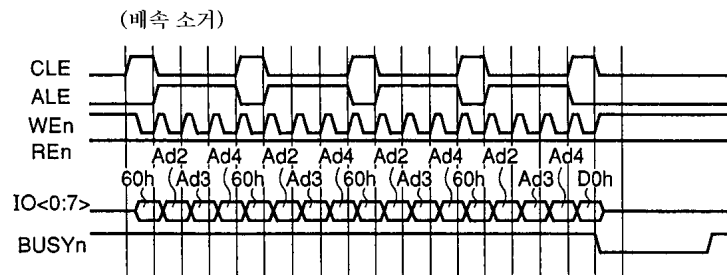
35



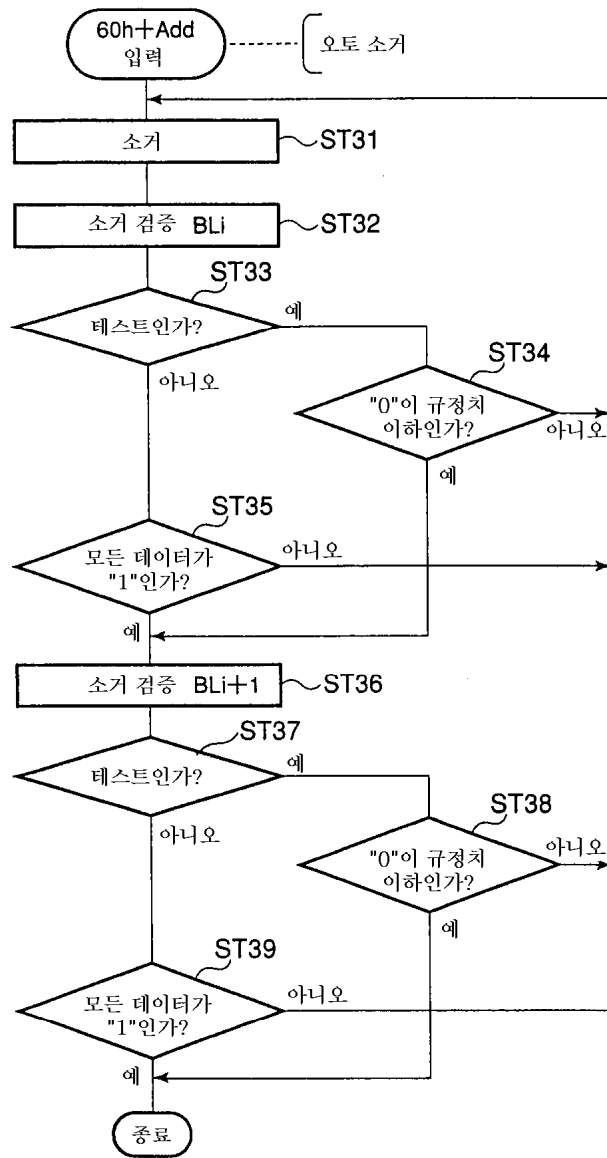
36



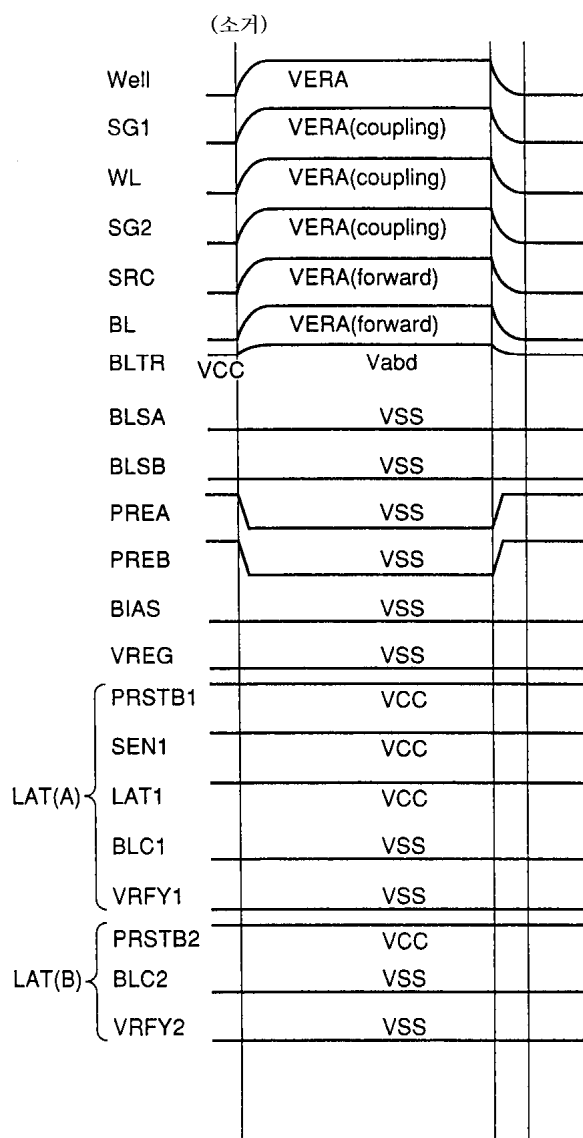
37



38

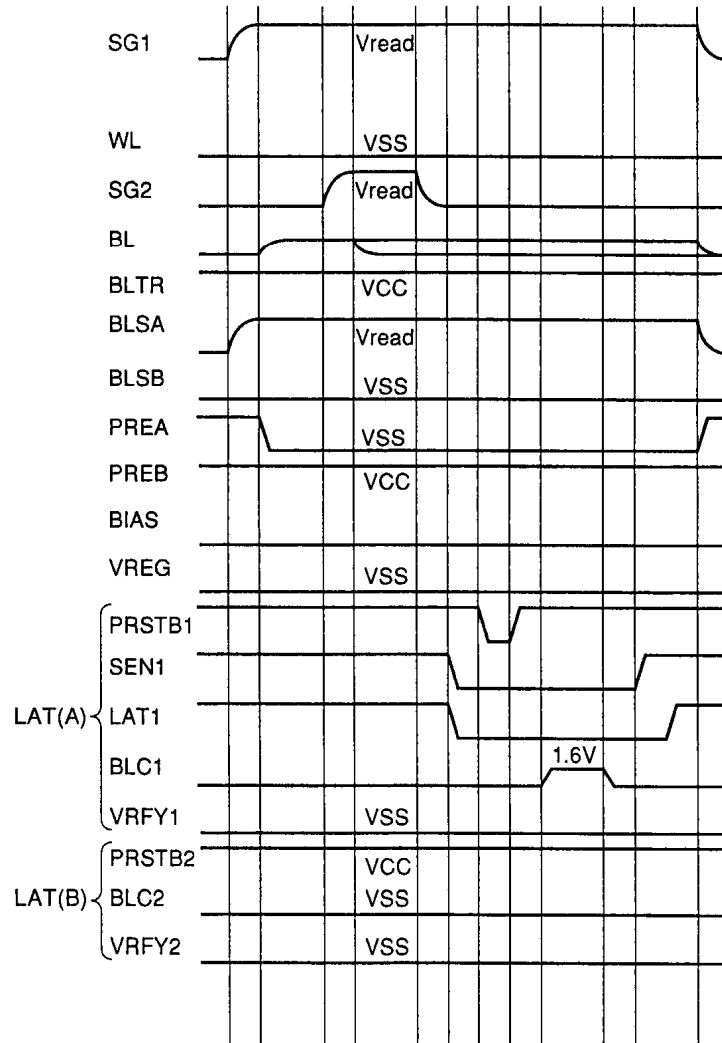


39

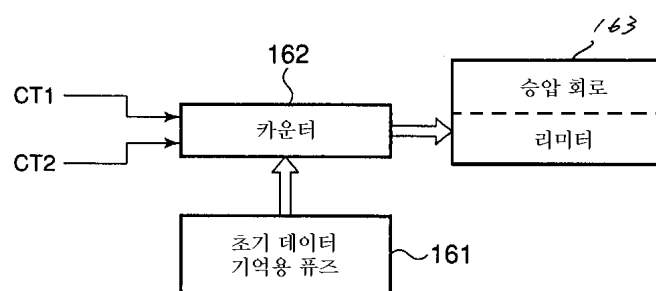


40

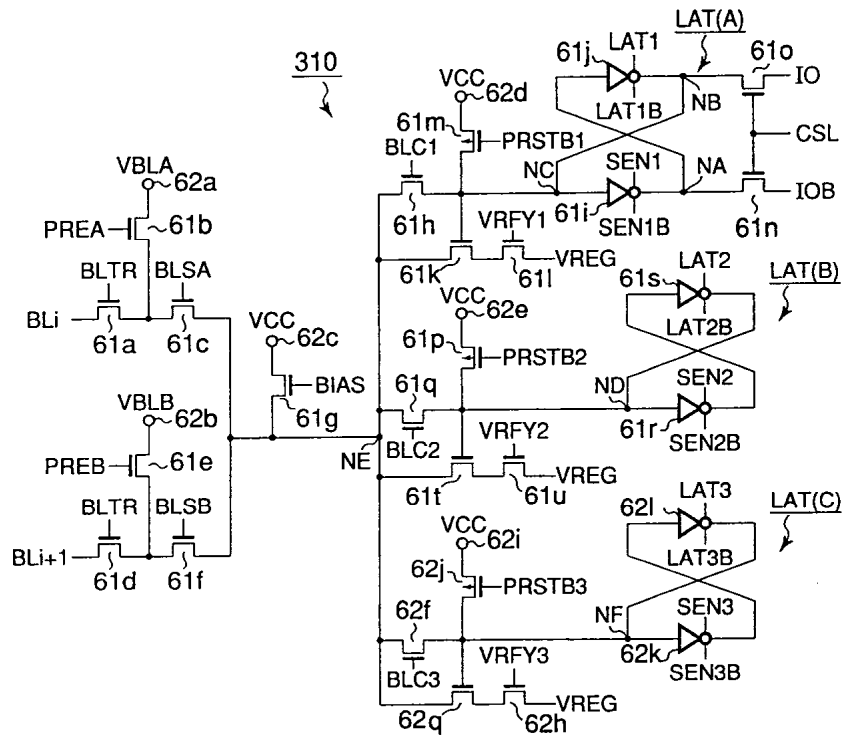
초기 검증 리드



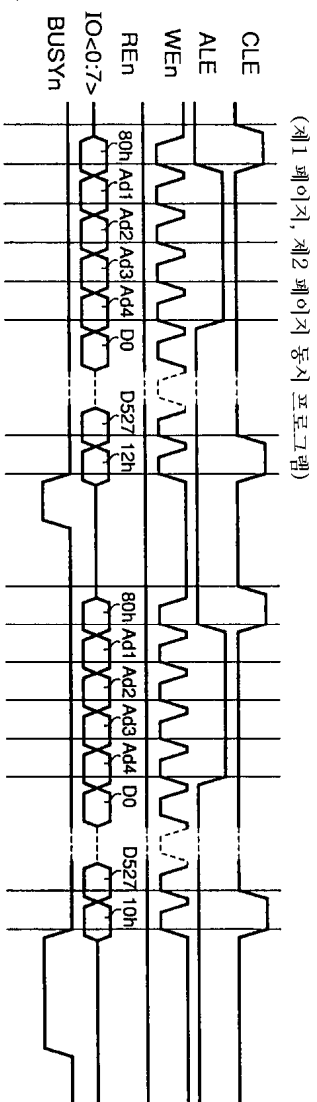
41



42



43



프로그램 검증(제1,제2 페이지 동시)

상태0	상태0→1		상태0→2		상태0→3		메모리셀의 데이터	
inhibit	Write(OK)	Write(NG)	Write(OK)	Write(NG)	Write(OK)	Write(NG)		
A B C bit NS bit	A B C bit NS bit	A B C bit NS bit	A B C bit NS bit	A B C bit NS bit	A B C bit NS bit	A B C bit NS bit		
H	L		L		H		데이터 로드(A)write→L, inhibit→H	
HH	LH		LH		HH		B를 H로 리셋	
H/L	LH		LH		H/L		A가 H일때 B를 H→L	

(inhibit=비기입, NSbit=비선택 비트, A=LAT(A), B=LAT(B), C=LAT(C))

45a

프로그램 검증(제1, 제2 페이지 동시)

상태0	상태0→1		상태0→2		상태0→3		메모리셀의 데이터	
Inhibit A B C bit NS bit	Write(OK) A B C bit NS bit	Write(NG) A B C bit NS bit	Write(OK) A B C bit NS bit	Write(NG) A B C bit NS bit	Write(OK) A B C bit NS bit	Write(NG) A B C bit NS bit		
HL H H HL H H HL H H HL L H HL L H HL L H HL L H HL L H HL L H HL L H HL L H HL L H	HH H H HH H H HH H H HH L H HH L H HH L H HH L H HH L H HH L H HH L H HH L H HH L H		LH L L LH L L LH L L LH L L LH L L LH L L LH L L LH L L LH L L LH L L LH L L LH L L		LL L L LL L L LL L L LL L L LL L L LL L L LL L L LL L L LL L L LL L L LL L L LL L L		데이터 로드(A에 write→L, Inhibit→H) 선택/비선택 비트선에 A를 대피 C를 메모리 세트 A가 H일때 C를 H→L B가 H일때 선택 비트선 H B가 H일때 선택 비트선 L 선택 비트를 A에 관독한다 B를 메모리 세트 A가 H일때 B를 H→L 비선택 비트를 A에 관독한다	내부 데이터 로드

45b

HLLL	ULLH	ULLL	LLHH	LHHH	a'포 리드 비트선 L(VRFY2) C가 H일때 비트선 H(VRFY1) A가 H일때 비트선 H(VRFY1) 비트선의 전위를 A에 입력한다	0-1 검증
HLLL	ULLH	ULLL	LLHH	LHHH		
HLLH	ULLH	ULLL	LLHH	LHHH		
HLLH	ULLH	ULLL	LLHH	LHHH		

45c

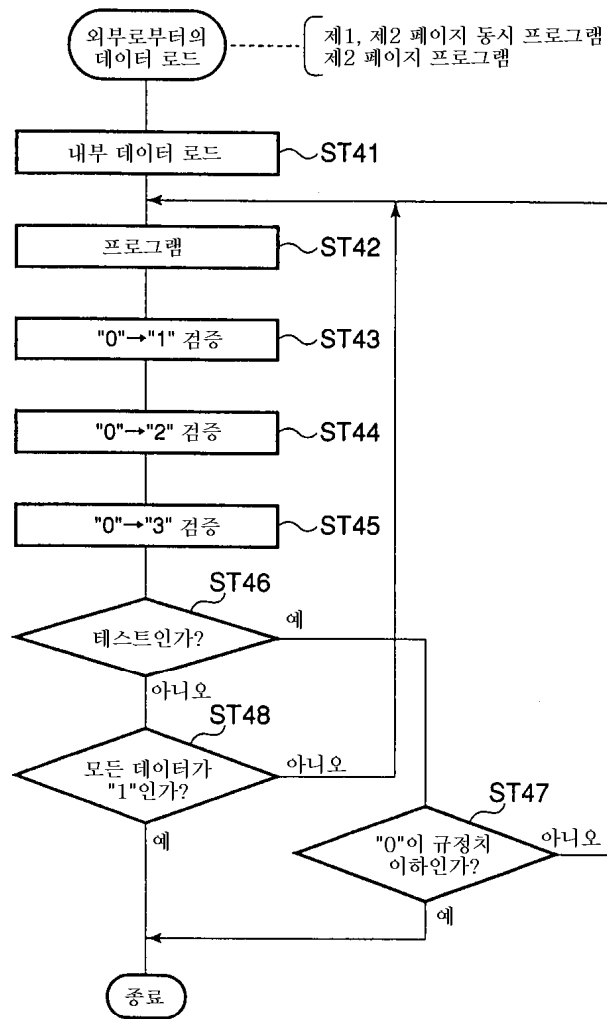
HLCL	LLCL		LLHH	LLHL	LHHLLH	b*로 리드 B가 H일때 비트선 L(VRFY2) A가 H일때 비트선 H(VRFY1) 비트선의 전위를 A에 입력한다	0→2 전 중
HLCL	CLCL		LLHH	LLHL	LHHLL		
HLCH	LLCL		LLHH	LLHL	LHHLL		
HLCH	LLCL		LLHH	LLHL	LHHLL		

45d

HLLL	LLL		LHL	LHHH	LHHL	c'포 리드	0→3
HLHL	LLL		LHL	HHHL	LHHL	A가 H일때 비트신 H(VRFYI)	검증
HLHL	LLL		LHL	HHHL	LHHL	비트신의 진위를 A에 입력한다	

(inhibit=비기입, NSbit=비선택 비트, A=LAT(A), B=LAT(B), C=LAT(C))

46



47

