

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 9 月 13 日 (13.09.2007)

PCT

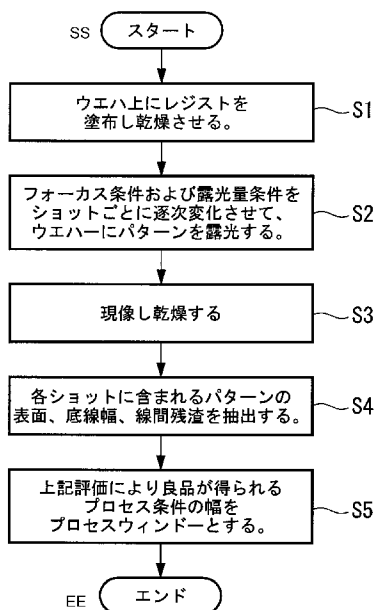
(10) 国際公開番号
WO 2007/102192 A1

- (51) 国際特許分類:
H01L 21/027 (2006.01) H01L 21/66 (2006.01)
G03F 7/20 (2006.01)
- (21) 国際出願番号: PCT/JP2006/304286
- (22) 国際出願日: 2006 年 3 月 6 日 (06.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ファブソリューション株式会社 (FAB SOLUTIONS, INC.) [JP/JP]; 〒2130011 神奈川県川崎市高津区久本 3-5-7 新溝ノロビル 5 F Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 恵三 (YAMADA, Keizo) [JP/JP]; 〒2130011 神奈川県川崎市高津区久本 3-5-7 ファブソリューション株式会社 社内 Kanagawa (JP).
- (74) 代理人: 志賀 正武, 外 (SHIGA, Masatake et al.); 〒1048453 東京都中央区八重洲 2 丁目 3 番 1 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, ...)

[続葉有]

(54) Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体デバイス製造方法



SS START
 S1 APPLY RESIST ONTO WAFER AND DRY RESIST
 S2 EXPOSE PATTERN ON WAFER BY VARYING FOCUS CONDITIONS AND EXPOSURE AMOUNT CONDITIONS SEQUENTIALLY FOR EVERY SHOT
 S3 DEVELOP AND DRY
 S4 EXTRACT SURFACE, BOTTOM LINE WIDTH AND INTERLINE RESIDUE OF PATTERN INCLUDED IN EACH SHOT
 S5 EMPLOY RANGE OF PROCESS CONDITIONS UNDER WHICH ACCEPTABLE ARTICLE CAN BE OBTAINED BY EVALUATION AS PROCESS WINDOW
 EE END

(57) Abstract: A method for fabricating a semiconductor device in which fabrication efficiency of the semiconductor device is enhanced by managing a photoresist process well. The method for fabricating a semiconductor device comprises a step for forming a photoresist film on a semiconductor substrate, a step for exposing the photoresist film under different exposure conditions for every shot by using a mask in which a predetermined pattern for evaluating process is formed, a step for forming a photoresist structure on the semiconductor substrate by developing the photoresist film under predetermined conditions, a step for irradiating the surface of the semiconductor substrate on which the photoresist structure is formed with an electron beam, a step for measuring a substrate current generated in the semiconductor substrate through irradiation with an electron beam, and a step for calculating a process window from the waveform of the substrate current.

(57) 要約: 本発明の課題は、フォトリソ工を良好に管理し、半導体デバイスの製造効率を向上させることにある。本発明に係る半導体測定装置は、半導体基板上にフォトリソ膜を形成するステップと、プロセス評価用の所定のパターンが形成されたマスクを用いて、ショット毎に異なる露光条件にて前記フォトリソ膜を露光するステップと、前記フォトリソ膜を所定の条件で現像して前記半導体基板上にフォトリソ構造体を形成するステップと、前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、前記電子ビームの照射に伴って前記半導体基板に発生する基板電流を測定するステップと、前記基板電流の波形からプロセスウィンドーを算出するステップとを含むことを特徴とする。



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体デバイス製造方法

技術分野

[0001] 本発明は、半導体デバイス製造方法に関し、特に電子ビームを利用してフォトリソ工程の最適化を行うのに好適な方法に関する。

背景技術

[0002] 半導体デバイスは微細加工プロセスを用いて製造されている。この微細加工プロセスは、シリコン基板(ウェハ)上に塗布された感光性樹脂であるフォトリソに、CADデータ、あるいはマスク上に形成された微細構造パターンを転写するための露光工程を含んでいる。この露光工程は、写真の原理を利用した微細加工技術であり、以下の工程から成る。

[0003] 第1工程:シリコン基板上にフォトリソを均一に塗布して乾燥させる。

第2工程:微細構造の形状に対応したパターンが形成されたマスクを通してシリコン基板上のフォトリソに光を照射する。

第3工程:フォトリソを現像し、その未感光部分と感光部分とを分離する。

第4工程:現像されたフォトリソの形状を固定するために、これを高温で焼き固め、フォトリソ構造体が完成する。

[0004] ここで、露光工程には、露光条件として、フォーカスおよび露光量(ドーズ)という2つの重要なプロセスパラメータが存在する。これらフォーカスと露光量が適切であれば、露光工程の終了後に意図した通りの正確なフォトリソ構造体を得られる。

しかし、フォーカスが前後にずれると、フォトリソ構造体の形状にシャープさが無くなり、目標とするマスク寸法に対して誤差が生じる。また、ポジレジストの場合は、露光量が少なければフォトリソ構造体が太く残り、逆に露光量が多ければ、フォトリソ構造体は細くなり、フォトリソ構造体の一部が現像後により欠損するおそれがある。このような場合、意図した通りのフォトリソ構造体を得られないので、シリコン基板上に形成される微細構造の不具合の原因となる。

[0005] 従って、露光工程では、フォーカスと露光量の両方を最適化することが重要である

。すなわち、露光工程の最適化とは、所望のデバイス構造が得られるように、フォーカスと露光量の2つのパラメータを合わせ込むことである。また、露光工程での処理結果は、露光工程に用いる装置の状態によっても変動を受けるので、装置の状態が多少変動しても所望の処理結果が安定的に得られるロバストな露光条件(プロセスウィンドー)を求めることが実用上重要である。

[0006] ところで、従来、シリコン基板上に形成される微細構造は単純な幾何形状であり、従って露光工程により転写される構造も単純な幾何形状であった。例えば、電気の導通をとるためのコンタクトホールやビアホールは単なる円形であり、トランジスタのゲートは長方形であった。

また、プロセスを評価する際に測定対象となる微細構造の幾何形状の種類は数種類に限られており、その特徴量の測定対象は少量であった。例えば、nmオーダーの寸法計測が可能なCDSEM (Critical Dimension Scanning Electron Microscope)を用いて露光工程後にウェハ上形成されたホール等の微細構造の表面寸法を何点か計測し、その値が所望の範囲に入っているかどうかを調査する事で、最適な露光条件を定めることができた。上述のCDSEMとは、加速した収束電子ビームを測定対象に照射して跳ね返る電子の量を検出することで微細構造の画像を得る装置である。

[0007] しかし、近年、半導体技術の微細化が進み、最小サイズが0.1ミクロン以下になると、従来には無い新しい構造が次々と導入されてきた。その代表的な構造の一つがダマシン構造であり、この構造は、従来のホール構造の上に配線用の溝が形成されている。

さらに、露光技術を支援する目的でOPC (Optical Proximity Correction)という補正技術が導入されている。この補正技術は、光の干渉効果を利用して波長以下の微細構造パターンを形成して、所望の微細構造を正しく実現するために、本来の構造には無い特殊な形状の微細構造を新たに加える技術であり、その特殊な形状の微細構造として、スキヤッタリングバー、セリフ、ハンマーヘッドなどがある。

[0008] 露光工程において、上述のようなOPC用の特殊な付加構造が利用されるようになると、本来実現したい構造も付加的な構造の影響を受けるようになり、測定対象の種

類が増加する。

しかしながら、一般的にはこれらの中でプロセスとして最も実現困難な構造を簡単に判断することは困難であるので、測定点数を減らすために代表点を選択することができず、複雑な形状そのものが正しく形成されたかどうかを全ての場所で検査して、その結果を踏まえてプロセスウインドーを決定するということが行われるようになってきた。

そのための検査装置として、テストパターンでは無く、実際のデバイスを作製し、その全ての表面構造を高速検査する装置が使用されている。

- [0009] また、露光装置の1時間当たりのシリコン基板の処理枚数は60枚あるいは120枚であり、露光装置は高速な処理能力をもつが、半導体量産工場では、生産能力をさらに向上するために複数台の露光装置が設置されている。それぞれの露光装置の特性は同じになるように設計、管理されているが、レンズや機械的な固体差があるため、露光装置によって特性差が生じることは避けられない。また、レジスト材料の特性変動も加わるので、予め理想的条件下で設定された露光条件が、必ずしも量産工場においても最適な条件となるとは限らない。

つまり、量産工場における露光結果は、単純にフォーカスと露光量の2つのパラメータによって一義的に決定されるのではなく、装置によって上記パラメータの値の最適値が変化する。そのため、露光条件を最適化するためには全ての露光装置の露光結果を検査する必要がある、非常に多くの時間を要している。

- [0010] ここで、半導体製造工程におけるフォトレジストについての重要な特性を説明する。

フォトレジストは、後の工程の化学プロセスに対して耐性があり、フォトレジストで覆われた個所は化学反応が起こらないため、実際にフォトレジストで化学反応から保護される領域は、フォトレジストの表面形状(上面形状)によって決定されるのではなく、保護対象の下地と接する底面部分の形状で決定される。従って、下地と接するフォトレジストの底面部分の形状を把握し、これを制御することが最も重要となる。

- [0011] 以下に、図13～16を参照してレジストの底面形状の重要性を具体的に説明する。

図13A, 13Bおよび図14A, 14Bは、シリコン基板133上に形成されたゲート材料131をエッチング加工する際に、フォトレジスト132の形状がエッチング処理に与える

影響を説明するための図である。

ここで、図13Aは、フォトリジスト132が良好に形成されている状態を示し、露光条件が適切であった場合を示している。露光条件が適切であった場合にはレジスト132の側面形状が垂直状に形成される。これに対し、図13Bは、露光条件が不適切であった場合のフォトリジスト132の形状を示している。この場合、レジスト132の上面形状は図13Aとほぼ等しいが、裾を有しているために底面形状は全く異なっている。

[0012] 図14A及び図14Bは、上述の図13A及び図13Bに示す各フォトリジスト132をマスクとしてゲート材料131をエッチングして得られる断面構造をそれぞれ示す。上述の図13Aに示す適切な形状を有するフォトリジスト132によれば、図14Aに示すように、ゲート材料131が良好にエッチングされ、所望のゲート形状が得られる。

これに対し、上述の図13Bに示すように不適切な形状を有するフォトリジスト132によれば、図14Bに示すように、レジスト132の裾の領域でゲート材料131のエッチング量が不足するため、ゲート材料131も裾を引いた形状となり、ゲート配線間のショートという不具合を生じる。

このように、仮にフォトリジストの表面形状が均一に管理されていたとしても、フォトリジストの底面の形状管理されない限り、露光工程を完全に管理することはできない。

[0013] 図15A、15Bおよび図16A、16Bは、シリコン基板154上に形成された酸化膜151とハードマスク152をエッチング加工してホールを形成する際に、フォトリジスト153の形状がエッチング処理に与える影響を説明するための図である。

ここで、図15Aは、フォトリジスト153が良好に形成されている状態を示し、露光条件が適切であった場合を示している。これに対し、図15Bは露光条件が不適切な場合を示し、レジスト153が裾を引いた形状を呈している。

[0014] 図16A及び図16Bは、上述の図15A及び図15Bに示す各フォトリジスト153をマスクとして酸化膜151とハードマスク152をエッチングして得られる断面構造をそれぞれ示す。この例からも理解されるように、上述の図15Aに示す適切な形状を有するフォトリジスト153によれば、図16Aに示すように、酸化膜151がホールH16Aの底まで均一にエッチングされ、所望のホール形状が得られる。

[0015] これに対し、上述の図15Bに示す不適切な形状を有するフォトリジスト153によれ

ば、ハードマスク152との界面にレジスト153の一部が残っているので、酸化膜151のエッチング速度が不均一となる。このため、図16Bに示すように、酸化膜151に形成されるホールH16Bのサイズが小さくなる問題や、ホールが下地のシリコン基板154に到達しなくなるといった問題が起き、導通不良などの不具合を生じる。

[0016] また、ホールがシリコン基板154に到達したとしても、露光条件によって、その底面の形状が歪む場合がある。(エッジラフネス)

図17は、露光条件がホールの底面形状に与える影響の例を示す。良品の場合、即ち露光条件が最適化されている場合、同図の(a)に示すように、ホールの底面形状は、マスク上のパターンに対応した形状Aを呈する。これに対し、露光条件が最適化されていない場合には、同図の(b)に示すように楕円形状Bを呈する場合や、同図の(c)に示すように、歪な形状Cを呈する場合がある。前述の通り、従来はこれら底面構造およびその微細構造を管理することは出来なかった。

[0017] 現在までに、フォトリソの露光工程を最適化する方法として、以下の技術が知られている。

第1の技術として、CDSEMから得られる波形を処理してレジスト構造体の3次元構造を推定する方法が知られている(特許文献1参照)。しかし、最近の研究結果において、二次電子波形は、レジスト構造体の表面形状のみを反映し、真の底面形状を反映しないことが明らかになっている。従って、前述の理由から露光工程の最適化は困難である。

[0018] 第2の技術として、露光工程によって得られたレジスト構造体に電子ビームを照射して二次電子波形を取得し、基準となる二次電子波形と比較してプロセス結果の類似度を評価し、プロセス結果の良否を判定する方法が知られている(特許文献2参照)。しかし、前述の理由から、この方法を利用しても基準状態の定義そのものが正確ではないので、露光工程の最適化には不十分である。

[0019] 第3の技術として、図18のフローチャートに示す方法が知られている(特許文献3参照)。即ち、1枚のウェハにレジストを塗布し(ステップS181)、種々のパターンを形成したテストマスクを用いて上記ウェハ内で露光条件を変えて露光し(ステップS182)、このウェハを現像して乾燥し(ステップS183)、そして、CDSEMによる表面

寸法測定(ステップS184)と、欠陥検査装置による表面パターンのチェック(ステップS185)を行い、これらの結果からプロセスウインドーを求め(ステップS186)、これにより露光工程の最適化を図る。しかし、この従来技術によれば、欠陥検査装置は、光または二次電子を用いて形状の測定を行うため、原理的にレジストの表面形状しか測定できない。そのため、この方法を用いてもフォトリソ構造体の真の底面形状に関する情報は得られない。

特許文献1:特開2005-64023号公報

特許文献2:特開平11-345754号公報

特許文献3:特開2005-236060号公報

発明の開示

発明が解決しようとする課題

[0020] 上述のように、プロセスを最適化するために最も重要なフォトリソ構造体の底面形状を把握し、これを適切に制御することができないという問題があった。具体的には、フォトリソ工程の評価において、レジスト膜表面の管理だけでは不十分であり、レジスト膜の立体構造、特に底面構造を管理する必要がある。特に、プロセスばらつきの原因になる非常に薄いレジスト残渣やテーリング、あるいはレジストの傾斜角の制御も行う必要がある。

[0021] また、露光工程では、フォーカスが正常とみなせる範囲を決定することが重要であるが、露光条件を最適化することが困難であるという問題があった。ホールの場合を例にして説明すると、フォーカスが前後にずれると、それに伴いホール表面の径が変化するが、フォーカスずれの方向に関わらず、ずれの絶対量に比例して径が変化する性質がある。しかし、従来技術ではホール表面形状の変化のみを測定していたので、フォーカスが変動した際に、フォーカスがプラスまたはマイナスのどちらに変化したのか判断できなかった。そのため、測定された値を用いて次回行われる露光の露光装置を適切なフォーカスの設定値に制御することが出来なかった。

[0022] また、露光工程は再処理が可能な工程であり、失敗が判明した場合にはレジストを剥離して露光工程を再度行うことが可能である。そこで、1回目の露光条件を基準として2回目の露光条件を修正することが一般に行われる。しかし、上述のとおり、従来

の表面形状だけを観察する手法では、露光量の過不足は把握できるが、フォーカスがプラス／マイナスの何れの方向にずれているのかを判断することができず、フォーカスに関しては露光条件を最適化できないという大きな問題があった。

その他にも、従来は、パターンを大規模に検査する必要があるので多大な時間を必要とし、検査時に照射される電子ビームや光によって検査対象にダメージを与えるという問題もあった。

[0023] 本発明は上記事情を考慮してなされたもので、その目的は、フォトリソ工程を良好に管理し、半導体デバイスの製造効率を向上させることである。

課題を解決するための手段

[0024] 上記の課題を解決するため、本発明に係る半導体デバイス製造方法は、半導体基板上にフォトリソ膜を形成するステップと、プロセス評価用の所定のパターンが形成されたマスクを用いて、ショット毎に異なる露光条件にて前記フォトリソ膜を露光するステップと、前記フォトリソ膜を所定の条件で現像して前記半導体基板上にフォトリソ構造体を形成するステップと、前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、前記電子ビームの照射に伴って前記半導体基板に発生する基板電流を測定するステップと、前記基板電流の波形からプロセスウインドーを算出するステップとを含む。

[0025] 前記半導体デバイス製造方法において、半導体基板上にフォトリソ構造体を形成するステップと、前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、前記電子ビームの照射に伴って前記半導体基板に発生する基板電流を測定するステップと、前記基板電流の波形から得られるプロセス評価値とプロセスウインドーとを比較するステップと、前記比較の結果から露光工程の良否を判定するステップとを含む。

[0026] 前記半導体デバイス製造方法において、半導体基板上にフォトリソ膜を形成するステップと、プロセス評価用の所定のパターンが形成されたマスクを用いて、ショット毎に異なる露光条件にて前記フォトリソ膜を露光するステップと、前記フォトリソ膜を所定の条件で現像して前記半導体基板上にフォトリソ構造体を形成するステップと、前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビ

ームを照射するステップと、前記電子ビームの照射に伴って前記半導体基板に発生する基板電流と、二次電子あるいは反射電子を測定するステップと、前記基板電流の波形と二次電子あるいは反射電子の波形とからプロセスウインドーを算出するステップとを含む。

- [0027] 前記半導体デバイス製造方法において、半導体基板上にフォトリソ構造体を形成するステップと、前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、前記電子ビームの照射に伴って前記半導体基板に発生する基板電流と、二次電子あるいは反射電子を測定するステップと、前記基板電流の波形と二次電子あるいは反射電子の波形とから得られる評価値とプロセスウインドーとを比較するステップと、前記比較の結果から露光工程の良否を判定するステップとを含む。
- [0028] 前記半導体デバイス製造方法において、前記波形と基準波形とを比較して、前記露光工程の良否を判定することを特徴とする。
- [0029] 前記半導体デバイス製造方法において、前記波形から前記フォトリソ構造体の特徴量を抽出するステップを更に含むことを特徴とする。
- [0030] 前記半導体デバイス製造方法において、前記露光工程が否と判定された場合に、前記露光工程を再度行うことを特徴とする。
- [0031] 前記半導体デバイス製造方法において、前記露光工程の露光条件あるいは判定結果を、コンピュータ画面、紙、ファイルの何れかに出力するステップを含むことを特徴とする。
- [0032] 前記半導体デバイス製造方法において、ショット毎に露光条件を変更して第1半導体基板上に作製された第一のパターンを有するフォトリソ構造体に電子ビームを照射して、前記第1半導体基板に発生する第1基板電流を測定し、前記第1基板電流の波形と前記露光条件とを対応付けてデータベースに記録するステップと、露光工程を経て第2半導体基板上に作製された第二のパターンを有するフォトリソ構造体に電子ビームを照射して、前記第2半導体基板に発生する第2基板電流を測定するステップと、前記第二のパターンより得られた第2基板電流の波形を前記データベースに記録された第1基板電流の波形と比較し、波形の一致する第1基板電流の

波形に対応づけられた露光条件をマッチング出力として得るステップと、前記マッチング出力から露光量とフォーカス量を計算するステップとを含む。

[0033] 前記半導体デバイス製造方法において、前記計算された露光量およびフォーカス量と基準プロセス条件とを比較するステップと、前記露光量およびフォーカス量と前記基準プロセス条件との差を得るステップと、露光装置の初期設定値を前記差の分だけ変更するステップとを含むことを特徴とする。

[0034] 前記半導体デバイス製造方法において、前記第二のパターンより得られた基板電流の波形から前記フォトリソ構造体の特徴量を得るステップと、前記特徴量と基準プロセス条件とを比較して前記特徴量と前記基準プロセス条件との差を得るステップと、露光装置の設定値を前記差の分だけ変更するステップとを含むことを特徴とする。

[0035] 前記半導体デバイス製造方法において、前記露光工程により形成されるフォトリソ構造体が、ゲート構造のパターンとホール構造のパターンとを備えていることを特徴とする。

[0036] 前記半導体デバイス製造方法において、二次電子波形および反射電子波形を前記半導体基板上のフォトリソ構造体から取得して、前記二次電子波形および前記反射電子波形と前記基板電流波形の両方から評価値を決定することを特徴とする。

[0037] 前記半導体デバイス製造方法において、測定対象に導電性膜を形成した後にレジストを塗布し測定に供する事を特徴とする。

発明の効果

[0038] 本発明によれば、フォトリソ工程を良好に管理し、半導体デバイスの製造効率を向上させることができる。

図面の簡単な説明

[0039] [図1]本発明の実施形態に係る半導体デバイス製造方法を実施するために用いる半導体デバイス測定装置のブロック図である。

[図2]本実施形態に係る半導体測定装置における電子ビームの走査座標と基板電流および二次電子の強度との関係を示す図である。

[図3]本実施形態に係る半導体測定装置における電子ビームの照射時間と基板電流および二次電子の強度との関係を示す図である。

[図4]本発明の実施形態に係る半導体デバイス製造方法のプロセスウインドー設定方法の手順を示すフローチャートである。

[図5]本実施形態に係る半導体デバイス製造方法におけるプロセス条件を決定するため露光条件を説明するための図である。

[図6]本実施形態に係る半導体デバイス製造方法におけるプロセス条件を決定するためのパターンの配置例を示す図である。

[図7]ホールが疎に配置された場合のフォーカス量とホール形状との関係を示す図である。

[図8]ホールが密に配置された場合のフォーカス量とホール形状との関係を示す図である。

[図9]フォーカス量とレジストのホールサイズとの関係を示す図である。

[図10]本発明の実施形態に係る半導体デバイス製造方法のフォトレジスト構造体の管理方法の手順を示すフローチャートである。

[図11]本実施形態に係る半導体デバイス製造方法における露光条件を決定するために使用されるデータベースの構成を示す図である。

[図12]本実施形態に係る半導体デバイス製造方法におけるプロセスマージンと良品との関係を示す図である。

[図13A]ゲート材料を加工する場合のレジストの形成例(適切な露光条件))を示す図である。

[図13B]ゲート材料を加工する場合のレジストの形成例(不適切な露光条件)を示す図である。

[図14A]適切な露光条件で形成されたレジストを用いて加工されたゲート材料を示す図である。

[図14B]不適切な露光条件で形成されたレジストを用いて加工されたゲート材料を示す図である。

[図15A]酸化膜にコンタクトホールを形成する場合のレジストの形成例(適切な露光

条件)を示す図である。

[図15B]酸化膜にコンタクトホールを形成する場合のレジストの形成例(不適切な露光条件)を示す図である。

[図16A]適切な露光条件で形成されたレジストを用いて酸化膜に形成されたコンタクトホールを示す図である。

[図16B]不適切な露光条件で形成されたレジストを用いて酸化膜に形成されたコンタクトホールを示す図である。

[図17]レジストに形成されたホールの底面形状を示す図である。

[図18]従来技術に係る露光条件決定方法の手順を示すフローチャートである。

符号の説明

- [0040]
- 10 電子銃
 - 11 電子ビーム源
 - 12 レンズ
 - 13 アパーチャー
 - 14 偏向装置
 - 15 対物レンズ
 - 20 真空チャンバー
 - 21 XYステージ
 - 22 トレイ
 - 23 半導体基板
 - 24 二次電子検出器
 - 30 電流測定装置
 - 40 高圧電源
 - 100 シーケンス制御装置
 - 110 フォーカス制御装置
 - 120 二次電子画像波形記録装置
 - 130 基板電流画像波形記録装置
 - 140 パターンマッチングエンジン

150 波形処理装置

160 表示装置

170 データベース装置

発明を実施するための最良の形態

[0041] 以下、図面を参照して本発明の一実施形態について説明する。

図1は、本発明に係る半導体デバイス製造方法を実施するために用いる半導体測定装置である。この半導体測定装置は、測定対象物(試料)である半導体基板23に電子ビームEBを照射し、該電子ビームEBによって誘起された基板電流を測定し、該基板電流から上記半導体基板23に形成されたホール等の微細構造の評価値を得ることを基本原理としている。

[0042] 同図に示すように、測定対象物(試料)である半導体基板23を収容する真空チャンバー20の上部には、電子ビームEBを発生する電子銃10が取り付けられている。電子銃10は電子ビーム源11を備え、この電子ビーム源11には高圧電源40が接続されている。電子銃10の内部には、上記電子ビーム源11からの電子流の放出方向に沿って、レンズ12、アパーチャー13、偏向装置14、対物レンズ15がこの順に配置されている。また、電子ビームEBのエネルギー、電流量、フォーカス状態も任意に制御可能となっている。

[0043] 真空チャンバー20の内部には、半導体基板23を支持するためのXYステージ21と、このXYステージ21上に固定されたトレイ22とが収容され、トレイ22上には半導体基板23が載置されている。上記電子銃10から放出される電子ビームEBの照射方向は、トレイ22上に載置された半導体基板23の表面に向けられており、XYステージ21でトレイ22の位置を移動させることにより、半導体基板23に対する電子ビームEBの照射位置を調整することが可能となっている。必要に応じてZステージを有してもかまわない。

[0044] また、真空チャンバー20内部には、電子ビームEBの照射に伴って半導体基板23の表面から放出される二次電子を検出するための二次電子検出器24あるいは図示しない反射電子検出器が設けられている。他には、真空チャンバー20内部には、半導体基板23にバイアス電圧を印加するための図示しない電極が設けられ、この電極

にバイアス電圧を供給する電圧印加装置は真空チャンバー20外部に設けられている。真空チャンバー20の内部の真空度は、例えば10のマイナス6乗[torr]程度に維持される。

[0045] ここで、電子銃10から照射された電子ビームEBをnmオーダーの位置精度で半導体基板表面の測定対象に照射するために、固定された電子ビームEBの照射軸に対して相対的に半導体基板23の位置をXYステージ21により移動させるようになっている。XYステージ21の駆動装置としてはパルスモーター、リニアモーターや超音波モーターあるいは圧電素子などが利用される。レーザー測長器やレーザースケール等、高精度位置測定技術を併用することにより、XYステージ21上に載置された半導体基板23の位置精度は数nm程度に制御される。また、試料から対物レンズまでの距離変化に応じて電子ビームEBのフォーカス高さを変えるために、電子ビーム照射位置の高さを測定するための装置や、あるいは逆に高さを一定にするためにZ軸に沿って半導体基板23を移動可能なステージを用いることもある。

[0046] トレイ22には、電流測定装置30が接続されており、半導体基板23に誘起された基板電流がトレイ22を介して電流測定装置30により測定されるようになっている。電流測定装置30は、測定した基板電流値をデジタル信号に変換するA/D変換器を備えており、測定値をデジタルデータとして出力する。データは全てデータベースに蓄積される。

[0047] また、本半導体測定装置は、シーケンス制御装置100、フォーカス制御装置110、二次電子画像波形記録装置120、基板電流画像波形記録装置130、パターンマッチングエンジン140、波形処理装置150、表示装置160、データベース装置170を備え、これらは、コンピュータ等の情報処理装置(CPU、メモリ、ディスク、DSP等)上に構築されている。

[0048] このうち、シーケンス制御装置100は、測定対象ウェハーを搬送したり、基板電流の測定時に電子ビームEBが半導体基板23の表面を走査するように偏向装置14を制御すると共に、半導体基板23に対する電子ビームEBの照射位置を設定する際に電子ビームEBの照射位置を高精度に調整するためのパターンマッチングに関する制御を担うものである。

- [0049] ここで、パターンマッチングについて補足説明すると、半導体基板上に形成されたホール等のパターンの位置は、同一ロットであっても半導体基板ごとにわずかに異なる。これを調整するため、XYステージ21による位置合わせと併用して、半導体基板ごとに実際のパターンと基準パターンとを比較するパターンマッチングを実施し、実際のパターンと基準パターンとが一致するように電子ビームEBの照射位置をシフトする。これにより、半導体基板ごとに数nmの精度で電子ビームの照射位置を正確に調整する。
- [0050] フォーカス制御装置110は、対物レンズ15のフォーカス位置を制御するものであり、測定時に対物レンズ15のフォーカス位置を制御することにより電子ビームEBのフォーカス量を制御し、この電子ビームEBの先端を所望のサイズ及び形状に設定するためのものである。電子ビームEBのフォーカス量(対物レンズ15のフォーカス位置)を設定する方法としては、ウェハー表面からの距離を光学的あるいは電氣的に求めて、その距離を元にフォーカス量を設定する方法、電子ビームを走査して得られた画像が最も鮮明になる状態、あるいは二次電子のコントラストが最大になる状態からフォーカス量を設定する方法、電子ビームを照射した際の基板電流値によって得られる画像が最も鮮明になる状態、あるいは基板電流コントラストが最大になる状態からフォーカス量を設定する方法などを利用することができる。レーザー光学的、静電容量的に求めることも出来る。
- [0051] 二次電子画像波形記録装置120は、二次電子検出器24によって検出された二次電子により形成される画像を記録するものである。基板電流画像波形記録装置130は、電流測定装置30によって測定された基板電流により形成される画像を記憶するものである。
- [0052] パターンマッチングエンジン140は、実際のパターンと基準パターンとを比較するものである。波形処理装置150は、上記基板電流波形を波形整形して不要なノイズ成分を除去し、波形の評価値(ホール径など)を演算するものである。表示装置160は、評価値を表示するものである。データベース装置170は、波形処理装置150で演算された上記評価値をデータベース化して格納するものである。
- [0053] 次に、本半導体測定装置の動作を説明する。

先ず、電子ビームEBにより半導体基板23の表面上の所定領域を2次元走査する。測定の際に、ホール底や構造物の下部形状を正確に測定するためには、測定対象に照射される電子ビーム軸が測定対象表面に対して一定の距離、入射角度に保たれている必要がある。それらを実現するため、電子ビームを測定対象に対して平行に移動させる必要がある。そこで、この2次元走査では、半導体基板23の表面に対して電子ビームEBを垂直に照射し、電子ビームEBの先端が所望のサイズになるように対物レンズ15のフォーカス位置を制御すると共に、偏向装置14にのこぎり波状の制御電圧を加えることにより走査を等間隔かつ一定速度でライン状に繰り返し行う。電子ビーム走査に伴い他の電子レンズを同時に動作させ、レンズの非線形性を補正する事も行われる。この走査により、電子ビームEBが照射された半導体基板23の表面上の微小領域から二次電子および反射電子が生じ、また半導体基板23に基板電流が誘起される。

[0054] 上述の走査により半導体基板23に誘起された基板電流は、電流測定装置30によって測定され、必要なダイナミックレンジを有する電気信号に変換される。この電気信号は、信号の品質が劣化しないように即座にサンプリングされて、必要な分解能を持つデジタル信号に変換される。例えば、このデジタル信号の分解能は16ビットであり、そのサンプリング周波数は400MHzである。

[0055] このようにして電子ビームEBの走査により得られた基板電流の測定値は、ホールの底面構造に関する情報を含み、座標(電子ビームの照射位置)又は測定時間(電子ビームEBの照射時刻)の関数で表される波形情報として、基板電流画像波形記録装置130(例えばメモリー、ハードディスク)にデジタル記録される。

[0056] 一方、上述の走査により半導体基板23の表面上の微小領域から発生した二次電子は、二次電子検出器24によって検出される。この二次電子の検出には良く知られたフォトマルチプライヤーやマルチチャンネルプレートあるいは単純な電極を用いて直接二次電子を回収し、電流信号とする方法がある。ここで、重要な事は、二次電子検出装置24で検出される二次電子の量が実際に発生する二次電子の量に比例する関係が得られる事であり、本実施形態では、二次電子検出器24の出力値は、入力した電子数に正確に比例するように設定される。これにより、小信号領域から大信号

領域に至るまで二次電子を直線的に検出する。

[0057] これに対し、通常のSEMでは、二次電子を2値画像として表現する事を目的としているため、信号がある場合と無い場合で検出値が大きな差を持つように設定されている。即ち、非常に少ない電子が検出器に入力されている場合は検出値が0とされ、ある閾値以上の電子が入力されると大きな検出値を発生するような非線形特性を有する増幅器になっている。

[0058] 上述の走査により得られた二次電子の測定値は、半導体基板23の表面構造に関する情報を含み、測定座標(電子ビームの照射位置)又は測定時間(電子ビームEBの照射時刻)の関数で表される画像情報として、二次電子画像波形記録装置120(例えばメモリー、ハードディスク)にデジタル記録される。

また、半導体基板23の表面上の微小領域から発生した反射電子については、図示しない反射電子検出器によって検出され、その検出値から得られる反射電子画像が図示しない反射電子画像記録装置にデジタル記録される。

[0059] なお、二次電子と反射電子はエネルギーや放出方向の差によって区別できるが、検出装置の種類によっては、区別せずに一緒にして取り扱うこともできる。また、二次電子検出器24および反射電子検出器(図示なし)のそれぞれについては、複数台配置してもよく、その場合は検出器の台数に応じて独立に情報を記録できる構成とすることが望ましい。もちろん、二次電子検出器24および反射電子検出器(図示なし)のそれぞれを1台ずつ配置してもよい。

[0060] 以上のようにして測定された基板電流の波形は、不要なノイズや高周波成分を除去するために、波形処理装置150により波形整形される。上記波形処理の例としては、移動平均フィルター処理、特定の周波数を取り除く波形処理、あるいは特定の周波数の信号だけを取り出すフィルター処理等がある。これらの波形整形処理はハードウェアで行われても、ソフトウェアで行われても良い。

[0061] また、波形処理装置150は、波形整形された波形のエッジをエッジ抽出アルゴリズムを用いて抽出し、エッジの座標値に対して近似関数を適用することにより、波形の2次元形的形状を数学的に表現する。具体的には、上述のエッジの座標値に対して例えば円または楕円の近似関数などを適用し、この近似関数の値とエッジの座標値との

誤差が最小になるように、近似関数を規定する各種のパラメータをフィッティングする。これにより、波形の2次元的形状が表現される。

[0062] また、波形処理装置150は、パラメータがフィッティングされた上述の近似関数や、複数波形相互の計算結果を用いて、波形の評価値を演算する。例えば、評価値としては、線幅、ホール径、ホールの短径、ホール中心位置、ホール傾斜角度、ホール回転角度、ホール真円度、ホール歪量、エッジラフネス等が演算される。この波形の処理には基準波形との直接的な比較も含まれており、例えば波形同士のパターンマッチング、あるいは相関関数を用いて近似度を評価することなども含まれる。これらの評価値は、コンピュータディスプレイ等の表示装置160に数値、表、グラフ、図形として表示され、或いはデータベース装置170にデジタルデータのファイルとして保管される。また、図示しない外部のプリンタを用い、紙にプリントして出力することも可能である。

[0063] 本実施形態では、上述の図1に示す半導体測定装置を用いて、フォトリソ工程を管理する。

図2は、電子ビームEBの照射座標の関数として、上述の電流測定装置30により測定される基板電流 I_k の強度と、二次電子検出器によって検出される二次電子 I_e の強度とを、測定部位に対応付けて示したものである。この例では、シリコン基板200の上にレジスト201が形成され、このレジスト201の一部に開口部Hが形成されている。この開口部Hにはシリコン基板200の表面が露出している。

[0064] 開口部Hを横断するようにして電子ビームEBでレジスト201の表面をライン状に走査すると、電子ビームEBが開口部Hを走査したときに基板電流 I_k が増加する。これは、開口部Hにおいて電子ビームEBがシリコン基板200に入射するためである。このとき、シリコン基板200に電子ビームが入射する領域は、開口部Hの底面に相当する領域に限定される。従って、この基板電流 I_k の波形から、開口部Hの底面形状を把握することが可能になる。この開口部Hの底面形状とレジスト201の底面形状は境界が一致するので、開口部Hの底面形状はレジスト201の底面形状をも表している。

[0065] また、同図において、電子ビームEBがレジスト201の表面を走査しているときに二次電子 I_e が増加し、開口部Hでは二次電子 I_e が減少する。従って、二次電子 I_e の波

形からレジスト201の表面形状を把握することができる。このレジスト201の表面形状と開口部Hの上部は境界が一致するので、レジスト201の表面形状は、開口部Hの上部の形状をも表している。

[0066] 図3は、上述の電子ビームEBを電子ビームシャワーEBSとして半導体基板全面に一括照射し、時間の関数として基板電流 I_k と二次電子 I_e の各強度を示したものである。照射開始と同時に各電流の強度が増加し、照射終了と同時に各電流の強度が減少する。二次電子 I_e の強度は、レジスト201の表面形状とサイズにより変化し、基板電流 I_k の強度は、開口部Hの底面形状とサイズ、あるいは残渣の有無や量等により変化するため、これらの電流強度からレジスト構造体の形成状態を把握できる。これらの電流値は、記録装置に記録されて後述の各種の評価に利用される。

[0067] 次に、図4に示すフローに沿って、半導体装置の製造工程において上述の半導体測定装置を用いてプロセスウインドーを設定する方法を説明する。

まず、シリコンウェハー、SOI (Silicon On Insulator)あるいは酸化物、金属等が堆積されたサンプルウェハーを用意する。このサンプルウェハー上に、必要によっては導電性反射防止膜などを形成した後、フォトレジストを塗布する(ステップS1)。このフォトレジストは、スピン塗布あるいはインクジェット塗布など様々な方法で塗布できる。ここで、このフォトレジスト材料としては、従来から使用されている樹脂に加えて、ナノカーボンや種々の最新ノンレジストを用いても良い。レジスト塗布後、レジストをベーク炉により乾燥させる(ステップS1)。即ち、サンプルウェハーを、例えばベーク炉中で80度から90度程度に加熱し、レジストに含まれる溶剤を蒸発させる。

[0068] 次に、乾燥されたサンプルウェハーに対して、例えば、図5に示したように、同じパターンのマスクを用いてショットごとにフォーカス量と露光量を変えて露光を行う(ステップS2)。本実施形態では、ショットごとにフォーカス量を ± 0.3 ミクロン、露光量を $\pm 15\%$ の幅になるようにそれぞれ独立に変化させている。もちろん、露光パラメータは、ショット単位に限られず、さらに細かい単位、幅で変化させても良い。

[0069] 次に、サンプルウェハーを、予め定められた現像条件に設定されたレジスト自動現像器に導入し、レジストを現像して乾燥させる(ステップS3)。さらに、必要に応じて、レジストを硬化させるための紫外線照射、電子線照射、あるいは加熱を行う。この工

程によってレジストはより強固な形状を持つようになる。

- [0070] 次に、上記プロセスを経てサンプルウェハの表面に形成されたレジスト構造体を、前述の半導体測定装置を用いて測定する。この測定では、電子ビームを測定対象に対して走査、あるいは一括に照射して、前述のような基板電流 I_k 、二次電子 I_e 、あるいは反射電子の位置情報波形または時間情報波形を取り込む。必要に応じて取り込まれた波形からレジストの表面寸法、表面形状、底面寸法、底面形状、残渣等の特徴量を抽出する(ステップS4)。
- [0071] 次に、プロセスウインドーを求める(ステップS5)。具体的には、プロセスウインドーを決定するための評価基準となる所定の標準波形と、レジスト構造体から得られた測定波形(上述の特徴量を取得した波形)とについてパターンマッチング法などを用いて直接相関計算する事により、標準波形に対する測定波形のずれ量(相関係数、または或る種の距離)を測定する。この標準波形としては、例えば、標準的な露光条件(ジャストフォーカスおよびジャスト露光量)を適用して予め得られた波形を用いる。予め、プロセスとして許容可能な波形を上記距離の範囲として設定しておくことで、その相関値を用いてプロセスウインドーを決定する事ができる。
- [0072] また、上記測定結果と予め決められているプロセス誤差許容量(マージン)との比較を行い、測定値がその範囲内に入って良品が得られる露光条件範囲を、露光工程のプロセスウインドーとしても良い。

このようにして得られたプロセスウインドーを用いればフォトリソ工程を適切に管理することができ、このようなプロセスウインドー内に収まるように露光条件を設定すれば、フォトリソ工程を安定化させることができ、デバイスを正常かつ安定的に作製することができる。

上記プロセスウインドーは、上述したように実験的に取得したものを利用しても良く、OPCの場合には、OPCの効果をシミュレーションして比較しても良い。CADデータを用いてOPC露光シミュレーションを行うことにより、もともと露光工程におけるプロセスが困難なパターンを自動選択することも出来る。勝手なパターンを選んでプロセスウインドーを測定するよりも、もともと形成困難と思われるパターンを測定対象に選んでプロセスウインドーを選択した方が、より正確な、タイトなプロセスウインドーを得る事

が出来る。

[0073] 一般的には、標準となる露光条件を定量的に評価するために、マスクとしてテスト用のパターンを用いる。

図6は、その一例を示している。テストパターンには、ホール構造やゲート構造を種々の大きさや密度で形成したものをを用いる。図6では、領域611には、大きなサイズのゲートパターンが配置され、領域612には、目的とするプロセステクノロジーノードで標準的なサイズのゲートパターンが配置され、領域613には、小さなサイズのゲートパターンが配置されている。また、領域621には、ホール配置の粗密による影響を評価するためのパターンが配置され、領域622には、ホールサイズによる影響を評価するためのパターンが配置され、領域623には、ホール形状による影響を評価するためのパターンが配置されている。

[0074] また、露光はショットと呼ばれる $2 \times 3\text{cm}$ 程度の領域に対して行われるため、その領域内で露光量の分布を生じる。そのような露光量の分布による影響を評価するために、ショット範囲に対して対称あるいは非対称に評価パターンを置き、露光装置のショット内分布による影響も評価できるようにする。

[0075] 図7は、フォーカス量Fの分布を考慮した具体的な露光工程の最適化方法を示しており、孤立ホールを形成するための露光工程において、フォーカス量Fを変えたときに起こるプロセス結果の変化を示している。

図7において、シリコン基板70にはレジスト71が塗布され、このレジスト71にはマスクパターンに対応したホールHが形成されている。

[0076] 図7から分かるように、フォーカス量Fがマイナス側にずれてアンダーフォーカス状態となった場合($F < 0$)には、ホールの底に到達する光が減少するため、ホール表面でのサイズは大きくなり、ホール底面サイズが小さくなる。同図では、例えば、フォーカス量Fが「 -0.2 」の場合には、ホール表面でのサイズa1は、ホール底面でのサイズb1よりも大きくなっている。また、フォーカス量Fが適正な場合($F = 0$)にはホール表面とホール底面のサイズ差が最も小さくなる(逆にこの場合を適正露光と定義することもできる)。そして、フォーカス量Fがプラス側にずれてオーバーフォーカス状態となった場合($F > 0$)、ホール表面のサイズよりもわずかにホール底面のサイズが大きく

なり、ホール表面サイズはフォーカス量が適正な場合よりも小さくなる。ホール表面のサイズとホール底面のサイズは、前述のように、二次電子 I_e および基板電流 I_k から知ることができる。

[0077] 図8は、複数のホールを密に作製する露光工程においてフォーカス量 F を変えた場合を示している。上述の孤立ホールの場合と同様に、アンダーフォーカスの場合($F < 0$)は、ホール表面サイズがジャストフォーカスの場合と比較して大きくなり、ホール底面サイズは小さくなる。同図では、例えば、フォーカス量 F が「 -0.2 」の場合には、ホール表面でのサイズ a_1 は、ホール底面でのサイズ b_1 よりも大きくなっている。フォーカス量 F が適正な場合($F = 0$)は、ホール表面のサイズとホール底面のサイズは等しくなる。そして、オーバーフォーカスの場合($F > 0$)、ホール表面のサイズはわずかに小さくなり、ホール底面のサイズがわずかに大きくなる。

[0078] このように、ホール表面のサイズとホール底面のサイズとを同時に管理する事で、二次電子 I_e による表面の観察だけでは判断できなかったフォーカスの方向(プラス/マイナス)と量を正確に知る事が出来、露光工程のフォーカスウインドーを非常に正確に決める事ができるようになる。

[0079] また、実験によれば、ゲート構造や配線構造のようなライン状の構造物よりも、孤立ホールのような構造物の方がフォーカスの設定量に敏感にレジスト構造体に変化することが判明している。つまり、フォーカスのプロセスウインドーを決定する際には、ライン状の構造物を用いるよりも、孤立ホール構造を用いて行った方がより厳しい結果が得られる。

従って、ライン状の構造物に対するフォーカスウインドーを求める場合にも、孤立ホール構造を同時に形成し、それを測定する事によって、より正確なフォーカスに関するプロセスウインドーを求めることや、実際に行われたフォーカス状態を把握することが可能となる。

[0080] 図9は、ホールに関してフォーカス量(F)と、測定されたホールサイズ(a , b)との関係を示したものである。フォーカス量(F)がマイナス側にずれているときは、ホール表面のサイズもホール底面のサイズも共に小さい。そして、フォーカス量(F)が適正值に近づくに従い、両者のサイズは大きくなり、フォーカス量(F)が適正值に到達したと

ここで両者が同じ大きさになる。さらにフォーカス量(F)がプラス側にずれると、逆にホール底面のサイズが大きくなり、ホール表面サイズを超える。

さらにフォーカス量(F)がずれると、両者ともサイズが小さくなる傾向を示す。グラフから明らかなように、それぞれのグラフは軸対象の性質を示し、ホール表面の状態とホール底面の状態を比較することで、フォーカスがアンダーかオーバーかを知る事ができる。なお、図7、8に示されたフォーカス条件は、図9に示されたフォーカス範囲FRに相当する。

[0081] 図10は、前述の半導体測定装置を用いて、フォトレジスト構造体の管理を行う手法を示すフローチャートである。本実施形態は、各種形状のフォトレジスト構造体の測定が可能であるが、ここでは、一例としてホール構造の測定を行う場合を示す。

まず、図1に示すXYステージ21を利用して、管理対象ホールの位置に電子ビームEBの照射位置を移動させ、電子ビームEBを走査してSEM像を取得する(ステップS11)。この取得された画像データはデータベース装置170に蓄積される。場合によっては、別途ラインスキャンを行って二次電子波形を収集し、ホール表面の寸法計測を行い、データベース装置170に記録する(ステップS12)。この計測により、フォトレジスト構造体の表面形状を定める各種定数(ホールの直径、ホールの短径、ホール中心位置等)が算出される。

[0082] 続いて、基板電流像(波形)を取得してデータベース装置170に蓄積する(ステップS13)。場合によっては、別途ラインスキャンを行って基板電流波形を取得し、ホール底のサイズ計測を行い、データベース装置170に記録する(ステップS14)。この計測により、フォトレジスト構造体の底面形状を定める各種評価値(ホールの直径、ホールの短径、ホール中心位置等)が算出される。

[0083] 続いて、予め基準画像として取得されている良品のSEM画像と基板電流像を、測定対象ホールから新たに取得されたSEM像および基板電流像と、パターンマッチング等の比較手法を用いて形状比較評価を行う(ステップS15)。具体的には、形状の一致度や、面積の一致度、向きの一致度、歪の一致度等あらゆる図形のもつ幾何学的特徴を評価する。そして、基準画像とどの程度類似しているかを示すパターンマッチングスコアあるいは相関係数などを計算する。

- [0084] 続いて、予め基準値として測定されているホール表面のサイズおよびホール底面のサイズ等と、ステップS12およびS14でラインスキャン計測により得られた計測値とを比較する(ステップS16)。ここまでの比較で、測定対象ホールの表面形状と底面形状が、基準値に対して合っているか否かを判定できる。即ち、露光量とフォーカス量が基準値に対して合っているか否かを判断している事となる。
- [0085] 最後に、予め判定基準として設定された範囲と、これまでに述べた各評価値の比較を行い、基準値内と判定された露光条件をプロセスマージン内の露光条件として、プロセスウインドーを決定する(ステップS17)。例えば、前述の図5で説明した様な各種露光条件で作製したサンプルウェハーを用い、これらの一連の手順を該ウェハー内のすべての測定対象点で繰り返し行うことで、プロセスウインドーを得ることが可能である。
- [0086] 以上の説明では、ホール表面の形状とホール底面の形状の測定動作を別々に記述したが、これらを電子ビームの照射時に同時に測定しても良い。また、二次電子の測定を行わずに、基板電流のみを測定対象として、ホール底面形状のみを取得するものとしても良い。その場合、フォーカス量のみが比較対象となる。
- [0087] なお、評価対象から得られる情報は、必ずしも完全な画像を形成する情報である必要は無く、測定対象の構造に対して電子ビームを数本スキャンした際に得られる波形そのものをパターンマッチング、あるいは相関解析することで、露光によって得られた形状が基準値からどの程度ずれているのかを評価することもできる。さらには、電子ビームを測定対象物の全体に照射した際に生じる時間情報の波形を利用することもできる。その場合には、基板電流値、二次電子や反射電子の各強度を基準値と比較し、基準値からのずれを評価する。
- [0088] 上述の方法を、プロセス条件の管理に適用することもできる。例えば、工場のライン等で何らかの理由により露光装置の露光条件が最適値から外れた場合や、多数の露光装置が存在する場合に、各装置の露光条件の決定や確認、または最適化を簡易に行うことが可能となる。時系列に対して露光で使われた露光量、フォーカスをプロットすれば、露光装置の装置パラメータの経時変化を知ることが出来る。ウェハー上の同一点に関して集計すれば、露光装置の安定度を測定可能であり、ウェハー面内

に置けるパラメータの変化を測定すれば、露光装置のショット依存性を測定することが出来る。本実施形態は、各種形状のフォトレジスト構造体の管理が可能であるが、ここでは、一例としてホール構造の管理を行う場合を示す。

[0089] 図11に、データベースを用いて、管理対象点での測定データから露光量とフォーカス量とを独立に取得する方法を示す。データベース310には、露光量とフォーカス量とを変えたときの各基板電流波形データが格納されている。

まず、測定対象ホールでの基板電流波形を計測して測定データ300を取得し、この測定データ300をデータベース310に記録されている各露光条件での基板電流波形データと比較する。この比較には、前述の図10を参照して説明した方法が適用できる。そして、比較の結果、マッチング度が最も高い基板電流波形データに対応する露光量とフォーカス量がマッチング出力320として出力される。図11に示す例では、露光量Eとフォーカス量Fを(E, F)と表すと、マッチング出力320として(4, 4)が出力されている。

[0090] マッチング出力320として得られた露光条件がプロセスウインドー内に入っているかを判定することにより、露光工程の良否を評価することができる。以上の判定方法により、露光条件がプロセスウインドー内に入っていないと判定された場合には、現行露光装置に設定されている露光条件を破棄して、新たに最適化した露光条件を適用して、再度露光工程を始めからやり直すことも可能である。その場合、装置の露光量、フォーカス量の最適値からのずれ量(値の差)を算出する事で、露光装置の露光条件を最適化できる。例えば、データベースで露光量4、フォーカス量4が最適な条件であると判明している場合に、管理点での測定結果とデータベースに記録されていた波形とのパターンマッチングを行った結果、測定結果は露光量6、フォーカス量6であり不良と判定されたとする。この場合、露光量、フォーカス量のそれぞれを初期設定値からマイナス2となる条件に再設定する事で、最適な条件とすることができる。

[0091] 上記説明では、データベース310に記録されている基板電流波形データを用いて露光量とフォーカス量を取得するものとしたが、基板電流波形データからプロセス構造体の特徴量(ホール底面サイズ、残渣量等)を得て、直接、特徴量同士をデータベ

ースと比較するものとしても良い。また、比較の際、基板電流波形のみを用いるのではなく、二次電子、または反射電子を用いることで、ホール表面サイズ等の特徴量も得ることが可能となり、それらを組み合わせてより高精度な評価値の取得が可能となる。

また、それら評価値は、コンピュータ画面に表示する事や、紙に印刷する事や、ファイルとして出力することも可能である。

[0092] 図12は、これまでに述べてきた本発明に係る半導体製造方法によって得られるプロセスウインドーを示している。

従来技術のSEMを用いた表面観測では、表面形状およびサイズが許容範囲に入っていればプロセスウインドー内と判定された。しかし、本発明ではそれに加え底面形状およびサイズ、さらには構造物底にある極僅かなレジスト残渣の量が許容値に入って始めてプロセスウインドー内であると判定される。特に、発明が解決しようとする課題で説明した通り、レジスト残渣が存在すると、エッチングされた酸化膜等は本来希望する形状とは全く異なってしまう、不具合となる。従来技術ではレジスト残渣の検出は不可能であったが、本発明では、基板電流の波形や振幅を観測することで残渣の存在量を把握することができる。

このように、本発明に係る半導体デバイス製造方法を用いると、露光工程の制御を厳密に行うことが可能であり、非常に高い歩留まりを実現できる。

[0093] 以下に、本実施形態による効果をまとめる。

上述の実施形態によれば、フォトリソ工程を良好に管理したプロセス条件設定が実現できる。つまり、従来は見過ごされてきた、フォトリソの立体形状管理や、非常に薄い残渣管理が可能になり、厳密な露光条件の設定が可能になる。それにより、露光工程に続いて行われるエッチング工程の最適化が独立して行える。エッジラフネスを管理することも出来る。

[0094] また、従来ではレジスト構造体の形状が不完全で不良となっていたデバイスが作られることを避けることができ、歩留まりが向上し、利益をもたらす。さらに、フォーカスのアンダー、オーバーを測定できるので、露光工程の最適化が容易にできる。

また、露光工程によって得られたレジスト構造から実際に利用された露光パラメータ

を正確に推定できるので、露光工程が不具合を起こしたときの措置として取られる二度目の露光工程の条件を最適化できる。そのため、歩留まりを向上することができる。

[0095] また、下地がシリコンであるような通常のゲート構造はもちろんの事、カーボン系あるいはその他の導電性BARC (Bottom Anti-Reflective Coating) 材料などの反射防止膜を利用する事で、下地が酸化膜のような絶縁体であるような場合にも測定が可能となる。

測定によって得られたフォーカス値、露光量を利用する事で、露光条件を細かくコントロールできるので、出来上がってくるデバイスのばらつきも激減し、所望の性能を有するデバイスだけを大量に製造する事ができる。また、レジスト工程の不良は引き続き行われる工程であるエッチング、洗浄、イオン注入などありとあらゆるプロセス不具合に関連しているが、それを防止でき、歩留まりが向上する。

[0096] また、従来のように高価な装置 (CDSEM+欠陥検査装置) を使用しないので、安価に歩留まりを向上できる。そして、歩留まりが向上すると、実効的な利益となるウェハープロセス処理量を上げることが可能となり、さらに多くの利益が得られる。

また、露光条件設定の1つの重要なパラメータである、レジストと下地の界面におけるエッジラフネスなども正確に測定できるので、真のラフネス定義が可能となる。これにより、従来は不明であったプロセスに直接関連するラフネス量を測定可能となる。

[0097] 以上、本発明の実施形態を詳述してきたが、具体的な構成は本実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

また、上述の実施形態では、本発明を半導体デバイス製造方法として表現したが、これに限定されず、半導体デバイス検査方法、半導体デバイス分析方法、半導体デバイス解析方法、半導体デバイス評価方法等として表現してもよい。LCDなどのディスプレイデバイスも本発明の対象と成るのは言うまでも無い。

産業上の利用可能性

[0098] 本発明は、半導体デバイス製造工程におけるレジストの露光条件を最適化するために用いて好適である。

請求の範囲

- [1] 半導体基板上にフォトリソ膜を形成するステップと、
プロセス評価用の所定のパターンが形成されたマスクを用いて、ショット毎に異なる露光条件にて前記フォトリソ膜を露光するステップと、
前記フォトリソ膜を所定の条件で現像して前記半導体基板上にフォトリソ構造体を形成するステップと、
前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、
前記電子ビームの照射に伴って前記半導体基板に発生する基板電流を測定するステップと、
前記基板電流の波形からプロセスウインドーを算出するステップと
を含む半導体デバイス製造方法。
- [2] 半導体基板上にフォトリソ構造体を形成するステップと、
前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、
前記電子ビームの照射に伴って前記半導体基板に発生する基板電流を測定するステップと、
前記基板電流の波形から得られるプロセス評価値とプロセスウインドーとを比較するステップと、
前記比較の結果から露光工程の良否を判定するステップと
を含む半導体デバイス製造方法。
- [3] 半導体基板上にフォトリソ膜を形成するステップと、
プロセス評価用の所定のパターンが形成されたマスクを用いて、ショット毎に異なる露光条件にて前記フォトリソ膜を露光するステップと、
前記フォトリソ膜を所定の条件で現像して前記半導体基板上にフォトリソ構造体を形成するステップと、
前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、

前記電子ビームの照射に伴って前記半導体基板に発生する基板電流と、二次電子あるいは反射電子を測定するステップと、

前記基板電流の波形と二次電子あるいは反射電子の波形とからプロセスウインドーを算出するステップと
を含む半導体デバイス製造方法。

- [4] 半導体基板上にフォトリソ構造体を形成するステップと、
前記フォトリソ構造体が形成された前記半導体基板の表面に電子ビームを照射するステップと、
前記電子ビームの照射に伴って前記半導体基板に発生する基板電流と、二次電子あるいは反射電子を測定するステップと、
前記基板電流の波形と二次電子あるいは反射電子の波形とから得られる評価値とプロセスウインドーとを比較するステップと、
前記比較の結果から露光工程の良否を判定するステップと
を含む半導体デバイス製造方法。
- [5] 請求項2または4の何れか1項に記載の半導体デバイス製造方法において、前記波形と基準波形とを比較して、前記露光工程の良否を判定することを特徴とする半導体デバイス製造方法。
- [6] 請求項1ないし4の何れか1項に記載の半導体デバイス製造方法において、前記波形から前記フォトリソ構造体の特徴量を抽出するステップを更に含むことを特徴とする半導体デバイス製造方法。
- [7] 請求項5に記載の半導体デバイス製造方法において、前記露光工程が否と判定された場合に、前記露光工程を再度行うことを特徴とする半導体デバイス製造方法。
- [8] 請求項1ないし4の何れか1項に記載の半導体デバイス製造方法において得られた前記露光工程の露光条件あるいは判定結果を、コンピュータ画面、紙、ファイルの何れかに出力表示するステップを含むことを特徴とする半導体デバイス製造方法。
- [9] ショット毎に露光条件を変更して第1半導体基板上に作製された第一のパターンを有するフォトリソ構造体に電子ビームを照射して、前記第1半導体基板に発生する第1基板電流を測定し、前記第1基板電流の波形と前記露光条件とを対応付けて

データベースに記録するステップと、

露光工程を経て第2半導体基板上に作製された第二のパターンを有するフォトリジスト構造体に電子ビームを照射して、前記第2半導体基板に発生する第2基板電流を測定するステップと、

前記第二のパターンより得られた第2基板電流の波形を前記データベースに記録された第1基板電流の波形と比較し、波形の一致する第1基板電流の波形に対応づけられた露光条件をマッチング出力として得るステップと、

前記マッチング出力から露光量とフォーカス量を計算するステップとを含む半導体デバイス製造方法。

- [10] 請求項9に記載の半導体デバイス製造方法において、前記計算された露光量およびフォーカス量と基準プロセス条件とを比較するステップと、

前記露光量およびフォーカス量と前記基準プロセス条件との差を得るステップと、露光装置の初期設定値を前記差にもとづいて変更するステップとを含むことを特徴とする半導体デバイス製造方法。

- [11] 請求項9に記載の半導体デバイス製造方法において、前記第二のパターンより得られた基板電流の波形から前記フォトリジスト構造体の特徴量を得るステップと、

前記特徴量と基準プロセス条件とを比較して前記特徴量と前記基準プロセス条件との差を得るステップと、

露光装置の初期設定値を前記差に基づいて変更するステップとを含むことを特徴とする半導体デバイス製造方法。

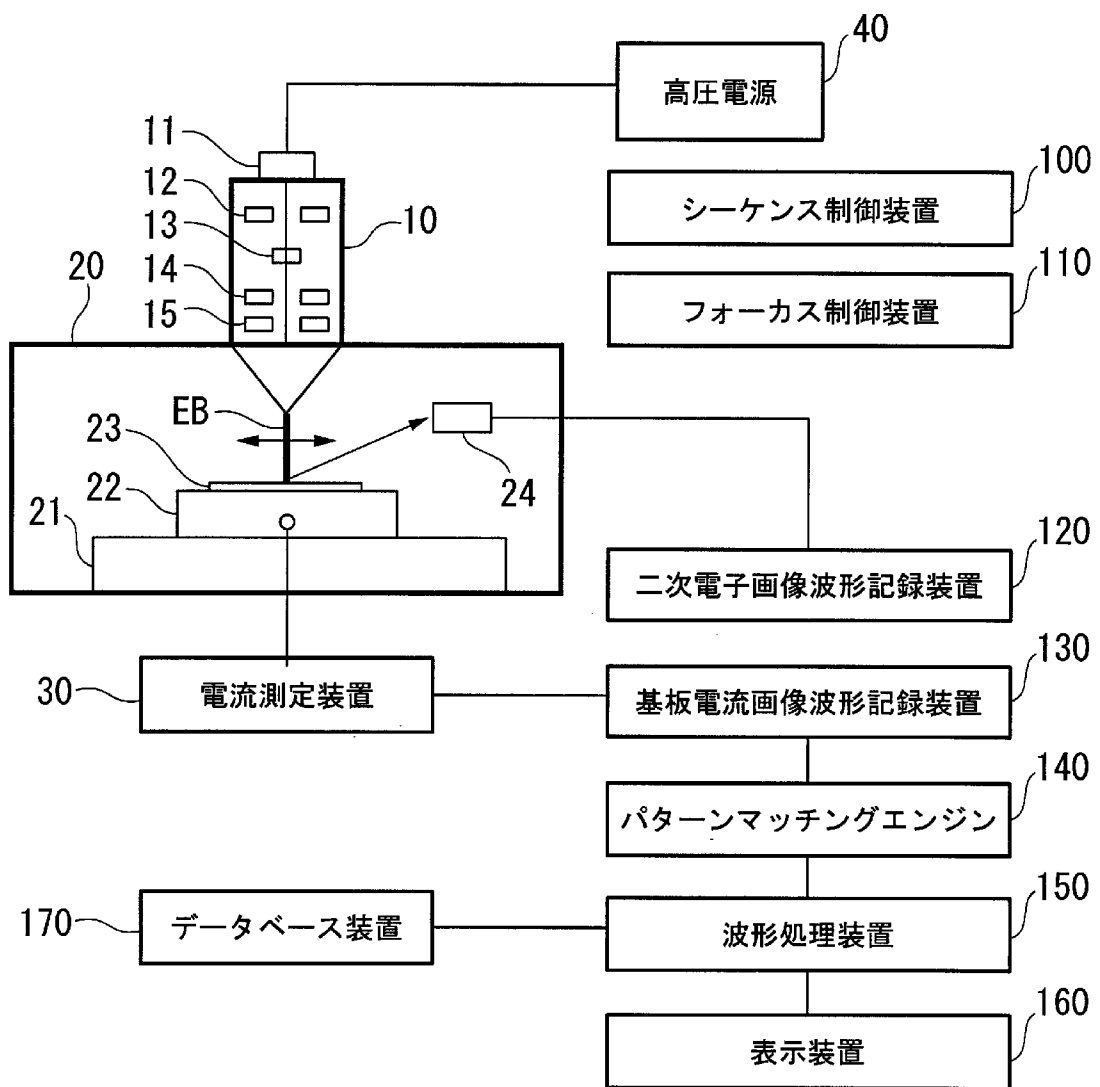
- [12] 請求項1ないし11の何れか1項に記載の半導体デバイス製造方法において、前記露光工程により形成されるフォトリジスト構造体が、ゲート構造のパターンとホール構造のパターンとを備えていることを特徴とする半導体デバイス製造方法。

- [13] 請求項9ないし11の何れか1項に記載の半導体デバイス製造方法において、二次電子波形および反射電子波形を前記半導体基板上のフォトリジスト構造体から取得して、前記二次電子波形および前記反射電子波形と前記基板電流波形の両方から評価値を決定することを特徴とする半導体デバイス製造方法。

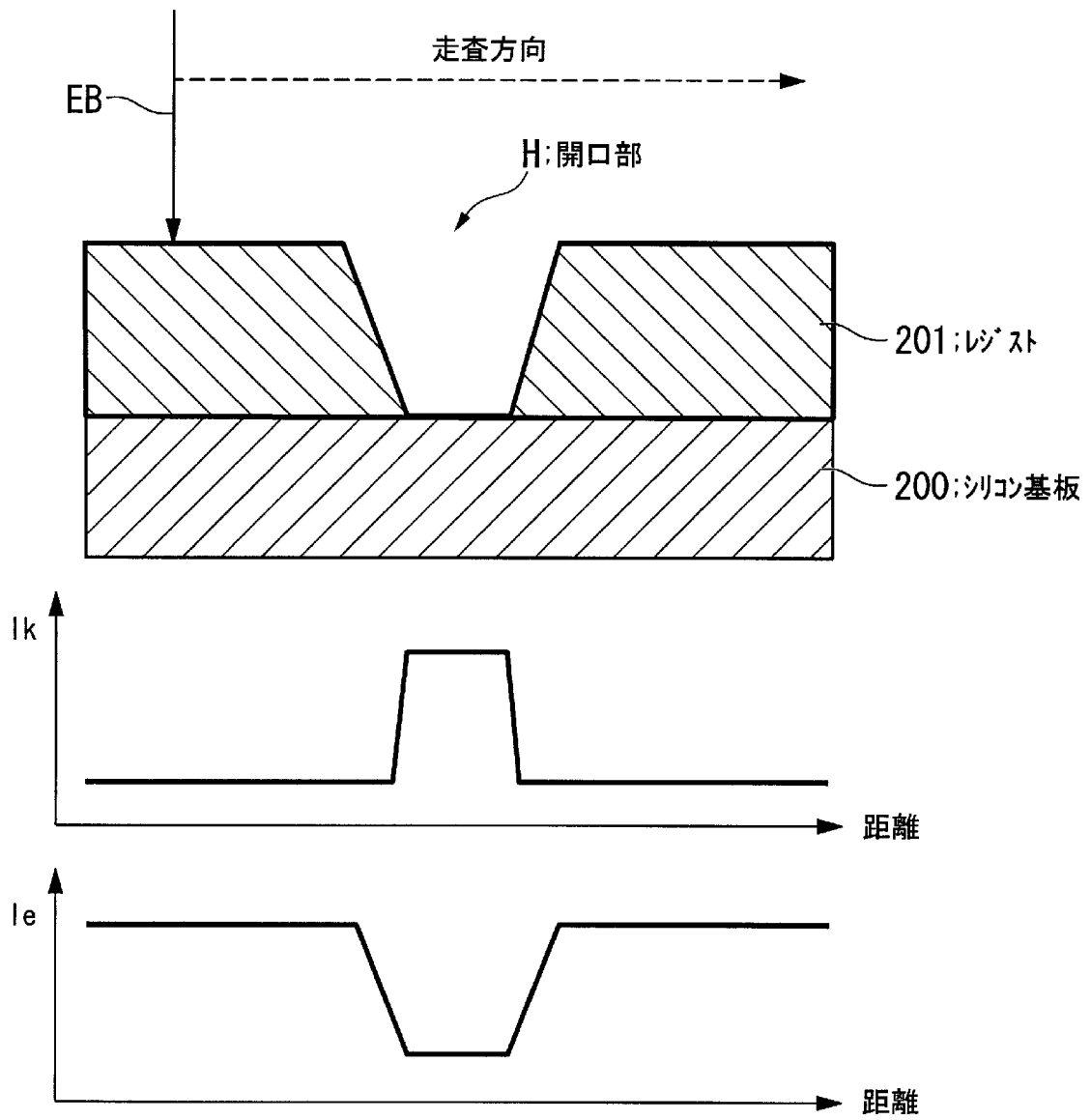
- [14] 測定対象に導電性膜を形成した後にレジストを塗布し測定に供する事を特徴とす

る請求項1ないし13の何れか1項記載の半導体デバイス製造方法。

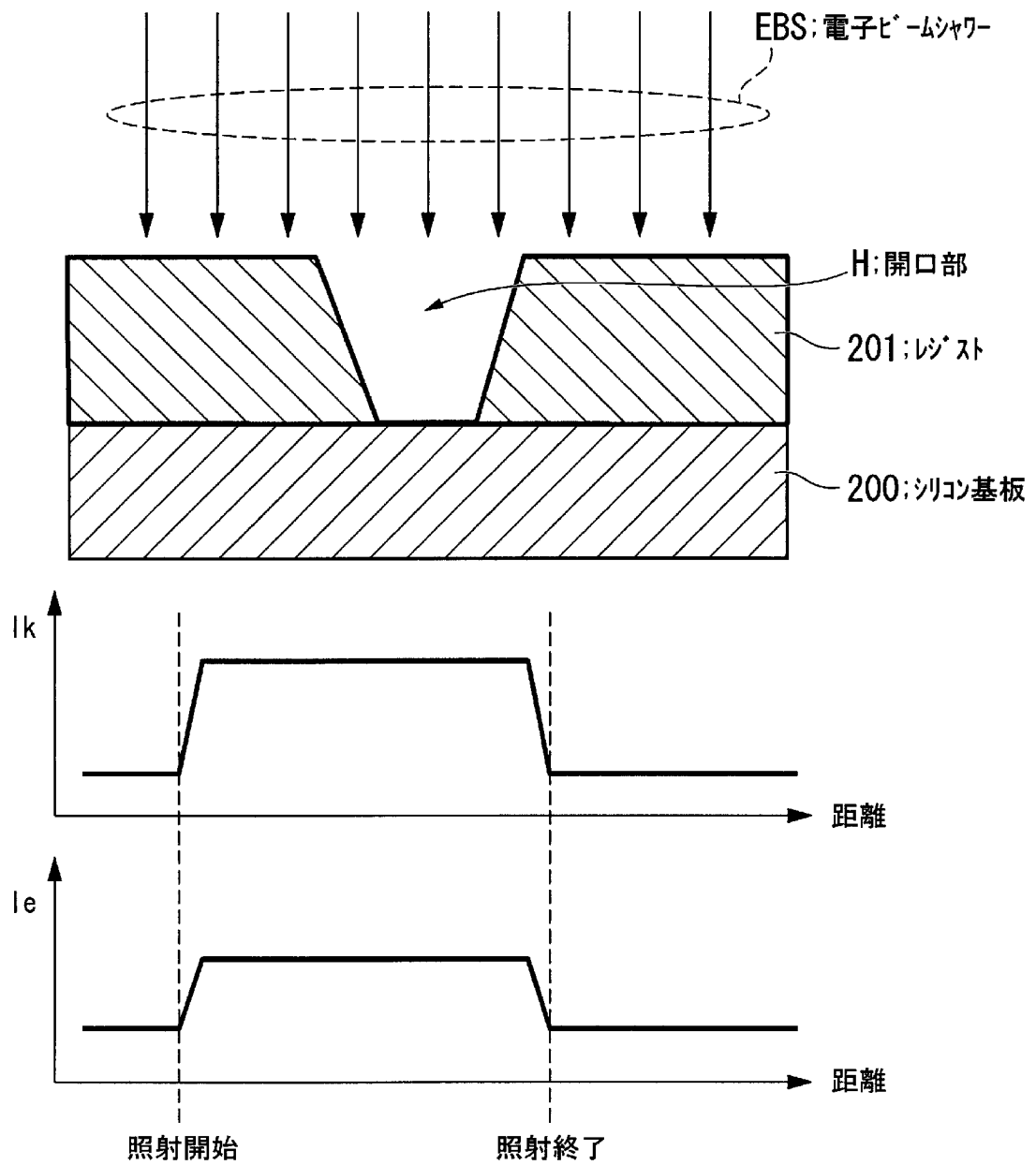
[図1]



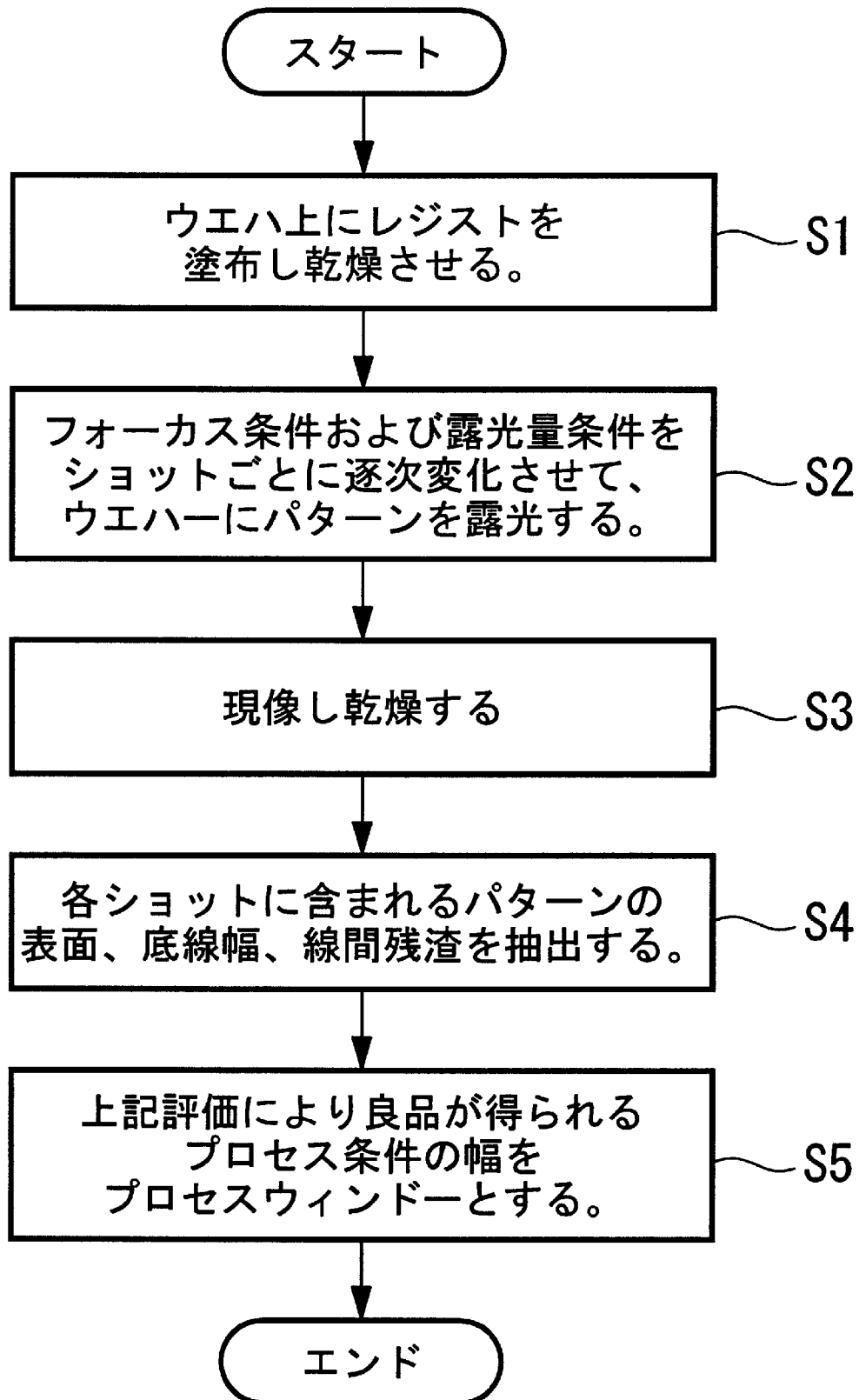
[図2]



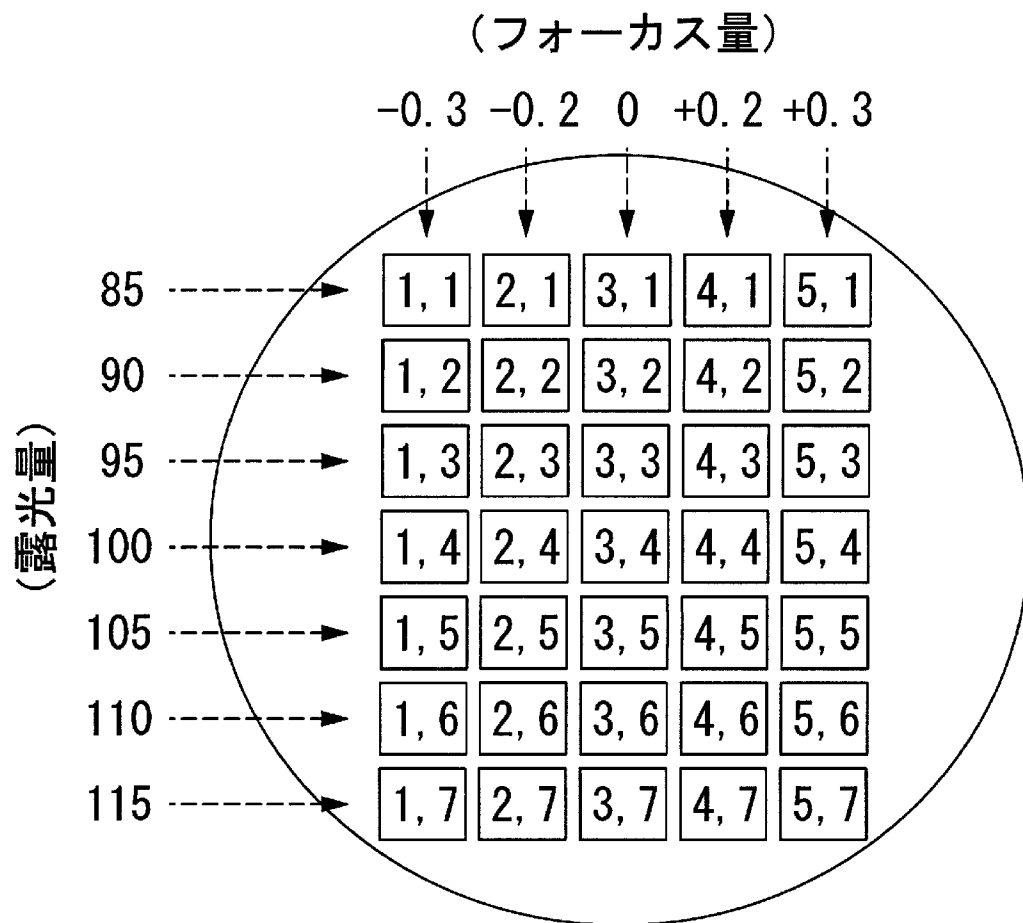
[図3]



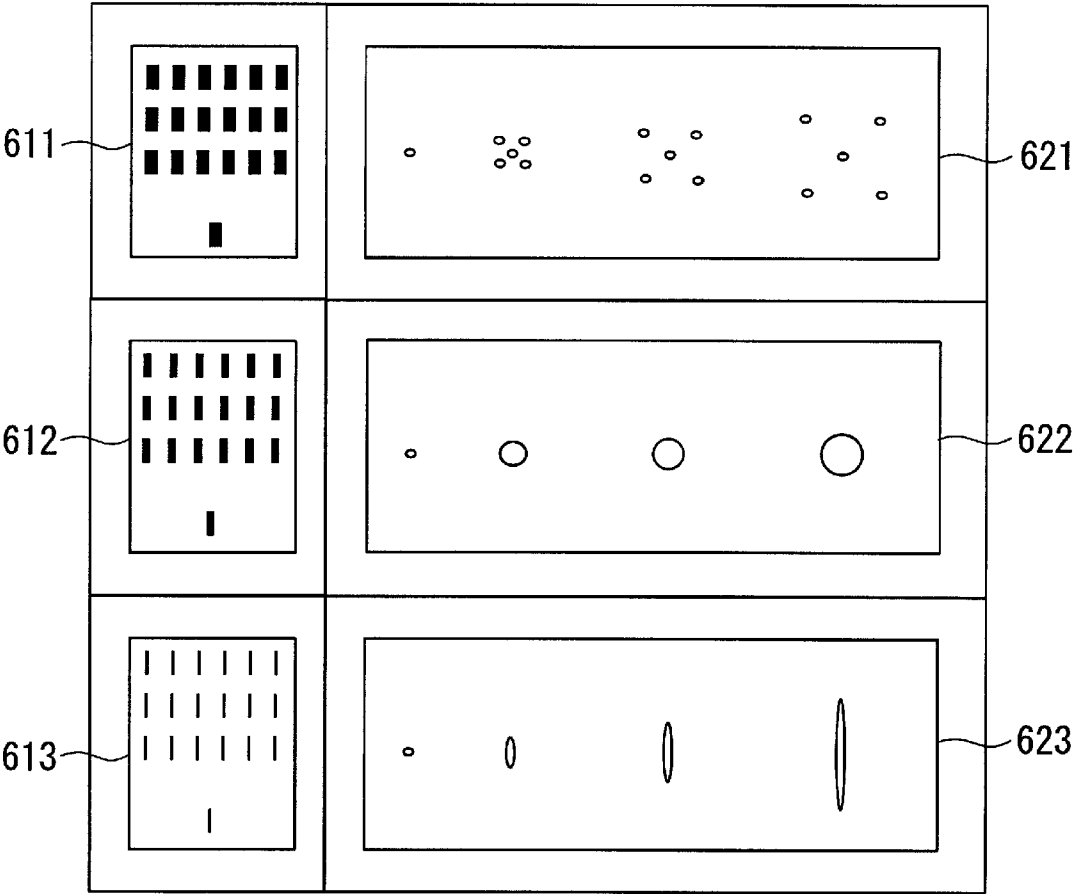
[図4]



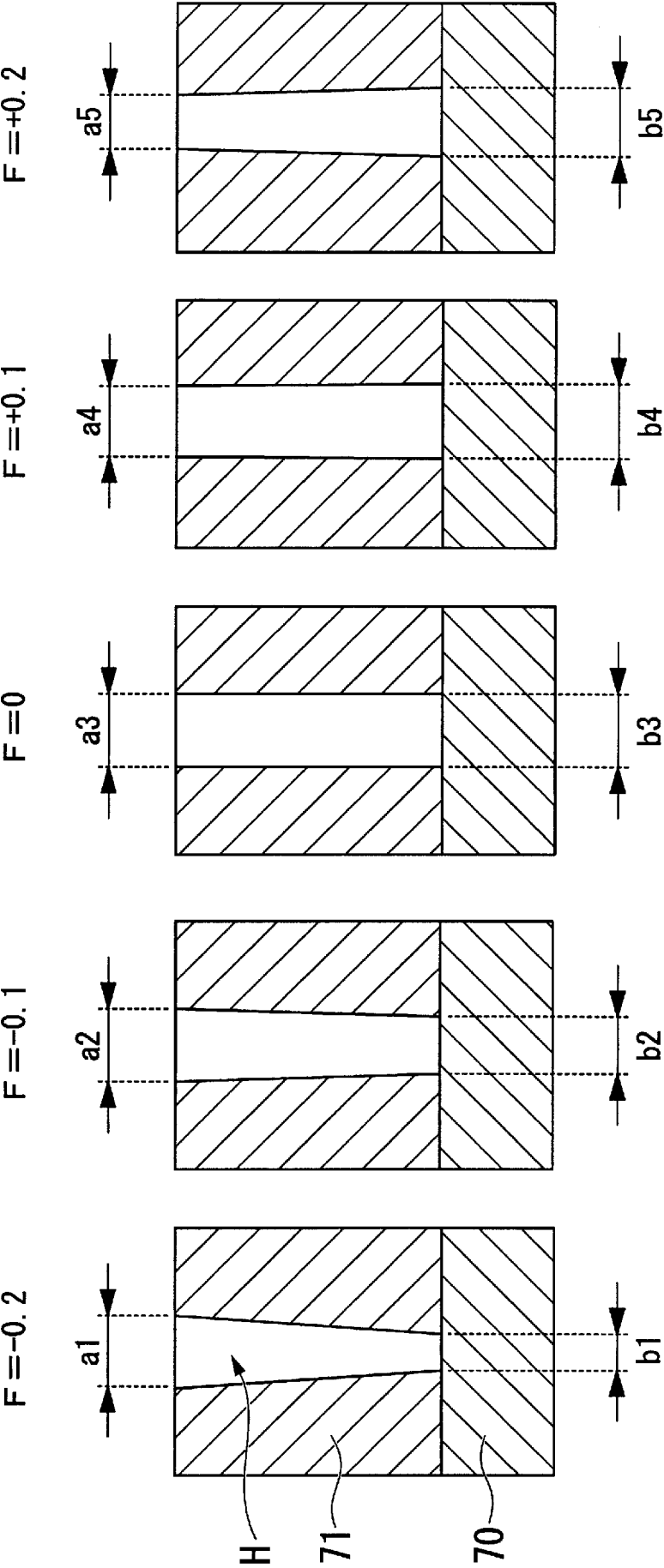
[図5]



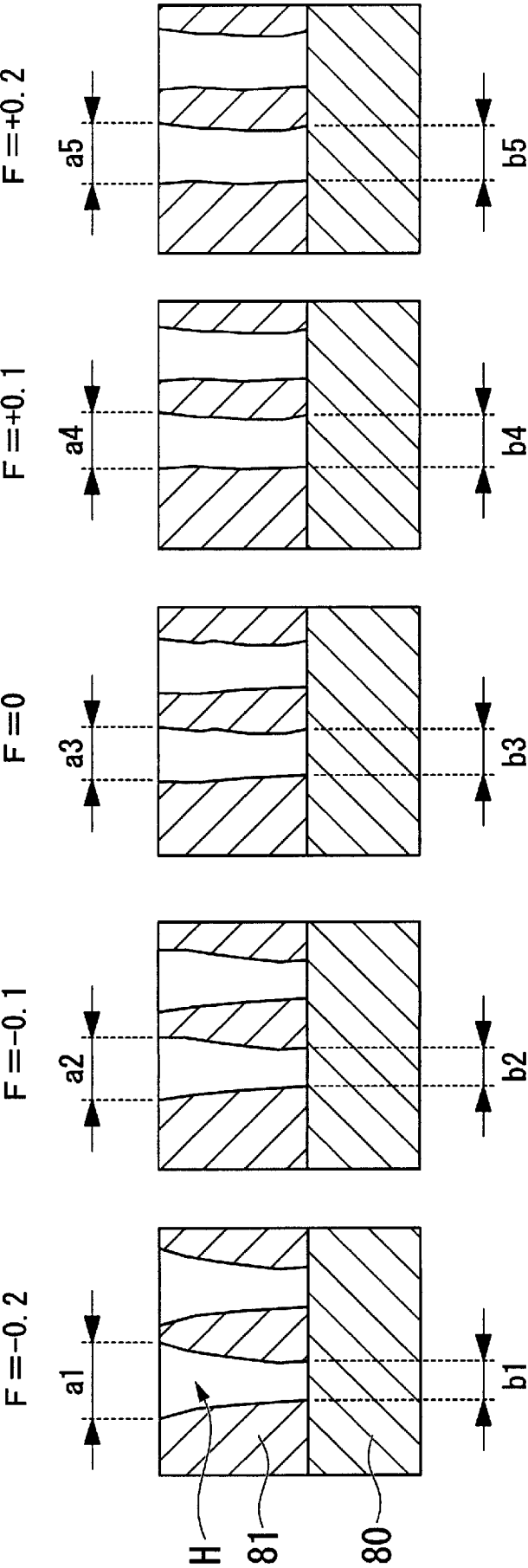
[図6]



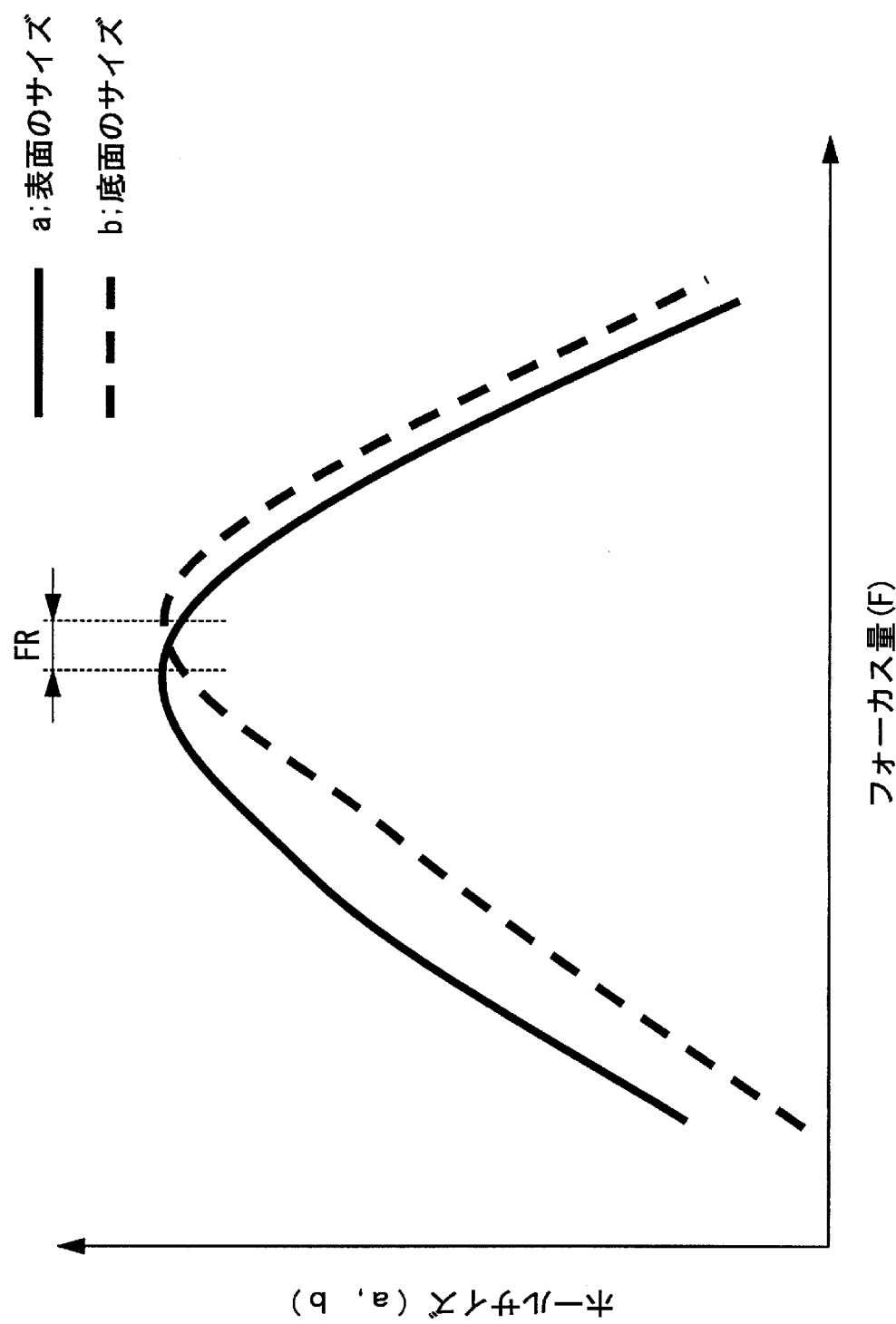
[図7]



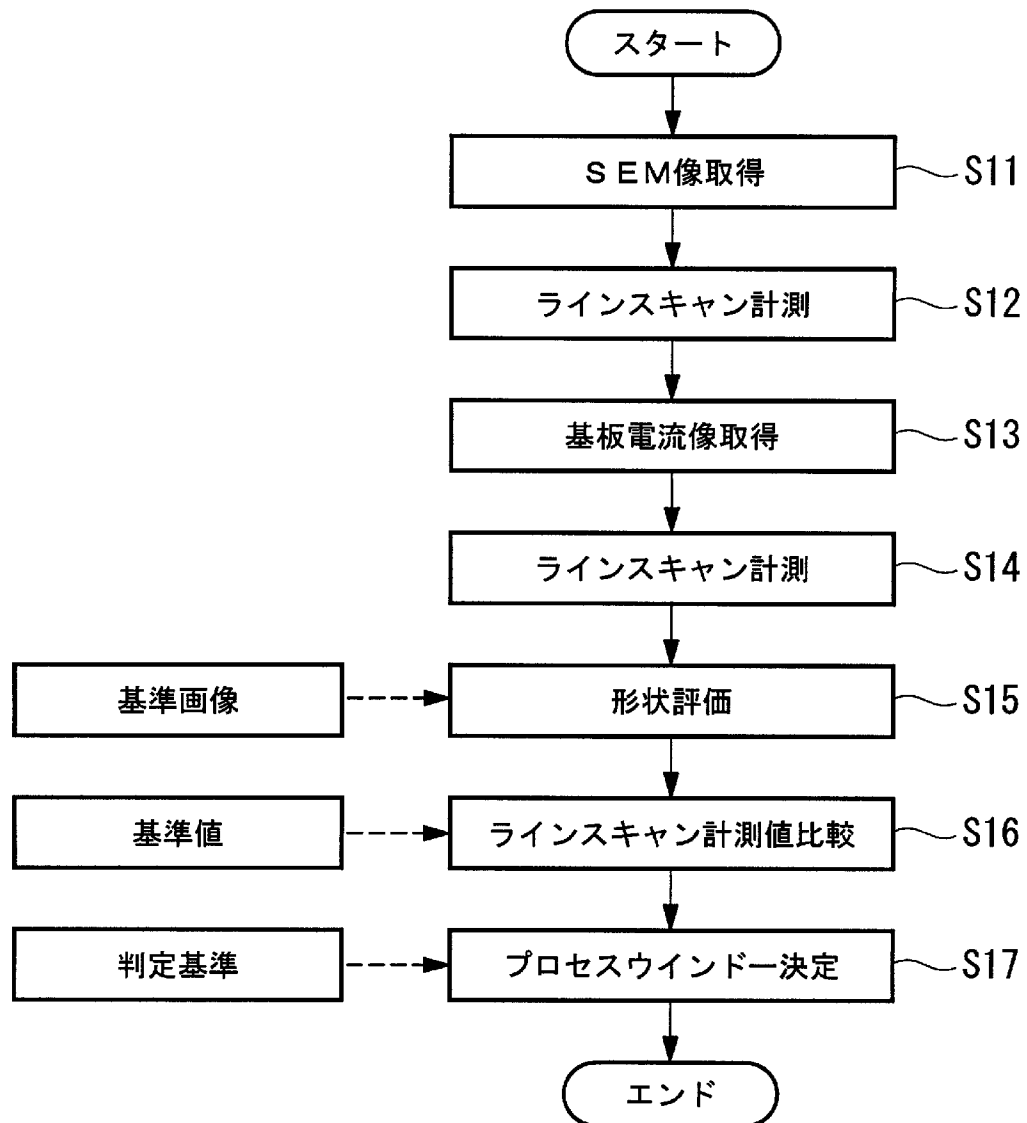
[図8]



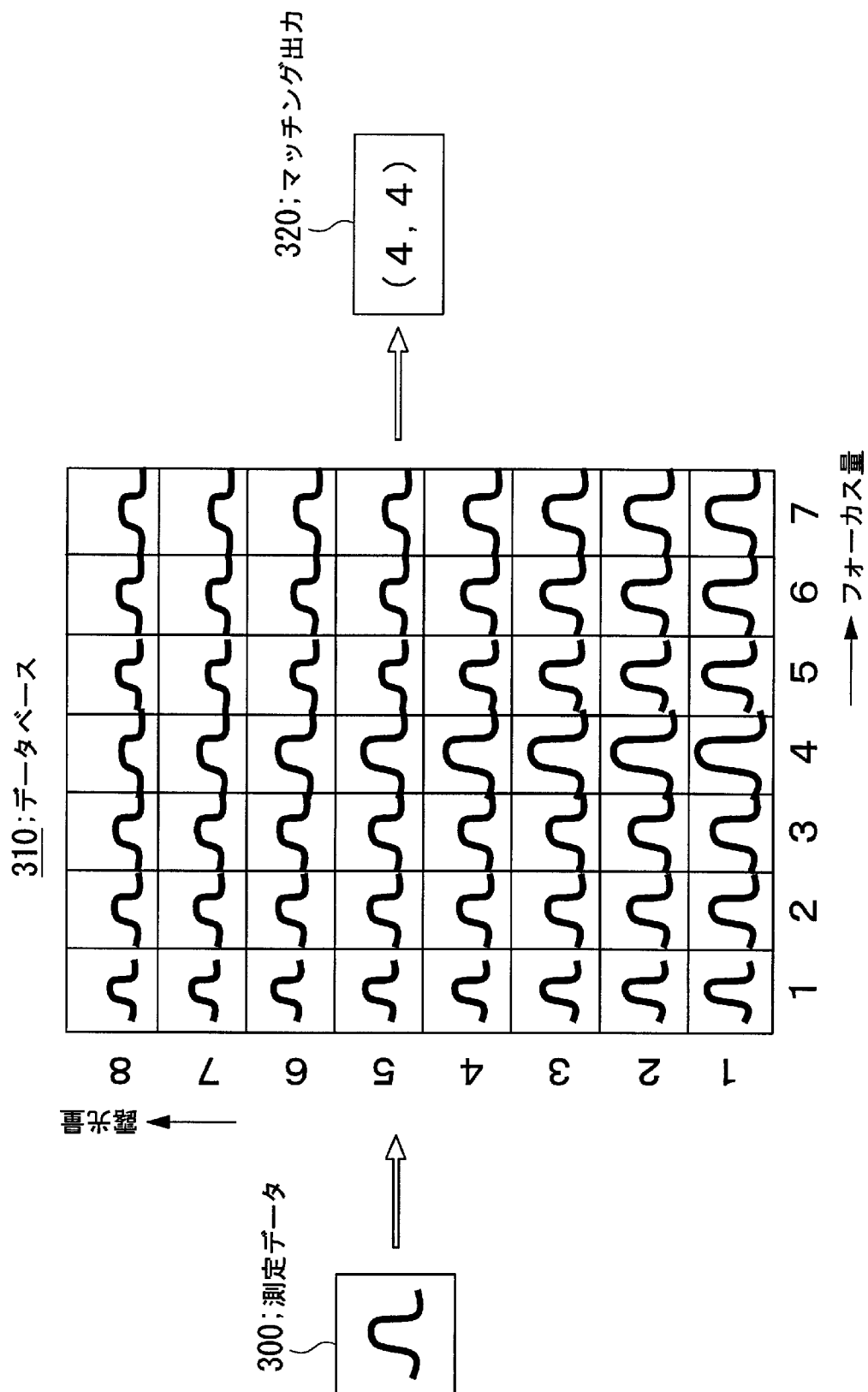
[図9]



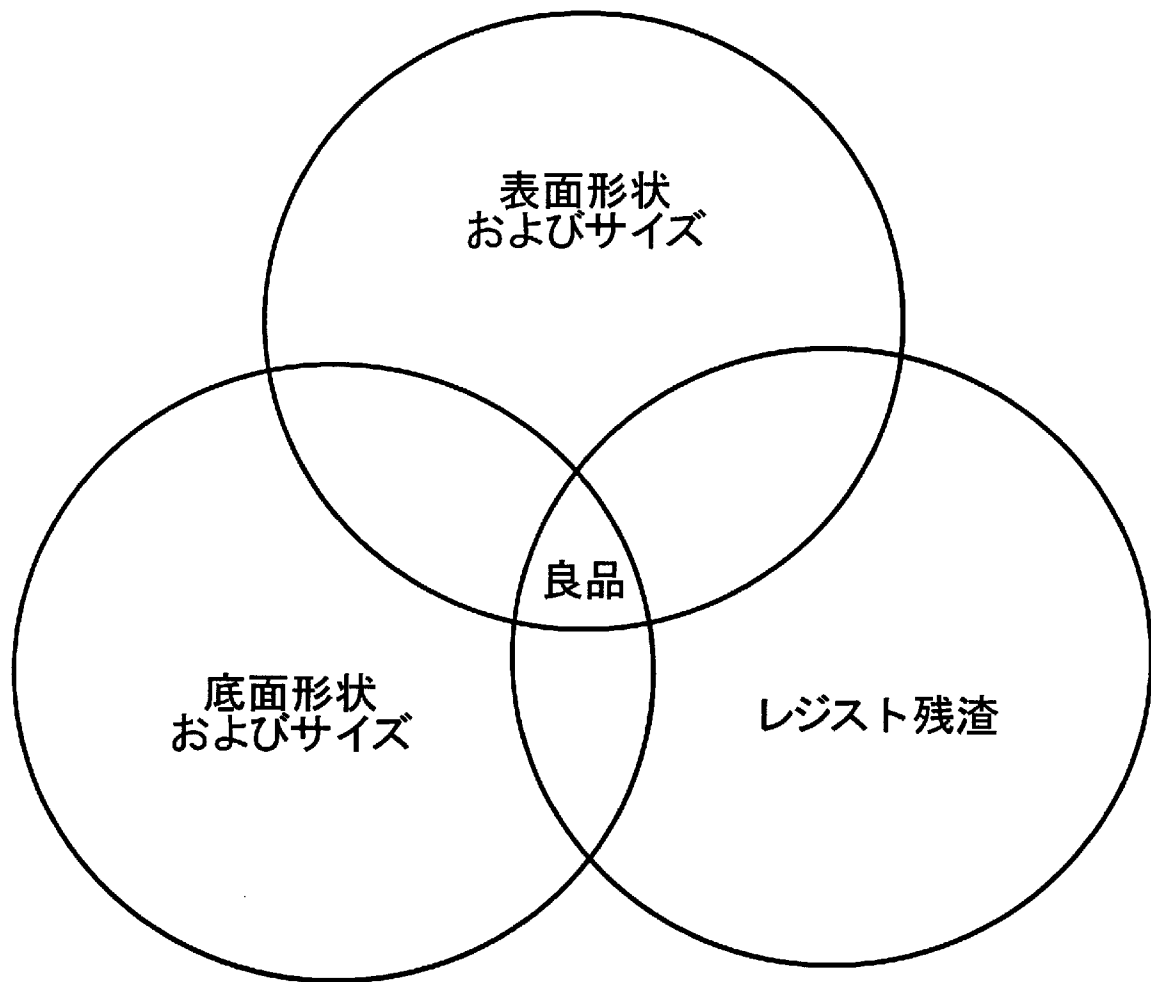
[図10]



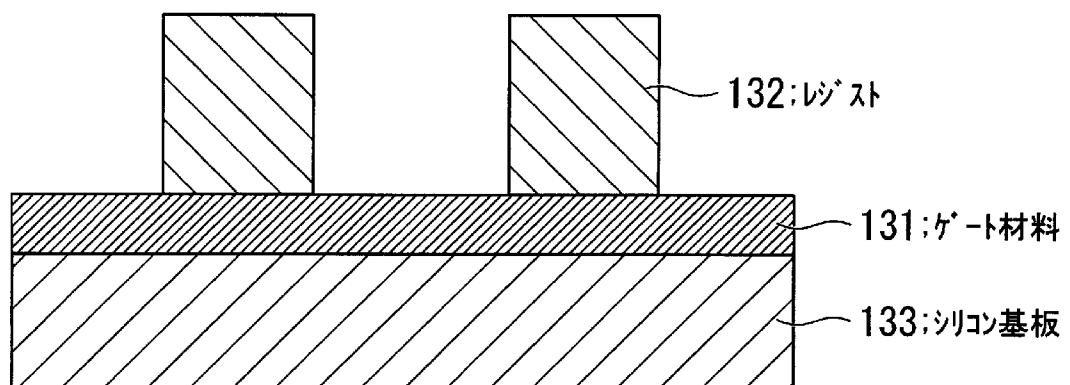
[図11]



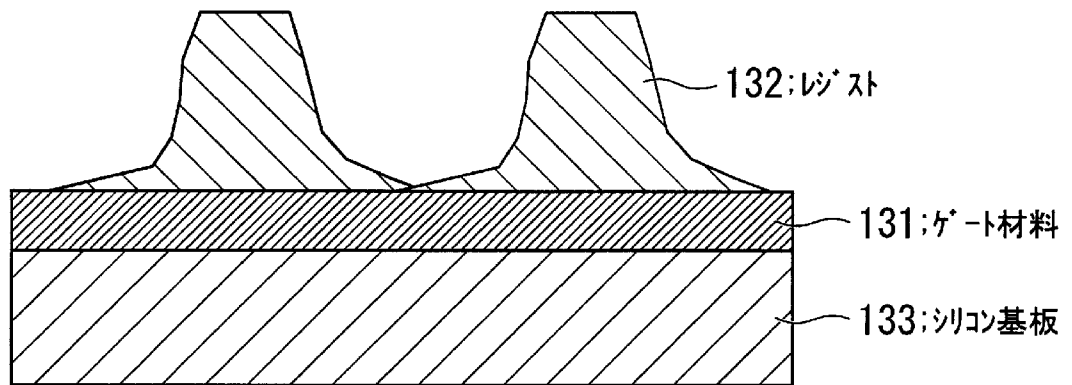
[図12]



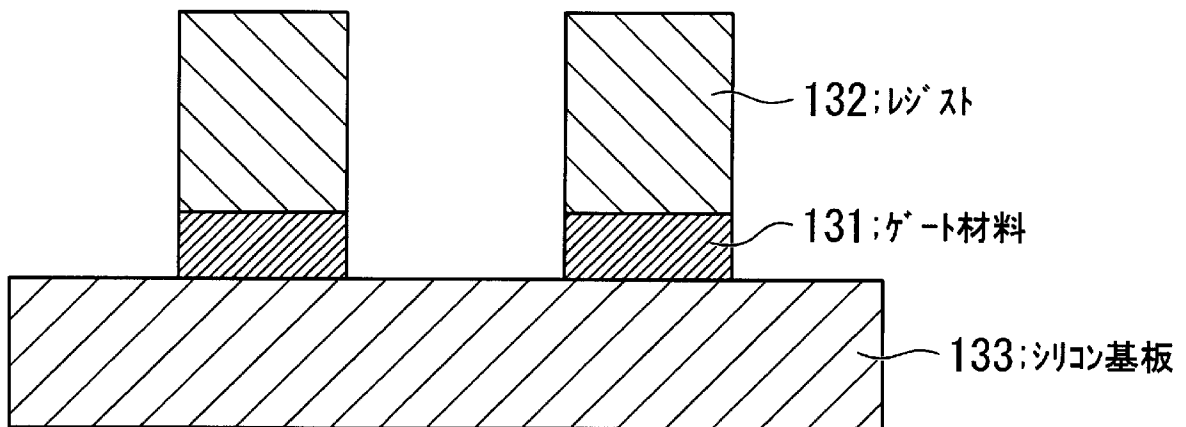
[図13A]



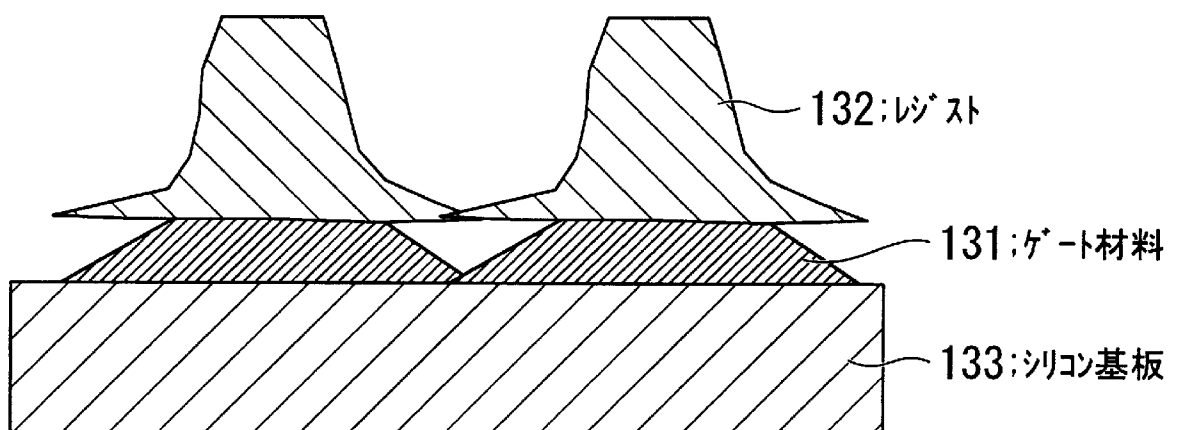
[図13B]



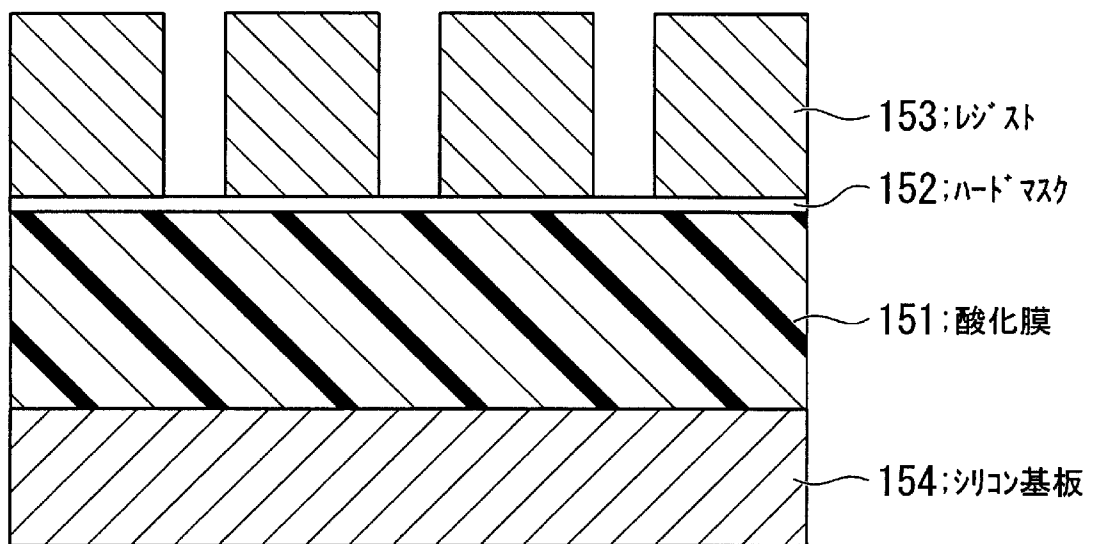
[図14A]



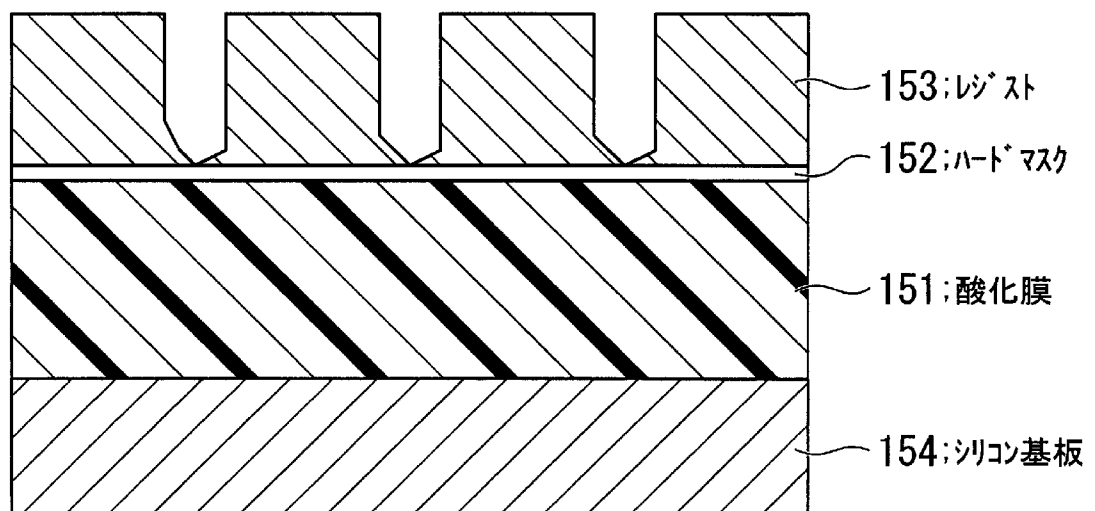
[図14B]



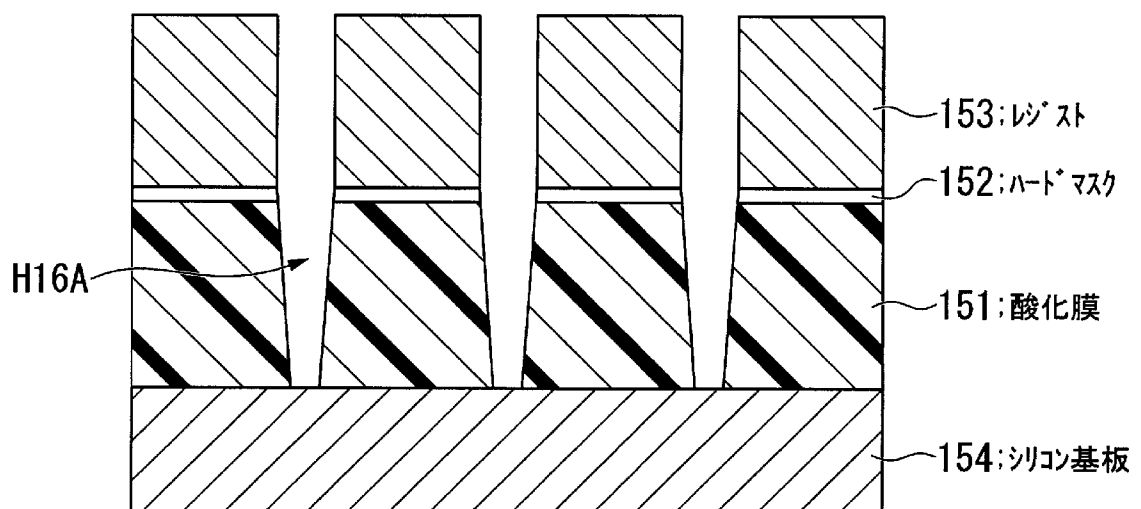
[図15A]



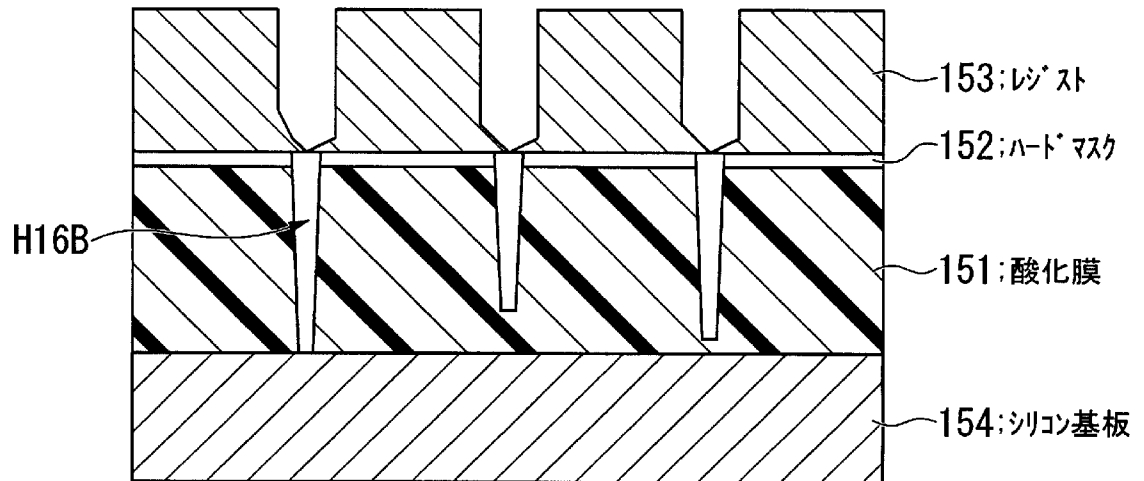
[図15B]



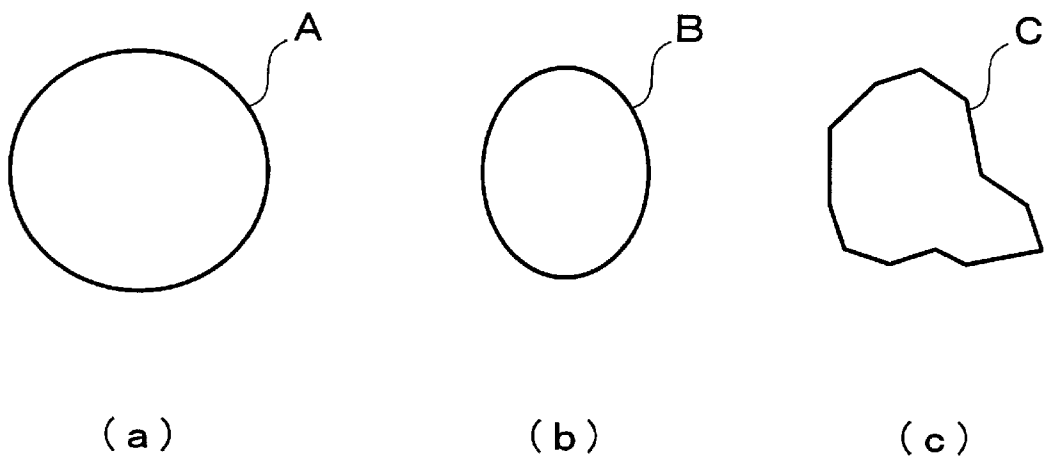
[図16A]



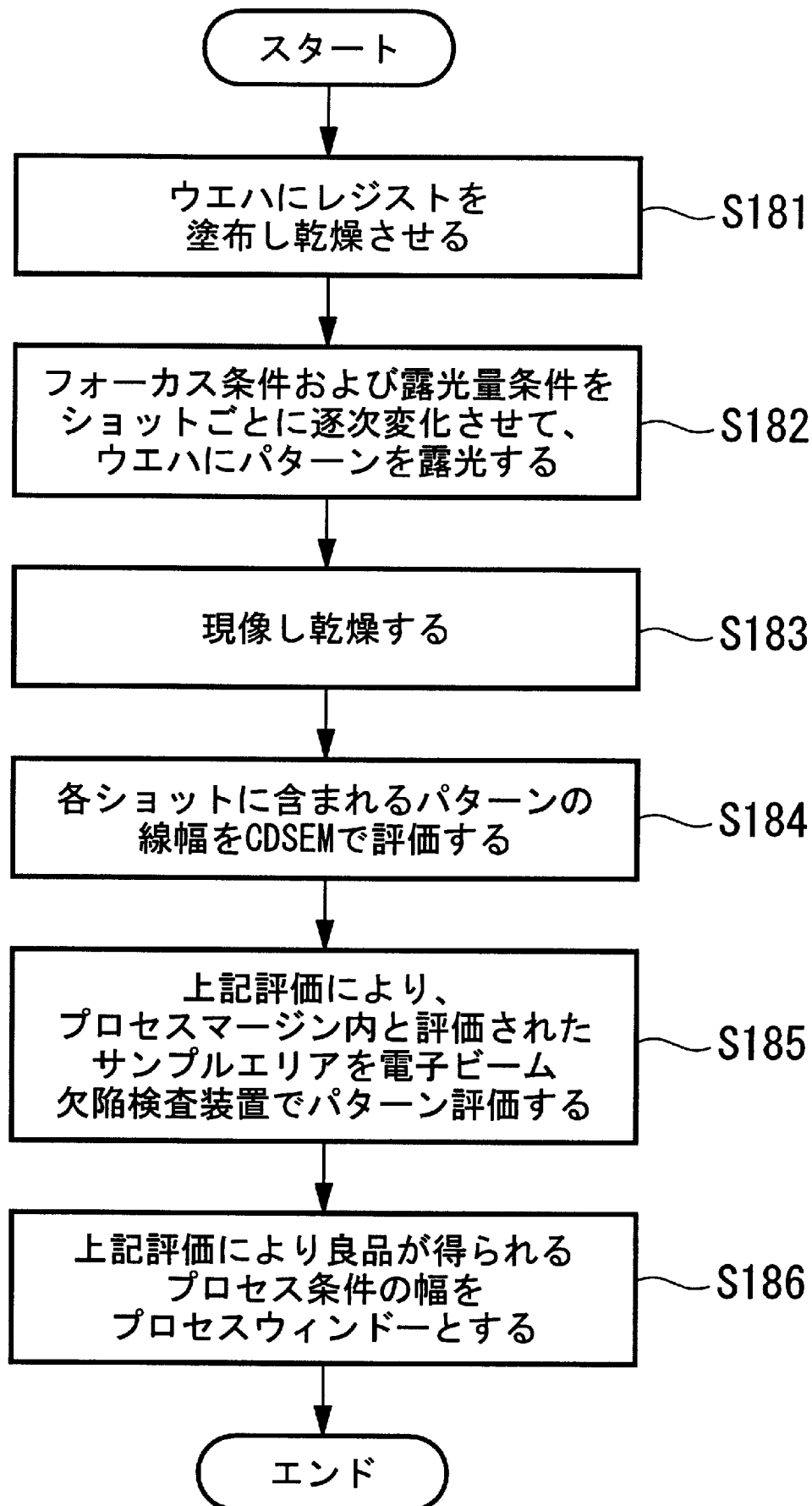
[図16B]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/304286

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/027(2006.01), G03F7/20(2006.01), H01L21/66(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/027, G03F7/20, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006

Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-064023 A (Hitachi, Ltd.), 10 March, 2005 (10.03.05), Page 1 & US 2005/0037271 A1	1-14
A	JP 2005-236060 A (Ebara Corp.), 02 September, 2005 (02.09.05), Page 1 (Family: none)	1-14
A	WO 2002/029870 A1 (Nikon Corp.), 11 April, 2002 (11.04.02), Page 1 & US 2003/0170552 A1 & AU 9235501 A	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 May, 2006 (29.05.06)

Date of mailing of the international search report

06 June, 2006 (06.06.06)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/304286

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-345754 A (Matsushita Electronics Corp.), 14 December, 1999 (14.12.99), Page 1 (Family: none)	1-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/027(2006.01), G03F7/20(2006.01), H01L21/66(2006.01)			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/027, G03F7/20, H01L21/66			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
A	JP 2005-064023 A（株式会社日立製作所）2005.03.10 第1頁 & US 2005/0037271 A1		1-14
A	JP 2005-236060 A（株式会社荏原製作所）2005.09.02 第1頁（ファミリーなし）		1-14
A	WO 2002/029870 A1（株式会社ニコン）2002.04.11 第1頁 & US 2003/0170552 A1 & AU 9235501 A		1-14
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 9 . 0 5 . 2 0 0 6		国際調査報告の発送日 0 6 . 0 6 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 岩本 勉 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 4	2 M 9 3 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-345754 A (松下電子工業株式会社) 1999. 12. 14 第 1 頁 (ファミリーなし)	1-14