



(10) **DE 11 2020 002 857 T5** 2022.02.24

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2021/009606**  
in der deutschen Übersetzung (Art. III § 8 Abs. 2  
IntPatÜbkG)  
(21) Deutsches Aktenzeichen: **11 2020 002 857.7**  
(86) PCT-Aktenzeichen: **PCT/IB2020/056290**  
(86) PCT-Anmeldetag: **03.07.2020**  
(87) PCT-Veröffentlichungstag: **21.01.2021**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **24.02.2022**

(51) Int Cl.: **H01L 21/8234** (2006.01)  
**H01L 21/336** (2006.01)  
**H01L 21/033** (2006.01)  
**H01L 27/092** (2006.01)  
**H01L 21/308** (2006.01)

(30) Unionspriorität:  
**16/514,235**                      **17.07.2019**      **US**  
  
(71) Anmelder:  
**International Business Machines Corporation,**  
**Armonk, NY, US**

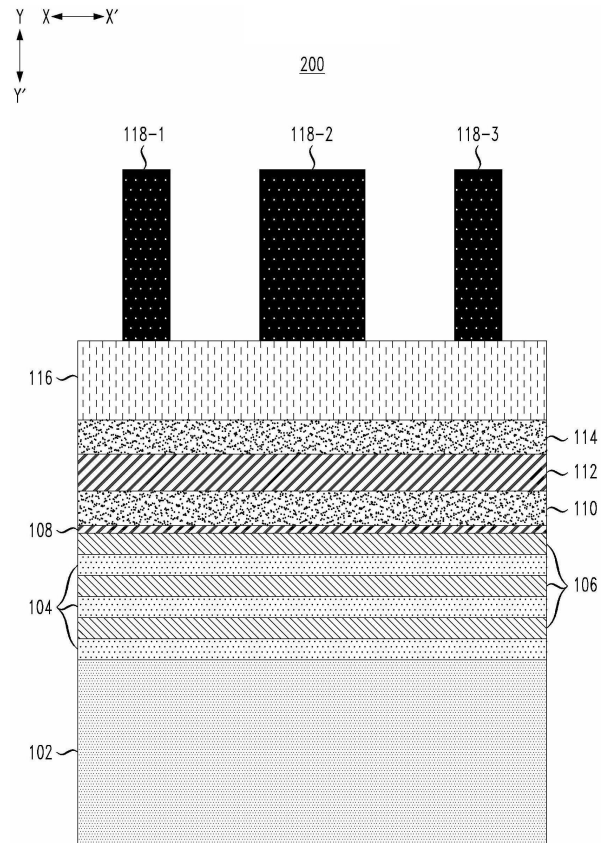
(74) Vertreter:  
**Richardt Patentanwälte PartG mbB, 65185**  
**Wiesbaden, DE**  
  
(72) Erfinder:  
**Sieg, Stuart, Albany, NY, US; Dechene, Daniel**  
**James, Albany, NY, US; Miller, Eric, Albany, NY, US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **DIREKTES DRUCKEN UND SELBSTAUSGERICHTETE DOPPELSTRUKTURIERUNG VON NANOSHEETS**

(57) Zusammenfassung: Ein Verfahren zum Bilden einer Halbleiterstruktur weist ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellt. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel und ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei für oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung definiert. Die zweite Breite ist geringer als die erste Breite.



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Anmeldung bezieht sich auf Halbleiter und spezifischer auf Techniken zum Bilden von Halbleiterstrukturen.

## HINTERGRUND

**[0002]** Halbleiter und integrierte Schaltkreischips wurden in vielen Produkten omnipräsent, da sich insbesondere eine Verringerung deren Kosten und Abmessungen weiter fortsetzt. Es besteht ein fortwährender Wunsch, die Abmessung von strukturellen Merkmalen zu reduzieren und/oder eine größere Menge von strukturellen Merkmalen für eine gegebene Chip-Abmessung bereitzustellen. Eine Miniaturisierung ermöglicht im Allgemeinen ein erhöhtes Leistungsvermögen bei geringeren Leistungspegeln und geringeren Kosten. Die vorliegende Technologie erreicht eine Skalierung bestimmter Mikro-Einheiten, wie beispielsweise von logischen Gattern, Feldeffekttransistoren (FETs) und Kondensatoren, auf atomarer Ebene oder nähert sich dieser an.

## KURZDARSTELLUNG

**[0003]** Ausführungsformen der Erfindung stellen Techniken für eine Bildung von sowohl direkt gedruckten als auch selbstausgerichteten Doppelstrukturierungs-Nanosheets unter Verwendung einer gleichen Maske bereit.

**[0004]** In einem Aspekt der Erfindung weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung definiert. Die zweite Breite ist geringer als die erste Breite.

**[0005]** In einem weiteren Aspekt weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche einer oberen Oberfläche der Strukturierungsschicht für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche der oberen Oberfläche der Strukturierungsschicht für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstjustierten Doppelstrukturierung bedeckt. Die zweite Breite ist geringer als die erste Breite.

**[0006]** In einem weiteren Aspekt weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche einer oberen Oberfläche der Strukturierungsschicht für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche der oberen Oberfläche der Strukturierungsschicht für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung freilegt. Die zweite Breite ist geringer als die erste Breite.

**[0007]** In einem weiteren Aspekt weist eine Halbleiterstruktur ein Substrat und einen über dem Substrat angeordneten Nanosheet-Stapel auf, wobei der Nanosheet-Stapel abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, wobei die Schichten aus dem Kanalmaterial

Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen. Die Halbleiterstruktur weist außerdem einen Hartmaskenstapel, der über dem Nanosheet-Stapel angeordnet ist, sowie eine Strukturierungsschicht auf, die über dem Hartmaskenstapel angeordnet ist. Die Halbleiterstruktur weist des Weiteren eine lithographische Maske auf, die über der Strukturierungsschicht angeordnet ist, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung definiert. Die zweite Breite ist geringer als die erste Breite.

#### Figurenliste

**Fig. 1** stellt eine seitliche Querschnittsansicht eines Halbleiterschicht-Stapels gemäß einer Ausführungsform der Erfindung dar.

**Fig. 2** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 1** im Anschluss an eine Strukturierung einer lithographischen Maske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 3** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 2** im Anschluss an ein Ätzen von freiliegenden Teilbereichen der Strukturierungsschicht und eine Entfernung der lithographischen Maske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 4** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 3** im Anschluss an eine Bildung eines Abstandshaltermaterials gemäß einer Ausführungsform der Erfindung dar.

**Fig. 5** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 4** im Anschluss an ein Zurückätzen des Abstandshaltermaterials gemäß einer Ausführungsform der Erfindung dar.

**Fig. 6** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 5** im Anschluss an eine Strukturierung einer Blockmaske und eine Entfernung des freigelegten Strukturierungs-Mandrels gemäß einer Ausführungsform der Erfindung dar.

**Fig. 7** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 6** im Anschluss an eine Entfernung der Blockmaske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 8** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 7** im Anschluss an eine

Strukturierung einer zusätzlichen Blockmaske und eine Entfernung von freigelegten Teilbereichen des Abstandshaltermaterials gemäß einer Ausführungsform der Erfindung dar.

**Fig. 9** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 8** im Anschluss an eine Entfernung der zusätzlichen Blockmaske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 10** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 9** im Anschluss an ein Ätzen der oberen Hartmaskenschicht gemäß einer Ausführungsform der Erfindung dar.

**Fig. 11** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 10** im Anschluss an eine Entfernung der verbliebenen Strukturierungs-Mandrels gemäß einer Ausführungsform der Erfindung dar.

**Fig. 12** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 11** im Anschluss an ein Ätzen des verbliebenen Abstandshaltermaterials und der obersten verbliebenen Hartmaskenschicht gemäß einer Ausführungsform der Erfindung dar.

**Fig. 13** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 12** im Anschluss an ein Ätzen der letzten Hartmaskenschicht gemäß einer Ausführungsform der Erfindung dar.

**Fig. 14** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 13** im Anschluss an ein Öffnen der Füllschicht und ein Ätzen von freigelegten Teilbereichen des Nanosheet-Stapels und eines Teilbereichs des Substrats gemäß einer Ausführungsform der Erfindung dar.

**Fig. 15** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 14** im Anschluss an ein Strukturieren einer lithographischen Maske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 16** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 15** im Anschluss an eine Entfernung von freigelegten Teilbereichen der Strukturierungsschicht und eine Entfernung der lithographischen Maske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 17** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 16** im Anschluss an ein Einfüllen und Zurückätzen eines Oxidmaterials gemäß einer Ausführungsform der Erfindung dar.

**Fig. 18** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 17** im Anschluss an ein Strukturieren einer Blockmaske zur Freilegung eines Teilbereichs des Oxidmaterials gemäß einer Ausführungsform der Erfindung dar.

**Fig. 19** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 18** im Anschluss an eine Entfernung des freigelegten Teilbereichs des Oxidmaterials und im Anschluss an eine Entfernung der Blockmaske gemäß einer Ausführungsform der Erfindung dar.

**Fig. 20** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 19** im Anschluss an eine Abscheidung und ein Zurückätzen eines Abstandshalters gemäß einer Ausführungsform der Erfindung dar.

**Fig. 21** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 20** im Anschluss an eine Entfernung eines verbliebenen Teilbereichs der Strukturierungsschicht gemäß einer Ausführungsform der Erfindung dar.

**Fig. 22** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 21** im Anschluss an ein Öffnen der oberen Hartmaskenschicht gemäß einer Ausführungsform der Erfindung dar.

**Fig. 23** stellt eine seitliche Querschnittsansicht der Struktur von **Fig. 22** im Anschluss an ein Ätzen von freigelegten Teilbereichen des Nanosheet-Stapels und eines Teilbereichs des Substrats gemäß einer Ausführungsform der Erfindung dar.

#### DETAILLIERTE BESCHREIBUNG

**[0008]** Hier können illustrative Ausführungsformen der Erfindung im Zusammenhang mit illustrativen Verfahren zum Bilden von sowohl direkt gedruckten als auch selbstausgerichteten Doppelstrukturierungs-Nanosheets unter Verwendung einer gleichen Maske beschrieben werden. Es versteht sich jedoch, dass Ausführungsformen der Erfindung nicht auf die illustrativen Verfahren, Vorrichtungen, Systeme und Einheiten beschränkt sind, sondern stattdessen umfassender auf weitere geeignete Verfahren, Vorrichtungen, Systeme und Einheiten anwendbar sind.

**[0009]** Bei einem FET handelt es sich um einen Transistor, der eine Source, ein Gate sowie ein Drain aufweist und der eine Wirkung aufweist, die von dem Fließen von Majoritätsladungsträgern entlang eines Kanals abhängig ist, der an dem Gate vorbei zwischen der Source und dem Drain verläuft. Ein Strom durch den Kanal zwischen der Source und dem Drain kann mittels eines transversalen elektrischen Felds unter dem Gate gesteuert werden. Die Länge des Gates bestimmt, wie schnell der FET schaltet, und kann etwa die gleiche Länge wie die Länge des Kanals aufweisen (wie beispielsweise der Abstand zwischen der Source und dem Drain).

**[0010]** Bei einigen FETs können Anordnungen mit mehr als einem Gate oder Multi-Gate-Anordnungen zur Steuerung des Kanals verwendet werden. Bei

Multi-Gate-FETs handelt es sich um vielversprechende Kandidaten für ein Herunterskalieren bei der Komplementär-Metall-Oxid-Halbleiter(CMOS)--FET-Technologie. Die geringeren Abmessungen, die mit Multi-Gate-FETS verknüpft sind (im Vergleich zu FETs mit einem einzigen Gate) erfordern jedoch eine bessere Kontrolle über Aspekte des Leistungsvermögens, wie beispielsweise Kurzkanal-Effekte, Punch-Through, Leckströme von Metall-Oxid-Halbleitern (MOS) und den parasitären Widerstand, der in einem Multi-Gate-FET vorhanden ist.

**[0011]** Zur Reduzierung der Abmessung von FETs können verschiedene Techniken verwendet werden. Eine Technik erfolgt durch die Verwendung fin-förmiger Kanäle in FinFET-Einheiten. Vor der Einführung von FinFET-Anordnungen waren CMOS-Einheiten üblicherweise im Wesentlichen planar entlang der Oberfläche des Halbleitersubstrats mit Ausnahme des FET-Gates, das oberhalb der Oberseite des Kanals angeordnet war. FinFETs nutzen eine vertikale Kanalstruktur, wobei das zu dem Gate hin freiliegende Oberflächengebiet des Kanals vergrößert wird. Somit kann das Gate in FinFET-Strukturen den Kanal effektiver steuern, da sich das Gate über mehr als die eine Seite oder Oberfläche des Kanals erstreckt. Bei einigen FinFET-Anordnungen umschließt das Gate drei Oberflächen des dreidimensionalen Kanals anstatt nur oberhalb der oberen Oberfläche eines üblichen planaren Kanals angeordnet zu sein.

**[0012]** Eine weitere Technik, die zur Reduzierung der Abmessung von FETs nützlich ist, erfolgt durch die Verwendung von gestapelten Nanosheet-Kanälen, die über einem Halbleitersubstrat gebildet werden. Bei gestapelten Nanosheets kann es sich um zweidimensionale Nanostrukturen handeln, wie beispielsweise Sheets mit einem Dickenbereich in der Größenordnung von 1 Nanometer bis 100 Nanometern (nm). Nanosheet und Nanodrähte sind realisierbare Optionen für eine Skalierung bis 7 nm und darüber hinaus. Ein allgemeiner Prozessablauf für die Bildung eines Nanosheet-Stapels ist verbunden mit einem Entfernen von Opferschichten, die aus Siliciumgermanium (SiGe) gebildet sein können, zwischen Sheets aus einem Kanalmaterial, das aus Silicium (Si) gebildet sein kann.

**[0013]** Prozessoptionen für ein Drucken von Nanosheets können auf einem direkten Drucken mit einer einzigen Maske oder auf einem direkten Drucken und einer selbstausgerichteten Doppelstrukturierung (SADP) mit Prozesslösungen mit zwei Masken beruhen. Für geringe Nanosheet-Breiten, die bei einigen Einheiten verwendet werden (wie z.B. bei Strukturen statischer Speicher mit wahlfreiem Zugriff (SRAM-Strukturen)) ist die Variabilität, die mit einem direkten Druckprozess erzeugt wird, möglicherweise für den Betrieb einer Einheit nicht ausreichend. Als ein Bei-

spiel kann SADP notwendig sein, wenn sich Abmessungen an Fin-Breiten annähern. Nanosheet-Stapel stellen jedoch verschiedene Vorteile dahingehend bereit, dass die Verwendung von variierenden Breiten der Einheiten ermöglicht wird. Lösungen mit mehreren Masken (z.B. für ein direktes Drucken und SADP) sind problematisch, da die mehreren Masken zu einer Überlagerungs(OL)-Degradation führen. Eine derartige OL-Degradation kann zum Teil auf Split-Levels zurückzuführen sein, die nachfolgend Auswirkungen (z.B. in Bezug auf eine parasitäre Kapazität) für verschiedene Merkmale von Einheiten verursachen (z.B. Gate- und Source-/Drain-Überlagerungen etc.).

**[0014]** Wie vorstehend angemerkt, profitieren einige Strukturen von Einheiten, wie beispielsweise SRAM-Strukturen, von variierenden Nanosheet-Breiten. Bei einem SRAM handelt es sich um eine Art einer Speichereinheit, die eine hohe Geschwindigkeit, einen geringen Stromverbrauch und einen einfachen Betrieb bietet. Anders als ein dynamischer Speicher mit wahlfreiem Zugriff (DRAM) benötigt ein SRAM keine regelmäßige Aktualisierung gespeicherter Daten und weist eine einfache Auslegung auf. SRAM-Zellen können unter Verwendung einer variierenden Anzahl von Transistoren gebildet werden.

**[0015]** Die SRAM-Zelle mit sechs Transistoren (6T) wird häufig als ein primärer Speicher in Mikroprozessor-Schaltungen verwendet. Eine 6T-SRAM-Zelle kann eine erste FET-Einheit vom n-Typ (nFET), die mit einem ersten Bitleitungsknoten (BL) verbunden ist, einen ersten Ausgangsknoten (Q) sowie einen Wortleitungsknoten (WL) aufweisen. Eine zweite nFET-Einheit der 6T-SRAM-Zelle ist mit dem Q-Knoten, einem Masseknoten (z.B. VSS) sowie einem zweiten Ausgangsknoten (Q') verbunden. Eine erste FET-Einheit vom p-Typ (pFET) ist mit dem Q-Knoten, dem Q'-Knoten sowie einer Spannungsquelle oder einem Versorgungsknoten (z.B. VDD) verbunden. Eine zweite pFET-Einheit ist mit dem VDD-Knoten, dem Q-Knoten und dem Q'-Knoten verbunden. Eine dritte nFET-Einheit ist mit dem VSS-Knoten, dem Q-Knoten sowie dem Q'-Knoten verbunden. Eine vierte nFET-Einheit ist mit einem zweiten Bitleitungsknoten (BLB), dem WL-Knoten sowie dem Q'-Knoten verbunden. Bei der ersten und der vierten nFET-Einheit handelt es sich um Pass-Gate(PG)-Transistoren der 6T-SRAM-Zelle, bei der zweiten und der dritten nFET-Einheit handelt es sich um die Pull-Down(PD)-Transistoren der 6T-SRAM-Zelle, und bei der ersten und der zweiten pFET-Einheit handelt es sich um die Pull-Up(PU)-Transistoren der 6T-SRAM-Zelle.

**[0016]** Bei einer 6T-SRAM-Zelle, die unter Verwendung von Nanosheet-Transistoren gebildet wird, kann es gewünscht sein, unterschiedliche Nanosheet-Breiten für die verschiedenen nFET- und pFET-Einheiten in der Zelle zu verwenden. Zum Beispiel können Nanosheet-Breiten für nFET-Einheiten der 6T-SRAM-Zelle größer als für pFET-Einheiten der 6T-SRAM-Zelle sein. Es sollte jedoch wahrgenommen werden, dass es sich dabei nicht um eine Voraussetzung handelt und dass Ausführungsformen nicht auf ein Bilden von geringeren Nanosheet-Breiten für pFET- als für nFET-Einheiten beschränkt sind. Des Weiteren sind die hierin beschriebenen Techniken nicht darauf beschränkt, dass sie bei der Bildung von SRAM-Strukturen verwendet werden, sondern sie können stattdessen allgemeiner bei der Bildung von Nanosheet-FETs angewendet werden, bei denen unterschiedliche Nanosheet-Breiten gewünscht sind.

**[0017]** Nunmehr werden illustrative Prozesse für ein Bilden von Nanosheets mit unterschiedlichen Breiten unter Verwendung sowohl eines direkten Drucks als auch einer SADP unter Verwendung einer gleichen Maske detaillierter unter Bezugnahme auf die **Fig. 1** bis **Fig. 23** beschrieben.

**[0018]** **Fig. 1** zeigt eine seitliche Querschnittsansicht 100 eines Halbleiterschicht-Stapels, der ein Substrat 102, einen Nanosheet-Stapel, der abwechselnde Schichten 104 und 106 aus einem Opfermaterial und einem Kanalmaterial aufweist, eine Füllschicht 108, Hartmaskenschichten 110, 112, und 114 sowie eine Strukturierungsschicht 116 umfasst.

**[0019]** Bei dem Substrat 102 kann es sich um eine Halbleiterstruktur handeln, die aus Bulk-Silicium (Si) gebildet ist, wenngleich andere geeignete Materialien verwendet werden können, wie beispielsweise Silicium enthaltende Materialien. Illustrative Beispiele für Silicium enthaltende Materialien, die für das Substrat 102 geeignet sind, umfassen, sind jedoch nicht beschränkt auf, Si, Siliciumgermanium (SiGe), Siliciumgermaniumcarbid (SiGeC), Siliciumcarbid (SiC), Polysilicium, epitaxiales Silicium, amorphes Silicium sowie Multi-Schichten aus denselben. Wenngleich es sich bei Silicium um das bei der Wafer-Fertigung überwiegend verwendete Halbleitermaterial handelt, können alternative Halbleitermaterialien eingesetzt werden, wie beispielsweise, jedoch nicht beschränkt auf, Germanium (Ge), Galliumarsenid (GaAs), Galliumnitrid (GaN), Cadmiumtellurid (CdTe) und Zinkselenuid (ZnSe). Bei einer alternativen Ausführungsform kann es sich bei dem Substrat 102 um einen Silicium-auf-Isolator(SOI)-Wafer handeln. Wie auf dem Fachgebiet bekannt, weist ein SOI-Wafer eine SOI-Schicht auf, die durch einen vergrabenen Isolator von einem Substrat getrennt ist. Geeignete Substratmaterialien umfassen, sind jedoch nicht beschränkt auf, Si, verspanntes Si, Siliciumcarbid (SiC), Ge, SiGe, SiGeC, Si-Legierungen, Ge-Legierungen, GaAs, Indiumarsenid (InAs), Indiumphosphid (InP) oder irgendeine Kombi-

nation derselben. Geeignete dielektrische Materialien für den vergrabenen Isolator umfassen, sind jedoch nicht beschränkt auf, ein Oxidmaterial, wie beispielsweise Siliciumdioxid ( $\text{SiO}_2$ ). Wenn es sich bei dem vergrabenen Isolator um ein Oxid handelt, kann auf den vergrabenen Isolator auch als ein vergrabenes Oxid oder BOX Bezug genommen werden.

**[0020]** Das Substrat 102 kann eine Breite oder horizontale Dicke (in der Richtung X-X') aufweisen, die variiert, wie gewünscht (z.B. auf Grundlage der Anzahl von zu bildenden Strukturen einer Einheit). Das Substrat 102 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') aufweisen, die in einem Bereich von 300 Mikrometern ( $\mu\text{m}$ ) bis 1000  $\mu\text{m}$  liegt.

**[0021]** Über dem Substrat 102 sind Nanosheet-Stapel ausgebildet, welche die abwechselnden Schichten aus einem Opfermaterial 104 und einem Kanalmaterial 106 aufweisen. Während **Fig. 1** ein Beispiel zeigt, bei dem drei Opferschichten 104 und drei Kanalschichten 106 in dem Nanosheet-Stapel vorliegen, sollte wahrgenommen werden, dass Nanosheet-Stapel mehr oder weniger als drei Sätze von abwechselnden Schichten aus dem Opfermaterial und dem Kanalmaterial aufweisen können.

**[0022]** Die Opferschichten 104 können aus irgendeinem geeigneten Material gebildet sein, das selektiv in Bezug auf das Kanalmaterial 106 geätzt werden kann. Wenn es sich bei den Kanalschichten 106 um Si handelt, können die Opferschichten 104 aus SiGe gebildet sein. Wenn es sich bei den Kanalschichten 106 um Indiumgalliumarsenid ( $\text{InGaAs}$ ) handelt, können die Opferschichten 104 aus Indiumaluminiumarsenid ( $\text{InAlAs}$ ) gebildet sein. Es können verschiedene andere Kombinationen von III-V-Materialien verwendet werden. Bei dem Material für die Opferschichten 104 handelt es sich um eines, das selektiv in Bezug auf das Material der Kanalschichten 106 entfernt werden kann. Die Opferschichten 104 und die Kanalschichten 106 können jeweils eine Dicke in einem Bereich von 4 nm bis 15 nm aufweisen. Der Nanosheet-Stapel aus den Opferschichten 104 und den Kanalschichten 106 kann epitaxial über dem Substrat 102 aufgewachsen sein.

**[0023]** Die Füllschicht 108 ist über dem Nanosheet-Stapel ausgebildet, wie dargestellt (wie z.B. unter Verwendung von chemischer Gasphasenabscheidung (CVD), physikalischer Gasphasenabscheidung (PVD) oder irgendeines anderen geeigneten Oxid-Abscheidungsprozesses). Die Füllschicht 108 kann aus einem Oxid gebildet sein, wie beispielsweise Siliciumdioxid ( $\text{SiO}_2$ ). Die Füllschicht 108 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 1 nm bis 10 nm aufweisen.

**[0024]** Über der Füllschicht 108 sind Hartmaskenschichten 110, 112 und 114 ausgebildet. Bei einigen Ausführungsformen handelt es sich bei den Hartmaskenschichten 110 und 114 um ein Nitrid-Material, wie beispielsweise Siliciumnitrid ( $\text{SiN}$ ), während es sich bei der Hartmaskenschicht 112 um ein Oxidmaterial handelt, wie beispielsweise  $\text{SiO}_2$ . In einigen Fällen stellen die Hartmaskenschichten 110, 112 und 114 zusammen eine Nitrid-Oxid-Nitrid(NON)-Hartmaske bereit. Die Hartmaskenschichten 110, 112 und 114 können unter Verwendung einer CVD mit einem Plasma hoher Dichte (HDP) (HDPVCD), einer plasmaunterstützten CVD (PECVD), CVD etc. gebildet werden. Die Hartmaskenschicht 110 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 10 nm bis 50 nm aufweisen. Die Hartmaskenschicht 112 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 10 nm bis 50 nm aufweisen. Die Hartmaskenschicht 114 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 10 nm bis 50 nm aufweisen.

**[0025]** Über der Hartmaskenschicht 114 ist die Strukturierungsschicht 116 ausgebildet. Die Strukturierungsschicht 116 kann aus amorphem Silicium (a-Si) oder irgendeinem anderen geeigneten Material gebildet sein, wie beispielsweise aus amorphem Kohlenstoff (a-C). Die Strukturierungsschicht 116 kann unter Verwendung irgendeines geeigneten Abscheidungsprozesses gebildet werden, wie beispielsweise CVD, PVD, etc. Die Strukturierungsschicht 116 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 10 nm bis 200 nm aufweisen.

**[0026]** **Fig. 2** zeigt eine seitliche Querschnittsansicht 200 der Struktur von **Fig. 1** gefolgt von Lithographie und Ätzen, um eine lithographische Maske mit Teilbereichen 118-1, 118-2 und 118-3 (zusammen die lithographische Maske 118) über der Strukturierungsschicht 116 zu bilden, wie dargestellt. Die lithographische Maske 118 kann aus einem Photoresist gebildet werden. Die lithographische Maske 118 kann eine Höhe oder vertikale Dicke (in der Richtung Y-Y') in einem Bereich von 20 nm bis 1000 nm aufweisen.

**[0027]** Die Breite oder horizontale Dicke (in der Richtung X-X') der Teilbereiche 118-1 und 118-3 der lithographischen Maske können im Bereich von 5 nm bis 2000 nm liegen. Die Teilbereiche 118-1 und 118-3 der lithographischen Maske stellen beim direkten Druck eine Steuerung der Breite von Nanosheets für darunterliegende Strukturen einer Einheit nach dem nachstehend beschriebenen Prozessablauf bereit. Die Teilbereiche 118-1 und 118-3 der lithographischen Maske können dazu verwendet werden, die Breite der Einheit für darunterliegende FETs

vom n-Typ (nFETs) zu steuern, die aus dem darunterliegenden Nanosheet-Stapel gebildet werden.

**[0028]** Die Breite oder horizontale Dicke (in der Richtung X-X') des Teilbereichs 118-2 der lithographischen Maske kann in einem Bereich von 5 nm bis 200 nm liegen. Der Teilbereich 118-2 der lithographischen Maske stellt eine SADP-Steuerung der Breite der Nanosheet für darunterliegende Strukturen von Einheiten nach dem nachstehend beschriebenen Prozessablauf bereit. Zum Beispiel kann der Teilbereich 118-2 der lithographischen Maske dazu verwendet werden, die Breite einer Einheit für darunterliegende FETs vom p-Typ (pFETs) zu steuern, die aus dem darunterliegenden Nanosheet-Stapel gebildet werden.

**[0029]** Wie nachstehend detaillierter beschrieben wird, werden die Anzahl und die Abmessung der Teilbereiche der lithographischen Maske 118 in **Fig. 2** dazu verwendet, eine spezielle Anordnung von Nanosheet-FETs aus dem darunterliegenden Nanosheet-Stapel zu bilden (z.B. ein Paar von nFET-Einheiten unter Verwendung eines direkten Drucks mit den Teilbereichen 118-1 und 118-3 der lithographischen Maske sowie ein Paar von pFET-Einheiten unter Verwendung von SADP mit dem Teilbereich 118-2 der lithographischen Maske). Es sollte wahrgenommen werden, dass verschiedene andere Kombinationen von Nanosheet-FETs mit variierenden Breiten unter Verwendung von verschiedenen Anzahlen und Abmessungen von Maskenschichten gebildet werden können.

**[0030]** **Fig. 3** zeigte eine seitliche Querschnittsansicht 300 der Struktur von **Fig. 2** im Anschluss an ein Ätzen von Teilbereichen der Strukturierungsschicht 116, die durch die lithographische Maske 118 freiliegen (z.B. unter Verwendung eines reaktiven Ionenätzens (RIE) von a-Si). Anschließend wird die lithographische Maske 118 entfernt. Im Ergebnis verbleiben Mandrels 116-1, 116-2 und 116-3 der Strukturierungsschicht 116.

**[0031]** **Fig. 4** zeigt eine seitliche Querschnittsansicht 400 der Struktur von **Fig. 3** im Anschluss an eine Bildung eines Abstandshaltermaterials 120. Das Abstandshaltermaterial 120 kann unter Verwendung von atomarer Schichtabscheidung (ALD) oder eines anderen geeigneten Prozesses gebildet werden. Das Abstandshaltermaterial 120 kann aus einem Oxid gebildet werden, wie beispielsweise einem Metalloxid, SiO<sub>2</sub> etc. Das Abstandshaltermaterial 120 kann eine gleichmäßige Dicke in einem Bereich von 5 nm bis 60 nm aufweisen. Die Dicke des Abstandshaltermaterials 120 steuert die Abmessung der FETs (z.B. der pFETs), die aus dem darunterliegenden Nanosheet-Stapel gebildet werden, wie nachstehend detaillierter beschrieben.

**[0032]** **Fig. 5** zeigt eine seitliche Querschnittsansicht 500 der Struktur von **Fig. 4** im Anschluss an ein Zurückätzen des Abstandshaltermaterials 120, wobei dies in Seitenwandabstandshaltern 120' auf Seitenwänden der Strukturierungs-Mandrels 116-1, 116-2 und 116-3 resultiert.

**[0033]** **Fig. 6** zeigt eine seitliche Querschnittsansicht 600 der Struktur von **Fig. 5** im Anschluss an eine Strukturierung einer Blockmaske, die Teilbereiche 122-1 und 122-2 (zusammen die Blockmaske 122) aufweist, um die Strukturierungs-Mandrels 116-1 und 116-3 zusammen mit dem Abstandshaltermaterial 120' zu bedecken, das Seitenwände der Strukturierungs-Mandrels 116-1 und 116-3 umgibt, wie dargestellt. Auf diesen Schritt kann als ein „pFET-Öffnungs“-Schritt Bezug genommen werden, bei dem das Abstandshaltermaterial 120', das durch die Blockmaske 122 freiliegt, dazu verwendet wird, pFET-Einheiten aus dem darunterliegenden Nanosheet-Stapel zu bilden (z.B. unter Verwendung von SADP). Die Blockmaske 122 kann aus einem geeigneten Material für eine organische Planarisierungsschicht (OPL) unter Verwendung von Aufschleuderbeschichtung oder unter Verwendung eines anderen geeigneten Prozessablaufs gebildet werden. Die Höhe oder vertikale Dicke (in der Richtung Y-Y') der Blockmaske 122 kann in einem Bereich von 100 nm bis 1000 nm liegen. **Fig. 6** stellt des Weiteren die Struktur im Anschluss an eine Entfernung des freigelegten Strukturierungs-Mandrels 116-2 dar, wie beispielsweise unter Verwendung von reaktivem Ionenätzen (RIE).

**[0034]** **Fig. 7** zeigt eine seitliche Querschnittsansicht 700 der Struktur von **Fig. 6** im Anschluss an eine Entfernung der Blockmaske 122. Die Blockmaske 122 kann unter Verwendung einer trockenen Veraschung, einer nassen Reinigung etc. entfernt werden.

**[0035]** **Fig. 8** zeigt eine seitliche Querschnittsansicht 800 im Anschluss an eine Strukturierung einer weiteren Blockmaske 124, um das Abstandshaltermaterial 120' zu bedecken, das den entfernten Strukturierungs-Mandrel 116-2 umgibt, wobei die Strukturierungs-Mandrels 116-1 und 116-3 ebenso wie das Abstandshaltermaterial 120' auf Seitenwänden der Strukturierungs-Mandrels 116-1 und 116-3 freiliegen. Die Blockmaske 124 kann aus ähnlichen Materialien mit einem ähnlichen Prozessablauf und mit einer ähnlichen Dimensionierung (in der Richtung Y-Y') wie die Blockmaske 122 gebildet werden. Auf diesen Schritt kann als ein „nFET“-Öffnungsschritt Bezug genommen werden, bei dem die Strukturierungs-Mandrels 116-1 und 116-2 für ein direktes Drucken von nFET-Einheiten aus dem darunterliegenden Nanosheet-Stapel verwendet werden. **Fig. 8** zeigt des Weiteren eine Entfernung des Abstands-

haltermaterials 120', das die Seitenwände der Strukturierungs-Mandrels 116-1 und 116-3 umgibt.

**[0036] Fig. 9** zeigt eine seitliche Querschnittsansicht 900 der Struktur von **Fig. 8** im Anschluss an eine Entfernung der Blockmaske 124. Die Blockmaske 124 kann unter Verwendung eines Prozessablaufs ähnlich jenem entfernt werden, der vorstehend in Bezug auf die Entfernung der Blockmaske 122 beschrieben wurde.

**[0037] Fig. 10** zeigt eine seitliche Querschnittsansicht 1000 der Struktur von **Fig. 9** im Anschluss an ein Ätzen der Hartmaskenschicht 114, die durch die verbliebenen Strukturierungs-Mandrels 116-1 und 116-3 sowie die verbliebenen Abstandshalterseitenwände 120' freiliegt. Die Hartmaskenschicht 114 kann unter Verwendung von RIE oder unter Verwendung eines anderen geeigneten Prozessablaufs geätzt werden. Im Ergebnis verbleibt die Hartmaskenschicht 114' nur unter den Strukturierungs-Mandrels 116-1 und 116-3 sowie den verbliebenen Seitenwandabstandshaltern 120'.

**[0038] Fig. 11** zeigt eine seitliche Querschnittsansicht 1100 der Struktur von **Fig. 10** im Anschluss an eine Entfernung der Strukturierungs-Mandrels 116-1 und 116-3. Die Strukturierungs-Mandrels 116-1 und 116-3 können unter Verwendung eines Prozessablaufs ähnlich jenem entfernt werden, der vorstehend in Bezug auf die Entfernung des Strukturierungs-Mandrels 116-2 beschrieben wurde.

**[0039] Fig. 12** zeigt eine seitliche Querschnittsansicht 1200 der Struktur von **Fig. 11** im Anschluss an ein Ätzen der verbliebenen Seitenwandabstandshalter 120' und der Hartmaskenschicht 112 derart, dass die Hartmaskenschicht 112' nur unter der Hartmaskenschicht 114' verbleibt. Wie vorstehend angemerkt, können sowohl die Hartmaskenschicht 112 als auch die Seitenwandabstandshalter 120' aus einem Oxid gebildet werden und können unter Verwendung von RIE oder unter Verwendung eines anderen geeigneten Prozessablaufs entfernt werden.

**[0040] Fig. 13** zeigt eine seitliche Querschnittsansicht 1300 der Struktur von **Fig. 12** im Anschluss an ein Ätzen der Hartmaskenschicht 110, wobei die Füllschicht 108 freigelegt wird, wie gezeigt, so dass die Hartmaskenschicht 110' nur unter der Hartmaskenschicht 112' verbleibt. Die Hartmaskenschicht 110 kann unter Verwendung eines Prozessablaufs ähnlich jenem geätzt werden, der vorstehend in Bezug auf das Ätzen der Hartmaskenschicht 114 beschrieben wurde. Bei diesem Schritt wird außerdem die verbliebene Hartmaskenschicht 114' entfernt, die, wie vorstehend beschrieben, aus dem gleichen Material (z.B. einem Nitrid) gebildet sein kann wie die Hartmaskenschicht 110.

**[0041] Fig. 14** zeigt eine seitliche Querschnittsansicht 1400 der Struktur von **Fig. 13** im Anschluss an ein Öffnen der Füllschicht 108 und ein Ätzen der freiliegenden Teilbereiche des Nanosheet-Stapels bis in einen Teilbereich des Substrats 102 hinein. Die Füllschicht 108, die aus einem Oxid gebildet sein kann, kann unter Verwendung eines Prozessablaufs ähnlich jenem geöffnet werden, der vorstehend in Bezug auf das Ätzen der Hartmaskenschicht 112 beschrieben wurde. Bei diesem Schritt wird außerdem die verbliebene Hartmaskenschicht 112' entfernt.

**[0042]** Die Opferschichten 104 und die Kanalschichten 106 des Nanosheet-Stapels können zusammen mit dem Substrat 102 unter Verwendung von RIE oder unter Verwendung eines anderen geeigneten Prozesses derart geätzt werden, dass Teilbereiche 104', 106' und 102' derartiger Schichten verbleiben, wie gezeigt. Das Ätzen des Substrats 102 zur Bildung des Substrats 102' resultiert in einer Bildung von Fins 103-1 bis 103-4 über dem Substrat 102' unterhalb der verbliebenen Teilbereiche der Opferschichten 104' und der Kanalschichten 106' des Nanosheet-Stapels.

**[0043]** Wie vorstehend angemerkt, können die Fins 103-1 und 103-4 bei einigen Ausführungsformen zur Bildung von nFET-Nanosheet-Transistoren verwendet werden, während die Fins 103-2 und 103-3 zur Bildung von pFET-Nanosheet-Transistoren verwendet werden. Vorteilhafterweise erfordert die Verwendung von direktem Drucken der Fins 103-1 und 103-3 und die Verwendung von SADP für die Fins 103-2 und 103-3 lediglich eine einzige lithographische Maske für ein primäres Definieren der Anordnung von Merkmalen, so dass dadurch die Reduktion oder Verschlechterung durch den OL-Nachteil reduziert wird, der ansonsten eine Strukturierung von Gate und Source/Drain beeinträchtigen würde (z.B. Beeinflussung von parasitären Kapazitäten der resultierenden Strukturen). Des Weiteren erlauben derartige Techniken die Bildung von Einheiten mit unterschiedlichen Nanosheet-Breiten, so dass des Weiteren eine Skalierung verschiedener Einheiten ermöglicht wird (die z.B. SRAM-Strukturen aufweisen).

**[0044]** Die **Fig. 15** bis **Fig. 23** stellen einen weiteren Prozess für eine Verwendung sowohl von direktem Drucken als auch von SADP zur Bildung von Nanosheet-Einheiten mit unterschiedlichen Breiten aus der Struktur von **Fig. 1** dar. Während die **Fig. 2** bis **Fig. 14** einen „Positiv“-Ton-Prozess zur Bildung der Struktur von **Fig. 14** darstellen, stellen die **Fig. 15** bis **Fig. 23** einen „Negativ“-Ton-Prozess zur Bildung der Struktur von **Fig. 23** dar.

**[0045] Fig. 15** zeigt eine seitliche Querschnittsansicht 1500 der Struktur von **Fig. 1** im Anschluss an

eine Strukturierung der lithographischen Maske 1518, die aus ähnlichen Materialien mit einem ähnlichen Prozessablauf und mit einer ähnlichen Dimensionierung (in der Richtung Y-Y') wie jenen gebildet werden kann, die vorstehend in Bezug auf die lithographische Maske 118 beschrieben wurden. Während die lithographische Maske 118 einen Positivton bereitstellt, um zu definieren, wo die darunterliegende Strukturierungsschicht 116 verbleibt (z.B. die Strukturierungs-Mandrels 116-1, 116-2 und 116-3), stellt die lithographische Maske 1518 einen Negativton bereit, um zu definieren, wo die darunterliegende Strukturierungsschicht 116 in Anschluss an einen nachstehend beschriebenen weiteren Prozessablauf verbleibt.

**[0046] Fig. 16** zeigt eine seitliche Querschnittsansicht 1600 der Struktur von **Fig. 15** im Anschluss an eine Entfernung von freiliegenden Teilbereichen der Strukturierungsschicht 116 (z.B. unter Verwendung eines Prozessablaufs ähnlich jenem, der vorstehend in Bezug auf **Fig. 3** beschrieben ist), wobei dies in Strukturierungs-Mandrels 1516 resultiert, wie gezeigt. Die lithographische Maske 1518 wird danach unter Verwendung eines Prozessablaufs ähnlich jenem entfernt, der vorstehend in Bezug auf die Entfernung der lithographischen Maske 118 beschrieben wurde.

**[0047] Fig. 17** zeigt eine seitliche Querschnittsansicht 1700 der Struktur von **Fig. 16** im Anschluss an ein Einfüllen und Zurückätzen eines Oxidmaterials 1517. Das Oxidmaterial 1517 kann unter Verwendung einer Aufschleuderbeschichtung, einem Einfüllen durch Abscheidung oder unter Verwendung eines anderen geeigneten Prozesses derart gebildet werden, dass die Räume überfüllt werden, die durch Entfernung oder durch Ätzen der freiliegenden Teilbereiche der Strukturierungsschicht 116 gebildet wurden (z.B. um die Räume zwischen den Strukturierungs-Mandrels 1516 zu füllen). Das Zurückätzen wird verwendet, um das Oxidmaterial 1517 derart zu planarisieren, dass es mit einer oberen Oberfläche der Strukturierungs-Mandrels 1516 übereinstimmt. Das Oxidmaterial 1517 kann Siliciumoxid ( $\text{SiO}_x$ ), ein Metalloxid etc. aufweisen.

**[0048] Fig. 18** zeigt eine seitliche Querschnittsansicht 1800 der Struktur von **Fig. 17** im Anschluss an eine Strukturierung einer Blockmaske 1519, die einen Teilbereich des Oxidmaterials 1517 in der Mitte der Struktur freilegt (z.B. dort, wo pFET-Einheiten aus dem darunterliegenden Nanosheet-Stapel gebildet werden, wie vorstehend beschrieben). Die Blockmaske 1519 kann aus Materialien ähnlich jenen der Blockmasken 112 und 124 unter Verwendung eines ähnlichen Prozessablaufs und mit einer ähnlichen Dimensionierung (in der Richtung Y-Y') gebildet werden.

**[0049] Fig. 19** zeigt eine seitliche Querschnittsansicht 1900 der Struktur von **Fig. 18** im Anschluss an eine Entfernung des freiliegenden Teilbereichs der Oxidschicht 1517 derart, dass eine Oxidschicht 1517' verbleibt. Danach wird die Blockmaske 1519 unter Verwendung eines Prozessablaufs ähnlich jenem entfernt, der vorstehend in Bezug auf die Entfernung der Blockmasken 122 und 124 beschrieben wurde.

**[0050] Fig. 20** zeigt eine seitliche Querschnittsansicht 2000 der Struktur von **Fig. 19** im Anschluss an eine Abscheidung und ein Zurückätzen eines Abstandshaltermaterials 1520. Das Abstandshaltermaterial 1520 kann aus ähnlichen Materialien und mit einer ähnlichen Dimensionierung wie jenen gebildet werden, die vorstehend in Bezug auf das Abstandshaltermaterial 120 beschrieben wurden.

**[0051] Fig. 21** zeigt eine seitliche Querschnittsansicht 2100 der Struktur von **Fig. 20** im Anschluss an eine Entfernung der Strukturierungs-Mandrels 1516 unter Verwendung eines Prozessablaufs ähnlich jenem, der vorstehend in Bezug auf die Entfernung der Strukturierungsschicht 116 und der Strukturierungs-Mandrels 116-1, 116-2 und 116-3 beschrieben wurde.

**[0052] Fig. 22** zeigt eine seitliche Querschnittsansicht 2200 der Struktur von **Fig. 21** im Anschluss an ein Öffnen der Hartmaskenschichten 114, 112 und 110, die durch die verbliebene Oxidschicht 1517' und das Abstandshaltermaterial 1520 freiliegen. Die freiliegenden Teilbereiche der Hartmaskenschichten 114, 112 und 110 können unter Verwendung eines Prozessablaufs ähnlich jenem entfernt werden, der vorstehend in Bezug auf das Ätzen dieser Schichten in Verbindung mit den **Fig. 9** bis **Fig. 13** beschrieben wurde. Die Füllschicht 108 wird unter Verwendung eines Prozessablaufs ähnlich jenem, der vorstehend beschrieben wurde, ebenfalls geöffnet. Im Ergebnis weist die Struktur von **Fig. 22** verbliebene Teilbereiche 1508, 1510 und 1512 der Füllschicht 108, der Hartmaskenschicht 110 beziehungsweise der Hartmaskenschicht 112 auf.

**[0053] Fig. 23** zeigt eine seitliche Querschnittsansicht 2300 der Struktur von **Fig. 22** im Anschluss an ein Ätzen von freiliegenden Teilbereichen des Nanosheet-Stapels bis in einen Teilbereich des Substrats 102 hinein derart, dass Teilbereiche 1506, 1504 und 1502 der Kanalschichten 106, der Opferschichten 104 beziehungsweise des Substrats 102 verbleiben. Dadurch werden Fins 1503-1, 1503-2, 1503-3 und 1504-4 (zusammen die Fins 1504) ähnlich wie die Fins 103 gebildet. Die Opferschichten 104 und die Kanalschichten 106 des Nanosheet-Stapels können zusammen mit dem Substrat 102 unter Verwendung eines Prozessablaufs ähnlich jenem

geätzt werden, der vorstehend in Bezug auf **Fig. 14** beschrieben wurde.

**[0054]** Ähnlich wie bei der Struktur von **Fig. 14** können die Fins 1503-1 und 1503-4 dazu verwendet werden, nFET-Nanosheet-Transistoren zu bilden, während die Fins 1503-2 und 1503-3 dazu verwendet werden, pFET-Nanosheet-Transistoren zu bilden. Vorteilhafterweise erfordert die Verwendung von direktem Drucken der Fins 1503-1 und 1503-4 und die Verwendung von SADP für die Fins 1503-2 und 1503-3 lediglich eine einzige lithographische Maske, um primär die Anordnung von Merkmalen zu definieren, so dass dadurch die Reduktion oder die Verschlechterung durch den OL-Nachteil reduziert wird, der ansonsten die Strukturierung von Gate und Source/Drain beeinträchtigen würde (z.B. Beeinflussung von parasitären Kapazitäten der resultierenden Strukturen). Des Weiteren erlauben derartige Techniken die Bildung von Einheiten mit unterschiedlichen Nanosheet-Breiten, so dass eine weitere Skalierung verschiedener Einheiten ermöglicht wird (die z.B. SRAM-Strukturen aufweisen).

**[0055]** Die in den **Fig. 14** bis **Fig. 23** gezeigten Strukturen können verschiedenen zusätzlichen Prozessabläufen unterzogen werden, um Nanosheet-FETs zu bilden. Dies kann zum Beispiel eine Bildung von Bereichen mit einer flachen Grabenisolation (STI-Bereiche), welche die Fins 103/1503 umgeben, eine Bildung und Strukturierung von Dummy-Gate-Strukturen, ein epitaxiales Aufwachsen von Source-/Drain-Bereichen, eine Bildung von inneren Abstandshaltern, eine Entfernung der Opferschichten, um unter Verwendung eines Ersetzungs-Metall-Gate(RMG)-Prozesses Gate-Strukturen zu bilden, eine Bildung von Kontakten an den Gate-Strukturen und den Source-/Drain-Bereichen etc. umfassen.

**[0056]** Bei einigen Ausführungsformen weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-FETs bereitstellen. Das Verfahren kann außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel aufweisen. Das Verfahren weist des Weiteren eine Strukturierung einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und

dem Substrat unter Verwendung einer SADP definiert. Die zweite Breite ist geringer als die erste Breite.

**[0057]** Die lithographische Maske wird bei einigen Ausführungsformen derart über der Strukturierungsschicht strukturiert, dass das lithographische Material den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche bedeckt. Die lithographische Maske wird bei anderen Ausführungsformen derart über der Strukturierungsschicht strukturiert, dass das lithographische Material den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche freilegt.

**[0058]** Der Hartmaskenstapel kann eine Füllschicht aus einem Oxid und einen NON-Hartmaskenstapel über der Füllschicht aus einem Oxid aufweisen. Die Strukturierungsschicht kann a-Si aufweisen.

**[0059]** Bei einigen Ausführungsformen weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellt. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche einer oberen Oberfläche der Strukturierungsschicht für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche der oberen Oberfläche der Strukturierungsschicht für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer SADP bedeckt. Die zweite Breite ist geringer als die erste Breite.

**[0060]** Das Verfahren weist des Weiteren ein Ätzen von Teilbereichen der Strukturierungsschicht, die durch die lithographische Maske freiliegt, um eine Mehrzahl von Strukturierungs-Mandrels zu bilden, sowie ein Entfernen der lithographischen Maske auf.

**[0061]** Das Verfahren kann des Weiteren ein Abscheiden eines Abstandshaltermaterials über der Mehrzahl von Strukturierungs-Mandrels und Teilbereichen einer oberen Oberfläche des Hartmaskenstapels, die durch Ätzen der durch die lithographische Maske freiliegenden Teilbereiche der Strukturierungsschicht, die durch die lithographische Maske freiliegt, um eine Mehrzahl von Strukturierungs-Mandrels zu bilden, sowie ein Entfernen der lithographischen Maske auf.

rungsschicht freigelegt wurden, und Zurückätzen des Abstandshaltermaterials aufweisen, um das Abstandshaltermaterial von den oberen Oberflächen der Mehrzahl von Strukturierungs-Mandrels zu entfernen und das Abstandshaltermaterial von Teilbereichen der oberen Oberfläche der Hartmaskenschicht zu entfernen, wobei Seitenwandabstandshalter belassen werden, welche die Mehrzahl von Strukturierungs-Mandrels umgeben.

**[0062]** Das Verfahren kann des Weiteren ein Bilden einer ersten Blockmaske aufweisen, die zumindest einen ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels und die Seitenwandabstandshalter bedeckt, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, und zumindest einen zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels und die Seitenwand-Abstandshalter freilegt, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben. Der erste Sub-Satz der Mehrzahl von Strukturierungs-Mandrels sorgt für ein direktes Drucken des einen oder der mehreren Fins mit der ersten Breite, und der zweite Sub-Satz der Mehrzahl von Strukturierungs-Mandrels stellt eine SADP für ein Vorgeben des Abstands zwischen den zwei oder mehr Fins mit der zweiten Breite bereit.

**[0063]** Das Verfahren kann des Weiteren ein Entfernen des zweiten Sub-Satzes der Mehrzahl von Strukturierungs-Mandrels, wobei die Seitenwandabstandshalter belassen werden, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, sowie ein Entfernen der ersten Blockmaske aufweisen.

**[0064]** Das Verfahren kann des Weiteren ein Bilden einer zweiten Blockmaske aufweisen, welche die Seitenwandabstandshalter bedeckt, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, und den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels und die Seitenwandabstandshalter freilegt, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben.

**[0065]** Das Verfahren kann des Weiteren ein Entfernen der Seitenwandabstandshalter, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, die durch die zweite Blockmaske freiliegen, und ein Entfernen der zweiten Blockmaske aufweisen.

**[0066]** Das Verfahren kann des Weiteren ein Ätzen des Hartmaskenstapels, des Nanosheet-Stapels und zumindest eines Teilbereichs des Substrats aufweisen, um den einen oder die mehreren Fins mit der ersten Breite unterhalb des ersten Sub-Satzes der Mehrzahl von Strukturierungs-Mandrels zu bilden und den einen oder die mehreren Fins mit der zwei-

ten Breite unterhalb der verbliebenen Seitenwandabstandshalter zu bilden.

**[0067]** Bei einigen Ausführungsformen weist ein Verfahren zum Bilden einer Halbleiterstruktur ein Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat auf, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-FETs bereitstellen. Das Verfahren weist außerdem ein Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel sowie ein Bilden einer Strukturierungsschicht über dem Hartmaskenstapel auf. Das Verfahren weist des Weiteren ein Strukturieren einer lithographischen Maske über der Strukturierungsschicht auf, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche einer oberen Oberfläche der Strukturierungsschicht für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche der oberen Oberfläche der Strukturierungsschicht für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer SADP freilegt. Die zweite Breite ist geringer als die erste Breite.

**[0068]** Das Verfahren kann des Weiteren ein Ätzen von Teilbereichen der Strukturierungsschicht, die durch die lithographische Maske freiliegen, um eine Mehrzahl von Strukturierungs-Mandrels zu bilden, sowie ein Entfernen der lithographischen Maske aufweisen.

**[0069]** Das Verfahren kann des Weiteren ein Abscheiden eines Oxidmaterials über Teilbereichen einer oberen Oberfläche des Hartmaskenstapels, die durch Ätzen der durch die lithographische Maske freiliegenden Teilbereiche der Strukturierungsschicht freigelegt wurden, sowie ein Zurückätzen des Oxidmaterials aufweisen, um eine Mehrzahl von Oxid-Mandrels über der oberen Oberfläche des Hartmaskenstapels zwischen der Mehrzahl von Strukturierungs-Mandrels zu bilden.

**[0070]** Das Verfahren kann des Weiteren ein Bilden einer Blockmaske aufweisen, die zumindest einen ersten Sub-Satz der Mehrzahl von Oxid-Mandrels bedeckt und zumindest einen zweiten Sub-Satz der Mehrzahl von Oxid-Mandrels freilegt. Der erste Sub-Satz der Mehrzahl von Oxid-Mandrels sorgt für ein direktes Drucken des einen oder der mehreren Fins mit der ersten Breite, und der zweite Sub-Satz der Mehrzahl von Oxid-Mandrels stellt eine SADP für ein Vorgeben des Abstands zwischen den zwei oder mehr Fins mit der zweiten Breite bereit.

**[0071]** Das Verfahren kann des Weiteren ein Entfernen des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels sowie ein Entfernen der Blockmaske aufweisen.

**[0072]** Das Verfahren kann des Weiteren ein Bilden eines Abstandshaltermaterials über Teilbereichen der oberen Oberfläche des Hartmaskenstapels, die durch die Entfernung des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels freigelegt wurden, und über oberen Oberflächen des ersten Sub-Satzes der Mehrzahl von Oxid-Mandrels und der Mehrzahl von Strukturierungs-Mandrels sowie ein Zurückätzen des Abstandshaltermaterials aufweisen, um Seitenwandabstandshalter benachbart zu Seitenwänden der Mehrzahl von Strukturierungs-Mandrels zu bilden, die durch die Entfernung des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels freigelegt wurden.

**[0073]** Das Verfahren kann des Weiteren ein Entfernen der Mehrzahl von Strukturierungs-Mandrels sowie ein Ätzen des Hartmaskenstapels, des Nanosheet-Stapels und zumindest eines Teilbereichs des Substrats aufweisen, um den einen oder die mehreren Fins mit der ersten Breite unterhalb des ersten Sub-Satzes der Mehrzahl von Oxid-Mandrels zu bilden und den einen oder die mehreren Fins mit der zweiten Breite unterhalb der Seitenwandabstandshalter zu bilden.

**[0074]** Gemäß einigen Ausführungsformen weist eine Halbleiterstruktur ein Substrat und einen über dem Substrat angeordneten Nanosheet-Stapel auf, wobei der Nanosheet-Stapel abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen. Die Halbleiterstruktur weist außerdem einen Hartmaskenstapel, der über dem Nanosheet-Stapel angeordnet ist, sowie eine Strukturierungsschicht auf, die über dem Hartmaskenstapel angeordnet ist. Die Halbleiterstruktur weist des Weiteren eine lithographische Maske auf, die über der Strukturierungsschicht angeordnet ist, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer SADP definiert.

**[0075]** Die lithographische Maske bedeckt bei einigen Ausführungsformen den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche. Die lithographische Maske legt bei anderen

Ausführungsformen den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche frei. Die zweite Breite ist geringer als die erste Breite.

**[0076]** Die Nanosheet-Stapel über dem einen oder den mehreren Fins mit der ersten Breite können Kanäle für nFETs bereitstellen, und die Nanosheet-Stapel, die über dem einen oder den mehreren Fins mit der zweiten Breite angeordnet sind, können Kanäle für pFETs bereitstellen.

**[0077]** Es versteht sich, dass es sich bei den verschiedenen Schichten, Strukturen und Bereichen, die in den Figuren gezeigt sind, um schematische Darstellungen handelt, die nicht maßstabsgetreu gezeichnet sind. Darüber hinaus sind eine oder mehrere Schichten, Strukturen und Bereiche eines üblicherweise zur Bildung von Halbleitereinheiten oder Halbleiterstrukturen verwendeten Typs der Einfachheit der Erläuterung halber in einer gegebenen Figur möglicherweise nicht explizit gezeigt. Dies impliziert nicht, dass irgendwelche Schichten, Strukturen und Bereiche, die nicht explizit gezeigt sind, in den tatsächlichen Halbleiterstrukturen weggelassen sind. Des Weiteren versteht es sich, dass die hierin erörterten Ausführungsformen nicht auf die speziellen Materialien, Merkmale und Prozessschritte beschränkt sind, die hierin gezeigt und beschrieben sind. Insbesondere in Bezug auf Halbleiter-Prozessschritte ist hervorzuheben, dass die hierin bereitgestellten Beschreibungen nicht sämtliche der Prozessschritte umfassen sollen, die zur Bildung einer funktionellen integrierten Halbleiterschaltungseinheit möglicherweise erforderlich sind. Vielmehr sind bestimmte Prozessschritte, die bei der Bildung von Halbleitereinheiten üblicherweise verwendet werden, wie zum Beispiel Nassreinigungsschritte und Temperschritte, der Ökonomie der Beschreibung halber hierin absichtlich nicht beschrieben.

**[0078]** Darüber hinaus werden überall in den Figuren die gleichen oder ähnliche Bezugszeichen verwendet, um die gleichen oder ähnliche Merkmale, Elemente oder Strukturen zu bezeichnen, und somit wird eine detaillierte Erläuterung der gleichen oder ähnlicher Merkmale, Elemente oder Strukturen nicht für jede der Figuren wiederholt. Es versteht sich, dass mit den Begriffen „etwa“ oder „im Wesentlichen“, wie sie hierin in Bezug auf Dicken, Breiten, prozentuale Anteile, Bereiche etc. verwendet werden, gemeint ist, dass sie diese nahezu oder annähernd, jedoch nicht exakt bezeichnen. Der Begriff „etwa“ oder „im Wesentlichen“, wie er hierin verwendet wird, impliziert zum Beispiel, dass ein geringer Spielraum eines Fehlers vorliegt, wie beispielsweise  $\pm 5\%$ , bevorzugt weniger als  $2\%$  oder  $1\%$  oder weniger als die angegebene Menge.

**[0079]** Bei der vorstehenden Beschreibung werden verschiedene Materialien und Abmessungen für unterschiedliche Elemente bereitgestellt. Wenn nichts anderes angemerkt, sind derartige Materialien lediglich beispielhaft angegeben, und Ausführungsformen sind nicht ausschließlich auf die angegebenen spezifischen Beispiele beschränkt. In einer ähnlichen Weise sind, wenn nichts anderes angemerkt ist, sämtliche Abmessungen beispielhaft angegeben, und Ausführungsformen sind nicht ausschließlich auf die angegebenen spezifischen Abmessungen oder Bereiche beschränkt.

**[0080]** Halbleitereinheiten und Verfahren zum Bilden derselben gemäß den vorstehend beschriebenen Techniken können bei verschiedenen Anwendungen, verschiedener Hardware und/oder verschiedenen elektronischen Systemen eingesetzt werden. Eine geeignete Hardware und geeignete Systeme zum Ausführen von Ausführungsformen der Erfindung können Personalcomputer, Kommunikationsnetzwerke, kommerzielle elektronische Systeme, tragbare Kommunikationsvorrichtungen (z.B. Handys und Smartphones), Speichervorrichtungen mit Solid-State-Medien oder Halbleitermedien, funktionelle Schaltungsaufbauten etc. aufweisen, sind jedoch nicht auf diese beschränkt. Bei Systemen und Hardware, in welche die Halbleitereinheiten eingebaut sind, handelt es sich um in Erwägung gezeigte Ausführungsformen der Erfindung. Unter der Voraussetzung der hierin bereitgestellten Lehren ist ein Fachmann in der Lage, weitere Ausführungen und Anwendungen von Ausführungsformen der Erfindung in Erwägung zu ziehen.

**[0081]** Bei einigen Ausführungsformen werden die vorstehend beschriebenen Techniken in Verbindung mit Halbleitereinheiten verwendet, die zum Beispiel Komplementär-Metall-Oxid-Halbleiter (CMOSs), Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) und/oder Fin-Feldeffekttransistoren (FinFETs) erfordern oder auf andere Weise nutzen. Durch ein nicht beschränkendes Beispiel können die Halbleitereinheiten CMOS-, MOSFET- und FinFET-Einheiten und/oder Halbleitereinheiten aufweisen, welche die CMOS-, MOSFET- und/oder FinFET-Technologie verwenden, sind jedoch nicht auf diese beschränkt.

**[0082]** Verschiedene Strukturen, die vorstehend beschrieben sind, können in integrierten Schaltungen implementiert sein. Die resultierenden integrierten Schaltungschips können von dem Hersteller in Rohwaferform (das heißt, als ein einzelner Wafer, der mehrere unverpackte Chips aufweist), als ein blanker Chip oder in einer gepackten Form vertrieben werden. Im letzteren Fall ist der Chip in einer Einzelchip-Packung (wie beispielsweise einem Kunststoffträger mit Leitungen, die an einer Hauptplatine oder einem anderen übergeordneten Träger befestigt sind) oder in einer Multi-Chip-Packung montiert

(wie beispielsweise einem keramischen Träger, der entweder Oberflächenzwischenverbindungen oder vergrabene Zwischenverbindungen oder beide aufweist). In jedem Fall ist der Chip dann mit anderen Chips, diskreten Schaltungselementen und/oder anderen signalverarbeitenden Einheiten als Teil entweder (a) eines Zwischenprodukts, wie beispielsweise einer Hauptplatine, oder (b) eines Endprodukts integriert. Bei dem Endprodukt kann es sich um irgendein Produkt, das integrierte Schaltungschips aufweist, in einem Bereich von Spielwaren und anderen Low-End-Anwendungen bis zu hochentwickelten Computerprodukten handeln, die ein Display, eine Tastatur oder eine andere Eingabevorrichtung sowie einen zentralen Prozessor aufweisen.

**[0083]** Die Beschreibungen der verschiedenen Ausführungsformen der vorliegenden Erfindung wurden zu Zwecken der Darstellung präsentiert, sollen jedoch nicht erschöpfend oder auf die offenbarten Ausführungsformen beschränkt sein. Für einen Fachmann sind viele Modifikationen und Variationen ersichtlich, ohne von dem Umfang der beschriebenen Ausführungsformen abzuweichen. Die hierin verwendete Terminologie wurde gewählt, um die Grundgedanken der Ausführungsformen, die praktische Anwendung oder die technische Verbesserung gegenüber auf dem Markt zu finden Technologien am besten zu erläutern oder um Fachleute in die Lage zu versetzen, die hierin offenbarten Ausführungsformen zu verstehen.

## Patentansprüche

1. Verfahren zum Bilden einer Halbleiterstruktur, das aufweist:  
Bilden eines Nanosheet-Stapels, der abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, über einem Substrat, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen;  
Bilden eines Hartmaskenstapels über dem Nanosheet-Stapel;  
Bilden einer Strukturierungsschicht über dem Hartmaskenstapel; und  
Strukturierung einer lithographischen Maske über der Strukturierungsschicht, wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung definiert;

wobei die zweite Breite geringer als die erste Breite ist.

2. Verfahren nach Anspruch 1, wobei die lithographische Maske über der Strukturierungsschicht derart strukturiert wird, dass das lithographische Material den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche bedeckt.

3. Verfahren nach Anspruch 1, wobei die lithographische Maske über der Strukturierungsschicht derart strukturiert wird, dass das lithographische Material den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche freilegt.

4. Verfahren nach Anspruch 1, wobei der Hartmaskenstapel eine Füllschicht aus einem Oxid und einen Nitrid-Oxid-Nitrid-Hartmaskenstapel über der Füllschicht aus einem Oxid aufweist.

5. Verfahren nach Anspruch 1, wobei die Strukturierungsschicht amorphes Silicium (a-Si) aufweist.

6. Verfahren nach Anspruch 2, das des Weiteren aufweist:

Ätzen von durch die lithographische Maske freiliegenden Teilbereichen der Strukturierungsschicht, um eine Mehrzahl von Strukturierungs-Mandrels zu bilden; und

Entfernen der lithographischen Maske.

7. Verfahren nach Anspruch 6, das des Weiteren aufweist:

Abscheiden eines Abstandshaltermaterials über der Mehrzahl von Strukturierungs-Mandrels und Teilbereichen einer oberen Oberfläche des Hartmaskenstapels, die durch Ätzen der durch die lithographische Maske freiliegenden Teilbereiche der Strukturierungsschicht freigelegt wurden, und Zurückätzen des Abstandshaltermaterials, um das Abstandshaltermaterial von oberen Oberflächen der Mehrzahl von Strukturierungs-Mandrels zu entfernen und das Abstandshaltermaterial von Teilbereichen der oberen Oberfläche der Hartmaskenschicht zu entfernen, so dass Seitenwandabstandshalter belassen werden, welche die Mehrzahl von Strukturierungs-Mandrels umgeben.

8. Verfahren nach Anspruch 7, das des Weiteren ein Bilden einer ersten Blockmaske aufweist, die zumindest einen ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels und die Seitenwandabstandshalter bedeckt, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, und zumindest einen zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels und die Seitenwandabstandshalter freilegt, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels

umgeben, wobei der erste Sub-Satz der Mehrzahl von Strukturierungs-Mandrels für ein direktes Drucken des einen oder der mehreren Fins mit der ersten Breite sorgt und der zweite Sub-Satz der Mehrzahl von Strukturierungs-Mandrels eine selbstausgerichtete Doppelstrukturierung für ein Vorgeben des Abstands zwischen den zwei oder mehr Fins mit der zweiten Breite bereitstellt.

9. Verfahren nach Anspruch 8, das des Weiteren aufweist:

Entfernen des zweiten Sub-Satzes der Mehrzahl von Strukturierungs-Mandrels, so dass die Seitenwandabstandshalter belassen werden, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben; und Entfernen der ersten Blockmaske.

10. Verfahren nach Anspruch 9, das des Weiteren ein Bilden einer zweiten Blockmaske, welche die Seitenwandabstandshalter bedeckt, die den zweiten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, und ein Freilegen des ersten Sub-Satzes der Mehrzahl von Strukturierungs-Mandrels und der Seitenwandabstandshalter aufweist, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben.

11. Verfahren nach Anspruch 10, das des Weiteren aufweist:

Entfernen der Seitenwandabstandshalter, die den ersten Sub-Satz der Mehrzahl von Strukturierungs-Mandrels umgeben, die durch die zweite Blockmaske freiliegen; und Entfernen der zweiten Blockmaske.

12. Verfahren nach Anspruch 11, das des Weiteren ein Ätzen des Hartmaskenstapels, des Nanosheet-Stapels und zumindest eines Teilbereichs des Substrats aufweist, um den einen oder die mehreren Fins mit der ersten Breite unterhalb des ersten Sub-Satzes der Mehrzahl von Strukturierungs-Mandrels zu bilden und den einen oder die mehreren Fins mit der zweiten Breite unterhalb der verbliebenen Seitenwandabstandshalter zu bilden.

13. Verfahren nach Anspruch 3, das des Weiteren aufweist:

Ätzen von Teilbereichen der Strukturierungsschicht, die durch die lithographische Maske freiliegen, um eine Mehrzahl von Strukturierungs-Mandrels zu bilden; und Entfernen der lithographischen Maske.

14. Verfahren nach Anspruch 13, das des Weiteren aufweist:

Abscheiden eines Oxidmaterials über Teilbereichen einer oberen Oberfläche des Hartmaskenstapels, die durch Ätzen der Teilbereiche der Strukturierungsschicht freigelegt wurden, die durch die litho-

graphische Maske freiliegen; und Zurückätzen des Oxidmaterials, um eine Mehrzahl von Oxid-Mandrels über der oberen Oberfläche des Hartmaskenstapels zwischen der Mehrzahl von Strukturierungs-Mandrels zu bilden.

15. Verfahren nach Anspruch 14, das des Weiteren ein Bilden einer Blockmaske aufweist, die zumindest einen ersten Sub-Satz der Mehrzahl von Oxid-Mandrels bedeckt und zumindest einen zweiten Sub-Satz der Mehrzahl von Oxid-Mandrels freilegt, wobei der erste Sub-Satz der Mehrzahl von Oxid-Mandrels für ein direktes Drucken des einen oder der mehreren Fins mit der ersten Breite sorgt und der zweite Sub-Satz der Mehrzahl von Oxid-Mandrels eine selbstausgerichtete Doppelstrukturierung für ein Vorgeben des Abstands zwischen den zwei oder mehr Fins mit der zweiten Breite bereitstellt.

16. Verfahren nach Anspruch 15, das des Weiteren aufweist:  
Entfernen des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels; und  
Entfernen der Blockmaske.

17. Verfahren nach Anspruch 16, das des Weiteren aufweist:  
Bilden eines Abstandshaltermaterials über Teilbereichen der oberen Oberfläche des Hartmaskenstapels, die durch die Entfernung des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels freigelegt wurden, und über oberen Oberflächen des ersten Sub-Satzes der Mehrzahl von Oxid-Mandrels und der Mehrzahl von Strukturierungs-Mandrels; und  
Zurückätzen des Abstandshaltermaterials, um Seitenwandabstandshalter benachbart zu Seitenwänden der Mehrzahl von Strukturierungs-Mandrels zu bilden, die durch die Entfernung des zweiten Sub-Satzes der Mehrzahl von Oxid-Mandrels freigelegt wurden.

18. Verfahren nach Anspruch 17, das des Weiteren ein Entfernen der Mehrzahl von Strukturierungs-Mandrels aufweist.

19. Verfahren nach Anspruch 18, das des Weiteren ein Ätzen des Hartmaskenstapels, des Nanosheet-Stapels und zumindest eines Teilbereichs des Substrats aufweist, um den einen oder die mehreren Fins mit der ersten Breite unterhalb des ersten Sub-Satzes der Mehrzahl von Oxid-Mandrels zu bilden und den einen oder die mehreren Fins mit der zweiten Breite unterhalb der Seitenwandabstandshalter zu bilden.

20. Halbleiterstruktur, die aufweist:  
ein Substrat;  
einen Nanosheet-Stapel, der über dem Substrat angeordnet ist, wobei der Nanosheet-Stapel

abwechselnde Schichten aus einem Opfermaterial und einem Kanalmaterial aufweist, wobei die Schichten aus dem Kanalmaterial Nanosheet-Kanäle für einen oder mehrere Nanosheet-Feldeffekttransistoren bereitstellen;  
einen Hartmaskenstapel, der über dem Nanosheet-Stapel angeordnet ist;  
eine Strukturierungsschicht, die über dem Hartmaskenstapel angeordnet ist; und  
eine lithographische Maske, die über der Strukturierungsschicht angeordnet ist,  
wobei die lithographische Maske (i) einen ersten Bereich oder mehrere erste Bereiche für ein direktes Drucken von einem oder mehreren Fins mit einer ersten Breite in dem Nanosheet-Stapel und dem Substrat und (ii) einen zweiten Bereich oder mehrere zweite Bereiche für ein Vorgeben des Abstands zwischen zwei oder mehr Fins mit einer zweiten Breite in dem Nanosheet-Stapel und dem Substrat unter Verwendung einer selbstausgerichteten Doppelstrukturierung definiert;  
wobei die zweite Breite geringer als die erste Breite ist.

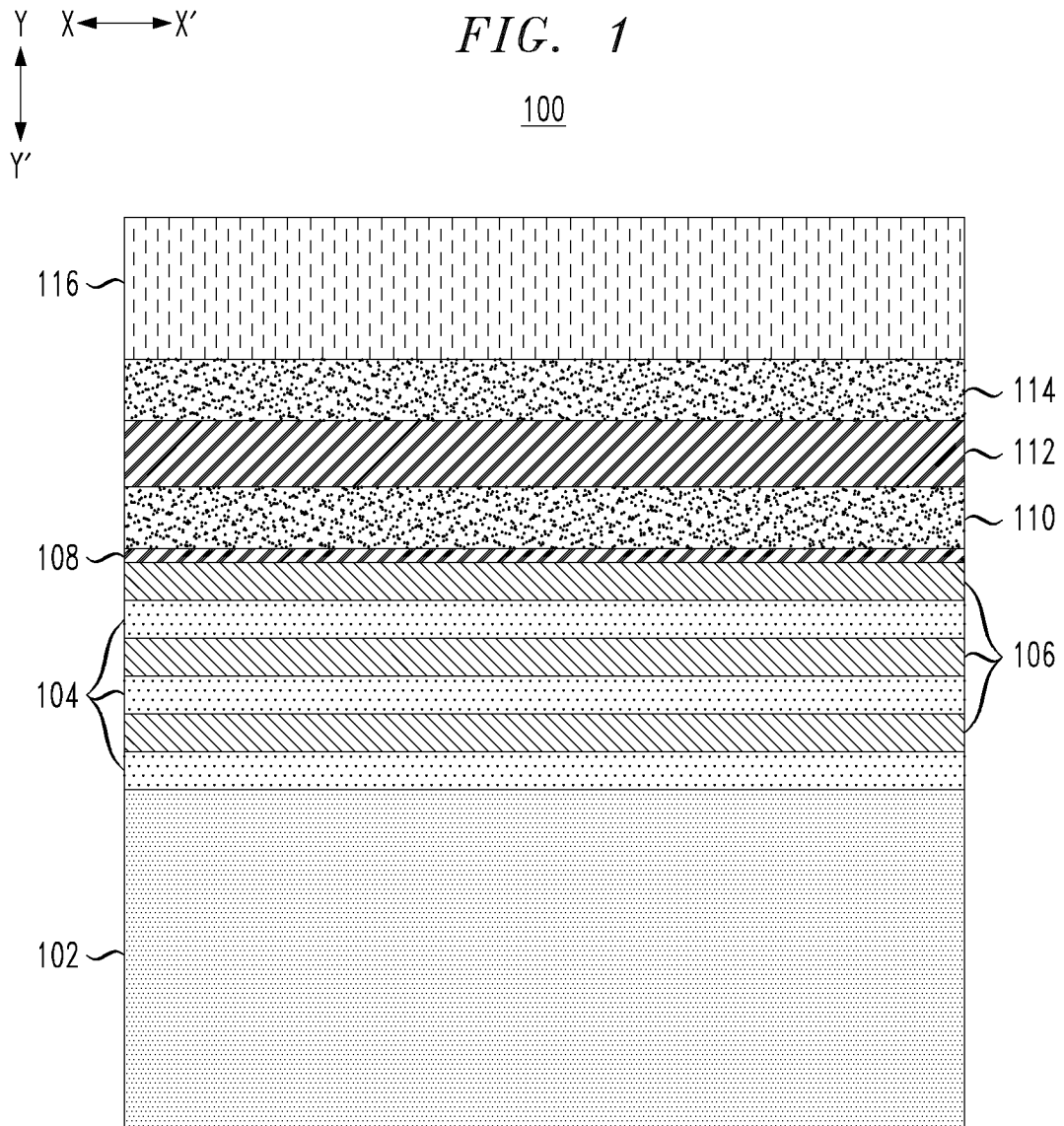
21. Halbleiterstruktur nach Anspruch 22, wobei die lithographische Maske den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche bedeckt.

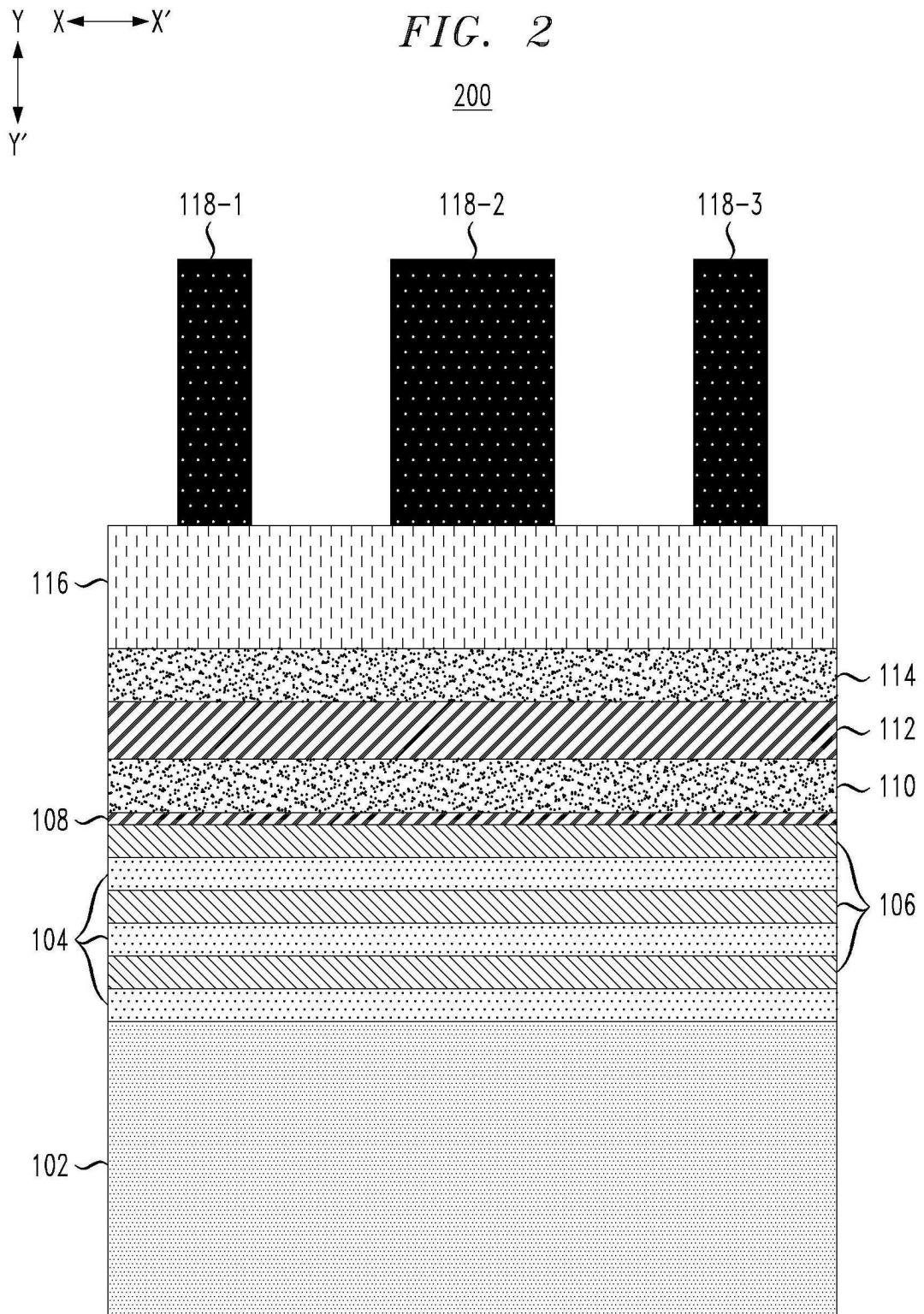
22. Halbleiterstruktur nach Anspruch 22, wobei die lithographische Maske den einen ersten Bereich oder die mehreren ersten Bereiche und den einen zweiten Bereich oder die mehreren zweiten Bereiche freilegt.

23. Halbleiterstruktur nach Anspruch 22, wobei die Nanosheet-Stapel über dem einen oder den mehreren Fins mit der ersten Breite Kanäle für Nanosheet-Feldeffekttransistoren vom n-Typ bereitstellen und die Nanosheet-Stapel, die über dem einen oder den mehreren Fins mit der zweiten Breite angeordnet sind, Kanäle für Nanosheet-Feldeffekttransistoren vom p-Typ bereitstellen.

Es folgen 23 Seiten Zeichnungen

Anhängende Zeichnungen





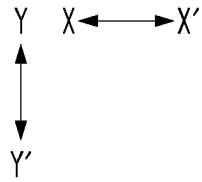
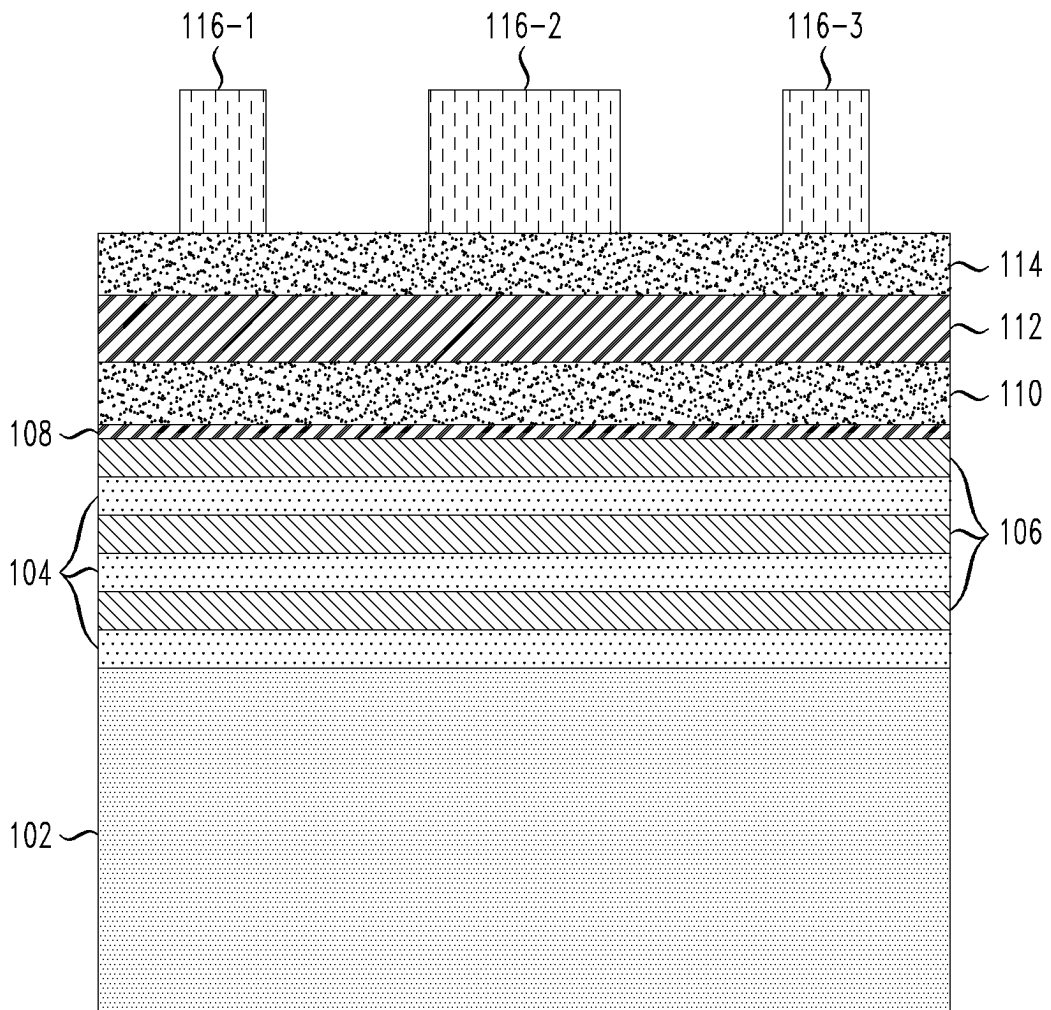
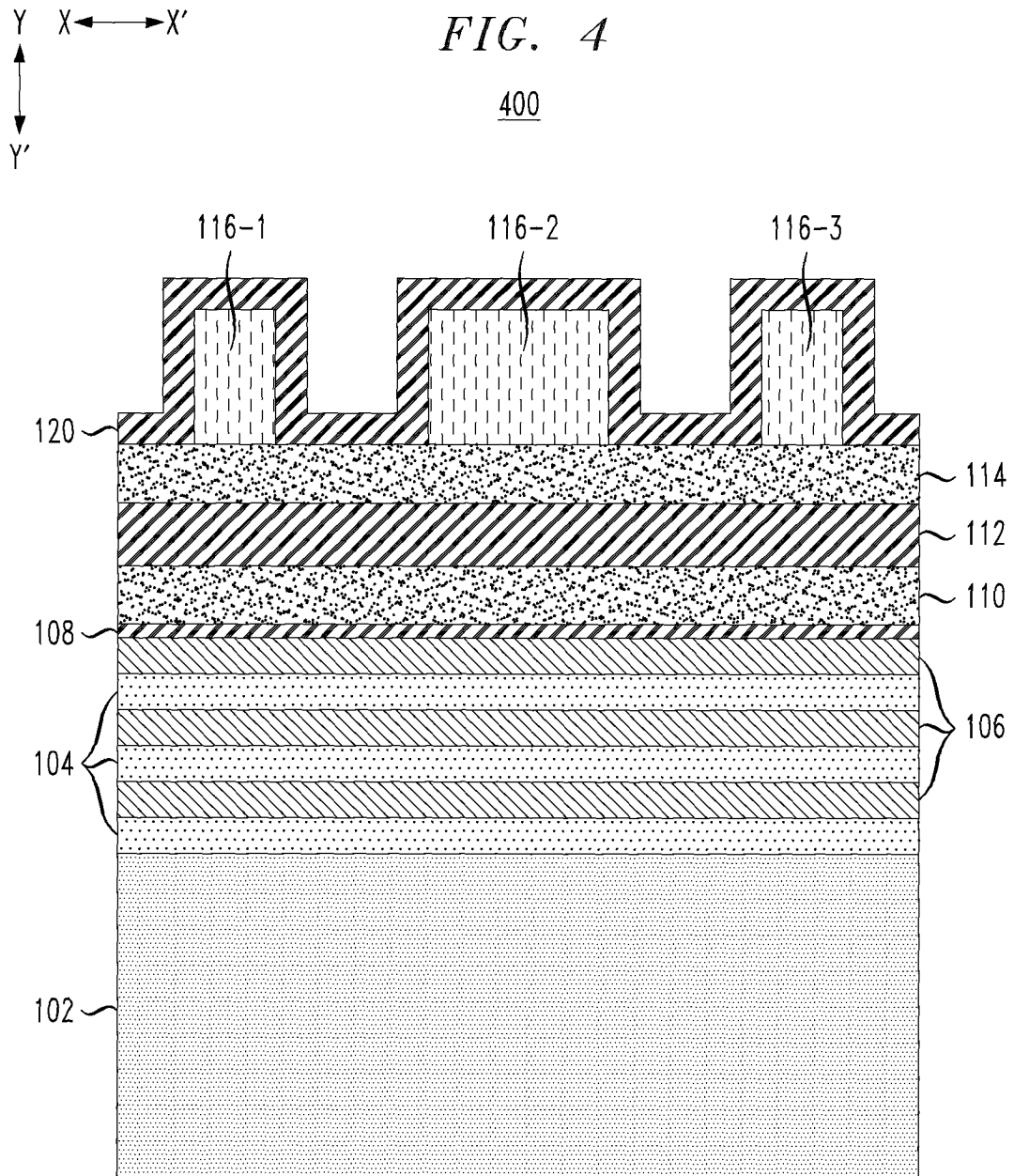
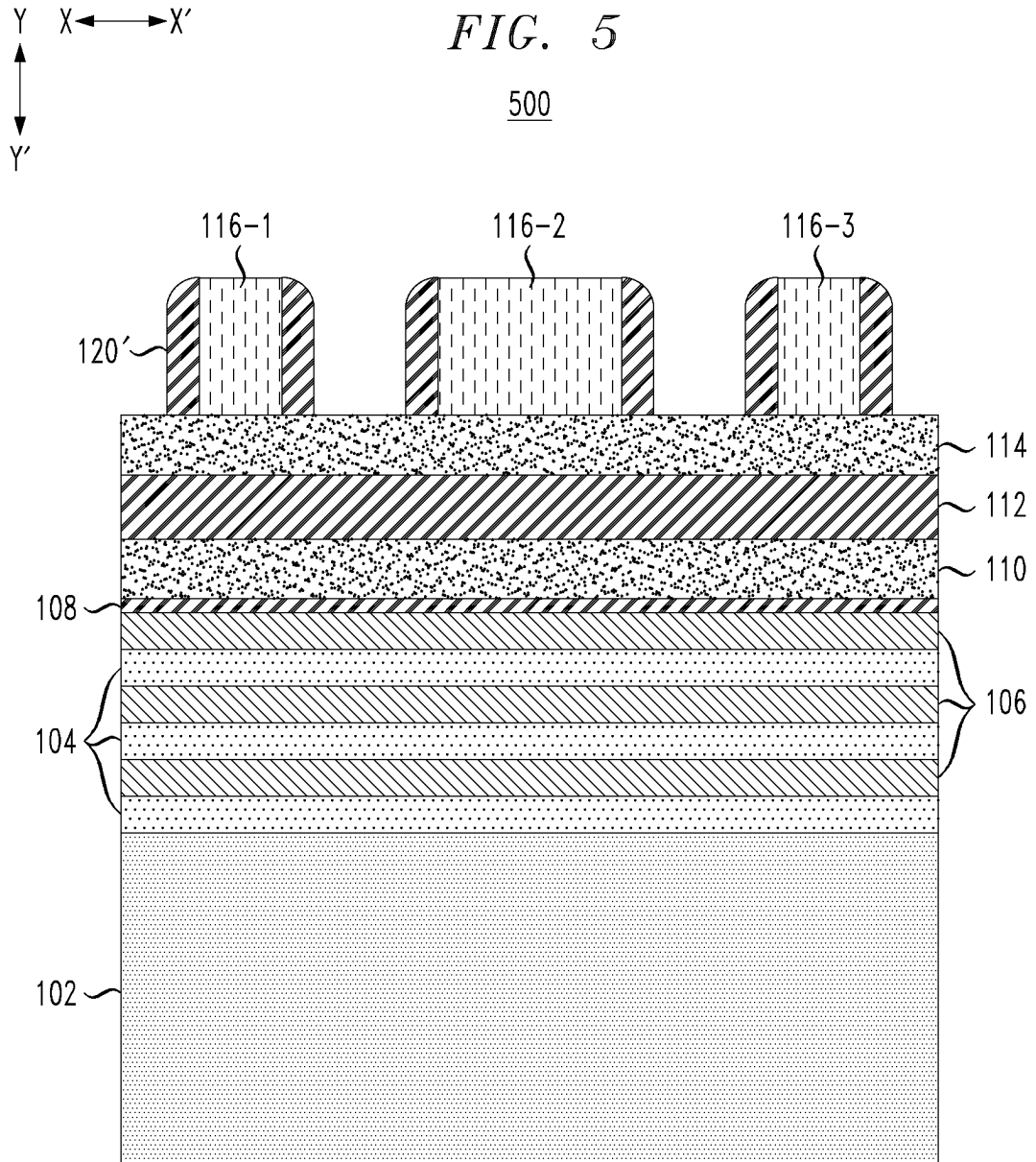


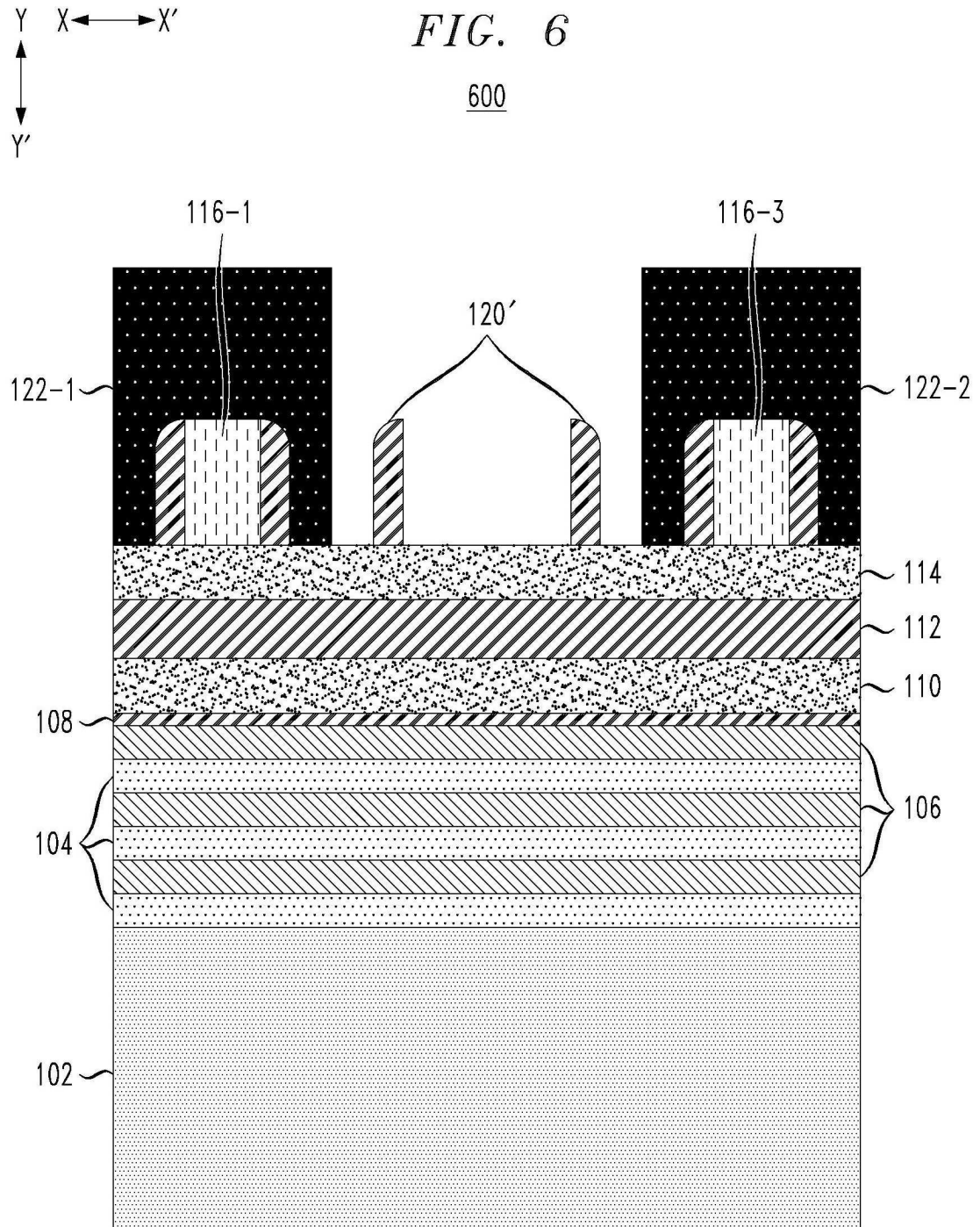
FIG. 3

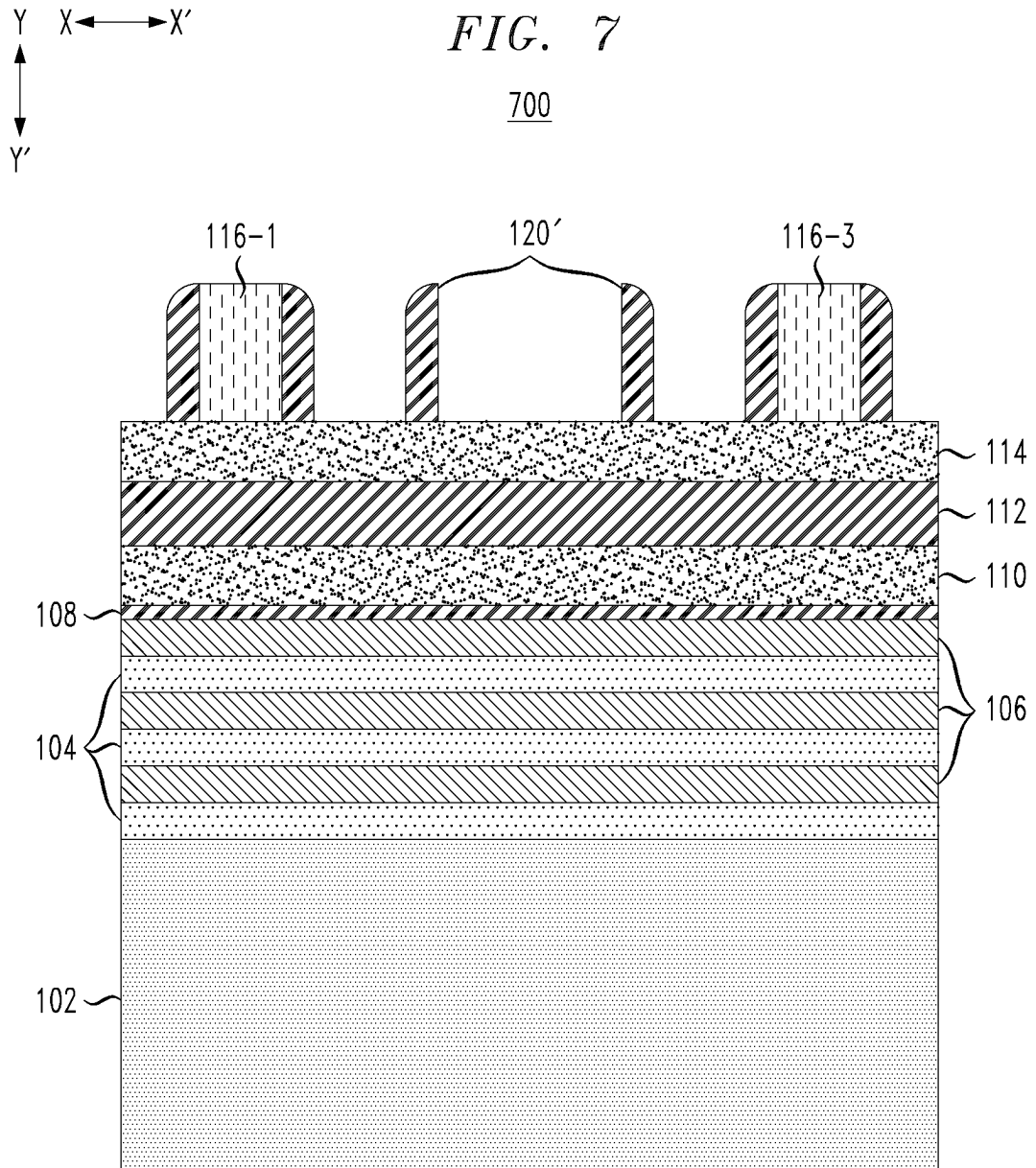
300

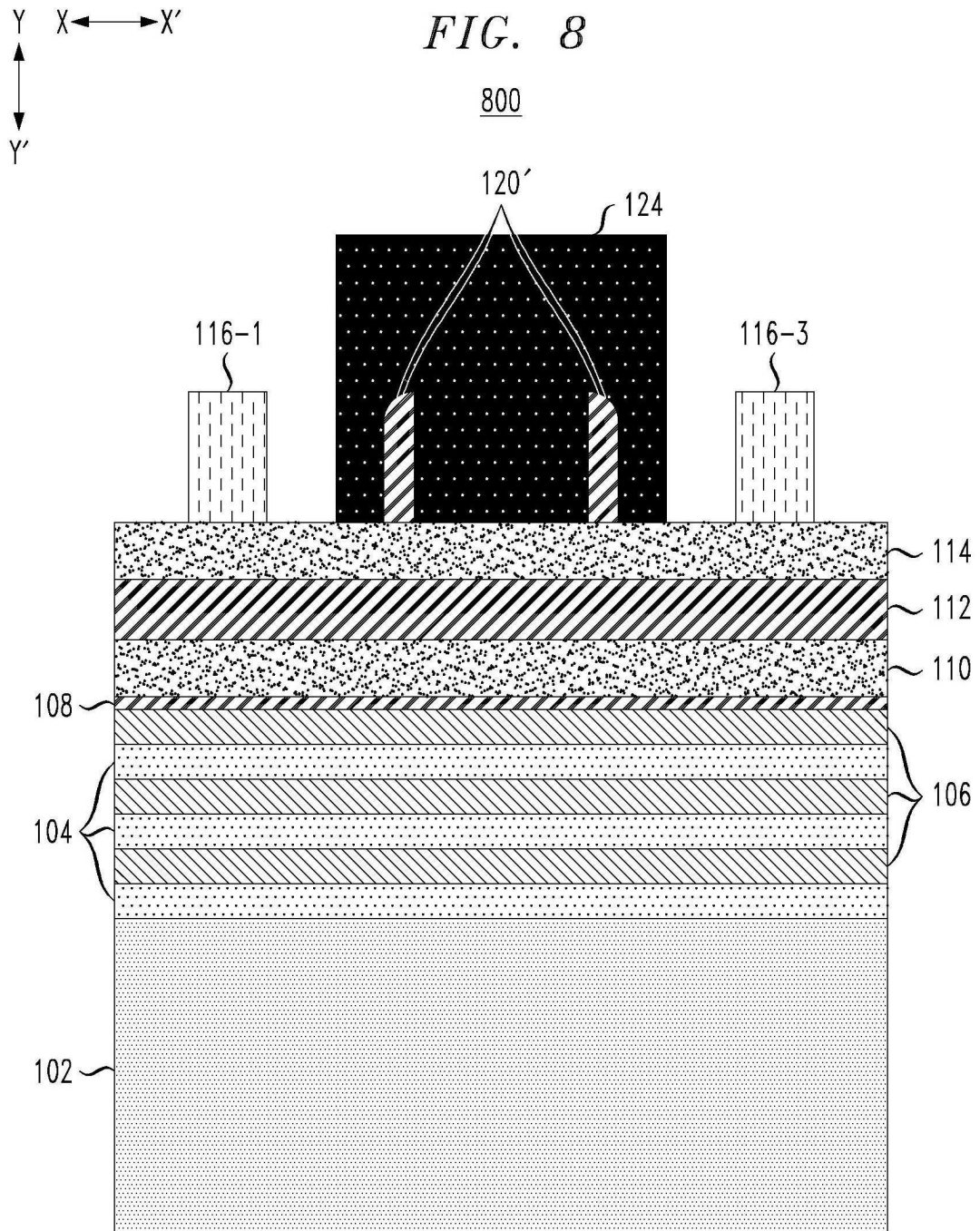


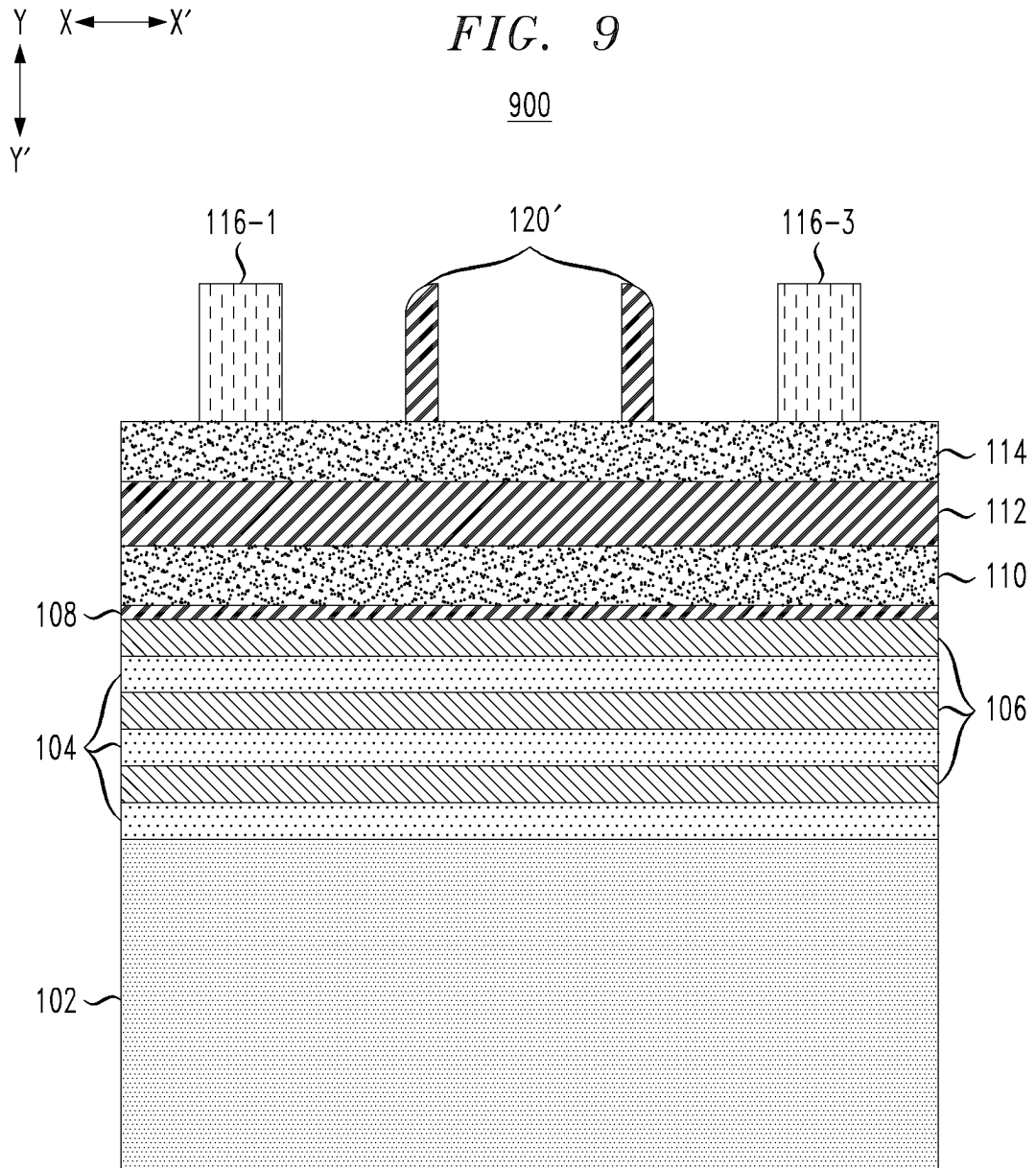


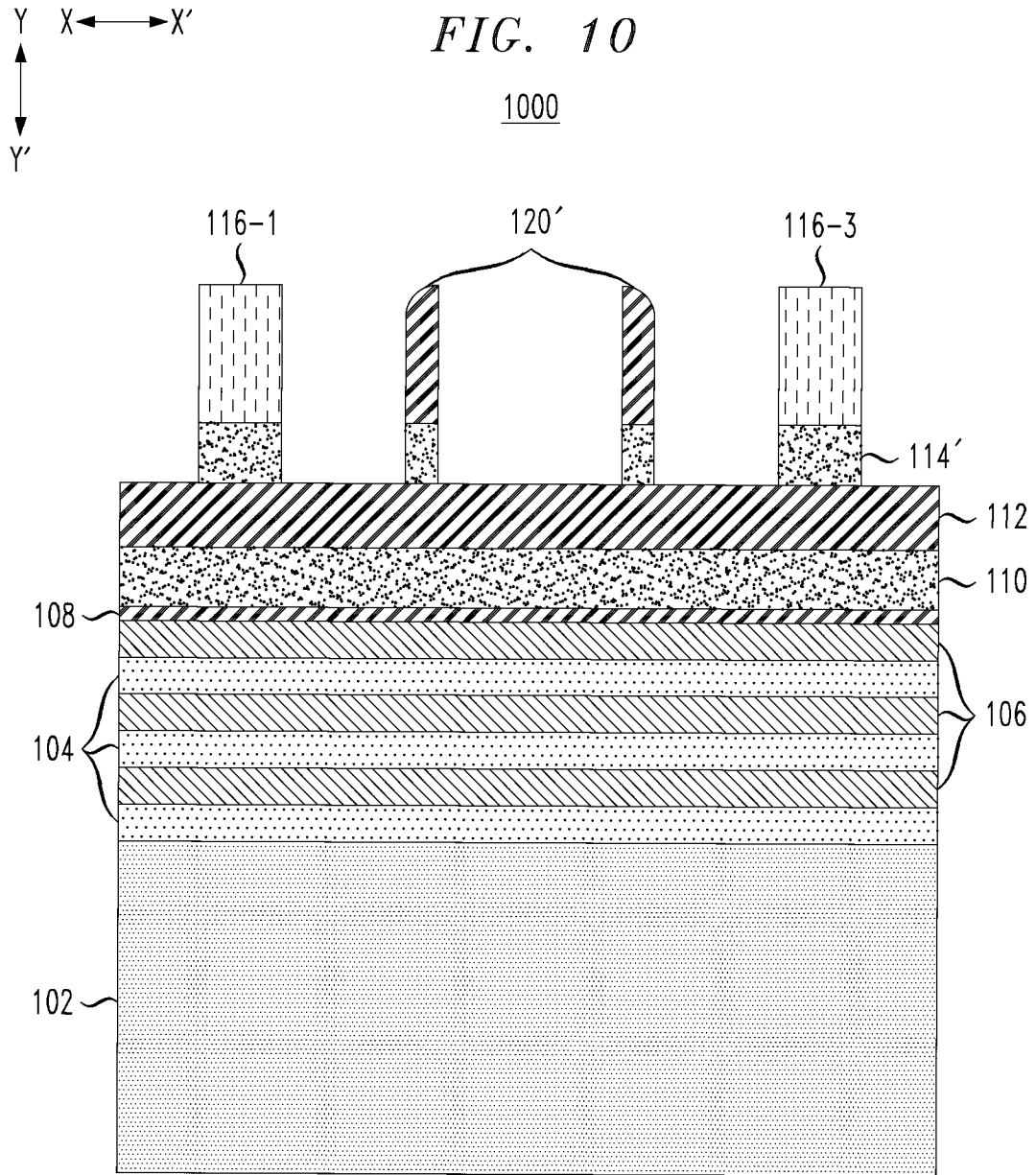


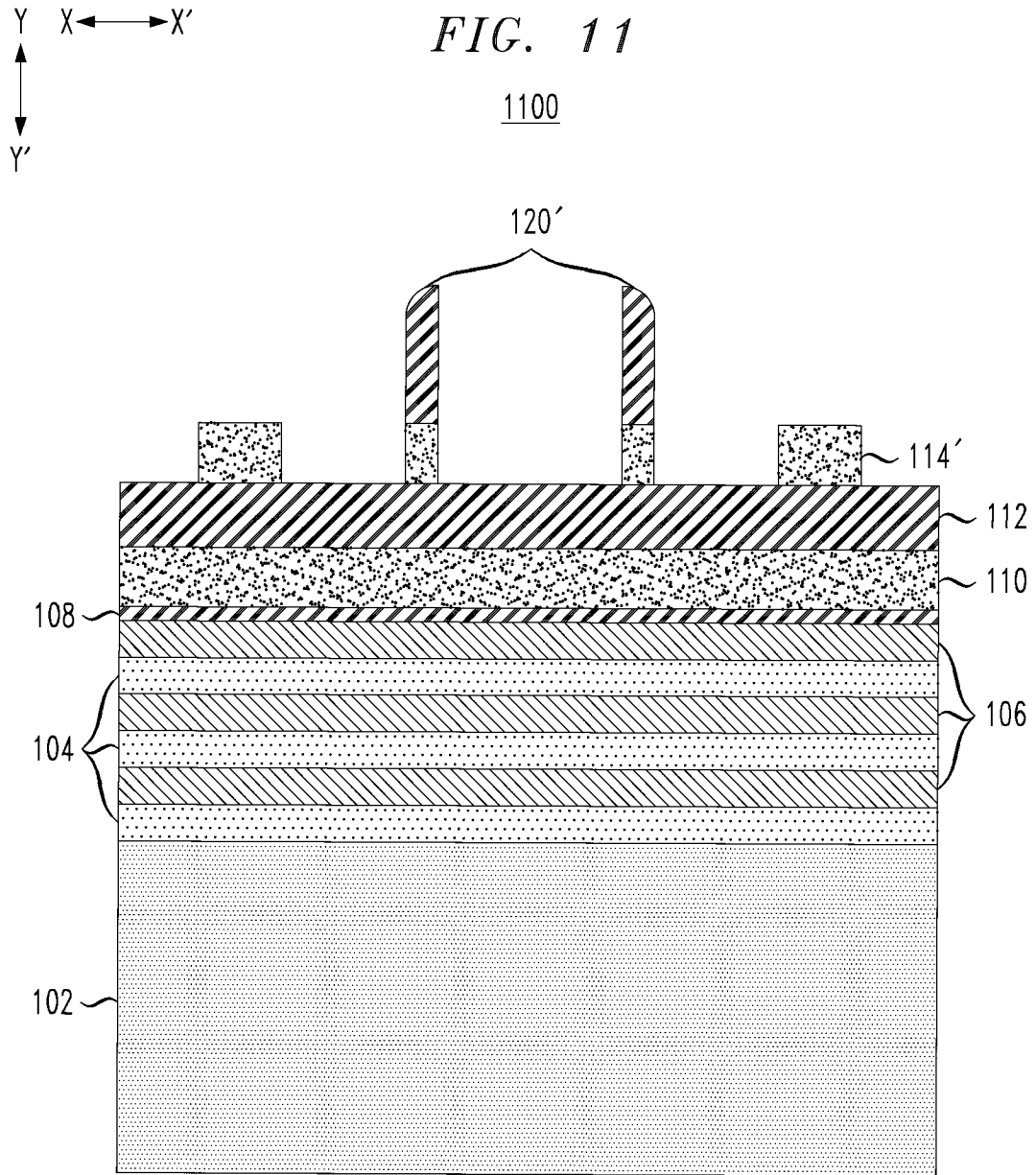


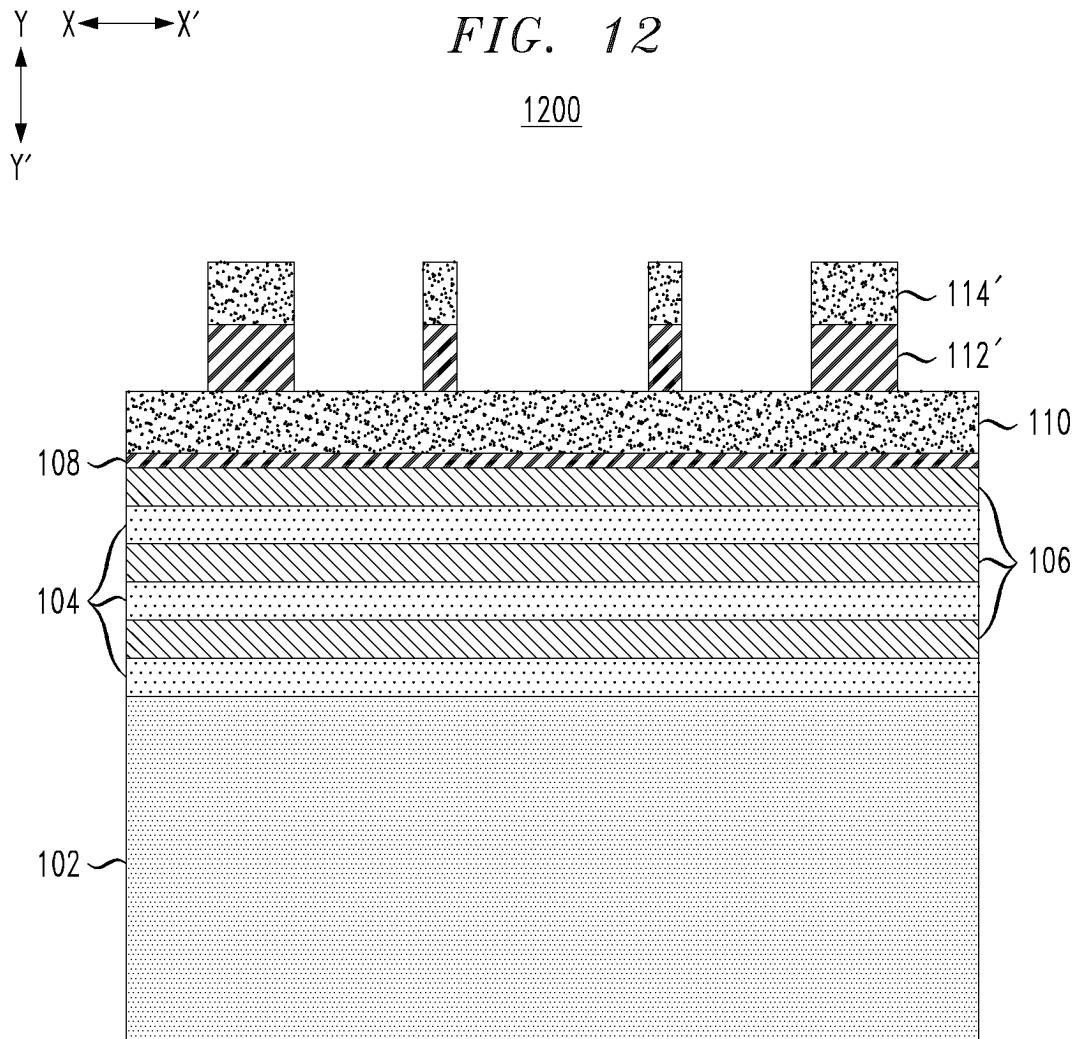


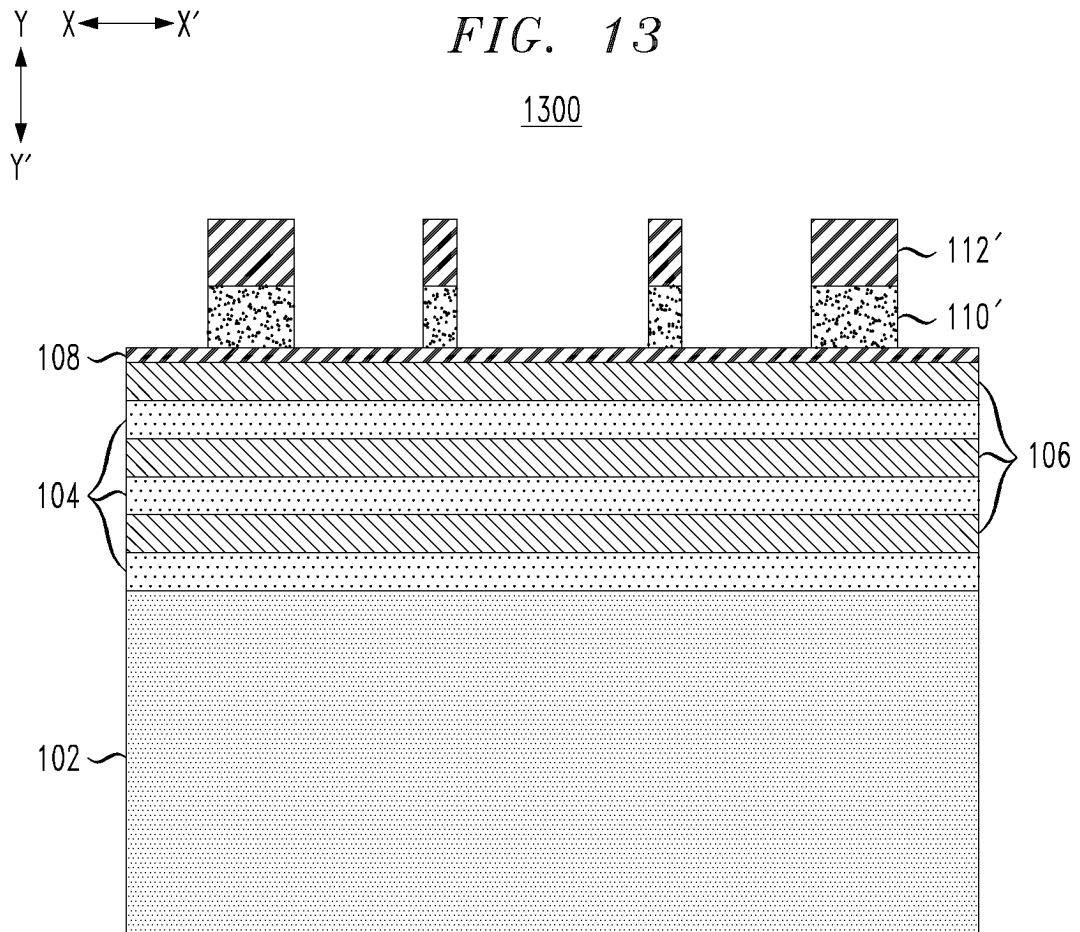


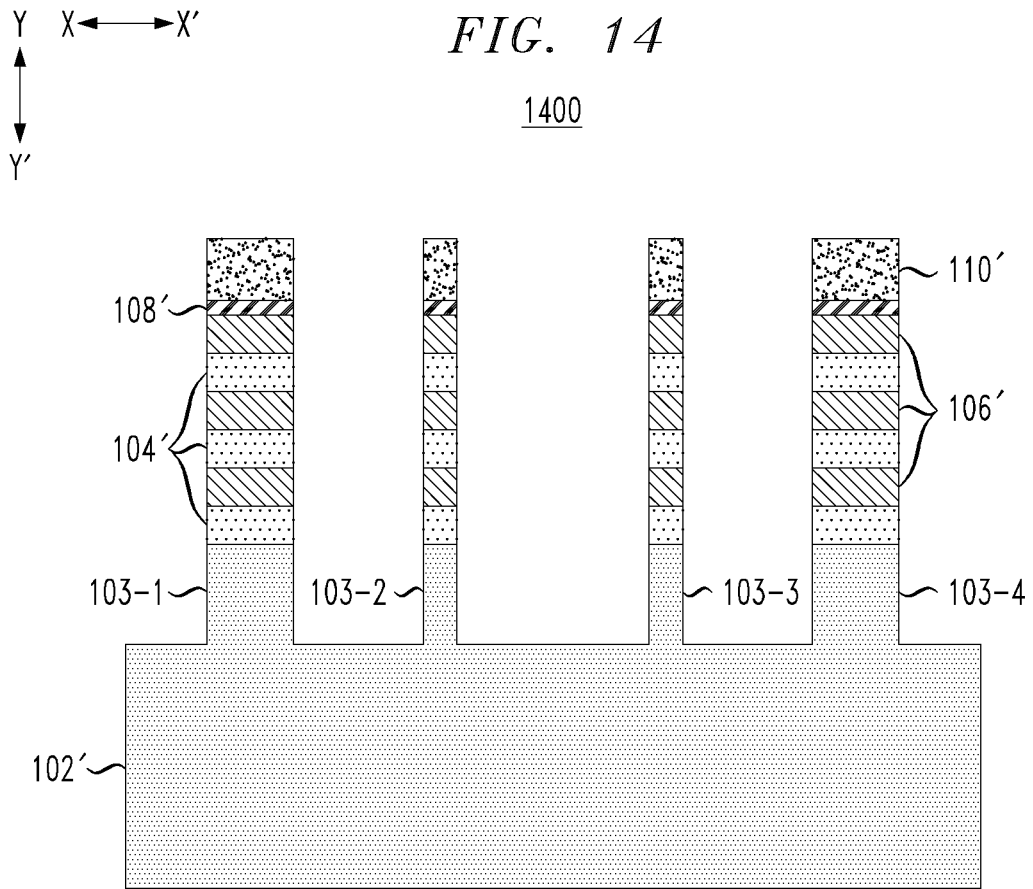












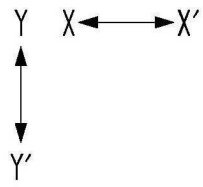
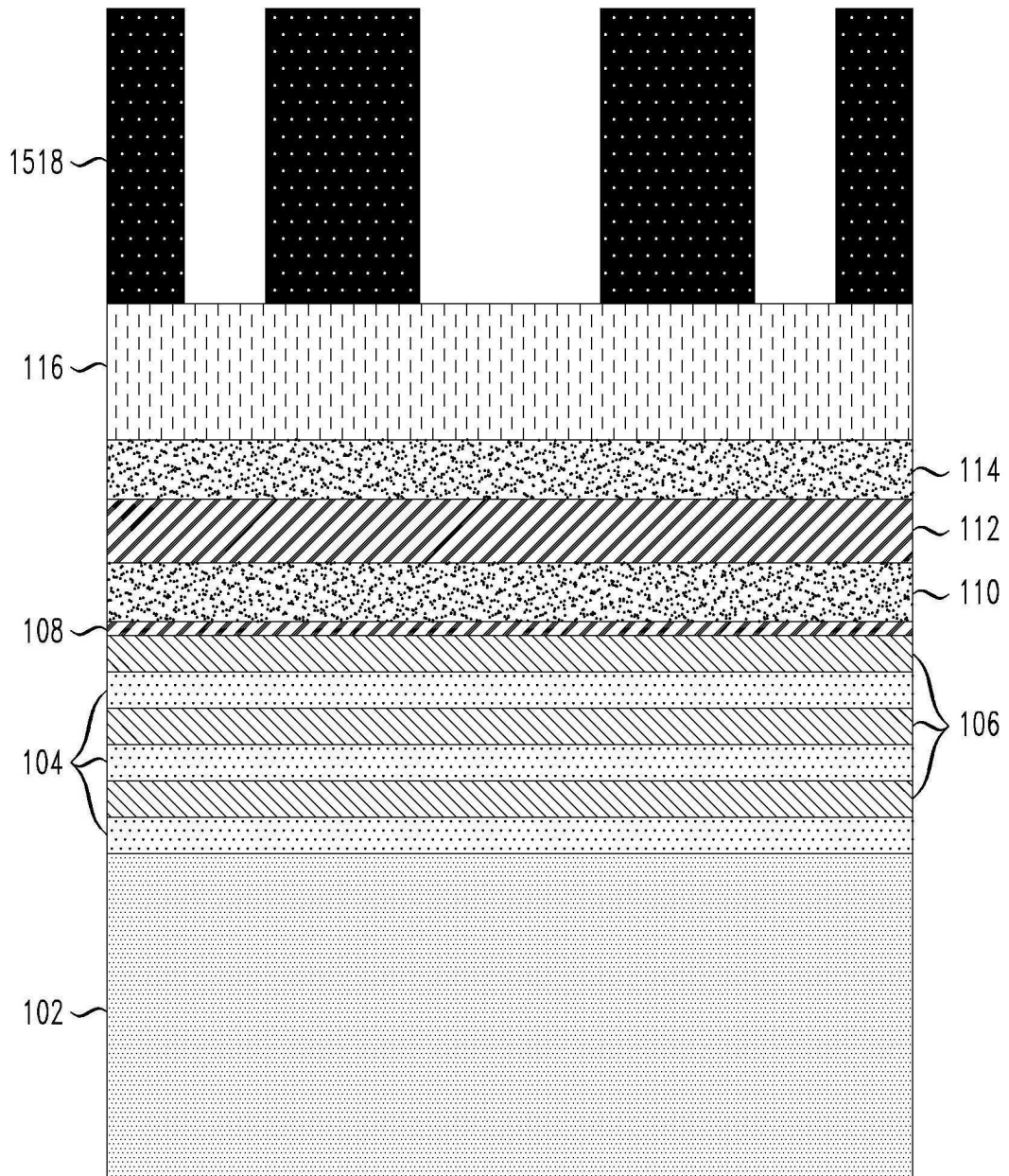


FIG. 15

1500



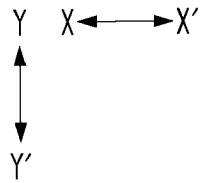
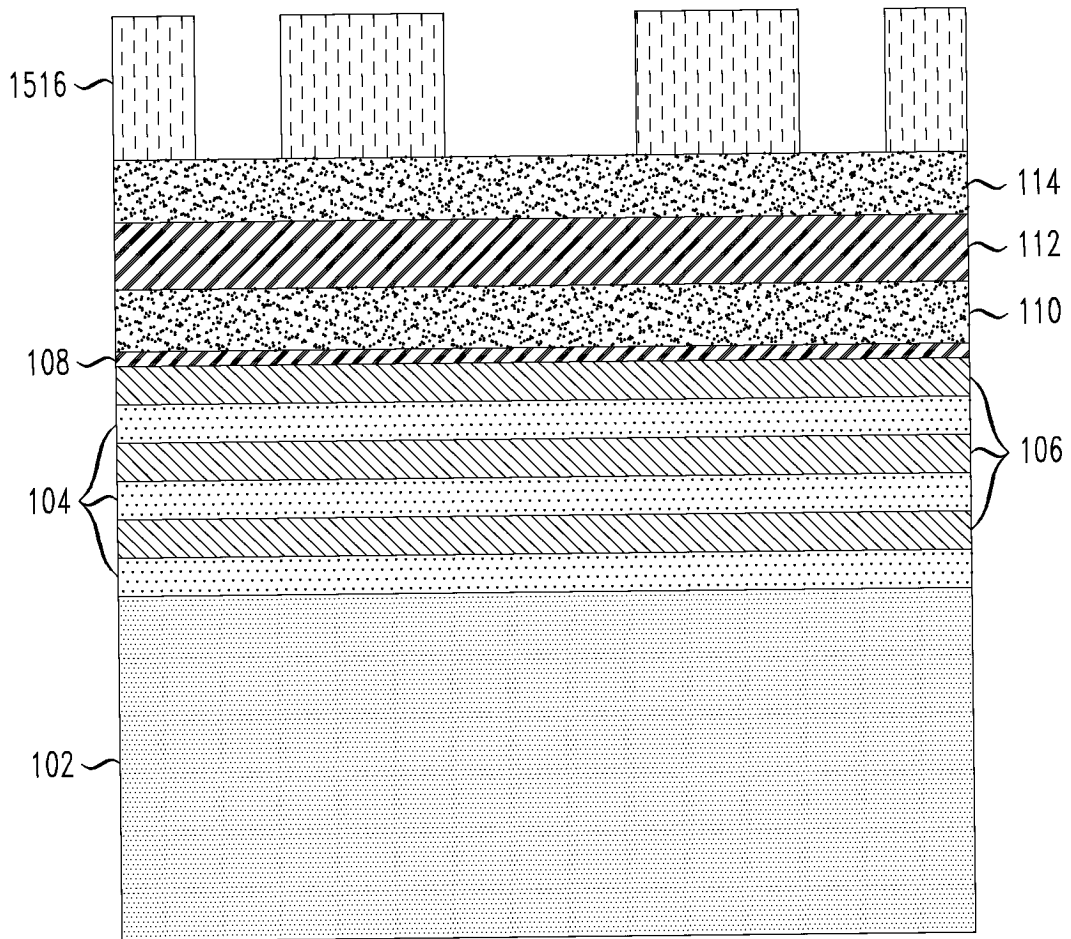
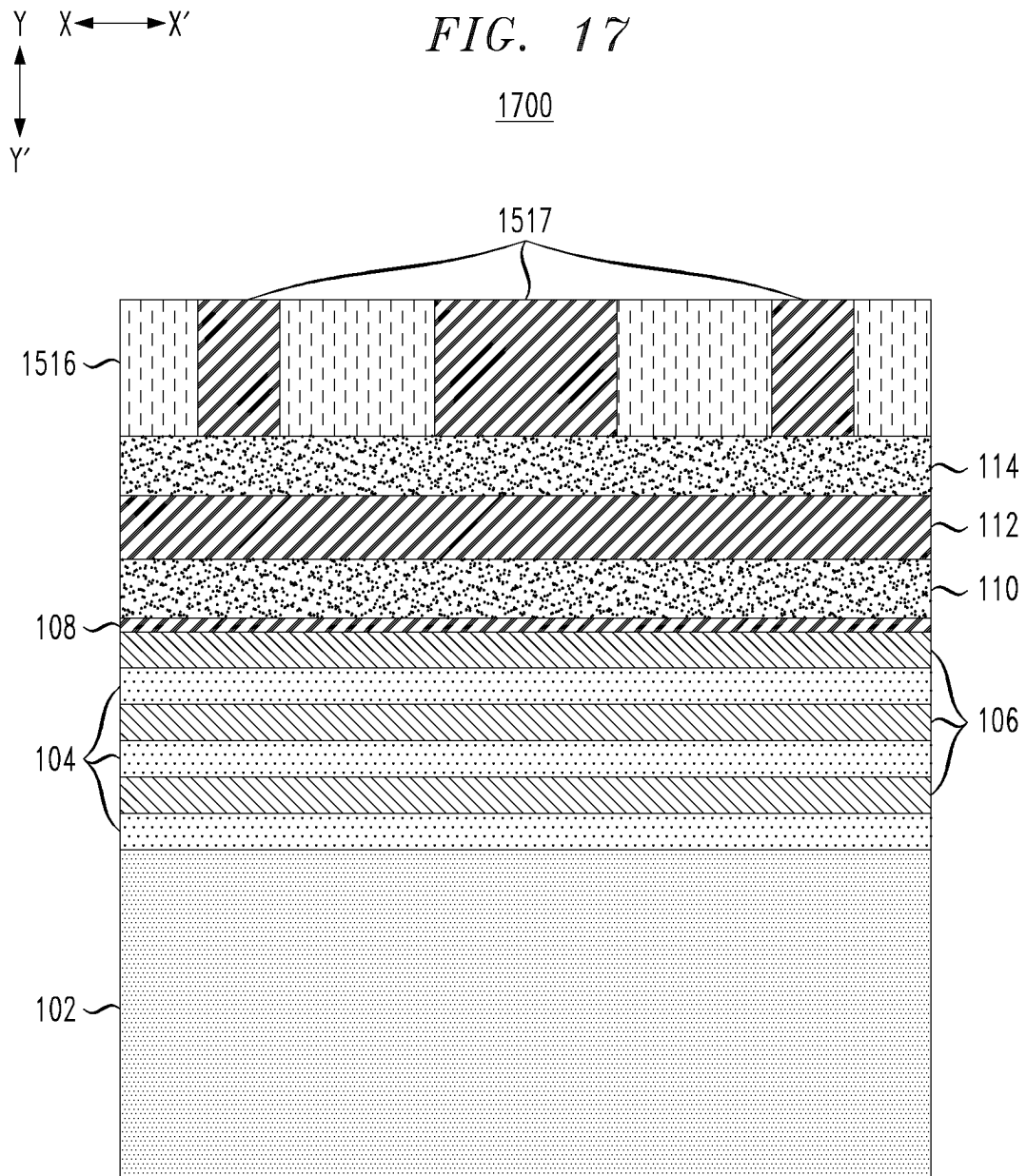
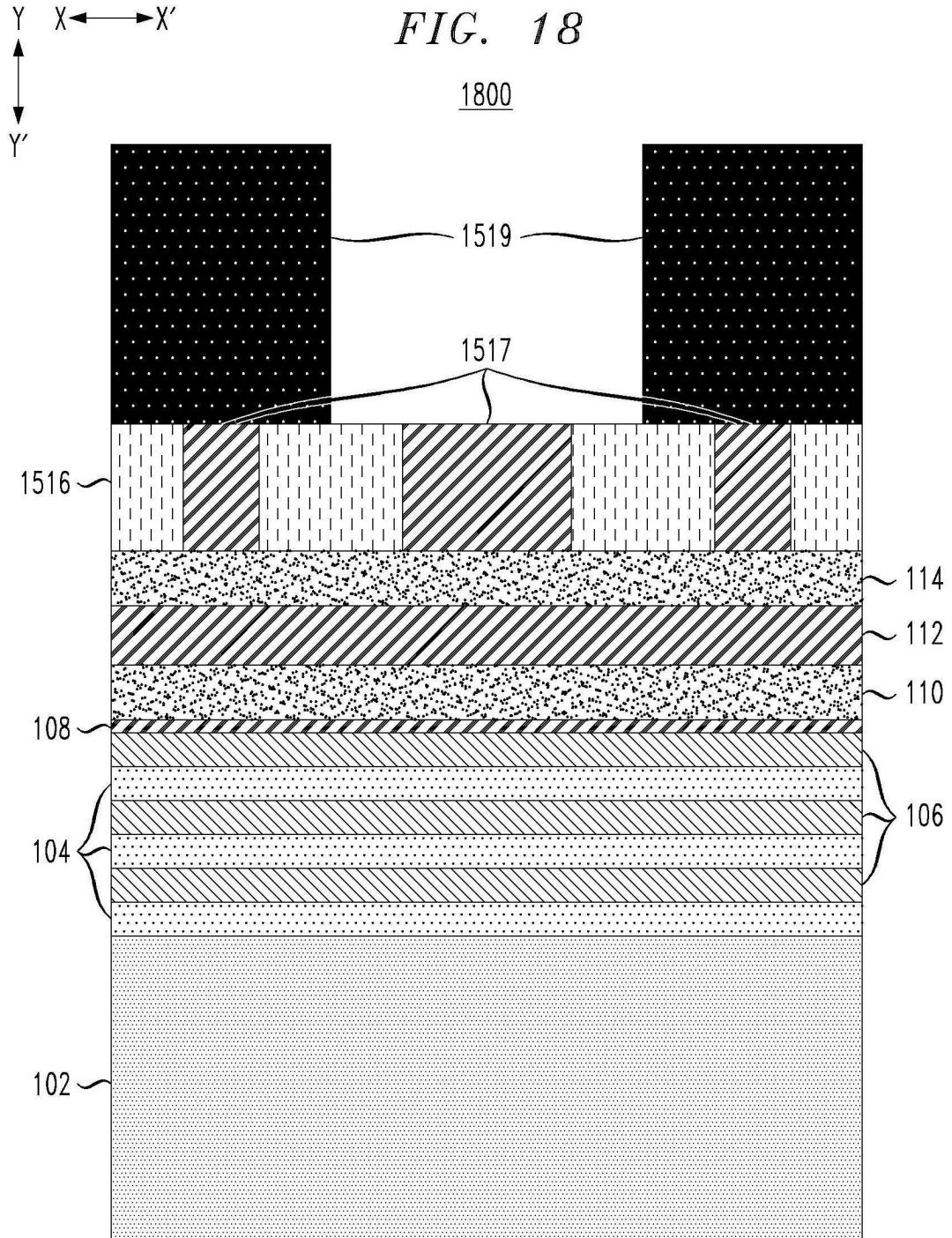


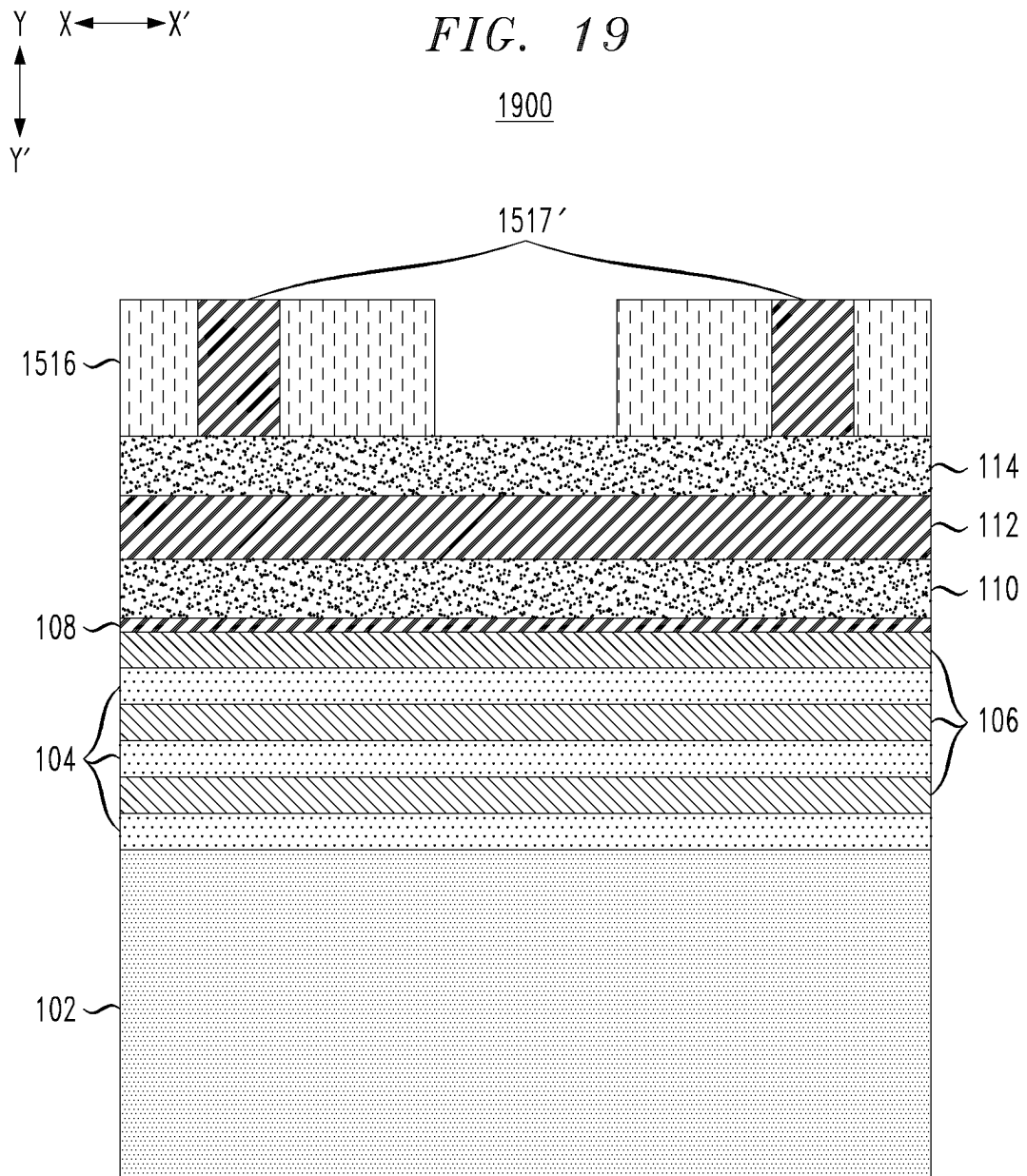
FIG. 16

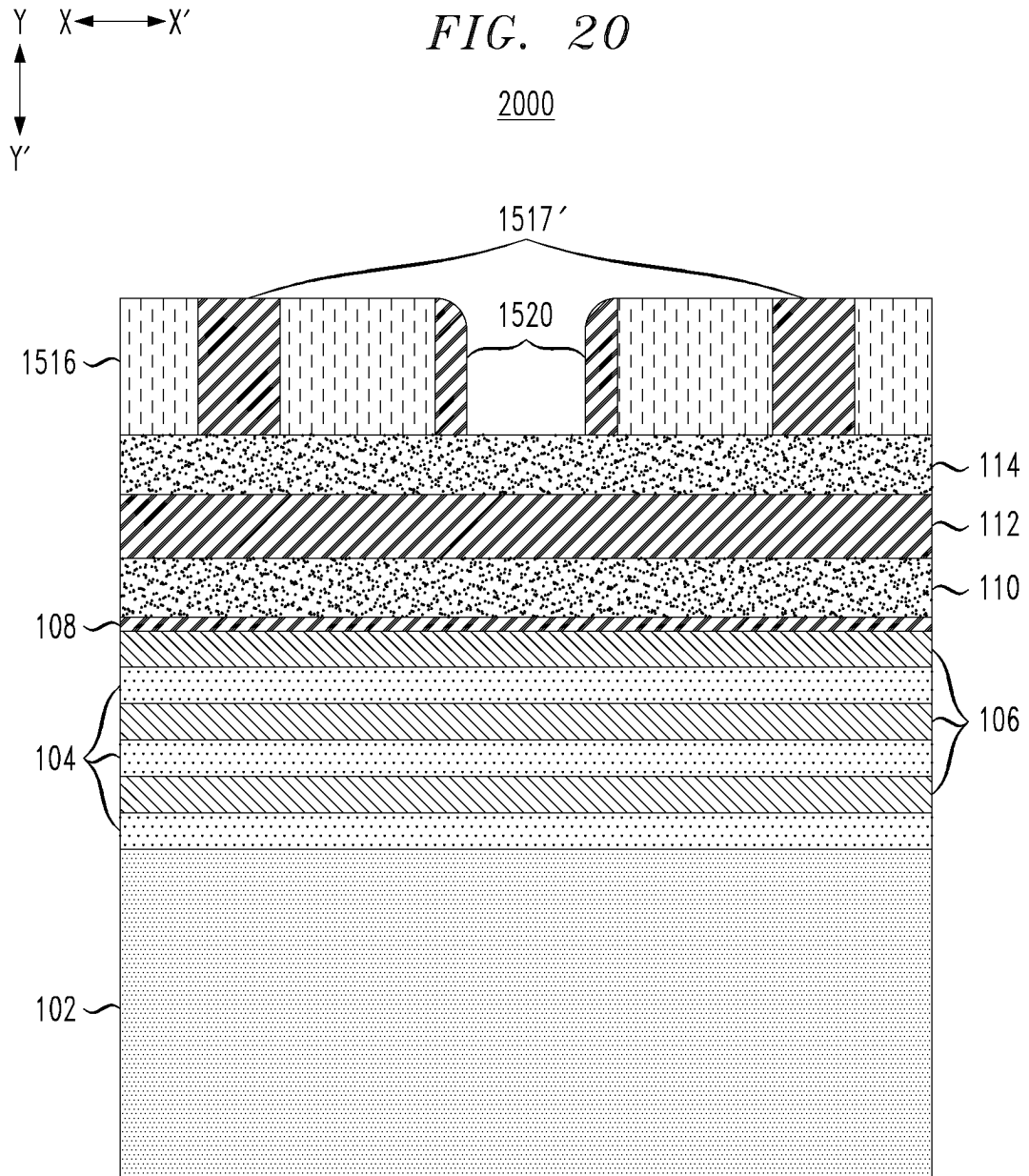
1600

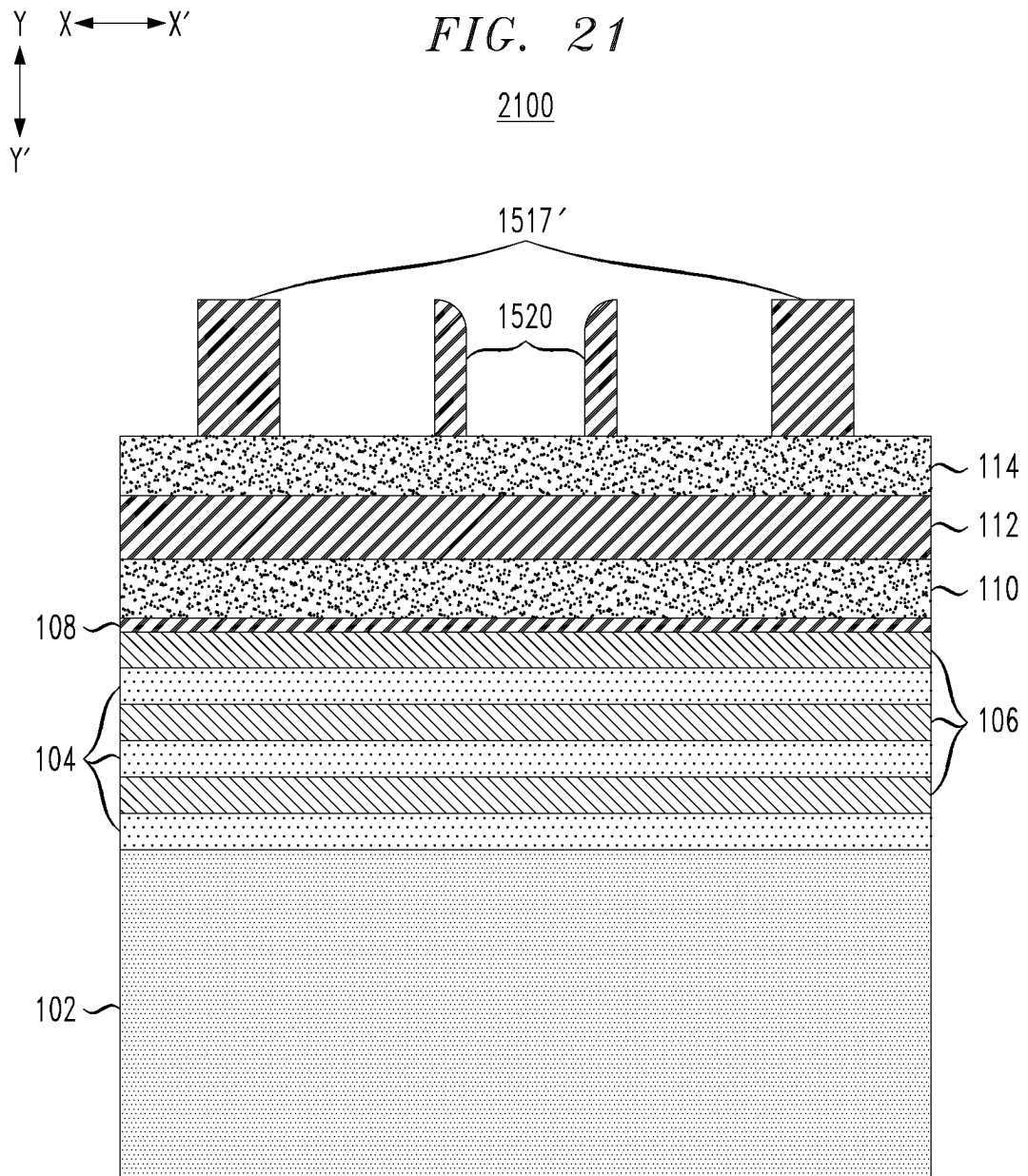












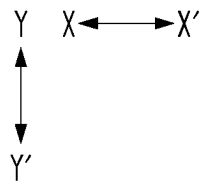
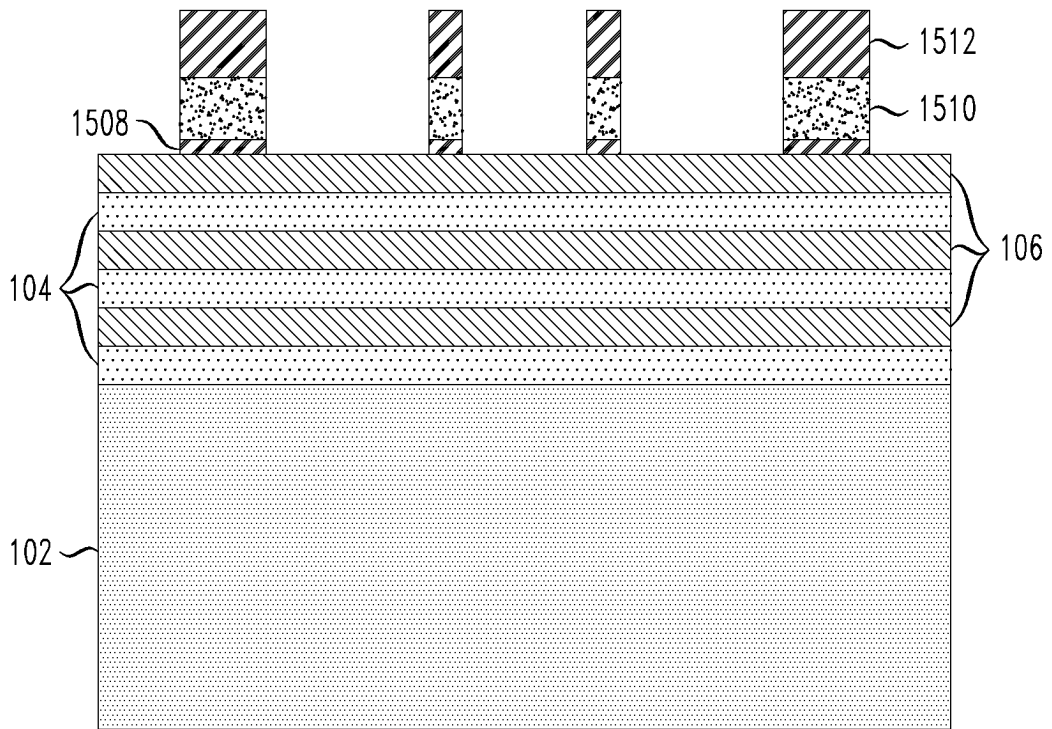


FIG. 22

2200



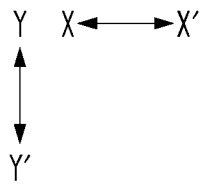


FIG. 23

2300

