

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月10日(10.08.2017)



(10) 国際公開番号

WO 2017/134495 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/363 (2006.01)
- (21) 国際出願番号: PCT/IB2016/052925
- (22) 国際出願日: 2016年5月19日(19.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-021172 2016年2月5日(05.02.2016) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 山崎舜平(YAMAZAKI, Shunpei); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

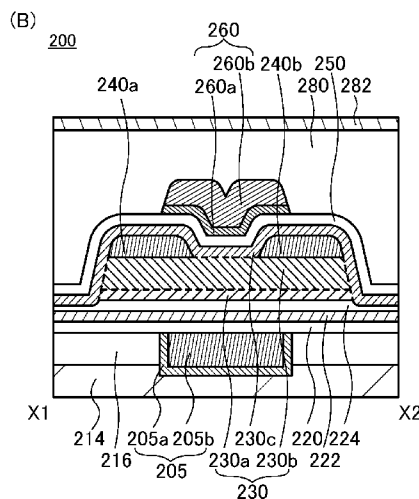
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: METAL OXIDE FILM, SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 金属酸化物膜、半導体装置、及び半導体装置の作製方法

[図30]



(57) Abstract: Provided is: a semiconductor device that has a metal oxide film that includes a crystal part; or a semiconductor device that includes a metal oxide film and has high electron field-effect mobility; or a semiconductor device that includes a metal oxide film and is highly reliable. A semiconductor device that has: a first insulating body; a first conductive body that is formed upon the first insulating body; a second insulating body that is formed upon the first conductive body; an oxide that is formed upon the second insulating body; a third insulating body that is formed upon the oxide; a second conductive body that is formed upon the third insulating body; a fourth insulating body that is formed upon the third insulating body and the second conductive body; and a fifth insulating body that is formed upon the fourth insulating body. The oxide includes In, M (which is Al, Ga, Y, or Sn), and Zn. The oxide has a first crystal part and a second crystal part. The first crystal part has c-axis orientation. The second crystal part does not have c-axis orientation.

(57) 要約:

[続葉有]



結晶部を含む金属酸化物膜を有する半導体装置を提供する。または、金属酸化物膜を含む、電界効果移動度の高い半導体装置を提供する。または、金属酸化物膜を含む、信頼性の高い半導体装置を提供する。第1の絶縁体と、第1の絶縁体の上に形成された第1の導電体と、第1の導電体の上に形成された第2の絶縁体と、第2の絶縁体の上に形成された酸化物と、酸化物の上に形成された第3の絶縁体と、第3の絶縁体の上に形成された第2の導電体と、第3の絶縁体および第2の導電体の上に形成された第4の絶縁体と、第4の絶縁体の上に形成された第5の絶縁体と、を有し、酸化物は、Inと、M（MはAl、Ga、Y、またはSn）と、Znとを含み、酸化物は、第1の結晶部と、第2の結晶部と、を有し、第1の結晶部は、c軸配向性を有し、第2の結晶部は、c軸配向性を有さない半導体装置。

明細書

発明の名称

金属酸化物膜、半導体装置、及び半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、金属酸化物膜及びその作製方法に関する。また、本発明の一態様は、当該金属酸化物膜を有する半導体装置及びその作製方法に関する。

[0002]

または、本発明は、例えば、酸化物、トランジスタおよび半導体装置、ならびにそれらの作製方法に関する。または、本発明は、例えば、酸化物、表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、プロセッサ、電子機器に関する。または、酸化物、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の作製方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、作製方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0004]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、撮像装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

背景技術

[0005]

トランジスタに適用可能な半導体材料として、酸化物半導体が注目されている。例えば、特許文献1では、複数の酸化物半導体層を積層し、当該複数の酸化物半導体層の中で、チャネルとなる酸化物半導体層がインジウム及びガリウムを含み、且つインジウムの割合をガリウムの割合よりも大きくすることで、電界効果移動度（単に移動度、または μ_{FE} という場合がある）を高めた半導体装置が開示されている。

[0006]

また、非特許文献1では、インジウムと、ガリウムと、亜鉛とを有する酸化物半導体は、 $In_{1-x}Ga_{1+x}O_3$ (ZnO)_m (x は $-1 \leq x \leq 1$ を満たす数、 m は自然数)で表されるホモロガス相を有することについて開示されている。また、非特許文献1では、ホモロガス相の固溶域 (solid solution range) について開示されている。例えば、 $m=1$ の場合のホモロガス相の固溶域は、 x が -0.33 から 0.08 の範囲であり、 $m=2$ の場合のホモロガス相の固溶域は、 x が -0.68 から 0.32 の範囲である。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 特開2014-7399号公報

[非特許文献]

[0008]

[非特許文献1] M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the $\text{In}_2\text{O}_3\text{--Ga}_2\text{ZnO}_4\text{--ZnO}$ System at 1350°C 」, J. Solid State Chem., 1991, Vol. 93, pp. 298–315

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、結晶部を含む金属酸化物膜を有する半導体装置を提供することを課題の一とする。または、金属酸化物膜を含む、電界効果移動度の高い半導体装置を提供することを課題の一とする。または、金属酸化物膜を含む、信頼性の高い半導体装置を提供することを課題の一とする。

[0010]

または、酸化物を半導体に用いた半導体装置を提供することを課題の一とする。または、酸化物を半導体に用いた半導体装置を有するモジュールを提供することを課題の一とする。または、酸化物を半導体に用いた半導体装置、または酸化物を半導体に用いた半導体装置を有するモジュールを有する電子機器を提供することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、これらの課題の全てを解決する必要はないものとする。これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1の絶縁体と、第1の絶縁体の上に形成された第1の導電体と、第1の導電体の上に形成された第2の絶縁体と、第2の絶縁体の上に形成された酸化物と、酸化物の上に形成された第3の絶縁体と、第3の絶縁体の上に形成された第2の導電体と、第3の絶縁体および第2の導電体の上に形成された第4の絶縁体と、第4の絶縁体の上に形成された第5の絶縁体と、を有し、酸化物は、Inと、M（MはAl、Ga、Y、またはSn）と、Znとを含み、In、M、及びZnの原子数比は、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 及びその近傍であり、Inが4の場合、Mが1.5以上2.5以下であり、且つZnが2以上4以下であり、酸化物は、第1の結晶部と、第2の結晶部と、を有し、第1の結晶部は、c軸配向性を有し、第2の結晶部は、c軸配向性を有さない、第2の絶縁体、第3の絶縁体及び第4の絶縁体は、酸素と、シリコンを含み、第1の絶縁体及び第5の絶縁体は、酸素と、アルミニウムを含むことを特徴とする半導体装置である。

[0013]

上記において、酸化物は、断面に対する電子線回折測定を行い、酸化物の電子線回折パターンを観測した場合、電子線回折パターンは、第1の結晶部に起因する回折スポットを有する第1の領域と、第2の結晶部に起因する回折スポットを有する第2の領域と、を有し、第1の領域における輝度の積分強度は、第2の領域における輝度の積分強度よりも大きいことが好ましい。

[0014]

上記において、第1の領域における輝度の積分強度は、第2の領域における輝度の積分強度に対し

て、1 倍を超えて3 倍以下であることが好ましい。

[0015]

上記において、酸化物は、浅い欠陥準位密度のピーク値が、 $2.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満である領域を有することが好ましい。

[0016]

上記において、酸化物と第3の絶縁体の間に、第2の酸化物を有し、第2の酸化物は、Inと、M(MはAl、Ga、Y、またはSn)と、Znとを含み、酸化物は、第1の結晶部と、第2の結晶部と、を有し、第1の結晶部は、c軸配向性を有し、第2の結晶部は、c軸配向性を有さない、断面に対する電子線回折測定を行い、酸化物の電子線回折パターンを観測した場合、電子線回折パターンは、第1の結晶部に起因する回折スポットを有する第1の領域と、第2の結晶部に起因する回折スポットを有する第2の領域と、を有し、第1の領域における輝度の積分強度は、第2の領域における輝度の積分強度に対して、1 倍を超えて10 倍以下であることが好ましい。

[0017]

本発明の他の一態様は、第1の絶縁体の上に、酸素とアルミニウムを含む第1の導電体を形成し、第1の導電体の上に、酸素とシリコンを含む第2の絶縁体を形成し、第2の絶縁体の上に、酸素の流量比を20%以下とし、基板温度を室温以上150℃以下として、スパッタリング法を用いて酸化物を形成し、450℃以下の温度で熱処理を行い、酸化物の上に、酸素とシリコンを含む第3の絶縁体を形成し、第3の絶縁体の上に、第2の導電体を形成し、第3の絶縁体および第2の導電体の上に、酸素とシリコンを含む第4の絶縁体を形成し、第4の絶縁体の上に、450℃以下の温度で基板加熱を行いながらスパッタリング法を用いて酸素とアルミニウムを含む第5の絶縁体を形成する、ことを特徴とする半導体装置の作製方法である。

発明の効果

[0018]

本発明の一態様によれば、結晶部を含む金属酸化物膜を有する半導体装置を提供することができる。または、金属酸化物膜を含む、電界効果移動度の高い半導体装置を提供することができる。または、金属酸化物膜を含む、信頼性の高い半導体装置を提供することができる。

[0019]

または、酸化物を半導体に用いた半導体装置を提供することができる。または、酸化物を半導体に用いた半導体装置を有するモジュールを提供することができる。または、酸化物を半導体に用いた半導体装置、または酸化物を半導体に用いた半導体装置を有するモジュールを有する電子機器を提供することができる。

図面の簡単な説明

[0020]

- [図1A乃至1C] 金属酸化物膜の断面TEM像、及び断面HR-TEM像を説明する図。
- [図2A乃至2C] 金属酸化物膜の断面TEM像、及び断面HR-TEM像を説明する図。
- [図3A乃至3C] 金属酸化物膜の断面TEM像、及び断面HR-TEM像を説明する図。
- [図4A乃至4C] 金属酸化物膜のXRD測定結果、及び電子線回折パターンを説明する図。
- [図5A乃至5C] 金属酸化物膜のXRD測定結果、及び電子線回折パターンを説明する図。
- [図6A乃至6C] 金属酸化物膜のXRD測定結果、及び電子線回折パターンを説明する図。
- [図7A及び7B] 電子線回折パターンを説明する図。

- [図 8] 電子線回折パターンの一ラインプロファイルを説明する図。
- [図 9] 電子線回折パターンの一ラインプロファイル、一ラインプロファイルの相対輝度 R 、及びスペクトルの半値幅を説明する概念図。
- [図 10A1、10A2、10B1、及び10B2] 電子線回折パターン、及び輝度プロファイルを説明する図。
- [図 11A1 及び 11A2] 電子線回折パターン、及び輝度プロファイルを説明する図。
- [図 12] 金属酸化物膜の電子線回折パターンから見積もった相対輝度を説明する図。
- [図 13A 及び 13B] 金属酸化物膜の断面 TEM 像及び画像解析後の断面 TEM 像を説明する図。
- [図 14A 及び 14B] 金属酸化物膜の断面 TEM 像及び画像解析後の断面 TEM 像を説明する図。
- [図 15A 及び 15B] 金属酸化物膜の断面 TEM 像及び画像解析後の断面 TEM 像を説明する図。
- [図 16A 乃至 16C] 金属酸化物膜の SIMS 測定結果を説明する図。
- [図 17] $I_d - V_g$ 特性を説明する図。
- [図 18] $I_d - V_g$ 特性を説明する図。
- [図 19] 界面準位密度の計算結果を説明する図。
- [図 20A 及び 20B] $I_d - V_g$ 特性を説明する図。
- [図 21] 欠陥準位密度の計算結果を説明する図。
- [図 22] CPM の測定結果を説明する図。
- [図 23] CPM の測定結果を説明する図。
- [図 24] CPM の測定結果を説明する図。
- [図 25A 乃至 25D] 酸化物半導体膜の成膜メカニズムを説明する図。
- [図 26A 乃至 26C] 酸化物半導体膜の原子数比の範囲を説明する図。
- [図 27] $InM ZnO_4$ の結晶を説明する図。
- [図 28] 酸化物半導体膜をチャネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図。
- [図 29A 及び 29B] ナノクラスターの構造を説明する図。
- [図 30A 乃至 30C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 31A 乃至 31C] バンド構造を説明する図。
- [図 32A 乃至 32C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 33A 乃至 33C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 34A 乃至 34C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 35A 乃至 35C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 36A 乃至 36C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 37A 乃至 37C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 38A 乃至 38C] 実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- [図 39A 乃至 39E] 実施の形態に係る、トランジスタの作製方法例を説明する図。
- [図 40A 乃至 40D] 実施の形態に係る、トランジスタの作製方法例を説明する図。
- [図 41A 乃至 41D] 実施の形態に係る、トランジスタの作製方法例を説明する図。
- [図 42A 及び 42B] 実施の形態に係る、トランジスタの作製方法例を説明する図。
- [図 43A 及び 43B] 実施の形態に係る、半導体装置の回路図。
- [図 44] 実施の形態に係る、半導体装置の断面構造を説明する図。

- [図 4 5] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 4 6] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 4 7] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 4 8 A 及び 4 8 B] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 4 9 A 及び 4 9 B] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 5 0 A 及び 5 0 B] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 5 1] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 5 2 A 及び 5 2 B] 実施の形態に係る、半導体装置の回路図及び断面構造を説明する図。
- [図 5 3] 実施の形態に係る、半導体装置の断面構造を説明する図。
- [図 5 4] 本発明の一態様に係る記憶装置を示す回路図。
- [図 5 5] 本発明の一態様に係る記憶装置を示す回路図。
- [図 5 6 A 乃至 5 6 C] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 5 7 A 乃至 5 7 C] 本発明の一態様を説明するためのグラフおよび回路図。
- [図 5 8 A 及び 5 8 B] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 5 9 A 及び 5 9 B] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 6 0 A 乃至 6 0 E] 本発明の一態様を説明するためのブロック図、回路図および波形図。
- [図 6 1 A 及び 6 1 B] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 6 2 A 及び 6 2 B] 本発明の一態様を説明するための回路図。
- [図 6 3 A 乃至 6 3 C] 本発明の一態様を説明するための回路図。
- [図 6 4 A 及び 6 4 B] 本発明の一態様を説明するための回路図。
- [図 6 5 A 乃至 6 5 C] 本発明の一態様を説明するための回路図。
- [図 6 6 A 及び 6 6 B] 本発明の一態様を説明するための回路図。
- [図 6 7] 本発明の一態様に係る半導体装置を示すブロック図。
- [図 6 8] 本発明の一態様に係る半導体装置を示す回路図。
- [図 6 9 A 及び 6 9 B] 本発明の一態様に係る半導体装置を示す上面図。
- [図 7 0 A 及び 7 0 B] 本発明の一態様に係る半導体装置を示すブロック図。
- [図 7 1 A 及び 7 1 B] 本発明の一態様に係る半導体装置を示す断面図。
- [図 7 2] 本発明の一態様に係る半導体装置を示す断面図。
- [図 7 3 A 及び 7 3 B] 本発明の一態様に係る半導体装置を示す上面図。
- [図 7 4 A 及び 7 4 B] 本発明の一態様を説明するためのフローチャート、および半導体装置を示す斜視図。
- [図 7 5 A 乃至 7 5 F] 本発明の一態様に係る電子機器を示す斜視図。
- [図 7 6] 試料の XRD スペクトルの測定結果を説明する図。
- [図 7 7 A 乃至 7 7 L] 試料の TEM 像、および電子線回折パターンを説明する図。
- [図 7 8 A 乃至 7 8 C] 試料の EDX マッピングを説明する図。

発明を実施するための形態

[0021]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容

に限定して解釈されるものではない。

[0022]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

[0023]

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

[0024]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0025]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

[0026]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0027]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0028]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

[0029]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0030]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

[0031]

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

[0032]

一例として、しきい値電圧 V_{th} が0.5Vであり、 V_{gs} が0.5Vにおけるドレイン電流が 1×10^{-9} Aであり、 V_{gs} が0.1Vにおけるドレイン電流が 1×10^{-13} Aであり、 V_{gs} が-0.5Vにおけるドレイン電流が 1×10^{-19} Aであり、 V_{gs} が-0.8Vにおけるドレイン電流が 1×10^{-22} Aであるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が-0.5Vにおいて、または、 V_{gs} が-0.5V乃至-0.8Vの範囲において、 1×10^{-19} A以下であるから、当該トランジスタのオフ電流は 1×10^{-19} A以下である、と言う場合がある。当該トランジスタのドレイン電流が 1×10^{-22} A以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は 1×10^{-22} A以下である、と言う場合がある。

[0033]

また、本明細書等では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1 \mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流／長さの次元を持つ単位（例えば、 $\text{A}/\mu\text{m}$ ）で表される場合がある。

[0034]

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60℃、85℃、95℃、または125℃におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃の範囲の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、室温、60℃、85℃、95℃、125℃、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃の範囲の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

[0035]

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、また

は、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、 V_{ds} が 0.1 V 、 0.8 V 、 1 V 、 1.2 V 、 1.8 V 、 2.5 V 、 3 V 、 3.3 V 、 10 V 、 12 V 、 16 V 、 20 V 、当該トランジスタが含まれる半導体装置の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

[0036]

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

[0037]

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0038]

また、本明細書等において、トランジスタのしきい値電圧とは、トランジスタにチャネルが形成されたときのゲート電圧(V_g)を指す。具体的には、トランジスタのしきい値電圧とは、ゲート電圧(V_g)を横軸に、ドレイン電流(I_d)の平方根を縦軸にプロットした曲線($V_g - \sqrt{I_d}$ 特性)において、最大傾きである接線を外挿したときの直線と、ドレイン電流(I_d)の平方根が 0 (I_d が 0 A)との交点におけるゲート電圧(V_g)を指す場合がある。あるいは、トランジスタのしきい値電圧とは、チャネル長を L 、チャネル幅を W とし、 $I_d[\text{A}] \times L[\mu\text{m}] / W[\mu\text{m}]$ の値が $1 \times 10^{-9}[\text{A}]$ となるゲート電圧(V_g)を指す場合がある。

[0039]

また、電圧は、ある電位と、基準の電位(例えば接地電位(GND)またはソース電位)との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位(電圧)は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が 0 V であるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

[0040]

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0041]

チャネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル

幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0042]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

[0043]

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0044]

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

[0045]

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

[0046]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。または、本明細書等に記載の「絶縁体」を「半絶縁体」に言い換えることが可能な場合がある。

[0047]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧

であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言い換えることが可能な場合がある。

[0048]

また、本明細書等において、半導体の不純物とは、半導体膜を構成する主成分以外の元素をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、半導体にDOS(Density of State)が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体を有する場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンを有する場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0049]

なお、本明細書等において、単に酸化物と記載する場合、金属酸化物、酸化物半導体、酸化物絶縁体または酸化物導電体と読み替えることができる。

[0050]

(実施の形態1)

<1-1. 金属酸化物膜の構成>

本発明の一態様は、2種類の結晶部を含む金属酸化物膜である。結晶部の一(第1の結晶部ともいう)は、膜の厚さ方向(膜面方向、膜の被形成面、または膜の表面に垂直な方向ともいう)に配向性を有する、すなわちc軸配向性を有する結晶部である。結晶部の他の一(第2の結晶部ともいう)は、c軸配向性を有せずに様々な向きに配向する結晶部である。本発明の一態様の金属酸化物膜は、このような2種類の結晶部が混在している。

[0051]

なお、以下では説明を容易にするために、c軸配向性を有する結晶部を第1の結晶部、c軸配向性を有さない結晶部を第2の結晶部と分けて説明しているが、これらは結晶性や結晶の大きさなどに違いがなく区別できない場合がある。すなわち、本発明の一態様の金属酸化物膜はこれらを区別せずに表現することもできる。

[0052]

例えば、本発明の一態様の金属酸化物膜は、複数の結晶部を有し、膜中に存在する結晶部のうち、少なくとも一の結晶部がc軸配向性を有していればよい。また、膜中に存在する結晶部のうち、c軸配向性を有さない結晶部の存在割合が、c軸配向性を有する結晶部の存在割合よりも多くてもよい。一例としては、本発明の一態様の金属酸化物膜は、その膜厚方向の断面における透過型電子顕微鏡による観察像において、複数の結晶部が観察され、当該複数の結晶部のうちc軸配向性を有さない第2の結晶部が、c軸配向性を有する第1の結晶部よりも多く観察される場合がある。別言すると、本発明の一態様の金属酸化物膜は、c軸配向性を有さない第2の結晶部の存在割合が多い。

[0053]

金属酸化物膜中にc軸配向性を有さない第2の結晶部の存在割合を多くすることで、以下の優れた

効果を奏する。

[0054]

金属酸化物膜の近傍に十分な酸素供給源がある場合において、c 軸配向性を有さない第 2 の結晶部は、酸素の拡散経路になりうる。よって、金属酸化物膜の近傍に十分な酸素供給源がある場合に、c 軸配向性を有さない第 2 の結晶部を介して、c 軸配向性を有する第 1 の結晶部に酸素を供給することができる。よって、金属酸化物膜中の酸素欠損量を低減することができる。このような金属酸化物膜をトランジスタの半導体膜に適用することで、高い信頼性及び高い電界効果移動度を得ることが可能となる。このように、c 軸配向性を有さない第 2 の結晶部は、酸素の拡散経路となり、c 軸配向性を有する第 1 の結晶部に酸素を供給することができるので、c 軸配向性を有する第 1 の結晶部と、c 軸配向性を有さない第 2 の結晶部を含む金属酸化物膜を、酸素欠乏型の金属酸化物膜、または酸素欠乏型の酸化物半導体膜と呼ぶ場合がある。

[0055]

また、第 1 の結晶部は、特定の結晶面が膜の厚さ方向に対して配向性を有する。そのため、第 1 の結晶部を含む金属酸化物膜について、膜の上面に概略垂直な方向に対する X 線回折 (XRD: X-ray Diffraction) 測定を行うと、所定の回折角 (2θ) に当該第 1 の結晶部に由来する回折ピークが確認される。一方で金属酸化物膜が第 1 の結晶部を有していても、支持基板による X 線の散乱、またはバックグラウンドの上昇により、回折ピークが十分に確認されないこともある。なお、回折ピークの高さ (強度) は、金属酸化物膜中に含まれる第 1 の結晶部の存在割合に応じて大きくなり、金属酸化物膜の結晶性を推し量る指標にもなりえる。

[0056]

また、金属酸化物膜の結晶性の評価方法の一つとして、電子線回折が挙げられる。例えば、断面に対する電子線回折測定を行い、本発明の一態様の金属酸化物膜の電子線回折パターンを観測した場合、第 1 の結晶部に起因する回折スポットを有する第 1 の領域と、第 2 の結晶部に起因する回折スポットを有する第 2 の領域とが観測される。

[0057]

第 1 の結晶部に起因する回折スポットを有する第 1 の領域は、c 軸配向性を有する結晶部に由来する。一方で第 2 の結晶部に起因する回折スポットを有する第 2 の領域は、配向性を有さない結晶部、または、あらゆる向きに無秩序に配向する結晶部に由来する。そのため電子線回折に用いる電子線のビーム径、すなわち観察する領域の面積によって、異なるパターンが観察される場合がある。なお、本明細書等において、電子線のビーム径を $1\text{ nm}\Phi$ 以上 $100\text{ nm}\Phi$ 以下で測定する電子線回折を、ナノビーム電子線回折 (NBED: Nano Beam Electron Diffraction) と呼ぶ。

[0058]

ただし、本発明の一態様の金属酸化物膜の結晶性を、NBED と異なる方法で評価してもよい。金属酸化物膜の結晶性の評価方法の例としては、電子回折、X 線回折、中性子回折などが挙げられる。電子回折の中でも、先に示す NBED の他に、透過型電子顕微鏡 (TEM: Transmission Electron Microscopy)、走査型電子顕微鏡 (SEM: Scanning Electron Microscopy)、収束電子回折 (CBED: Convergent Beam Electron Diffraction)、制限視野電子回折 (SAED: Selected Area Electron Diffraction) などを好適に用いることができる。

[0059]

また、NBEDにおいて、電子線のビーム径を大きくした条件（例えば、 $25\text{ nm}\Phi$ 以上 $100\text{ nm}\Phi$ 以下、または $50\text{ nm}\Phi$ 以上 $100\text{ nm}\Phi$ 以下）のナノビーム電子線回折パターンでは、リング状のパターンが観察される。また当該リング状のパターンは、動径方向に輝度の分布を有する場合がある。一方、NBEDにおいて、電子線のビーム径を十分に小さくした条件（例えば $1\text{ nm}\Phi$ 以上 $10\text{ nm}\Phi$ 以下）の電子線回折パターンでは、上記リング状のパターンの位置に、円周方向（ θ 方向ともいう）に分布した複数のスポットが観察される場合がある。すなわち、電子線のビーム径を大きくした条件でみられるリング状のパターンは、上記の複数のスポットの集合体により形成される。

[0060]

<1-2. 金属酸化物膜の結晶性の評価>

以下では、条件の異なる3つの金属酸化物膜が形成された試料（試料A1乃至A3）を作製し結晶性の評価を行った。まず、試料A1乃至A3の作製方法について、説明する。

[0061]

[試料A1]

試料A1は、ガラス基板上に厚さ約 100 nm の金属酸化物膜が形成された試料である。当該金属酸化物膜は、インジウムと、ガリウムと、亜鉛とを有する。試料A1の金属酸化物膜の形成条件としては、基板を 170°C に加熱し、流量 140 sccm のアルゴンガスと流量 60 sccm の酸素ガスとをスパッタリング装置のチャンバー内に導入し、圧力を 0.6 Pa とし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（ $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]）に、 2.5 kW の交流電力を印加した。上述の全体のガス流量に対する酸素流量の割合を、酸素流量比と記載する場合がある。なお、試料A1の作製条件における酸素流量比は 30% である。

[0062]

[試料A2]

試料A2は、ガラス基板上に厚さ約 100 nm の金属酸化物膜が成膜された試料である。試料A2の金属酸化物膜の形成条件としては、基板を 130°C に加熱し、流量 180 sccm のアルゴンガスと、流量 20 sccm の酸素ガスとをスパッタリング装置のチャンバー内に導入した。試料A2の作製条件における酸素流量比は 10% である。なお、基板温度、及び酸素流量比以外の条件としては、先に示す試料A1と同様の条件とした。

[0063]

[試料A3]

試料A3は、ガラス基板上に厚さ約 100 nm の金属酸化物膜が成膜された試料である。試料A3の金属酸化物膜の形成条件としては、基板を室温（例えば 20°C 以上 30°C 以下、なお表1中において室温をR. T. と記載する）とし、流量 180 sccm のアルゴンガスと、流量 20 sccm の酸素ガスとをスパッタリング装置のチャンバー内に導入した。試料A3の作製条件における酸素流量比は 10% である。なお、基板温度、及び酸素流量比以外の条件としては、先に示す試料A1と同様の条件とした。

[0064]

試料A1乃至A3の作製条件を表1に示す。

[0065]

[表1]

	ターゲット[原子数比]	基板温度[°C]	圧力[Pa]	酸素流量比[%]
Sample A1	In:Ga:Zn=4:2:4.1	170	0.6	30
Sample A2	In:Ga:Zn=4:2:4.1	130	0.6	10
Sample A3	In:Ga:Zn=4:2:4.1	R.T.	0.6	10

[0066]

次に、上記作製した試料A1乃至A3の結晶性の評価を行った。本実施の形態においては、結晶性の評価として、断面TEM観察、XRD測定、及び電子線回折を行った。

[0067]

[断面TEM観察]

図1A乃至図3Cに、試料A1乃至A3の断面TEM観察結果を示す。なお、図1A及び1Bは試料A1の断面TEM像であり、図2A及び2Bは試料A2の断面TEM像であり、図3A及び3Bは試料A3の断面TEM像である。

[0068]

また、図1Cは試料A1の断面の高分解能透過型電子顕微鏡(HR-TEM: High Resolution-TEM)像であり、図2Cは試料A2の断面HR-TEM像であり、図3Cは試料A3の断面HR-TEM像である。なお、断面HR-TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いてもよい。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0069]

図1A乃至図2Cに示すように、試料A1及びA2では、原子が膜厚方向に層状に配列している結晶部が観察される。特に、HR-TEM像において、原子が層状に配列している結晶部が観察されやすい。また、図3A乃至3Cに示すように、試料A3では原子が膜厚方向に層状に配列している様子が確認され難い。なお、試料A1の方が試料A2より原子が膜厚方向に層状に配向している領域の割合が多いように見える。

[0070]

[XRD測定]

次に、各試料のXRD測定結果について説明する。

[0071]

図4Aに試料A1のXRD測定結果を、図5Aに試料A2のXRD測定結果を、図6Aに試料A3のXRD測定結果を、それぞれ示す。

[0072]

XRD測定では、out-of-plane法の一種である粉末法($\theta-2\theta$ 法ともいう。)を用いた。 $\theta-2\theta$ 法は、X線の入射角を変化させるとともに、X線源に対向して設けられる検出器の角度を入射角と同じにしてX線回折強度を測定する方法である。なお、X線を膜表面から約 0.40° の角度から入射し、検出器の角度を変化させてX線回折強度を測定するout-of-plane法の一種であるGIXRD(Grazing-Incidence XRD)法(薄膜法またはSeemann-Bohlin法ともいう。)を用いてもよい。図4A、図5A、及び図6Aにおいて、縦

軸は回折強度を任意単位で示し、横軸は角度 2θ を示している。

[0073]

図4A及び図5Aに示すように、試料A1及びA2においては、 $2\theta = 31^\circ$ 付近に回折強度のピークが観察される。一方で、図6Aに示すように、試料A3においては、 $2\theta = 31^\circ$ 付近の回折強度のピークが観察され難い、または $2\theta = 31^\circ$ 付近の回折強度のピークが極めて小さい、あるいは $2\theta = 31^\circ$ 付近の回折強度のピークが無い。

[0074]

なお、回折強度のピークがみられた回折角 ($2\theta = 31^\circ$ 付近) は、単結晶 InGaZnO_4 の構造モデルにおける (009) 面の回折角と一致する。したがって、試料A1及びA2において、上記ピークが観測されることから、c軸が膜厚方向に配向する結晶部(以下、c軸配向性を有する結晶部、または第1の結晶部ともいう)が含まれていることが確認できる。また強度の比較から、c軸配向性を有する結晶部の存在割合が、試料A1の方が試料A2より高いことがわかる。なお、試料A3については、XRD測定からでは、c軸配向性を有する結晶部が含まれているかを判断するのが困難である。

[0075]

この結果から、成膜時の基板温度が高いほど、また成膜時の酸素流量比が大きいほど、c軸配向性を有する結晶部の存在割合が高くなる傾向が示唆される。

[0076]

[電子線回折]

次に、試料A1乃至A3について、電子線回折測定を行った結果について説明する。電子線回折測定では、各試料の断面に対して電子線を垂直に入射したときの電子線回折パターンを取得する。また電子線のビーム径は、 $1\text{ nm}\Phi$ 及び $100\text{ nm}\Phi$ の2つとした。

[0077]

なお、電子線回折において、入射する電子線のビーム径の大きさだけでなく、試料の厚さが厚いほど、電子線回折パターンには、その奥行き方向の情報が現れることとなる。そのため、電子線のビーム径を小さくするだけでなく、試料の奥行き方向の厚さを薄くすることで、より局所的な領域の情報を得ることができる。一方で、試料の奥行き方向の厚さが薄すぎる場合(例えば試料の奥行き方向の厚さが 5 nm 以下の場合)、極微細な領域の情報しか得られない。そのため、極微細な領域に結晶が存在していた場合には、得られる電子線回折パターンは、単結晶のものと同様のパターンとなる場合がある。極微細な領域を解析する目的でない場合には、試料の奥行き方向の厚さを、例えば 10 nm 以上 100 nm 以下、代表的には 10 nm 以上 50 nm 以下とすることが好ましい。

[0078]

図4B及び4Cに試料A1の電子線回折パターンを、図5B及び5Cに試料A2の電子線回折パターンを、図6B及び6Cに試料A3の電子線回折パターンを、それぞれ示す。

[0079]

なお、図4B及び4C、図5B及び5C、及び図6B及び6Cに示す電子線回折パターンは、電子線回折パターンが明瞭になるようにコントラストが調整された画像データである。また、図4B及び4C、図5B及び5C、及び図6B及び6Cにおいて、中央の最も明るい輝点は入射される電子線ビームによるものであり、電子線回折パターンの中心(ダイレクトスポットまたは透過波ともいう)である。

[0080]

また、図4Bに示すように、入射する電子線のビーム径を1nm Φ とした場合に、円周状に分布した複数のスポットがみられることから、金属酸化物膜は、極めて微小で且つ面方位があらゆる向きに配向した複数の結晶部が混在していることが分かる。また、図4Cに示すように、入射する電子線のビーム径を100nm Φ とした場合に、この複数の結晶部からの回折スポットが連なり、輝度が平均化されてリング状の回折パターンとなることが確認できる。また、図4Cでは、半径の異なる2つのリング状の回折パターンが観察できる。ここで、径の小さい回折パターンから第1のリング、第2のリングと呼ぶこととする。第2のリングに比べて、第1のリングの方が輝度が高いことが確認できる。また、第1のリングと重なる位置に、輝度の高い2つのスポット（第1の領域）が確認される。

[0081]

第1のリングの中心からの動径方向の距離は、単結晶InGaZnO₄の構造モデルにおける(009)面の回折スポットの中心からの動径方向の距離とほぼ一致する。また、第1の領域は、c軸配向性に起因する回折スポットである。

[0082]

また、図4Cに示すように、リング状の回折パターンが見られていることから、金属酸化物膜中には、あらゆる向きに配向している結晶部（以下、c軸配向性を有さない結晶部、または第2の結晶部ともいう）が存在するとも言い換えることもできる。

[0083]

また、2つの第1の領域は、電子線回折パターンの中心点に対して対称に配置され、輝度が同程度であることから、2回対称性を有することが推察される。また上述のように、2つの第1の領域はc軸配向性に起因する回折スポットであることから、2つの第1の領域と中心を結ぶ直線の方が、結晶部のc軸の向きと一致する。図4Cにおいて上下方向が膜厚方向であることから、金属酸化物膜中には、c軸が膜厚方向に配向する結晶部が存在していることが分かる。

[0084]

このように、試料A1の金属酸化物膜は、c軸配向性を有する結晶部と、c軸配向性を有さない結晶部とが混在している膜であることが確認できる。

[0085]

図5B及び5C及び図6B及び6Cに示す電子線回折パターンにおいても、図4B及び4Cに示す電子線回折パターンと概ね同じ結果である。ただし、c軸配向性に起因する2つのスポット（第1の領域）の輝度は、試料A1が最も明るく、試料A2、試料A3の順で暗くなり、c軸配向性を有する結晶部の存在割合が、試料A1が最も高く、試料A2、試料A3の順で低くなることが示唆される。

[0086]

[金属酸化物膜の結晶性の定量化方法]

次に、図7A乃至図9を用いて、金属酸化物膜の結晶性の定量化方法の一例について説明する。

[0087]

まず、電子線回折パターンを用意する（図7A参照）。

[0088]

なお、図7Aは、膜厚100nmの金属酸化物膜に対して、ビーム径100nmで測定した電子線回折パターンであり、図7Bは、図7Aに示す電子線回折パターンのコントラストを調整することで得られた電子線回折パターンである。

[0089]

図7Bにおいて、ダイレクトスポットの上下に2つの明瞭なスポット（第1の領域）が観察されている。この2つのスポット（第1の領域）は InGaZnO_4 の構造モデルにおける(001)面に対応する回折スポット、すなわちc軸配向性を有する結晶部に起因する。一方で、上記第1の領域とは別に、第1の領域とおおよそ同心円上に輝度の低いリング状のパターン（第2の領域）が重なって見える。これは電子ビーム径を100nmとしたことによって、c軸配向性を有さない結晶部（第2の結晶部）の構造に起因したスポットが平均化され、リング状になったものである。

[0090]

ここで、電子線回折パターンは、c軸配向性を有する結晶部に起因する回折スポットを有する第1の領域と、第2の結晶部に起因する回折スポットを有する第2の領域とが、重なって観察される。よって、第1の領域を含むラインプロファイルと、第2の領域を含むラインプロファイルとを取得し比較することで、金属酸化物膜の結晶性の定量化が可能となる。

[0091]

まず、第1の領域を含むラインプロファイル及び第2の領域を含むラインプロファイルについて、図8を用いて説明する。

[0092]

図8は、 InGaZnO_4 の構造モデルの(100)面に電子ビームを照射した際に得られる電子線回折のシミュレーションパターンに、領域A-A'、領域B-B'、及び領域C-C'の補助線を付した図である。

[0093]

図8に示す領域A-A'は、c軸配向性を有する第1の結晶部に起因する2つの回折スポットと、ダイレクトスポットとを通る直線を含む。また、図8に示す領域B-B'及び領域C-C'は、c軸配向性を有する第1の結晶部に起因する回折スポットが観察されない領域と、ダイレクトスポットとを通る直線をそれぞれ含む。なお、領域A-A'と領域B-B'または領域C-C'とが交わる角度は、 34° 近傍、具体的には、 30° 以上 38° 以下、好ましくは 32° 以上 36° 以下、さらに好ましくは 33° 以上 35° 以下とすればよい。

[0094]

なお、ラインプロファイルは、金属酸化物膜の構造に応じて、図9に示すような傾向を有する。図9は、各構造に対するラインプロファイルのイメージ図、相対輝度R、及び電子線回折パターンから得られるc軸配向性に起因するスペクトルの半値幅(FWHM: Full Width at Half Maximum)を説明する図を示す。

[0095]

なお、図9に示す相対輝度Rとは、領域A-A'における輝度の積分強度を、領域B-B'における輝度の積分強度または領域C-C'における輝度の積分強度で割った値である。なお、領域A-A'、領域B-B'、及び領域C-C'における輝度の積分強度としては、中央の位置に現れるダイレクトスポットと、当該ダイレクトスポットに起因するバックグラウンドとを除去したものである。

[0096]

相対輝度Rを計算することによって、c軸配向性の強さを定量的に規定することができる。例えば、図9に示すように、単結晶の金属酸化物膜では、領域A-A'のc軸配向性を有する第1の結晶部に起因する回折スポットのピーク強度が高く、領域B-B'及び領域C-C'にはc軸配向性を有する

第1の結晶部に起因する回折スポットが見られないため、相対輝度Rは、1を超えて極めて大きくなる。また、相対輝度Rは、単結晶の金属酸化物膜が最も高く、CAAC（CAACの詳細については後述する）のみ、CAAC+nanocrystal、nanocrystal、amorphousの金属酸化物膜の順で低くなる。特に、特定の配向性を有さないnanocrystal、及びamorphousの金属酸化物膜では、相対輝度Rは1となる。

[0097]

また、結晶の周期性の高い構造ほど、c軸配向性を有する第1の結晶部に起因するスペクトルの強度は高くなり、当該スペクトルの半値幅も小さくなる。そのため、単結晶の金属酸化物膜の半値幅が最も小さく、CAACのみ、CAAC+nanocrystal、nanocrystalの金属酸化物膜の順に半値幅が大きくなり、amorphousの金属酸化物膜では、半値幅が非常に大きく、ハローと呼ばれるプロファイルになる。

[0098]

[ラインプロファイルを用いた解析]

上述のように、第1の領域における輝度の積分強度の、第2の領域における輝度の積分強度に対する強度比は、配向性を有する結晶部の存在割合を推し量る点で重要な情報である。

[0099]

そこで、先に示す試料A1乃至A3の電子線回折パターンを、ラインプロファイルを用いて解析を行った。

[0100]

試料A1のラインプロファイルを用いた解析結果を図10A1及び10A2に、試料A2のラインプロファイルを用いた解析結果を図10B1及び10B2に、試料A3のラインプロファイルを用いた解析結果を図11A1及び11A2に、それぞれ示す。

[0101]

なお、図10A1は、図4Cに示す電子線回折パターンに領域A-A'、領域B-B'、及び領域C-C'を記載した電子線回折パターンであり、図10B1は、図5Cに示す電子線回折パターンに領域A-A'、領域B-B'、及び領域C-C'を記載した電子線回折パターンであり、図11A1は、図6Cに示す電子線回折パターンに領域A-A'、領域B-B'、及び領域C-C'を記載した電子線回折パターンである。

[0102]

また、領域A-A'、領域B-B'、及び領域C-C'としては、電子線回折パターンの中心位置に現れるダイレクトスポットの輝度で規格化することにより求めることができる。またこれにより、各試料間での相対的な比較を行うことができる。

[0103]

また、輝度のプロファイルを算出する際に、試料からの非弾性散乱等に起因する輝度の成分を、バックグラウンドとして差し引くと、より精度の高い比較を行うことができる。ここで非弾性散乱に起因する輝度の成分は、動径方向において極めてブロードなプロファイルを取るため、バックグラウンドの輝度を直線近似で算出してもよい。例えば、対象となるピークの両側の裾に沿って引いた直線よりも低輝度側に位置する領域をバックグラウンドとして差し引くことができる。

[0104]

ここでは、上述の方法によりバックグラウンドを差し引いたデータから、領域A-A'、領域B-

B'、及び領域C-C'における輝度の積分強度を算出した。そして、領域A-A'における輝度の積分強度を、領域B-B'における輝度の積分強度、または領域C-C'における輝度の積分強度で割った値を、相対輝度Rとして求めた。

[0105]

図12に試料A1乃至A3の相対輝度Rを示す。なお、図12においては、図10A2及び10B2、及び図11A2に示す輝度のプロファイル中のダイレクトスポットの左右に位置するピークにおいて、領域A-A'における輝度の積分強度を領域B-B'における輝度の積分強度で割った値、及び領域A-A'における輝度の積分強度を領域C-C'における輝度の積分強度で割った値をそれぞれ求めた。

[0106]

図12に示すように、試料A1乃至A3の相対輝度Rは以下に示す通りである。

- ・試料A1の相対輝度R = 25.00
- ・試料A2の相対輝度R = 3.04
- ・試料A3の相対輝度R = 1.05

なお、上述の相対輝度Rはそれぞれ、4つの位置での平均値とした。このように、相対輝度Rは、試料A1が最も高く、試料A2、試料A3の順で低くなる。

[0107]

本発明の一態様の金属酸化物膜をトランジスタのチャネルが形成される半導体膜に用いる場合には、相対輝度Rが1を超えて40以下、好ましくは1を超えて10以下、さらに好ましくは1を超えて3以下となる金属酸化物膜を用いると好適である。このような金属酸化物膜を半導体膜に用いることで、電気特性の高い安定性と、ゲート電圧が低い領域での高い電界効果移動度を両立することができる。

[0108]

<1-3. 結晶部の存在割合>

金属酸化物膜中の結晶部の存在割合は、断面TEM像を解析することで見積もることができる。

[0109]

まず、画像解析の方法について説明する。画像解析の方法としては、高分解能で撮像されたTEM像に対して2次元高速フーリエ変換(FFT: Fast Fourier Transform)処理し、FFT像を取得する。得られたFFT像に対し、周期性を有する範囲を残し、それ以外を除去するマスク処理を施す。そしてマスク処理したFFT像を、2次元逆フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理し、FFTフィルタリング像を取得する。

[0110]

これにより、結晶部のみを抽出した実空間像を得ることができる。ここで、残存した像の面積の割合から、結晶部の存在割合を見積もることができる。また、計算に用いた領域の面積(元の像の面積ともいう)から、残存した像の面積を差し引くことにより、結晶部以外の部分の存在割合を見積もることができる。

[0111]

図13Aに試料A1の断面TEM像を、図13Bに試料A1の断面TEM像を画像解析した後に得られた像を、それぞれ示す。また、図14Aに試料A2の断面TEM像を、図14Bに試料A2の断

面TEM像を画像解析した後に得られた像を、それぞれ示す。また、図15Aに試料A3の断面TEM像を、図15Bに試料A3の断面TEM像を画像解析した後に得られた像を、それぞれ示す。

[0112]

画像解析後に得られた像において、金属酸化物膜中の白く表示されている領域が、配向性を有する結晶部を含む領域に対応し、黒く表示されている領域が、配向性を有さない結晶部、または様々な向きに配向する結晶部を含む領域に対応する。

[0113]

図13Bに示す結果より、試料A1における配向性を有する結晶部を含む領域を除く面積の割合は約43.1%であった。また、図14Bに示す結果より、試料A2における配向性を有する結晶部を含む領域を除く部分の割合は約61.7%であった。また、図15Bに示す結果より、試料A3における配向性を有する結晶部を含む領域を除く部分の割合は約89.5%であった。

[0114]

このように見積もられた、金属酸化物膜中の配向性を有する結晶部を除く部分の割合が、5%以上40%未満である場合、その金属酸化物膜は極めて結晶性の高い膜であり、酸素欠損を作り難く、電気特性が非常に安定であるため好ましい。一方で、金属酸化物膜中の配向性を有する結晶部を除く部分の割合が、40%以上100%未満、好ましくは60%以上90%以下である場合、その金属酸化物膜は配向性を有する結晶部と配向性を有さない結晶部が適度な割合で混在し、電気特性の安定化と高移動度化を両立させることができる。

[0115]

ここで、断面TEM像において、または断面TEM像の画像解析等により明瞭に確認できる結晶部を除く領域のことを、Lateral Growth Buffer Region (LGBR) と呼称することもできる。

[0116]

<1-4. 金属酸化物膜への酸素拡散について>

以下では、金属酸化物膜への酸素の拡散のしやすさを評価した結果について説明する。

[0117]

ここでは、以下に示す3つの試料（試料B1乃至B3）を作製した。

[0118]

[試料B1]

まず、ガラス基板上に、先に示す試料A1と同様の方法により、厚さ約50nmの金属酸化物膜を成膜した。続いて、金属酸化物膜上に、厚さ約30nmの酸化窒化シリコン膜、厚さ約100nmの酸化窒化シリコン膜、厚さ約20nmの酸化窒化シリコン膜を、プラズマCVD法により積層して形成した。なお、以下の説明において、金属酸化物膜をOSと、酸化窒化シリコン膜をGIとしてそれぞれ記載する場合がある。

[0119]

次に、窒素雰囲気下で350℃、1時間の熱処理を行った。

[0120]

続いて、厚さ5nmのIn-Sn-Si酸化物膜をスパッタリング法により成膜した。

[0121]

続いて、酸化窒化シリコン膜に酸素添加処理を行った。当該酸素添加条件としては、アッシング装

置を用い、基板温度を40℃とし、流量150 s c c mの酸素ガス (^{16}O) と、流量100 s c c mの酸素ガス (^{18}O) とをチャンバー内に導入し、圧力を15 Paとし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に4500 WのRF電力を600 s e c 供給した。なお、酸化窒化シリコン膜中に酸素ガス (^{16}O) が主成分レベルで含有されているため、酸素添加処理によって、添加される酸素を正確に測定するために酸素ガス (^{18}O) を用いた。

[0122]

続いて、厚さ約100 nmの窒化シリコン膜をプラズマCVD法により成膜した。

[0123]

[試料B2]

試料B2は、試料B1とは金属酸化物膜の成膜条件を異ならせて作製した試料である。試料B2は、先に示す試料A2と同様の方法により、厚さ約50 nmの金属酸化物膜を成膜した。

[0124]

[試料B3]

試料B3は、試料B1とは金属酸化物膜の成膜条件を異ならせて作製した試料である。試料B3は、先に示す試料A3と同様の方法により、厚さ約50 nmの金属酸化物膜を成膜した。

[0125]

以上の工程により試料B1乃至B3を作製した。

[0126]

[SIMS分析]

試料B1乃至B3について、SIMS (Secondary Ion Mass Spectrometry) 分析により、 ^{18}O の濃度を測定した。なお、SIMS分析においては、上記作製した試料B1乃至B3を熱処理を行わない条件と、試料B1乃至B3を窒素雰囲気下にて350℃、1時間の熱処理を行う条件と、試料B1乃至B3を窒素雰囲気下にて450℃、1時間の熱処理を行う条件と、の3つの条件とした。

[0127]

図16A乃至16Cに、SIMS測定結果を示す。図16A乃至16Cにおいては、GI及びOSを含む領域の分析結果を示している。なお、図16A乃至16Cは、基板側から(SSDP (Substrate Side Depth Profile) - SIMSともいう)分析した結果を示す。

[0128]

また、図16A乃至16Cにおいて、灰色の破線が熱処理を行っていない条件のプロファイルであり、黒色の破線が350℃の熱処理を行った条件のプロファイルであり、黒色の実線が450℃の熱処理を行った条件のプロファイルである。

[0129]

試料B1乃至B3のそれぞれにおいて、GI中に ^{18}O が拡散していること、及びOS中に ^{18}O が拡散していることが確認できる。また、試料B3が最も深い位置まで ^{18}O が拡散しており、試料B2、試料B1の順に、 ^{18}O の拡散が浅い位置になっていることが確認できる。また、350℃及び450℃の熱処理を行うことで、さらに深い位置まで ^{18}O が拡散していることが確認できる。

[0130]

以上の結果から、配向性を有する結晶部と配向性を有さない結晶部が混在し、且つ配向性を有する結晶部の存在割合が低い金属酸化物膜は、酸素が透過しやすい膜、言い換えると酸素が拡散しやすい

膜であることが確認できる。また、350℃または450℃の熱処理を行うことで、GI膜中の酸素がOS中に拡散することが確認できる。

[0131]

以上の結果は、配向性を有する結晶部の存在割合（密度）が高いほど、厚さ方向へ酸素が拡散しにくく、当該密度が低いほど厚さ方向へ酸素が拡散しやすいことを示している。金属酸化物膜における酸素の拡散のしやすさについて、以下のように考察することができる。

[0132]

配向性を有する結晶部と、配向性を有さない極微細な結晶部が混在している金属酸化物膜において、断面観察像で明瞭に観察できる結晶部以外の領域（LGBR）は、酸素が拡散しやすい領域、すなわち酸素の拡散経路になりうる。したがって、金属酸化物膜の近傍に十分な酸素供給源がある場合において、LGBRを介して配向性を有する結晶部にも、酸素が供給されやすくなるため、膜中の酸素欠損量を低減することができると考えられる。

[0133]

例えば、金属酸化物膜に接して酸素を放出しやすい酸化膜を設け、加熱処理を施すことにより、当該酸化膜から放出される酸素は、LGBRにより金属酸化物膜の膜厚方向に拡散する。そして、LGBRを経由して、配向性を有する結晶部に横方向から酸素が供給されうる。これにより、金属酸化物膜の配向性を有する結晶部、及びこれ以外の領域に、十分に酸素が行き渡り、膜中の酸素欠損を効果的に低減することができる。

[0134]

また、例えば、金属酸化物膜として、Inと、M（MはAl、Ga、Y、またはSn）と、Znと、を含む酸化物膜を用いている場合、配向性を有する結晶部の側面に活性酸素（原子状酸素）が結合する。さらに結合した活性酸素にIn、MまたはZnなどの金属が結合する。このように、活性酸素と、In、MまたはZnなどの金属と、が繰り返し結合することにより、配向性を有する結晶部の側面から横方向に、固相成長していると考えることができる。このような配向性を有する結晶部の横成長を自己組織化と呼ぶこともできる。

[0135]

また例えば、金属酸化物膜中に、金属原子と結合していない水素原子が存在すると、これと酸素原子が結合し、OHが形成され、固定化してしまう場合がある。そこで、低温で成膜することで金属酸化物膜中の酸素欠損（ V_O ）に水素原子がトラップされた状態（ V_OH と呼ぶ）を一定量（例えば $1 \times 10^{17} \text{ cm}^{-3}$ 程度）形成することで、OHが形成されることを抑制する。また V_OH は、キャリアを生成するため、金属酸化物膜中にキャリアが一定量存在する状態となる。これにより、キャリア密度が高められた金属酸化物膜を形成できる。また成膜時には、酸素欠損も同時に形成されるが、当該酸素欠損は、上述のようにLGBRを介して酸素を導入することにより低減することができる。このような方法により、キャリア密度が比較的高く、且つ酸素欠損が十分に低減された金属酸化物膜を形成することができる。

[0136]

また、配向性を有する結晶部以外の領域は、成膜時に配向性を有さない極めて微細な結晶部を構成するため、金属酸化物膜には明瞭な結晶粒界は観察されない。また当該極めて微細な結晶部は、配向性を有する複数の結晶部の間に位置する。当該微細な結晶部は、成膜時の熱により横方向に成長することで、隣接する配向性を有する結晶部と結合する。また当該微細な結晶部はキャリアを発生する領

域としても機能する。これにより、このような構成を有する金属酸化物膜は、トランジスタに適用することでその電界効果移動度を著しく向上させることができると考えられる。

[0137]

また、低温かつ低酸素流量の条件で成膜した金属酸化物膜とすることで酸素透過性が向上することが分かる。このため、例えば、トランジスタの作製工程中において、拡散する酸素量が増大することにより、金属酸化物膜中、及び金属酸化物膜と絶縁膜との界面の酸素欠損等の欠陥が低減することが推測される。そしてこのような効果により欠陥準位密度が低減された結果、トランジスタのオン電流が著しく上昇すると示唆される。

[0138]

このように、オン電流が向上したトランジスタは、高速で容量を充放電することのできるスイッチに好適に用いることができる。代表的には、デマルチプレクサ回路などに好適に用いることができる。

[0139]

また金属酸化物膜を形成し、その上に酸化シリコン膜などの酸化物絶縁膜を成膜した後に、酸素雰囲気でのプラズマ処理を行うことが好ましい。このような処理により、膜中に酸素を供給すること以外に、水素濃度を低減することができる。例えば、プラズマ処理中に、同時にチャンバー内に残存するフッ素も金属酸化物膜中にドーパされる場合がある。フッ素はマイナスの電荷を帯びたフッ素原子として存在し、プラスの電荷を帯びた水素原子とクーロン力により結合し、HFが生成される。HFは当該プラズマ処理中に金属酸化物膜外へ放出され、その結果として、金属酸化物膜中の水素濃度を低減することができる。また、プラズマ処理において、酸素原子と水素とが結合してH₂Oとして膜外へ放出される場合もある。

[0140]

また、金属酸化物膜に酸化シリコン膜（または酸化窒化シリコン膜）が積層された構成を考える。酸化シリコン膜中のフッ素は、膜中の水素と結合し、電氣的に中性であるHFとして存在しうるため、金属酸化物膜の電気特性に影響を与えない。なお、Si-F結合が生じる場合もあるがこれも電氣的に中性となる。また酸化シリコン膜中のHFは、酸素の拡散に対して影響しないと考えられる。

[0141]

以上のようなメカニズムにより、金属酸化物膜中の酸素欠損が低減され、且つ膜中の金属原子と結合していない水素が低減されることにより、信頼性を高めることができると考えられる。また金属酸化物膜のキャリア濃度が一定以上であることで、電気特性が向上すると考えられる。

[0142]

<1-5. トランジスタ特性を用いた浅い欠陥準位の評価>

以下では、先に説明した試料A1乃至A3の金属酸化物膜を有するトランジスタを作製し、その欠陥準位密度を測定した結果について説明する。

[0143]

ここではそれぞれ、半導体膜の形成条件の異なる試料C1乃至C3を二組作製した。なお、試料C1乃至C3は、チャネル長Lが6 μ m、チャネル幅Wが50 μ mのトランジスタである。

[0144]

[トランジスタの作製]

まず、ガラス基板上に厚さ10 nmのチタン膜と、厚さ100 nmの銅膜とを、スパッタリング装置を用いて形成した。続いて当該導電膜をフォトリソグラフィ法により加工した。

[0145]

次に、基板及び導電膜上に絶縁膜を4層積層して形成した。絶縁膜は、プラズマ化学気相堆積（PECVD）装置を用いて、真空中で連続して形成した。絶縁膜は、下から厚さ50nmの窒化シリコン膜、厚さ300nmの窒化シリコン膜、厚さ50nmの窒化シリコン膜、厚さ50nmの酸化窒化シリコン膜をそれぞれ用いた。

[0146]

次に、絶縁膜上に酸化物半導体膜を形成し、当該酸化物半導体膜を島状に加工することで、半導体層を形成した。酸化物半導体膜としては、厚さ40nmの酸化物半導体膜を形成した。

[0147]

試料C1において、酸化物半導体膜に用いた金属酸化物膜の形成条件は、試料A1と同様である。すなわち、基板温度を170℃として、流量140sccmのアルゴンガスと、流量60sccmの酸素ガスとをスパッタリング装置のチャンバー内に導入し、圧力を0.6Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1 [原子数比]）に、2.5kWの交流電力を印加した。なお、酸素流量比は30%である。厚さは約40nmとした。

[0148]

試料C2において、酸化物半導体膜に用いた金属酸化物膜の形成条件は、試料A2と同様である。すなわち、基板温度を130℃として、流量180sccmのアルゴンガスと、流量20sccmの酸素ガスとをスパッタリング装置のチャンバー内に導入し、圧力を0.6Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1 [原子数比]）に、2.5kWの交流電力を印加した。なお、酸素流量比は10%である。厚さは約40nmとした。

[0149]

試料C3において、酸化物半導体膜に用いた金属酸化物膜の形成条件は、試料A3と同様である。すなわち、基板温度を室温（R.T.）として、流量180sccmのアルゴンガスと、流量20sccmの酸素ガスとをスパッタリング装置のチャンバー内に導入し、圧力を0.6Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1 [原子数比]）に、2.5kWの交流電力を印加した。なお、酸素流量比は10%である。厚さは約40nmとした。

[0150]

次に、絶縁膜及び半導体層上に、絶縁膜を形成した。絶縁膜としては、厚さ150nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

[0151]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気下で、350℃、1時間の熱処理とした。

[0152]

次に、絶縁膜の所望の領域に開口部を形成した。開口部の形成方法としては、ドライエッチング法を用いた。

[0153]

次に、開口部を覆うように絶縁膜上に導電膜を成膜し、当該導電膜を加工して島状の導電膜を形成した。また、島状の導電膜を形成後、続けて、導電膜の下側に接する絶縁膜を加工することで、島状の絶縁膜を形成した。

[0154]

導電膜としては、厚さ10 nmの酸化物半導体膜と、厚さ50 nmの窒化チタン膜と、厚さ100 nmの銅膜とを順に形成した。なお、酸化物半導体膜の成膜条件としては、基板温度を170℃として、流量200 sccmの酸素ガスをスパッタリング装置のチャンバー内に導入し、圧力を0.6 Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1 [原子数比]）に、2.5 kWの交流電力を印加した。また、窒化チタン膜及び銅膜は、スパッタリング装置を用いて形成した。

[0155]

次に、酸化物半導体膜、絶縁膜、及び導電膜上からプラズマ処理を行った。当該プラズマ処理としては、PECVD装置を用い、基板温度を220℃とし、アルゴンガスと窒素ガスとの混合ガス雰囲気下で行った。

[0156]

次に、酸化物半導体膜、絶縁膜、及び導電膜上に絶縁膜を形成した。絶縁膜としては、厚さ100 nmの窒化シリコン膜及び厚さ300 nmの酸化窒化シリコン膜をPECVD装置を用いて積層して形成した。

[0157]

次に、形成した絶縁膜上にマスクを形成し、当該マスクを用いて絶縁膜に開口部を形成した。

[0158]

次に、開口部を充填するように、導電膜を形成し、当該導電膜を島状に加工することで、ソース電極及びドレイン電極となる導電膜を形成した。当該導電膜としては、厚さ10 nmのチタン膜と、厚さ100 nmの銅膜とを、スパッタリング装置を用いて、それぞれ形成した。

[0159]

次に、絶縁膜、及び導電膜上に絶縁膜を形成した。絶縁膜としては、厚さ1.5 μmのアクリル系の感光性樹脂膜を用いた。

[0160]

以上のようにして、試料C1乃至C3を作製した。

[0161]

[浅い欠陥準位密度の評価方法]

金属酸化物の浅い欠陥準位（以下、sDOSとも記す）は、金属酸化物膜を半導体膜として用いたトランジスタの電気特性からも見積もることができる。以下ではトランジスタの界面準位の密度を評価し、その界面準位の密度に加え、界面準位にトラップされる電子数 N_{trap} を考慮した場合において、サブスレッショルドリーク電流を予測する方法について説明する。

[0162]

界面準位にトラップされる電子数 N_{trap} は、例えば、トランジスタのドレイン電流－ゲート電圧（ $I_d - V_g$ ）特性の実測値と、ドレイン電流－ゲート電圧（ $I_d - V_g$ ）特性の計算値とを比較することによって、評価することができる。

[0163]

図17に、ソース電圧 $V_s = 0$ V、ドレイン電圧 $V_d = 0.1$ Vにおける、計算によって得られた理想的な $I_d - V_g$ 特性と、トランジスタにおける実測の $I_d - V_g$ 特性とを示す。なお、トランジスタの測定結果のうち、ドレイン電流 I_d の測定が容易な 1×10^{-13} A以上の値のみプロットし

た。

[0164]

計算で求めた理想的な $I_d - V_g$ 特性と比べて、実測の $I_d - V_g$ 特性はゲート電圧 V_g に対するドレイン電流 I_d の変化が緩やかとなる。これは、伝導帯下端のエネルギー (E_c と表記する。) の近くに位置する浅い界面準位に電子がトラップされたためと考えられる。ここでは、フェルミ分布関数を用いて、浅い界面準位へトラップされる (単位面積、単位エネルギーあたりの) 電子数 N_{trap} を考慮することで、より厳密に界面準位の密度 N_{it} を見積もることができる。

[0165]

まず、図18に示す模式的な $I_d - V_g$ 特性を用いて界面トラップ準位にトラップされる電子数 N_{trap} の評価方法について説明する。破線は計算によって得られるトラップ準位のない理想的な $I_d - V_g$ 特性を示す。また、破線において、ドレイン電流が I_{d1} から I_{d2} に変化するときのゲート電圧 V_g の変化を ΔV_{id} とする。また、実線は、実測の $I_d - V_g$ 特性を示す。実線において、ドレイン電流が I_{d1} から I_{d2} に変化するときのゲート電圧 V_g の変化を ΔV_{ex} とする。ドレイン電流が I_{d1} 、 I_{d2} のときの着目する界面における電位はそれぞれ ϕ_{it1} 、 ϕ_{it2} とし、その変化量を $\Delta \phi_{it}$ とする。

[0166]

図18において、実測値は計算値よりも傾きが小さいため、 ΔV_{ex} は常に ΔV_{id} よりも大きいことがわかる。このとき、 ΔV_{ex} と ΔV_{id} の差が、浅い界面準位に電子をトラップすることに要した電位差を表す。したがって、トラップされた電子による電荷の変化量 ΔQ_{trap} は以下の式 (1) で表すことができる。

[0167]

[数1]

$$\Delta Q_{trap} = -C_{tg} (\Delta V_{ex} - \Delta V_{id}) \cdots (1)$$

[0168]

C_{tg} は面積当たりの絶縁体と半導体の合成容量となる。また、 ΔQ_{trap} は、トラップされた (単位面積、単位エネルギーあたりの) 電子数 N_{trap} を用いて、式 (2) で表すこともできる。なお、 q は電気素量である。

[0169]

[数2]

$$\Delta Q_{trap} = -q N_{trap} \Delta \phi_{it} \cdots (2)$$

[0170]

式 (1) と式 (2) とを連立させることで式 (3) を得ることができる。

[0171]

[数3]

$$-C_{tg}(\Delta V_{ex} - \Delta V_{id}) = -qN_{trap}\Delta\phi_{it} \cdots (3)$$

[0172]

次に、式（３）の極限 $\Delta\phi_{it} \rightarrow 0$ を取ることで、式（４）を得ることができる。

[0173]

[数４]

$$N_{trap} = \frac{C_{tg}}{q} \lim_{\Delta\phi_{it} \rightarrow 0} \left(\frac{\Delta V_{ex}}{\Delta\phi_{it}} - \frac{\Delta V_{id}}{\Delta\phi_{it}} \right) = C_{tg} \left(\frac{\partial V_{ex}}{\partial \phi_{it}} - \frac{\partial V_{id}}{\partial \phi_{it}} \right) \cdots (4)$$

[0174]

即ち、理想的な $I_d - V_g$ 特性、実測の $I_d - V_g$ 特性および式（４）を用いて、界面においてトラップされた電子数 N_{trap} を見積もることができる。なお、ドレイン電流と界面における電位との関係については、上述の計算によって求めることができる。

[0175]

また、単位面積、単位エネルギーあたりの電子数 N_{trap} と界面準位の密度 N_{it} は式（５）のような関係にある。

[0176]

[数５]

$$N_{trap} = \frac{\partial}{\partial \phi_{it}} \int_{-\infty}^{\infty} N_{it}(E) f(E) dE \cdots (5)$$

[0177]

ここで、 $f(E)$ はフェルミ分布関数である。式（４）から得られた N_{trap} を式（５）でフィッティングすることで、 N_{it} は決定される。この N_{it} を設定したデバイスシミュレータを用いた計算により、 $I_d < 0.1 \text{ pA}$ を含む伝達特性を得ることができる。

[0178]

次に、図１７に示す実測の $I_d - V_g$ 特性に式（４）を適用し、 N_{trap} を抽出した結果を図１９に白丸印で示す。ここで、図１９の縦軸は半導体の伝導帯下端 E_c からのフェルミエネルギー E_f である。破線を見ると E_c のすぐ下の位置に極大値となっている。式（５）の N_{it} として、式（６）のテール分布を仮定すると図１９の破線のように非常に良く N_{trap} をフィッティングでき、フィッティングパラメータとして、伝導帯端のトラップ密度 $N_{ta} = 1.67 \times 10^{13} \text{ cm}^{-2} / \text{eV}$ 、特性減衰エネルギー $W_{ta} = 0.105 \text{ eV}$ が得られた。

[0179]

[数６]

$$N_{it}(E) = N_{it} \exp \left[\frac{E - E_c}{W_{it}} \right] \dots (6)$$

[0180]

次に、得られた界面準位のフィッティング曲線をデバイスシミュレータを用いた計算にフィードバックすることにより、 $I_d - V_g$ 特性を逆算した結果を図20A及び20Bに示す。図20Aに、ドレイン電圧 V_d が0.1Vおよび1.8Vの場合の計算によって得られた $I_d - V_g$ 特性と、ドレイン電圧 V_d が0.1V及び1.8Vの場合のトランジスタにおける実測の $I_d - V_g$ 特性とを示す。また、図20Bは、図20Aのドレイン電流 I_d を対数としたグラフである。

[0181]

計算により得られた曲線と、実測値のプロットはほぼ一致しており、計算値と実測値とで高い再現性を有することが分かる。したがって、浅い欠陥準位密度を算出する方法として、上記の方法が十分に妥当であることが分かる。

[0182]

[浅い欠陥準位密度の評価結果]

次に、上述の方法に基づいて、測定した電気特性と理想的な計算値とを比較することによって、二組の試料C1乃至C3の浅い欠陥準位密度を測定した。

[0183]

図21に二組の試料C1乃至C3の浅い欠陥準位密度の平均値を算出した結果を示す。試料C1乃至C3のいずれの試料においても、浅い欠陥準位密度のピーク値が、 $2.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満となり、浅い欠陥準位密度が極めて低い試料であることがわかる。なお、金属酸化物膜中の浅い欠陥準位密度のピーク値としては、 $2.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満、好ましくは $1.75 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満、より好ましくは $1.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満、さらに好ましくは $7.5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満である。

[0184]

このように、試料C1乃至C3において、欠陥準位密度が低い金属酸化物膜が形成されたトランジスタであることが分かる。これは、低温かつ低酸素流量の条件で成膜した金属酸化物膜とすることで酸素透過性が向上し、トランジスタの作製工程中に拡散する酸素量が増大することにより、金属酸化物膜中、及び金属酸化物膜と絶縁膜との界面の酸素欠損等の欠陥が低減しているためだと示唆される。

[0185]

<1-6. CPMによる金属酸化物膜中の深い欠陥準位の評価>

以下では、一定電流測定法(CPM: Constant Photocurrent Method)により、金属酸化物膜中の深い欠陥準位(以下、dDOSとも記す)について評価を行った。

[0186]

CPM測定は、試料に設けられた2電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、照射する光量から吸収係数を導出することを各波長にて行うものである。CPM測定において、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー(波長より換算)における吸収係数が増加する。この吸収係数の増加分に定数を掛けることにより、試料のdDOSを導出することができる。

[0187]

C P M測定によって得られた吸収係数のカーブからバンドの裾に起因するアーバックテールと呼ばれる吸収係数分を取り除くことにより、欠陥準位による吸収係数を以下の式から算出することができる。なお、 $\alpha(E)$ は、各エネルギーにおける吸収係数を表し、 α_u は、アーバックテールによる吸収係数を表す。

[0188]

[数7]

$$\int \frac{\alpha(E) - \alpha_u}{E} dE$$

[0189]

[C P M評価用の試料の作製]

以下では、3つの試料（試料D1乃至D3）を作製してC P M評価を行った。

[0190]

まず、ガラス基板上に金属酸化物膜を成膜した。試料D1では、上記試料A1と同様の方法により厚さ約100nmの金属酸化物膜を成膜した。試料D2では、上記試料A2と同様の方法により、厚さ約100nmの金属酸化物膜を成膜した。試料D3では、上記試料A3と同様の方法により、厚さ約100nmの金属酸化物膜を成膜した。

[0191]

続いて、金属酸化物膜上に、厚さ約30nmの酸化窒化シリコン膜、厚さ約100nmの酸化窒化シリコン膜、厚さ約20nmの酸化窒化シリコン膜を、プラズマCVD法により積層して形成した。

[0192]

その後、窒素雰囲気下で350℃、1時間の熱処理を行った。

[0193]

続いて、厚さ100nmの酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、2層の積層構造とした。1層目の酸化物半導体膜は、基板温度を170℃として、流量200sccmの酸素ガスをスパッタリング装置のチャンバー内に導入し、圧力を0.6Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1[原子数比]）に、2.5kWの交流電力を印加する条件下で、膜厚が10nmになるように形成した。2層目の酸化物半導体膜は、基板温度を170℃として、流量180sccmのアルゴンガスと、流量20sccmの酸素ガスとをスパッタリング装置のチャンバー内に導入し、圧力を0.6Paとし、インジウムと、ガリウムと、亜鉛とを有する金属酸化物ターゲット（In:Ga:Zn=4:2:4.1[原子数比]）に、2.5kWの交流電力を印加する条件下で、膜厚が90nmになるように形成した。

[0194]

その後、窒素と酸素との混合ガス雰囲気下で、350℃、1時間の熱処理を行った。

[0195]

その後、酸化物半導体膜をウェットエッチング法によりエッチングして除去した。

[0196]

続いて、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、成膜ガスとして流量160sc

cmのSiH₄と、流量4000sccmのN₂Oの混合ガスを用い、圧力200Pa、電力1500W、基板温度220℃の条件で、プラズマCVD法により成膜した。酸化窒化シリコン膜の厚さは約400nmである。

[0197]

続いて、酸化窒化シリコン膜にフォトリソグラフィ法により開口部を形成した。

[0198]

続いて、スパッタリング法により厚さ約50nmのTi膜、厚さ約400nmのAl膜、及び厚さ約100nmのTi膜の積層膜を成膜した。その後、積層膜をフォトリソグラフィ法により加工し、電極を形成した。

[0199]

その後、窒素雰囲気下で250℃、1時間の熱処理を行った。

[0200]

以上の工程により試料D1乃至D3を作製した。

[0201]

[CPM評価結果]

図22に試料D1のCPM測定結果を、図23に試料D2のCPM測定結果を、図24に試料D3のCPM測定結果を、それぞれ示す。図22、図23、及び図24において、縦軸は吸収係数を表し、横軸は光エネルギーを表す。また図22、図23、及び図24において、黒い実線は、各試料の吸収係数のカーブを示し、点線は接線を示し、灰色の実線は光学的に測定した吸収係数を示す。

[0202]

図22から見積もった試料D1のアーバックテールの値は、68.70meVであり、吸収係数のカーブからアーバックテール起因の吸収係数を除いた吸収係数、すなわち深い欠陥準位に起因する吸収係数の値は、 $1.21 \times 10^{-3} \text{ cm}^{-1}$ であった。また、図23から見積もった試料D2のアーバックテールの値は、64.46meVであり、深い欠陥準位に起因する吸収係数の値は、 $1.36 \times 10^{-3} \text{ cm}^{-1}$ であった。また、図24から見積もった試料D3のアーバックテールの値は、65.83meVであり、深い欠陥準位に起因する吸収係数の値は、 $1.04 \times 10^{-3} \text{ cm}^{-1}$ であった。

[0203]

以上の結果から、試料D1乃至D3に用いた金属酸化物膜は、深い欠陥準位に明確な差が見られていないことが分かる。試料D1乃至D3の深い欠陥準位に差が見られていない要因としては、金属酸化物膜に接して酸化物絶縁膜を形成し、当該酸化物絶縁膜から金属酸化物膜に十分な酸素供給が行われたことで、金属酸化物膜中の酸素欠損が補填されたためだと示唆される。

[0204]

<1-7. 金属酸化物膜の成膜方法>

以下では、本発明の一態様の金属酸化物膜の成膜方法について説明する。

[0205]

本発明の一態様の金属酸化物膜は、酸素を含む雰囲気下にてスパッタリング法によって成膜することができる。

[0206]

成膜時の基板温度は、室温以上150℃以下、好ましくは50℃以上150℃以下、より好ましくは100℃以上150℃以下、代表的には130℃の温度とすることが好ましい。基板温度を上述の

範囲とすることで、配向性を有する結晶部と、配向性を有さない結晶部との存在割合を制御することができる。

[0207]

また、成膜時の酸素の流量比（酸素分圧）を、0%以上50%未満、好ましくは0%以上30%以下、より好ましくは0%以上20%以下、さらに好ましくは0%以上15%以下、代表的には10%とすることが好ましい。酸素流量を低減することにより、配向性を有さない結晶部をより多く膜中に含ませることができる。

[0208]

したがって、成膜時の基板温度と、成膜時の酸素流量を上述の範囲とすることで、配向性を有する結晶部と、配向性を有さない結晶部とが混在した金属酸化物膜を得ることができる。また、基板温度と酸素流量を上述の範囲内とすることにより、配向性を有する結晶部と配向性を有さない結晶部の存在割合を制御することが可能となる。

[0209]

金属酸化物膜の成膜に用いることの可能な酸化物ターゲットとしては、In-Ga-Zn系酸化物に限られず、例えば、In-M-Zn系酸化物（Mは、Al、Ga、Y、またはSn）を適用することができる。

[0210]

また、複数の結晶粒を有する多結晶酸化物を含むスパッタリングターゲットを用いて、結晶部を含む金属酸化物膜を成膜すると、多結晶酸化物を含まないスパッタリングターゲットを用いた場合に比べて、結晶性を有する金属酸化物膜が得られやすい。

[0211]

以下に、金属酸化物膜の成膜メカニズムにおける一考察について、図25A乃至25Dを用いて説明する。スパッタリング用ターゲットが複数の結晶粒を有し、且つ、その結晶粒が層状構造を有しており、当該結晶粒に劈開しやすい界面が存在する場合、当該スパッタリング用ターゲットにイオンを衝突させることで、結晶粒が劈開する。ここで、スパッタリング用ターゲットは、例えば、後述する図27のように、Inと、M（MはAl、Ga、Y、またはSn）と、Znと、を含む、c軸方向に配向した層状の構造を有するものとする。なお、当該結晶粒は、平板状又はペレット状のクラスターであり、ナノクラスターまたはペレットと呼ぶこともできる。

[0212]

ここで、図25Aに示すように、ターゲットから劈開したナノクラスター20は、平板状であるため、平面側を基板32の表面に向けて堆積しやすい。なお、後述する図27のように、Inと、M（MはAl、Ga、Y、またはSn）と、Znと、を含む、c軸方向に配向した層状の構造を有する場合、図27に示す（M、Zn）層と（M、Zn）層の界面で劈開しやすい。

[0213]

次に、ターゲットからはじき出された粒子23が基板32の表面に達する。粒子23は、原子1個または原子数個の集合体を有する。そのため、粒子23を原子状粒子（atomic particles）と呼ぶこともできる。ここで、ナノクラスターが後述する図27のような、Inと、M（MはAl、Ga、Y、またはSn）と、Znと、を含む、c軸方向に配向した層状の構造を有する場合、粒子23は、ナノクラスター20の上面より側面に結合しやすい。よって、粒子23は、ナノクラスター20の形成されていない領域を埋めるように、ナノクラスター20の側面に優先的に付着する。

粒子23は、結合手が活性状態となることで、ナノクラスター20と化学的に連結して横成長部22を形成する(図25A参照。)。粒子23は、ナノクラスター20とナノクラスター20の間の領域に入り込むということもできる。

[0214]

横成長部22は、ナノクラスター20とナノクラスター20の間の領域26(領域26は、Lateral Growth Buffer Region(LGBR)と呼称することもできる。)を埋めるように横方向に成長(ラテラル成長ともいう。)する。ここで、横方向とは、例えばナノクラスター20中のc軸に垂直な方向を指す。

[0215]

ここで、450℃以下、好ましくは400℃以下程度の基板加熱により、ナノクラスター20の横成長部22に粒子23が付着し、粒子23にLGBRを介して拡散した酸素が付着し、再び粒子23が同様に付着する、という反応が起きやすくなる。この繰り返しにより横方向の固相成長が起きていると推定される。このようなナノクラスターの横方向の成長を自己組織化と呼ぶこともできる。

[0216]

さらに横成長部22がラテラル成長することで、横成長部22が互いに衝突する。横成長部22が衝突した部分を連結部27として隣接するナノクラスター20が連結される(図25B参照。)。つまり、領域26中に連結部27が形成される。これは、粒子23が、ナノクラスター20の側面に横成長部22を形成し、横成長部22が横方向に成長することで、ナノクラスター20間の領域26を充填しているということもできる。このように、ナノクラスター20の形成されていない領域を埋めるまで横成長部22が形成される。

[0217]

したがって、ナノクラスター20がそれぞれ異なる方向を向けて形成される場合でも、ナノクラスター20とナノクラスター20の間隙を粒子23がラテラル成長しながら埋めるため、明確な結晶粒界が形成されることがない。

[0218]

ここで、ナノクラスター20間を、粒子23が滑らかに連結(アンカリング)するため、連結部27において単結晶とも多結晶とも異なる結晶構造が形成される。言い換えると、ナノクラスター20の間の連結部27に歪みを有する結晶構造が形成される。これにより、例えば、連結部27において、上面の形状が六角形だった結晶構造が変形し、五角形または七角形になる場合もある。

[0219]

次に、新たなナノクラスター20が、平面側を基板32の表面に向けて形成される。そして、粒子23が、ナノクラスター20の形成されていない領域を埋めるように堆積することで横成長部22を形成する(図25C参照。)。こうして、粒子23がナノクラスター20の側面に付着し、横成長部22がラテラル成長することで、二層目のナノクラスター20間を連結させる(図25D参照。)。m層目(mは二以上の整数。)が形成されるまで成膜は続き、積層体を有する金属酸化物膜が形成される。

[0220]

また、基板32を加熱することにより、基板表面においてナノクラスター20同士の結合、または再配列が進むことにより、配向性を有する結晶部を含む金属酸化物膜が形成されやすくなると考えられる。

[0221]

なお、本実施の形態で説明したように、スパッタリング法を用いて、金属酸化物膜を形成すると、結晶性の制御が容易であるため好ましい。ただし、本発明の一態様の金属酸化物膜の形成方法としては、これに限定されず、例えばパルスレーザー堆積（PLD）法、プラズマ化学気相堆積（PECVD）法、熱CVD（Chemical Vapor Deposition）法、ALD（Atomic Layer Deposition）法、真空蒸着法などを用いてもよい。熱CVD法の例としては、MOCVD（Metal Organic Chemical Vapor Deposition）法が挙げられる。

[0222]

<1-8. 金属酸化物膜の組成及び構造について>

本発明の一態様の金属酸化物膜をトランジスタなどの半導体装置に適用することができる。以下では、特に半導体特性を有する金属酸化物膜（以下では酸化物半導体膜と呼ぶ）について説明する。

[0223]

まず、酸化物半導体膜の組成について説明する。

[0224]

酸化物半導体膜は、先の記載のように、インジウム（In）と、M（MはAl、Ga、Y、またはSnを表す。）と、Zn（亜鉛）と、を有する。

[0225]

なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズとするが、元素Mに適用可能な元素としては、上記以外にも、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどを用いてもよい。また、元素Mとして、前述の元素を複数組み合わせても構わない。

[0226]

次に、本発明の一態様に係る酸化物半導体膜が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について、図26A乃至26Cを用いて説明する。なお、図26A乃至26Cには、酸素の原子数比については記載しない。また、酸化物半導体膜が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を [In]、[M]、及び [Zn] とする。

[0227]

図26A乃至26Cにおいて、破線は、 $[In]:[M]:[Zn] = (1+\alpha):(1-\alpha):1$ の原子数比（ $-1 \leq \alpha \leq 1$ ）となるライン、 $[In]:[M]:[Zn] = (1+\alpha):(1-\alpha):2$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1+\alpha):(1-\alpha):3$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1+\alpha):(1-\alpha):4$ の原子数比となるライン、及び $[In]:[M]:[Zn] = (1+\alpha):(1-\alpha):5$ の原子数比となるラインを表す。

[0228]

また、一点鎖線は、 $[In]:[M]:[Zn] = 1:1:\beta$ の原子数比（ $\beta \geq 0$ ）となるライン、 $[In]:[M]:[Zn] = 1:2:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 1:3:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 1:4:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 2:1:\beta$ の原子数比となるライン、及び $[In]:[M]:[Zn] = 5:1:\beta$ の原子数比となるラインを表す。

[0229]

また、図26A乃至26Cに示す、 $[In]:[M]:[Zn] = 0:2:1$ の原子数比またはその近

傍値の酸化物半導体膜は、スピネル型の結晶構造をとりやすい。

[0230]

図26A及び26Bでは、本発明の一態様の酸化物半導体膜が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

[0231]

一例として、図27に、 $[In]:[M]:[Zn] = 1:1:1$ である、 $InMZnO_4$ の結晶構造を示す。また、図27は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図27に示すM、Zn、酸素を有する層（以下、(M, Zn)層）における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

[0232]

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。

[0233]

また、インジウムと元素Mは、互いに置換可能である。そのため、 $MZnO_2$ 層の元素Mがインジウムと置換し、 $In_\alpha M_{1-\alpha} ZnO_2$ 層 ($0 < \alpha \leq 1$) と表すこともできる。その場合、 InO_2 層が1に対し、 $In_\alpha M_{1-\alpha} ZnO_2$ 層が2である層状構造をとる。また、 InO_2 層のインジウムが元素Mと置換し、 $In_{1-\alpha} M_\alpha O_2$ 層 ($0 < \alpha \leq 1$) と表すこともできる。その場合、 $In_{1-\alpha} M_\alpha O_2$ 層が1に対し、 $MZnO_2$ 層が2である層状構造をとる。

[0234]

$[In]:[M]:[Zn] = 1:1:2$ となる原子数比の酸化物は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、[In] および [M] に対し [Zn] が大きくなると、酸化物が結晶化した場合、In層に対する(M, Zn)層の割合が増加する。

[0235]

ただし、酸化物中において、In層が1に対し、(M, Zn)層が非整数である場合、In層が1に対し、(M, Zn)層が整数である層状構造を複数種有する場合がある。例えば、 $[In]:[M]:[Zn] = 1:1:1.5$ である場合、In層が1に対し、(M, Zn)層が2である層状構造と、(M, Zn)層が3である層状構造とが混在する層状構造となる場合がある。

[0236]

例えば、酸化物半導体膜をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの[Zn]よりも、膜の[Zn]が小さくなる場合がある。

[0237]

また、酸化物半導体膜中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In]:[M]:[Zn] = 0:2:1$ の原子数比、及びその近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In]:[M]:[Zn] = 1:0:0$ を示す原子数比、及びその近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体膜中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

[0238]

また、インジウムの含有率を高くすることで、酸化物半導体膜のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物半導体膜では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体膜はインジウムの含有率が低い酸化物半導体膜と比較してキャリア移動度が高くなるためである。

[0239]

一方、酸化物半導体膜中のインジウム及び亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[In]:[M]:[Zn] = 0:1:0$ を示す原子数比、及びその近傍値である原子数比（例えば図26Cに示す領域C）では、絶縁性が高くなる。

[0240]

従って、本発明の一態様の酸化物半導体膜は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図26Aの領域Aで示される原子数比を有することが好ましい。

[0241]

また、図26Bに示す領域Bは、 $[In]:[M]:[Zn] = 4:2:3$ から4.1、及びその近傍値を示している。近傍値には、例えば、原子数比が $[In]:[M]:[Zn] = 5:3:4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体膜は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体膜である。

[0242]

なお、酸化物半導体膜が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体膜が層状構造を有する原子数比を示す領域であり、領域A乃至Cの境界は厳密ではない。

[0243]

<1-9. 金属酸化物膜の構造>

次に、金属酸化物膜（以下では酸化物半導体と呼ぶ）の構造について説明する。

[0244]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

[0245]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体及びnc-OSなどがある。

[0246]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれて

いる。

[0247]

すなわち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

[0248]

[CAAC-OS]

まずは、CAAC-OSについて説明する。

[0249]

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

[0250]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。

[0251]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいので、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0252]

[nc-OS]

次に、nc-OSについて説明する。

[0253]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0254]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる場合がある。

[0255]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0256]

a-like OSは、鬆または低密度領域を有する。a-like OSは、鬆を有するため、不安定な構造である。

[0257]

また、a-like OSは、鬆を有するため、nc-OS及びCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度及びCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

[0258]

例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357 g/cm³である。よって、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、a-like OSの密度は5.0 g/cm³以上5.9 g/cm³未満である。また、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、nc-OSの密度及びCAAC-OSの密度は5.9 g/cm³以上6.3 g/cm³未満である。

[0259]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0260]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

[0261]

<1-10. 金属酸化物膜をトランジスタに用いる構成>

続いて、金属酸化物膜（以下では酸化物半導体膜と呼ぶ）をトランジスタに用いる構成について説明する。

[0262]

なお、酸化物半導体膜をトランジスタに用いることで、例えば、多結晶シリコンをチャネル領域に用いたトランジスタと比較し、結晶粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0263]

本発明の一態様の酸化物半導体膜は、配向性を有する結晶部と、配向性を有さない結晶部とが混在している膜である。このような結晶性を有する酸化物半導体膜を用いることで、高い電界効果移動度と、高い信頼性を両立したトランジスタを実現することができる。

[0264]

<1-11. 金属酸化物膜のキャリア密度>

金属酸化物膜（以下では酸化物半導体膜）のキャリア密度について、以下に説明を行う。

[0265]

酸化物半導体膜のキャリア密度に影響を与える因子としては、酸化物半導体膜中の酸素欠損(V_o)、または酸化物半導体膜中の不純物などが挙げられる。

[0266]

酸化物半導体膜中の酸素欠損が多くなると、該酸素欠損に水素が結合(この状態を V_oH ともいう)した際に、欠陥準位密度が高くなる。または、酸化物半導体膜中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体膜中の欠陥準位密度を制御することで、酸化物半導体膜のキャリア密度を制御することができる。

[0267]

ここで、酸化物半導体膜をチャネル領域に用いるトランジスタを考える。

[0268]

トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体膜のキャリア密度を低くする方が好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体膜のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

[0269]

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体膜のキャリア密度を高くする方が好ましい。酸化物半導体膜のキャリア密度を高くする場合においては、酸化物半導体膜の不純物濃度をわずかに高める、または酸化物半導体膜の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体膜のバンドギャップをより小さくするとよい。例えば、トランジスタの I_d-V_g 特性のオン/オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体膜は、実質的に真性とみなせる。また、電子親和力が大きく、それにとまってバンドギャップが小さくなり、その結果、熱励起された電子(キャリア)の密度が増加した酸化物半導体膜は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体膜を用いた場合には、トランジスタのしきい値電圧がより低くなる。

[0270]

上述のキャリア密度が高められた酸化物半導体膜は、わずかにn型化している。したがって、キャリア密度が高められた酸化物半導体膜を、「*Slightly-n*」と呼称してもよい。

[0271]

実質的に真性の酸化物半導体膜のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

[0272]

また、上述の実質的に真性の酸化物半導体膜を用いることで、トランジスタの信頼性が向上する場合がある。ここで、図28を用いて、酸化物半導体膜をチャネル領域に用いるトランジスタの信頼性

が向上する理由について説明する。図28は、酸化物半導体膜をチャネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図である。

[0273]

図28において、GEはゲート電極を、GIはゲート絶縁膜を、OSは酸化物半導体膜を、SDはソース電極またはドレイン電極を、それぞれ表す。すなわち、図28は、ゲート電極と、ゲート絶縁膜と、酸化物半導体膜と、酸化物半導体膜に接するソース電極またはドレイン電極のエネルギーバンドの一例である。

[0274]

また、図28において、ゲート絶縁膜としては、酸化シリコン膜を用い、酸化物半導体膜にInGa-Zn酸化物を用いる構成である。また、酸化シリコン膜中に形成されうる欠陥の遷移レベル(ϵ_f)はゲート絶縁膜の伝導帯から3.1 eV離れた位置に形成されるものとし、ゲート電圧(V_g)が30 Vの場合の酸化物半導体膜と酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位(E_f)をゲート絶縁膜の伝導帯から3.6 eVとする。なお、酸化シリコン膜のフェルミ準位は、ゲート電圧に依存し変動する。例えば、ゲート電圧を大きくすることで、酸化物半導体膜と、酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位(E_f)は低くなる。また、図28中の白丸は電子(キャリア)を表し、図28中のXは酸化シリコン膜中の欠陥準位を表す。

[0275]

図28に示すように、ゲート電圧が印加された状態で、例えばキャリアが熱励起されると、欠陥準位(図中X)にキャリアがトラップされ、プラス(“+”)からニュートラル(“0”)に欠陥準位の荷電状態が変化する。すなわち、酸化シリコン膜のフェルミ準位(E_f)に上述の熱励起のエネルギーを足した値が欠陥の遷移レベル(ϵ_f)よりも高くなる場合、酸化シリコン膜中の欠陥準位の荷電状態は正の状態から中性となり、トランジスタのしきい値電圧がプラス方向に変動することになる。

[0276]

また、電子親和力が異なる酸化物半導体膜を用いると、ゲート絶縁膜と酸化物半導体膜との界面のフェルミ準位が形成される深さが異なることがある。電子親和力の大きな酸化物半導体膜を用いると、ゲート絶縁膜と酸化物半導体膜との界面及びその近傍において、ゲート絶縁膜の伝導帯が上方に移動する。この場合、ゲート絶縁膜中に形成されうる欠陥準位(図28中X)も上方に移動するため、ゲート絶縁膜と酸化物半導体膜との界面のフェルミ準位とのエネルギー差が大きくなる。該エネルギー差が大きくなることにより、ゲート絶縁膜中にトラップされる電荷が少なくなる、例えば、上述の酸化シリコン膜中に形成されうる欠陥準位の荷電状態の変化が少なくなり、ゲートバイアス熱(Gate Bias Temperature: GBTともいう)ストレスにおける、トランジスタのしきい値電圧の変動を小さくできる。

[0277]

また、酸化物半導体膜の欠陥準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、欠陥準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0278]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体膜中の不純物濃度を低減することが有効である。また、酸化物半導体膜中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金

属、鉄、ニッケル、シリコン等がある。

[0279]

ここで、酸化物半導体膜中における各不純物の影響について説明する。

[0280]

酸化物半導体膜において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜において欠陥準位が形成される。このため、酸化物半導体膜におけるシリコンや炭素の濃度と、酸化物半導体膜の界面及びその近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0281]

また、酸化物半導体膜にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオンとなりやすい。このため、酸化物半導体膜中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体膜中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0282]

また、酸化物半導体膜において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型になりやすい。この結果、窒素が含まれている酸化物半導体膜を半導体に用いたトランジスタはノーマリーオンとなりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましく、例えば、SIMSにより得られる酸化物半導体膜中の窒素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0283]

また、酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオンとなりやすい。このため、酸化物半導体膜中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体膜において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0284]

不純物が十分に低減された酸化物半導体膜をトランジスタのチャネル形成領域に用いることで、トランジスタに安定した電気特性を付与することができる。

[0285]

また、酸化物半導体膜は、エネルギーギャップが2 eV以上、または2.5 eV以上であると好ましい。

[0286]

また、酸化物半導体膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以

下、さらに好ましくは3 nm以上60 nm以下である。

[0287]

また、酸化物半導体膜がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:0.5、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:1.5、In:M:Zn=2:1:2.3、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1、In:M:Zn=5:1:7等が好ましい。

[0288]

<1-12. 金属酸化物膜の酸素拡散>

金属酸化物膜（以下では酸化物半導体膜）への酸素拡散について、以下に説明を行う。

[0289]

上述の酸化物半導体膜に含まれるナノクラスターの構造を図29A及び29Bに示す。図29Aに示すナノクラスター（ペレットと呼ぶこともできる。）は、2つの（In, M, Zn）層（In, M（MはAl、Ga、Y、またはSn）、Zn、酸素を有する層）の間にIn層（In、酸素を有する層）が形成されている。また、図29Bに示すように、（In, M, Zn）層の代わりに（M, Zn）層（M、Zn、酸素を有する層）が形成される場合もある。

[0290]

例えば、[In]:[M]:[Zn]=1:1:1である場合、図27に示す結晶構造のように、2つの（M, Zn）層の間にIn層が形成される場合が多い。また、例えば、[In]:[M]:[Zn]=4:2:3から4.1、及びその近傍値をとる場合のように、[In]:[M]:[Zn]=1:1:1よりもIn量が多い場合、図27に示す結晶構造の（M, Zn）層の元素MまたはZnの一部がInに置換されて、（In, M, Zn）層が形成される場合が多い。

[0291]

また、複数のナノクラスターが膜の厚さ方向に配向性を有するように配列した結晶部が、上述のc軸配向性を有する結晶部である。また、複数のナノクラスターが膜の厚さ方向に配向性を有さず、様々な向きに配向する結晶部が、上述のc軸配向性を有さない結晶部である。

[0292]

また、[In]:[M]:[Zn]=4:2:3から4.1、及びその近傍値をとる場合、比較的酸化亜鉛の含有量が多いので、酸化物半導体膜にc軸配向性を有する結晶部の存在割合が大きくなる。

[0293]

上述の成膜方法を用いて酸化物半導体膜を成膜することにより、成膜時にナノクラスターに酸素欠損が形成されやすくなる。また、酸化物半導体膜中の、c軸配向性を有さない結晶部の存在割合が大きくなる条件（例えば、成膜温度を室温とし、酸素流量比を10%以下とする。）で成膜することにより、さらに成膜時にナノクラスターに酸素欠損が形成されやすくなる。酸素欠損は（In, M, Zn）層及びIn層に形成される。特に、（M, Zn）層のMまたはZnがInに置換された（In, M, Zn）層ではInの近傍に酸素欠損が形成されやすい。ここで、酸素欠損が形成されるということは、In, MまたはZnの間に存在していた酸素がなくなることである。よって、酸素欠損が形成されることにより、ナノクラスターを形成する（In, M, Zn）層及びIn層の結晶構造に歪みが生じる。

[0294]

ここで、酸素欠損が形成された酸化物半導体膜に接して、十分な酸素供給源として機能する酸化物膜を形成することにより、当該酸化物膜から酸素を供給することができる。このような酸化物膜としては、過剰酸素を有する酸化物半導体膜または酸化物絶縁膜を用いればよい。酸化物半導体膜としては、例えば上記の金属酸化物膜を用いることができる。また、酸化物絶縁膜としては、例えば酸化シリコンまたは酸化窒化シリコンなどを用いることができる。なお、酸素供給源として機能する酸化物膜は、必ずしも酸化物半導体膜に接して形成する必要はない。例えば、酸素供給源として機能する酸化物膜と酸化物半導体膜の間に酸素透過性を有する膜を形成してもよい。

[0295]

過剰酸素を有する酸化物半導体膜または酸化物絶縁膜を形成するには、例えば、成膜時の雰囲気酸素過剰雰囲気（例えば、成膜ガスを酸素100%にする。）として成膜すればよい。また、例えば、酸化物半導体膜または酸化物絶縁膜に、イオン注入法、イオンドーピング法またはプラズマ処理によって酸素を添加すればよい。また、例えば、酸化物半導体膜または酸化物絶縁膜の上に、酸素を含む雰囲気ですパッタリング法を用いて成膜することによって、酸素を添加すればよい。

[0296]

なお、酸素供給源として機能する酸化物膜から酸化物半導体膜に酸素を供給する際に、当該酸化物半導体膜に、過剰な水または水素などの不純物が含まれていると、酸化物半導体膜中の酸素の拡散が妨げられる場合がある。このため、酸素供給源として機能する酸化物膜を形成する前に、酸化物半導体膜に加熱処理を行って、脱水化、脱水素化を行うことが好ましい。

[0297]

酸素供給源として機能する酸化物膜に接して酸化物半導体膜を形成し、加熱処理を行うことにより、当該酸化物膜から酸化物半導体膜に過剰酸素（活性酸素）を供給することができる。ここで、ナノクラスターには酸素欠損によって歪みが生じているため、活性酸素は酸素欠損による歪みを介して酸化物半導体膜の内部まで拡散する。

[0298]

拡散した活性酸素は、ナノクラスターの表面または側面、例えば、(In, M, Zn)層に形成された酸素欠損を補填する。これにより、ナノクラスターの表面または側面において酸素欠損を低減し、(In, M, Zn)層に形成された酸素欠損に起因するsDOSを小さくすることができる。

[0299]

ここで、ナノクラスターの表面または側面の酸素欠損が補填されることにより、活性酸素はナノクラスターの内部に侵入しにくくなる。さらに加熱処理によって酸化物半導体膜中の水素も拡散する。このため、水素がナノクラスター内部、例えばIn層に形成された酸素欠損にトラップされ、ナノクラスターの内部ではVoHが形成されやすくなる。VoHはキャリアを生成するため、ナノクラスター内部のキャリア密度が大きくなる。

[0300]

このような酸化物半導体膜を用いてトランジスタを形成することによる、ナノクラスター内部のキャリア密度の増大により、当該トランジスタのオン電流を著しく上昇させることができる。さらに、ナノクラスター表面及び側面のsDOSを低減させることにより、当該トランジスタのサブスレッショルドスイング値を小さくすることができる。

[0301]

また、酸化物半導体膜を用いたトランジスタでは、主にIn層で生成されたキャリアが(In, M,

Zn) 層または (M, Zn) 層に形成される伝導帯の下端を主に流れと考えられる。このとき、伝導帯の下端は主に InO_x ($x > 0$)、 ZnO_x ($x > 0$) によって形成されると推測される。

[0302]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0303]

(実施の形態2)

<CACの構成>

以下では、本発明の一態様に用いることができる金属酸化物膜（以下では酸化物半導体膜とも呼ぶ）としてCAC (Cloud Aligned Complementary) -OSの構成について説明する。

[0304]

CACとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0305]

例えば、 In-Ga-Zn 酸化物（以下、IGZOともいう。）におけるCAC-IGZOとは、インジウム酸化物（以下、 InO_{x1} ($x1$ は0よりも大きい実数)とする。)、またはインジウム亜鉛酸化物（以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は0よりも大きい実数)とする。)、と、ガリウム酸化物（以下、 GaO_{x3} ($x3$ は0よりも大きい実数)とする。)、またはガリウム亜鉛酸化物（以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は0よりも大きい実数)とする。)、などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

[0306]

つまり、CAC-IGZOは、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

[0307]

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数)で表される結晶性の化合物が挙げられる。

[0308]

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

[0309]

一方、CACは、材料構成に関する。CACとは、In、Ga、Zn、およびOを含む材料構成にお

いて、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、CACにおいて、結晶構造は副次的な要素である。

[0310]

なお、CACは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

[0311]

なお、GaO_{x3}が主成分である領域と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域とは、明確な境界が観察できない場合がある。

[0312]

<CAC-IGZOの解析>

続いて、各種測定方法を用い、基板上に成膜した酸化物半導体膜について測定を行った結果について説明する。

[0313]

《試料の構成と作製方法》

以下では、本発明の一態様に係る9個の試料について説明する。各試料は、それぞれ、酸化物半導体膜を成膜する際の基板温度、および酸素ガス流量比を異なる条件で作製する。なお、試料は、基板と、基板上的酸化物半導体膜と、を有する構造である。

[0314]

各試料の作製方法について、説明する。

[0315]

まず、基板として、ガラス基板を用いる。続いて、スパッタリング装置を用いて、ガラス基板上に酸化物半導体膜として、厚さ100nmのIn-Ga-Zn酸化物を形成する。成膜条件は、チャンバー内の圧力を0.6Paとし、ターゲットには、酸化物ターゲット(In:Ga:Zn=4:2:4.1[原子数比])を用いる。また、スパッタリング装置内に設置された酸化物ターゲットに2500WのAC電力を供給する。

[0316]

なお、酸化物を成膜する際の条件として、基板温度を、意図的に加熱しない温度(以下、R.T.ともいう。)、130℃、または170℃とした。また、Arと酸素の混合ガスに対する酸素ガスの流量比(以下、酸素ガス流量比ともいう。)を、10%、30%、または100%とすることで、9個の試料を作製する。

[0317]

《X線回折による解析》

本項目では、9個の試料に対し、X線回折測定を行った結果について説明する。なお、XRD装置として、Bruker社製D8 ADVANCEを用いた。また、条件は、Out-of-plane法による $\theta/2\theta$ スキャンにて、走査範囲を15deg.乃至50deg.、ステップ幅を0.02deg.、走査速度を3.0deg./分とした。

[0318]

図76にOut-of-plane法を用いてXRDスペクトルを測定した結果を示す。なお、図76において、上段には成膜時の基板温度条件が170℃の試料における測定結果、中段には成膜時の

基板温度条件が130℃の試料における測定結果、下段には成膜時の基板温度条件がR. T. の試料における測定結果を示す。また、左側の列には酸素ガス流量比の条件が10%の試料における測定結果、中央の列には酸素ガス流量比の条件が30%の試料における測定結果、右側の列には酸素ガス流量比の条件が100%の試料における測定結果、を示す。

[0319]

図76に示すXRDスペクトルは、成膜時の基板温度を高くする、または、成膜時の酸素ガス流量比の割合を大きくすることで、 $2\theta = 31^\circ$ 付近のピーク強度が高くなる。なお、 $2\theta = 31^\circ$ 付近のピークは、被形成面または上面に略垂直方向に対してc軸に配向した結晶性IGZO化合物(CAAC-IGZOともいう。)であることに由来することが分かっている。

[0320]

また、図76に示すXRDスペクトルは、成膜時の基板温度が低い、または、酸素ガス流量比が小さいほど、明確なピークが現れなかった。従って、成膜時の基板温度が低い、または、酸素ガス流量比が小さい試料は、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0321]

《電子顕微鏡による解析》

本項目では、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料を、HAADF (High-Angle Annular Dark Field) -STEM (Scanning Transmission Electron Microscope) によって観察、および解析した結果について説明する(以下、HAADF-STEMによって取得した像は、TEM像ともいう。)

[0322]

HAADF-STEMによって取得した平面像(以下、平面TEM像ともいう。)、および断面像(以下、断面TEM像ともいう。)の画像解析を行った結果について説明する。なお、TEM像は、球面収差補正機能を用いて観察した。なお、HAADF-STEM像の撮影には、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fを用いて、加速電圧200kV、ビーム径約0.1nmφの電子線を照射して行った。

[0323]

図77Aは、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料の平面TEM像である。図77Bは、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料の断面TEM像である。

[0324]

《電子線回折パターンの解析》

本項目では、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料に、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで、電子線回折パターンを取得した結果について説明する。

[0325]

図77Aに示す、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料の平面TEM像において、黒点a1、黒点a2、黒点a3、黒点a4、および黒点a5で示す電子線回折パターンを観察する。なお、電子線回折パターンの観察は、電子線を照射しながら0秒の位置から35秒の位置まで一定の速度で移動させながら行う。黒点a1の結果を図77C、黒点a2の結果を図77

D、黒点 a 3 の結果を図 7 7 E、黒点 a 4 の結果を図 7 7 F、および黒点 a 5 の結果を図 7 7 G に示す。

[0326]

図 7 7 C、図 7 7 D、図 7 7 E、図 7 7 F、および図 7 7 G より、円を描くように（リング状に）輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

[0327]

また、図 7 7 B に示す、成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料の断面 TEM 像において、黒点 b 1、黒点 b 2、黒点 b 3、黒点 b 4、および黒点 b 5 で示す電子線回折パターンを観察する。黒点 b 1 の結果を図 7 7 H、黒点 b 2 の結果を図 7 7 I、黒点 b 3 の結果を図 7 7 J、黒点 b 4 の結果を図 7 7 K、および黒点 b 5 の結果を図 7 7 L に示す。

[0328]

図 7 7 H、図 7 7 I、図 7 7 J、図 7 7 K、および図 7 7 L より、リング状に輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

[0329]

ここで、例えば、 InGaZnO_4 の結晶を有する CAAC-OS に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、 InGaZnO_4 の結晶の (009) 面に起因するスポットが含まれる回折パターンが見られる。つまり、CAAC-OS は、c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させると、リング状の回折パターンが確認される。つまり、CAAC-OS は、a 軸および b 軸は配向性を有さないことがわかる。

[0330]

また、微結晶を有する酸化物半導体（以下、nc-OS という。）に対し、大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子線回折を行うと、ハローパターンのような回折パターンが観測される。また、nc-OS に対し、小さいプローブ径の電子線（例えば 50 nm 未満）を用いるナノビーム電子線回折を行うと、輝点（スポット）が観測される。また、nc-OS に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域に複数の輝点が観測される場合がある。

[0331]

成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料の電子線回折パターンは、リング状に輝度の高い領域と、該リング領域に複数の輝点を有する。従って、成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料は、電子線回折パターンが、nc-OS になり、平面方向、および断面方向において、配向性は有さない。

[0332]

以上より、成膜時の基板温度が低い、または、酸素ガス流量比が小さい酸化物半導体膜は、アモルファス構造の酸化物半導体膜とも、単結晶構造の酸化物半導体膜とも明確に異なる性質を有すると推定できる。

[0333]

《元素分析》

本項目では、エネルギー分散型 X 線分光法 (EDX: Energy Dispersive X-ray spectroscopy) を用い、EDX マッピングを取得し、評価することによって、成

膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料の元素分析を行った結果について説明する。なお、EDX 測定には、元素分析装置として日本電子株式会社製エネルギー分散型 X 線分析装置 JED-2300T を用いる。なお、試料から放出された X 線の検出には Si ドリフト検出器を用いる。

[0334]

EDX 測定では、試料の分析対象領域の各点に電子線照射を行い、これにより発生する試料の特性 X 線のエネルギーと発生回数を測定し、各点に対応する EDX スペクトルを得る。本実施の形態では、各点の EDX スペクトルのピークを、In 原子の L 殻への電子遷移、Ga 原子の K 殻への電子遷移、Zn 原子の K 殻への電子遷移及び O 原子の K 殻への電子遷移に帰属させ、各点におけるそれぞれの原子の比率を算出する。これを試料の分析対象領域について行うことにより、各原子の比率の分布が示された EDX マッピングを得ることができる。

[0335]

図 78A、図 78B、および図 78C には、成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料の断面における EDX マッピングを示す。図 78A は、Ga 原子の EDX マッピング（全原子に対する Ga 原子の比率は 1.18 乃至 18.64 [atomic%] の範囲とする。）である。図 78B は、In 原子の EDX マッピング（全原子に対する In 原子の比率は 9.28 乃至 33.74 [atomic%] の範囲とする。）である。図 78C は、Zn 原子の EDX マッピング（全原子に対する Zn 原子の比率は 6.69 乃至 24.99 [atomic%] の範囲とする。）である。また、図 78A、図 78B、および図 78C は、成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料の断面において、同範囲の領域を示している。なお、EDX マッピングは、範囲における、測定元素が多いほど明るくなり、測定元素が少ないほど暗くなるように、明暗で元素の割合を示している。また、図 78A、図 78B、および図 78C に示す EDX マッピングの倍率は 720 万倍である。

[0336]

図 78A、図 78B、および図 78C に示す EDX マッピングでは、画像に相対的な明暗の分布が見られ、成膜時の基板温度 R. T.、および酸素ガス流量比 10% で作製した試料において、各原子が分布を持って存在している様子が確認できる。ここで、図 78A、図 78B、および図 78C に示す実線で囲む範囲と破線で囲む範囲に注目する。

[0337]

図 78A では、実線で囲む範囲は、相対的に暗い領域を多く含み、破線で囲む範囲は、相対的に明るい領域を多く含む。また、図 78B では実線で囲む範囲は、相対的に明るい領域を多く含み、破線で囲む範囲は、相対的に暗い領域を多く含む。

[0338]

つまり、実線で囲む範囲は In 原子が相対的に多い領域であり、破線で囲む範囲は In 原子が相対的に少ない領域である。ここで、図 78C では、実線で囲む範囲において、右側は相対的に明るい領域であり、左側は相対的に暗い領域である。従って、実線で囲む範囲は、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} などが主成分である領域である。

[0339]

また、実線で囲む範囲は Ga 原子が相対的に少ない領域であり、破線で囲む範囲は Ga 原子が相対的に多い領域である。図 78C では、破線で囲む範囲において、左上の領域は、相対的に明るい領域で

あり、右下側の領域は、暗い領域である。従って、破線で囲む範囲は、 GaO_{x3} 、または $Ga_{x4}Zn_{y4}O_{z4}$ などが主成分である領域である。

[0340]

また、図78A、図78B、および図78Cより、In原子の分布は、Ga原子よりも、比較的、均一に分布しており、 InO_{x1} が主成分である領域は、 $In_{x2}Zn_{y2}O_{z2}$ が主成分となる領域を介して、互いに繋がって形成されているように見える。このように、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、クラウド状に広がって形成されている。

[0341]

このように、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、偏在し、混合している構造を有するIn-Ga-Zn酸化物を、CAC-IGZOと呼称することができる。

[0342]

また、CACにおける結晶構造は、nc構造を有する。CACが有するnc構造は、電子線回折像において、単結晶、多結晶、またはCAAC構造を含むIGZOに起因する輝点（スポット）以外にも、数か所以上の輝点（スポット）を有する。または、数か所以上の輝点（スポット）に加え、リング状に輝度の高い領域が現れるとして結晶構造が定義される。

[0343]

また、図78A、図78B、および図78Cより、 GaO_{x3} が主成分である領域、及び $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域のサイズは、0.5nm以上10nm以下、または1nm以上3nm以下で観察される。なお、好ましくは、EDXマッピングにおいて、各金属元素が主成分である領域の径は、1nm以上2nm以下とする。

[0344]

以上より、CAC-IGZOは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-IGZOは、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。従って、CAC-IGZOを半導体素子に用いた場合、 GaO_{x3} などに起因する性質と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} に起因する性質とが、相補的に作用することにより、高いオン電流（ I_{on} ）、および高い電界効果移動度（ μ ）を実現することができる。

[0345]

また、CAC-IGZOを用いた半導体素子は、信頼性が高い。従って、CAC-IGZOは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

[0346]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、または他の実施例と適宜組み合わせて実施することができる。

[0347]

(実施の形態3)

本実施の形態では、先の実施の形態に示す金属酸化物膜を半導体層として用いた半導体装置の一形態について図30A乃至図53を用いて説明する。

[0348]

<トランジスタ構造 1>

以下では、本発明の一態様に係るトランジスタの一例について説明する。図 30A 乃至 30C は、本発明の一態様に係るトランジスタの上面図および断面図である。図 30A は上面図であり、図 30B は、図 30A に示す一点鎖線 X1-X2、図 30C は、一点鎖線 Y1-Y2 に対応する断面図である。なお、図 30A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0349]

トランジスタ 200 は、ゲート電極として機能する導電体 205（導電体 205a、および導電体 205b）、および導電体 260（導電体 260a、および導電体 260b）と、ゲート絶縁層として機能する絶縁体 220、絶縁体 222、絶縁体 224、および絶縁体 250 と、チャンネルが形成される領域を有する酸化物 230 と、ソースまたはドレインの一方として機能する導電体 240a と、ソースまたはドレインの他方として機能する導電体 240b と、過剰酸素を有する絶縁体 280 と、バリア性を有する絶縁体 282 と、を有する。

[0350]

また、酸化物 230 は、酸化物 230a と、酸化物 230a 上の酸化物 230b と、酸化物 230b 上の酸化物 230c と、を有する。なお、トランジスタ 200 をオンさせると、主として酸化物 230b に電流が流れる（チャンネルが形成される）。一方、酸化物 230a および酸化物 230c は、酸化物 230b との界面近傍（混合領域となっている場合もある）に電流が流れる場合があるものの、そのほかの領域は絶縁体として機能する場合がある。

[0351]

また、図 30A 乃至 30C に示すように、酸化物 230c は、酸化物 230a、および酸化物 230b の側面を覆うように設けることが好ましい。絶縁体 280 と、チャンネルが形成される領域を有する酸化物 230b との間に、酸化物 230c が介在することにより、絶縁体 280 から、水素、水、およびハロゲン等の不純物が、酸化物 230b へ拡散することを抑制することができる。

[0352]

導電体 205 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等である。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、酸化しにくい（耐酸化性が高い）ため、好ましい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0353]

例えば、導電体 205a として、水素に対するバリア性を有する導電体である、窒化タンタル等を用い、導電体 205b として、導電性が高いタングステンを積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、酸化物 230 への水素の拡散を抑制することができる。なお、図 30A 乃至 30C では、導電体 205a、および導電体 205b の 2 層構造を示したが、当該構成に限定されず、単層でも 3 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0354]

絶縁体220、および絶縁体224は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体224として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を、トランジスタ200を構成する酸化物に接して設けることにより、酸化物中の酸素欠損を補償することができる。なお、絶縁体222と絶縁体224とは、必ずしも同じ材料を用いなくともよい。

[0355]

絶縁体222は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）または（Ba, Sr） TiO_3 （BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。特に、酸化アルミニウム、および酸化ハフニウム、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。このような材料を用いて形成した場合、絶縁体222は、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

[0356]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層してもよい。

[0357]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0358]

絶縁体220及び絶縁体224の間に、high-k材料を含む絶縁体222を有することで、特定の条件で絶縁体222が電子を捕獲し、しきい値電圧を増大させることができる。つまり、絶縁体222が負に帯電する場合がある。

[0359]

例えば、絶縁体220、および絶縁体224に、酸化シリコンを用い、絶縁体222に、酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用いた場合、半導体装置の使用温度、あるいは保管温度よりも高い温度（例えば、125℃以上450℃以下、代表的には150℃以上300℃以下）の下で、導電体205の電位がソース電極やドレイン電極の電位より高い状態を、10ミリ秒以上、代表的には1分以上維持することで、トランジスタ200を構成する酸化物から導電体205に向かって、電子が移動する。この時、移動する電子の一部が、絶縁体222の電子捕獲準位に捕獲される。

[0360]

絶縁体222の電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。なお、導電体205の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタとなる。

[0361]

また、電子を捕獲する処理は、トランジスタの作製過程におこなえばよい。例えば、トランジスタのソースあるいはドレインに接続する導電体の形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。

[0362]

また、絶縁体220、絶縁体222、および絶縁体224の膜厚を適宜調整することで、しきい値電圧を制御することができる。例えば、絶縁体220、絶縁体222、および絶縁体224の合計膜厚を薄くすることで導電体205からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。絶縁体220、絶縁体222、および絶縁体224の合計膜厚は、65nm以下、好ましくは20nm以下であることが好ましい。

[0363]

従って、安定した電気特性を有するトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。

[0364]

酸化物230a、酸化物230b、および酸化物230cは、 $In-M-Zn$ 酸化物（MはAl、Ga、Y、またはSn）等の金属酸化物で形成される。ここで、酸化物230a、酸化物230b、および酸化物230cは、上記実施の形態に記載の金属酸化物膜を用いることができる。また、酸化物230として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物などを用いてもよい。

[0365]

続いて、酸化物を3層構造、または2層構造とした場合のバンド構造について図31A乃至31Cを用いて説明する。なお、図31A乃至31Cに示す、絶縁体I1、酸化物S1、酸化物S2、酸化物S3及び絶縁体I2は、トランジスタ200の絶縁体224、酸化物230a、酸化物230b、酸化物230c、絶縁体250に対応する。

[0366]

図31Aは、絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図31Bは、絶縁体I1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図31Cは、絶縁体I1、酸化物S1、酸化物S2、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2の伝導帯下端のエネルギー準位（ E_c ）を示す。

[0367]

また、図31Aは、絶縁体I1、絶縁体I2として酸化シリコン膜を用い、酸化物S1として金属元素の原子数比を $In:Ga:Zn=1:3:2$ の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物S2として金属元素の原子数比を $In:Ga:Zn=4:2:4$ の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物S3として金属元素の原子数比を $In:Ga:Zn=1:3:2$ の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用いる構成のバンド図である。

[0368]

また、図31Bは、絶縁体I1、絶縁体I2として酸化シリコン膜を用い、酸化物S2として金属元素の原子数比を $I n : G a : Z n = 4 : 2 : 4$ 、1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物S3として金属元素の原子数比を $I n : G a : Z n = 1 : 3 : 2$ の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用いる構成のバンド図である。

[0369]

また、図31Cは、絶縁体I1、絶縁体I2として酸化シリコン膜を用い、酸化物S1として金属元素の原子数比を $I n : G a : Z n = 1 : 3 : 2$ の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物S2として金属元素の原子数比を $I n : G a : Z n = 4 : 2 : 4$ 、1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用いる構成のバンド図である。

[0370]

酸化物S1、酸化物S3は、酸化物S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物S2の伝導帯下端のエネルギー準位と、酸化物S1、酸化物S3の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物S1、酸化物S3の電子親和力と、酸化物S2の電子親和力との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

[0371]

図31A乃至31Cに示すように、酸化物S1、酸化物S2、酸化物S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物S1と酸化物S2との界面、または酸化物S2と酸化物S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0372]

具体的には、酸化物S1と酸化物S2、酸化物S2と酸化物S3が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物S2が $I n - G a - Z n$ 酸化物の場合、酸化物S1、酸化物S3として、 $I n - G a - Z n$ 酸化物、 $G a - Z n$ 酸化物、酸化ガリウムなどを用いるとよい。

[0373]

このとき、キャリアの主たる経路は酸化物S2となる。酸化物S1と酸化物S2との界面、および酸化物S2と酸化物S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。特に、上記実施の形態に示すように、酸化物S2が、c軸配向性を有する第1の結晶部よりc軸配向性を有さない第2の結晶部の存在割合が多くなる構成とすることにより、より高いオン電流を得ることができる。

[0374]

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物S1、酸化物S3を設けることにより、トラップ準位を酸化物S2より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

[0375]

また、欠陥準位がチャネル領域として機能する酸化物S2の伝導帯下端のエネルギー準位（ E_c ）より真空準位から遠くなることもあり、欠陥準位に電子が蓄積しやすくなってしまう。欠陥準位に電

子が蓄積されることで、マイナスの固定電荷となり、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、欠陥準位が酸化物S 2の伝導帯下端のエネルギー準位(E_c)より真空準位に近くなるような構成にすると好ましい。このようにすることで、欠陥準位に電子が蓄積しにくくなり、トランジスタのオン電流を増大させることが可能であると共に、電界効果移動度を高めることができる。

[0376]

酸化物S 1、酸化物S 3は、酸化物S 2と比較して、導電率が十分に低い材料を用いる。このとき、酸化物S 2、酸化物S 2と酸化物S 1との界面、および酸化物S 2と酸化物S 3との界面が、主にチャネル領域として機能する。例えば、酸化物S 1、酸化物S 3には、図26Cにおいて、絶縁性が高くなる領域Cで示す原子数比の酸化物を用いればよい。なお、図26Cに示す領域Cは、 $[I_n] : [M] : [Z_n] = 0 : 1 : 0$ 、またはその近傍値である原子数比を示している。

[0377]

特に、酸化物S 2に領域Aで示される原子数比の酸化物を用いる場合、酸化物S 1および酸化物S 3には、 $[M] / [I_n]$ が1以上、好ましくは2以上である酸化物を用いることが好ましい。また、酸化物S 3として、十分に高い絶縁性を得ることができる $[M] / ([Z_n] + [I_n])$ が1以上である酸化物を用いることが好適である。

[0378]

また、本実施の形態においては、酸化物S 1、S 3として、金属元素の原子数比を $I_n : Ga : Zn = 1 : 3 : 2$ の金属酸化物ターゲットを用いて形成される酸化物を用いる構成について例示したが、これに限定されない。例えば、酸化物S 1、S 3として、 $I_n : Ga : Zn = 1 : 1 : 1$ [原子数比]、 $I_n : Ga : Zn = 1 : 1 : 1.2$ [原子数比]、 $I_n : Ga : Zn = 1 : 3 : 4$ [原子数比]、 $I_n : Ga : Zn = 1 : 3 : 6$ [原子数比]、 $I_n : Ga : Zn = 1 : 4 : 5$ [原子数比]、 $I_n : Ga : Zn = 1 : 5 : 6$ [原子数比]、または $I_n : Ga : Zn = 1 : 10 : 1$ [原子数比] の金属酸化物ターゲットを用いて形成される酸化物を用いてもよい。あるいは、酸化物S 1、S 3として、金属元素の原子数比を $Ga : Zn = 10 : 1$ の金属酸化物ターゲットを用いて形成される酸化物を用いてもよい。この場合、酸化物S 2として金属元素の原子数比を $I_n : Ga : Zn = 1 : 1 : 1$ の金属酸化物ターゲットを用いて形成される酸化物を用い、酸化物S 1、S 3として金属元素の原子数比を $Ga : Zn = 10 : 1$ の金属酸化物ターゲットを用いて形成される酸化物を用いると、酸化物S 2の伝導帯下端のエネルギー準位と、酸化物S 1、S 3の伝導帯下端のエネルギー準位との差を 0.6 eV 以上とすることができるため好適である。

[0379]

なお、酸化物S 1、S 3として、 $I_n : Ga : Zn = 1 : 1 : 1$ [原子数比] の金属酸化物ターゲットを用いる場合、酸化物S 1、S 3は、 $I_n : Ga : Zn = 1 : \beta_1 (0 < \beta_1 \leq 2) : \beta_2 (0 < \beta_2 \leq 2)$ となる場合がある。また、酸化物S 1、S 3として、 $I_n : Ga : Zn = 1 : 3 : 4$ [原子数比] の金属酸化物ターゲットを用いる場合、酸化物S 1、S 3は、 $I_n : Ga : Zn = 1 : \beta_3 (1 \leq \beta_3 \leq 5) : \beta_4 (2 \leq \beta_4 \leq 6)$ となる場合がある。また、酸化物S 1、S 3として、 $I_n : Ga : Zn = 1 : 3 : 6$ [原子数比] の金属酸化物ターゲットを用いる場合、酸化物S 1、S 3は、 $I_n : Ga : Zn = 1 : \beta_5 (1 \leq \beta_5 \leq 5) : \beta_6 (4 \leq \beta_6 \leq 8)$ となる場合がある。

[0380]

また、酸素の拡散が主に絶縁体280から行われるので、酸化物S 3は酸素透過性が高いことが好

ましい。例えば、酸化物 S 3 は上記実施の形態に示す試料 A 1 または試料 A 2 のような金属酸化物膜を用いることが好ましい。

[0381]

また、酸化物 S 3 を酸素過剰な雰囲気（例えば、成膜ガスを酸素 100%にする。）で成膜して、酸化物 S 3 から酸化物 S 2 に酸素を供給してもよい。

[0382]

絶縁体 250 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）または（Ba, Sr） TiO_3 （BST）などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層してもよい。

[0383]

また、絶縁体 250 として、絶縁体 224 と同様に、化学量論的組成よりも過剰に酸素を含む酸化物絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減することができる。

[0384]

また、絶縁体 250 は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁膜を用いることができる。絶縁体 250 は、このような材料を用いて形成した場合、酸化物 230 からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

[0385]

なお、絶縁体 250 は、絶縁体 220、絶縁体 222、および絶縁体 224 と同様の積層構造を有していてもよい。絶縁体 250 として、電子捕獲準位に必要な量の電子を捕獲させた絶縁体を有することで、トランジスタ 200 は、しきい値電圧をプラス側にシフトすることができる。当該構成を有することで、トランジスタ 200 は、ゲート電圧が 0V であっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタとなる。

[0386]

また、図 30A 乃至 30C に示す半導体装置において、酸化物 230 と導電体 260 の間に、絶縁体 250 の他にバリア膜を設けてもよい。もしくは、酸化物 230c にバリア性があるものを用いてもよい。

[0387]

例えば、過剰酸素を含む絶縁膜を酸化物 230 に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。また、酸化物 230 への水素等の不純物の侵入を防ぐことができる。

[0388]

導電体 240a と、および導電体 240b は、一方がソース電極として機能し、他方がドレイン電

極として機能する。

[0389]

導電体240aと、導電体240bは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

[0390]

また、図では単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層するとよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造を用いてもよい。

[0391]

また、チタン膜または窒化チタン膜上にアルミニウム膜または銅膜、さらにその上にチタン膜または窒化チタン膜を積層する三層構造、モリブデン膜または窒化モリブデン膜上にアルミニウム膜または銅膜、さらにその上にモリブデン膜または窒化モリブデン膜を積層する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0392]

また、ゲート電極としての機能を有する導電体260は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、図では2層構造を示したが、単層、または3層以上の積層構造としてもよい。

[0393]

なお、2層構造は、同じ材料を積層して設けてもよい。例えば、導電体260aは、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、原子層堆積（ALD: Atomic Layer Deposition）法を用いて形成することが好ましい。ALD法等により形成することで、絶縁体250に対する成膜時のダメージを減らすことができる。また、被覆性を向上させることができるため好ましい。従って、信頼性が高いトランジスタ200を提供することができる。

[0394]

続いて、導電体260bはスパッタリング法を用いて形成する。この時、絶縁体250上に、導電体260aを有することで、導電体260aの成膜時のダメージが、絶縁体250に影響することを抑制することができる。また、ALD法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。

[0395]

また、例えば、アルミニウム膜上にチタン膜を積層する二層構造を用いるとよい。また、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化

タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造を用いてもよい。

[0396]

また、チタン膜上にアルミニウム膜、さらにその上にチタン膜を積層する三層構造等を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

[0397]

また、導電体260は、インジウム、錫、亜鉛、ガリウム、またはシリコンなどから選ばれた元素を含む導電性材料を用いることができる。インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物、 $In-Ga-Zn$ 酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造を用いることもできる。

[0398]

続いて、トランジスタ200の上方には、絶縁体280、および絶縁体282を設ける。

[0399]

絶縁体280には、化学量論的組成よりも過剰に酸素を含む酸化物を用いることが好ましい。つまり、絶縁体280には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の層間膜などとして、過剰酸素領域を有する絶縁体を設け、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

[0400]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析法（TDS：Thermal Desorption Spectroscopy）にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

[0401]

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、酸素よりも窒素の含有量が多い材料を示す。

[0402]

また、トランジスタ200を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0403]

絶縁体282は、例えば、酸化アルミニウム、および酸化ハフニウム、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、絶縁体282は絶縁体222に用いることができる絶縁体を用いてもよい。絶縁体282は、このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

[0404]

上記構成を有することで、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、上記構成を有するトランジスタを半導体装置に用いることで、半導体装置の電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、消費電力が低減された半導体装置を提供することができる。

[0405]

<トランジスタ構造2>

図32A乃至32Cには、トランジスタ200に適用できる構造の一例を示す。図32Aはトランジスタ200の上面を示す。なお、図の明瞭化のため、図32Aにおいて一部の膜は省略されている。また、図32Bは、図32Aに示す一点鎖線X1-X2に対応する断面図であり、図32CはY1-Y2に対応する断面図である。

[0406]

なお、図32A乃至32Cに示すトランジスタ200において、図30A乃至30Cに示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

[0407]

図32A乃至32Cに示す構造は、導電体260を覆うように、絶縁体270を設ける。絶縁体280に酸素が脱離する酸化物材料を用いる場合、導電体260が、脱離した酸素により酸化することを防止するため、絶縁体270は、酸素に対してバリア性を有する物質を用いる。絶縁体270には、絶縁体282に用いることができる絶縁体を用いてもよい。

[0408]

例えば、絶縁体270には、酸化アルミニウムなどの金属酸化物を用いることができる。また絶縁体270は、導電体260の酸化を防止する程度の厚さに設けられていればよい。例えば、絶縁体270の膜厚は、1nm以上10nm以下、好ましくは3nm以上7nm以下として設ける。

[0409]

当該構成とすることで、導電体260の材料選択の幅を広げることができる。例えば、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0410]

従って、導電体260の酸化を抑制し、絶縁体280から、脱離した酸素を効率的に酸化物230へと供給することができる。また、導電体260に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ200を提供することができる。

[0411]

<トランジスタ構造3>

図33A乃至33Cには、トランジスタ200に適用できる構造の一例を示す。図33Aはトランジスタ200の上面を示す。なお、図の明瞭化のため、図33Aにおいて一部の膜は省略されている。また、図33Bは、図33Aに示す一点鎖線X1-X2に対応する断面図であり、図33CはY1-Y2に対応する断面図である。

[0412]

なお、図33A乃至33Cに示すトランジスタ200において、図32A乃至32Cに示したトラ

ンジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

[0413]

図 33A 乃至 33C に示す構造は、導電体 240a に積層して絶縁体 243a を設け、導電体 240b に積層して絶縁体 243b を設ける。絶縁体 280 に酸素が脱離する酸化物材料を用いる場合、導電体 240a 及び導電体 240b が、脱離した酸素により酸化することを防止するため、絶縁体 243a 及び絶縁体 243b は、酸素に対してバリア性を有する物質を用いる。

[0414]

例えば、絶縁体 243a 及び絶縁体 243b には、酸化アルミニウム、酸化ガリウムなどの金属酸化物を用いることができる。また、絶縁体 243a 及び絶縁体 243b として、窒化シリコンなどを用いてもよい。

[0415]

当該構成とすることで、導電体 240a 及び導電体 240b の材料選択の幅を広げることができる。例えば、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0416]

従って、導電体 240a 及び導電体 240b の酸化を抑制し、絶縁体 280 から、脱離した酸素を効率的に酸化物 230 へと供給することができる。また、導電体 240a 及び導電体 240b に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ 200 を提供することができる。

[0417]

また、図 30A 乃至 30C などに示すトランジスタ 200 では、絶縁体 220、絶縁体 222 及び絶縁体 224 を積層してゲート絶縁膜として機能させていたが、本実施の形態に示すトランジスタはこれに限られるものではない。例えば、図 33A 乃至 33C に示すように、絶縁体 224 だけを設ける構造としてもよい。

[0418]

図 33A 乃至 33C に示す構造では、導電体 205a 及び導電体 205b の上面を覆うように導電体 205c を設けることが好ましい。ここで、導電体 205a 乃至導電体 205c を指して導電体 205 と呼ぶ場合がある。絶縁体 224 に酸素が脱離する酸化物材料を用いる場合、導電体 205b が、脱離した酸素により酸化することを防止するため、導電体 205c は、導電体 205a と同様の導電体を用いることができる。また、例えば、上記の透光性を有する導電材料を用いてもよい。

[0419]

当該構成とすることで、導電体 205b の材料選択の幅を広げることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0420]

従って、導電体 205b の酸化を抑制し、絶縁体 224 から、脱離した酸素を効率的に酸化物 230 へと供給することができる。また、導電体 205b に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ 200 を提供することができる。

[0421]

<トランジスタ構造 4>

図 34A 乃至 34C には、トランジスタ 200 に適用できる構造の一例を示す。図 34A はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 34A において一部の膜は省略されている。

また、図 3 4 B は、図 3 4 A に示す一点鎖線 X 1 - X 2 に対応する断面図であり、図 3 4 C は Y 1 - Y 2 に対応する断面図である。

[0 4 2 2]

なお、図 3 4 A 乃至 3 4 C に示すトランジスタ 2 0 0 において、図 3 0 A 乃至 3 0 C に示したトランジスタ 2 0 0 を構成する構造と同機能を有する構造には、同符号を付記する。

[0 4 2 3]

図 3 4 A 乃至 3 4 C に示す構造は、ゲート電極として機能する導電体 2 6 0 が、導電体 2 6 0 a、導電体 2 6 0 b、導電体 2 6 0 c を有する。また、酸化物 2 3 0 c は、酸化物 2 3 0 b の側面を覆っていればよく、絶縁体 2 2 4 上で切断されていてもよい。

[0 4 2 4]

導電体 2 6 0 a は、熱 CVD 法、MOCVD 法または ALD 法を用いて形成する。特に、ALD 法を用いて形成することが好ましい。ALD 法等により形成することで、絶縁体 2 5 0 に対するプラズマによるダメージを減らすことができる。また、導電体 2 6 0 a の被覆性を向上させることができるため好ましい。従って、信頼性が高いトランジスタ 2 0 0 を提供することができる。

[0 4 2 5]

また、導電体 2 6 0 b は、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いて形成する。さらに、導電体 2 6 0 b 上に形成する導電体 2 6 0 c は、窒化タングステンなどの耐酸化性が高い導電体を用いて形成することが好ましい。

[0 4 2 6]

例えば、絶縁体 2 8 0 に酸素が脱離する酸化物材料を用いる場合、過剰酸素領域を有する絶縁体 2 8 0 と接する面積が大きい導電体 2 6 0 c に耐酸化性が高い導電体を用いることで、過剰酸素から脱離される酸素が導電体 2 6 0 に吸収されることを抑制することができる。また、導電体 2 6 0 の酸化を抑制し、絶縁体 2 8 0 から、脱離した酸素を効率的に酸化物 2 3 0 へと供給することができる。また、導電体 2 6 0 b に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ 2 0 0 を提供することができる。

[0 4 2 7]

また、図 3 4 C に示すように、トランジスタ 2 0 0 は、チャンネル幅方向において、酸化物 2 3 0 b が導電体 2 0 5、および導電体 2 6 0 に覆われている。また、絶縁体 2 2 4 が凸部を有することによって、酸化物 2 3 0 b の側面も導電体 2 6 0 で覆うことができる。例えば、絶縁体 2 2 4 の凸部の形状を調整することで、酸化物 2 3 0 b の側面において、導電体 2 6 0 の底面が、酸化物 2 3 0 b の底面よりも、基板側となる構造となることが好ましい。つまり、トランジスタ 2 0 0 は、導電体 2 0 5 および導電体 2 6 0 の電界によって、酸化物 2 3 0 b を電氣的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物 2 3 0 b を電氣的に取り囲むトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。*s-channel* 構造のトランジスタ 2 0 0 は、酸化物 2 3 0 b 全体（バルク）にチャンネルを形成することもできる。*s-channel* 構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流（トランジスタがオン状態のときにソースとドレインの間に流れる電流）を得ることができる。また、導電体 2 0 5 および導電体 2 6 0 の電界によって、酸化物 2 3 0 b に形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、*s-channel* 構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャンネル幅を小さくすることで、*s-channel*

ne 1 構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

[0428]

図34A乃至34Cに示す構造は、ソースまたはドレインとして機能する導電体が積層構造を有する。導電体240a、および導電体240bは、酸化物230bと密着性が高い導電体を用い、導電体241a、導電体241bは、導電性が高い材料を用いることが好ましい。また、導電体240a、および導電体240bは、原子層堆積(ALD: Atomic Layer Deposition)法を用いて形成することが好ましい。ALD法等により形成することで、被覆性を向上させることができる。

[0429]

例えば、酸化物230bに、インジウムを有する金属酸化物を用いる場合、導電体240a、および導電体240bには、窒化チタンなどを用いればよい。また、導電体241a、および導電体241bに、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いることで、信頼性が高く、消費電力が小さいトランジスタ200を提供することができる。また、導電体241a及び導電体241bとして導電体260に用いることができる導電体を用いてもよく、例えば、透光性を有する導電材料を用いてもよい。

[0430]

<トランジスタ構造5>

図35A乃至35Cには、トランジスタ200に適用できる構造の一例を示す。図35Aはトランジスタ200の上面を示す。なお、図の明瞭化のため、図35Aにおいて一部の膜は省略されている。また、図35Bは、図35Aに示す一点鎖線X1-X2に対応する断面図であり、図35CはY1-Y2に対応する断面図である。

[0431]

なお、図35A乃至35Cに示すトランジスタ200において、図30A乃至30Cに示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

[0432]

図35Cに示すように、トランジスタ200は、チャネル幅方向において、酸化物230bが導電体205、および導電体260に囲まれている。また、絶縁体222が凸部を有することによって、酸化物230bの側面も導電体260で覆うことができる。

[0433]

ここで、絶縁体222に、酸化ハフニウムなどのhigh-k材料を用いる場合、絶縁体222の比誘電率が大きいため、SiO₂膜換算膜厚(EOT: Equivalent Oxide Thickness)を小さくすることができる。従って、酸化物230にかかる導電体205からの電界の影響を弱めることなく、絶縁体222の物理的な厚みにより、導電体205と、酸化物230との間の距離を広げることができる。従って、絶縁体222の膜厚により、導電体205と、酸化物230との間の距離を調整することができる。

[0434]

例えば、絶縁体224の凸部の形状を調整することで、酸化物230bの側面において、導電体260の底面が、酸化物230bの底面よりも、基板側となる構造となることが好ましい。つまり、トランジスタ200は、導電体205および導電体260の電界によって、酸化物230bを電氣的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物230bを電氣的

に取り囲むトランジスタの構造を、s-channel構造とよぶ。s-channel構造のトランジスタ200は、酸化物230b全体（バルク）にチャンネルを形成することもできる。s-channel構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流（トランジスタがオン状態のときにソースとドレインの間に流れる電流）を得ることができる。また、導電体205および導電体260の電界によって、酸化物230bに形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、s-channel構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャンネル幅を小さくすることで、s-channel構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

[0435]

また、図35B及び35Cに示すように、酸化物230cの側面が絶縁体250及び導電体260の側面と略一致するように酸化物230cを形成してもよい。これにより、酸化物230c、絶縁体250及び導電体260のパターン形成を一括で行うことができるので、工程の簡略化を図ることができる。ここで、導電体240a及び導電体240bとして、水素または酸素に対するバリア性があり、酸化しにくい（耐酸化性が高い）、窒化タンタルなどの金属窒化物を用いることにより、導電体240a及び導電体240bが酸化されることを防ぐことができる。また、絶縁体280から酸化物230bに過剰酸素を容易に供給することができる。

[0436]

<トランジスタ構造6>

図36A乃至36Cには、トランジスタ200に適用できる構造の一例を示す。図36Aはトランジスタ200の上面を示す。なお、図の明瞭化のため、図36Aにおいて一部の膜は省略されている。また、図36Bは、図36Aに示す一点鎖線X1-X2に対応する断面図であり、図36CはY1-Y2に対応する断面図である。

[0437]

なお、図36A乃至36Cに示すトランジスタ200において、図30A乃至30Cに示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

[0438]

図36A乃至36Cに示すトランジスタ200は、絶縁体280に形成された開口部に、酸化物230c、絶縁体250、導電体260が形成されている。また、導電体240aおよび導電体240bの一方の端部と、絶縁体280に形成された開口部の端部が一致している。さらに、導電体240aおよび導電体240bの三方の端部が、酸化物230の端部の一部と一致している。従って、導電体240aおよび導電体240bは、酸化物230または絶縁体280の開口部と、同時に形成することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

[0439]

また、導電体240a、導電体240b、および酸化物230bは、過剰酸素領域を有する絶縁体280と、酸化物230dを介して接する。そのため、絶縁体280と、チャンネルが形成される領域を有する酸化物230bとの間に、酸化物230dが介在することにより、絶縁体280から、水素、水、およびハロゲン等の不純物が、酸化物230bへ拡散することを抑制することができる。

[0440]

さらに、図36A乃至36Cに示すトランジスタ200は、導電体240aおよび導電体240b

と、導電体 260 と、がほとんど重ならない構造を有するため、導電体 260 にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ 200 を提供することができる。

[0441]

<トランジスタ構造 7>

図 37A 乃至 37C には、トランジスタ 200 に適用できる構造の一例を示す。図 37A はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 37A において一部の膜は省略されている。また、図 37B は、図 37A に示す一点鎖線 X1-X2 に対応する断面図であり、図 37C は Y1-Y2 に対応する断面図である。

[0442]

なお、図 37A 乃至 37C に示すトランジスタ 200 において、図 30A 乃至 30C に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

[0443]

図 37A 乃至 37C に示すトランジスタ 200 は、酸化物 230d を有さない構造である。例えば、導電体 240a、および導電体 240b に耐酸化性が高い導電体を用いる場合、酸化物 230d は、必ずしも設けなくてもよい。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

[0444]

また、絶縁体 224 は、酸化物 230a、および酸化物 230b と重畳する領域にのみ設けてもよい。この場合、絶縁体 222 をエッチングストッパーとして、酸化物 230a、酸化物 230b、および絶縁体 224 を加工することができる。従って、歩留まりや生産性を高めることができる。

[0445]

さらに、図 37A 乃至 37C に示すトランジスタ 200 は、導電体 240a、および導電体 240b と、導電体 260 と、がほとんど重ならない構造を有するため、導電体 260 にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ 200 を提供することができる。

[0446]

<トランジスタ構造 8>

図 38A 乃至 38C には、トランジスタ 200 に適用できる構造の一例を示す。図 38A はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 38A において一部の膜は省略されている。また、図 38B は、図 38A に示す一点鎖線 X1-X2 に対応する断面図であり、図 38C は Y1-Y2 に対応する断面図である。

[0447]

なお、図 38A 乃至 38C に示すトランジスタ 200 において、図 36A 乃至 36C に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

[0448]

絶縁体 282 上に、絶縁体 285、および絶縁体 286 が形成される。

[0449]

絶縁体 280、絶縁体 282、および絶縁体 285 に形成された開口部に、酸化物 230c、絶縁体 250、導電体 260 が形成されている。また、導電体 240a および導電体 240b の一方の端部と、絶縁体 280 に形成された開口部の端部が一致している。さらに、導電体 240a および導電体 240b の三方の端部が、酸化物 230a、および酸化物 230b の端部の一部と一致している。

従って、導電体 240 a および導電体 240 b は、酸化物 230 a、および酸化物 230 b、または絶縁体 280 の開口部と、同時に形成することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

[0450]

また、導電体 240 a、導電体 240 b、および酸化物 230 b は、過剰酸素領域を有する絶縁体 280 と、酸化物 230 d を介して接する。そのため、絶縁体 280 と、チャネルが形成される領域を有する酸化物 230 b との間に、酸化物 230 d が介在することにより、絶縁体 280 から、水素、水、およびハロゲン等の不純物が、酸化物 230 b へ拡散することを抑制することができる。

[0451]

また、図 38 A 乃至 38 C に示すトランジスタ 200 は、高抵抗のオフセット領域が形成されないため、トランジスタ 200 のオン電流を増大させることができる。

[0452]

<半導体装置の作製方法>

以下に、図 30 A 乃至 30 C に示した半導体装置の作製方法の一例を図 39 A 乃至図 42 B を参照して説明する。

[0453]

はじめに、基板を準備する（図示しない）。基板として使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムヒ素、インジウムガリウムヒ素からなる化合物半導体基板、SOI (Silicon On Insulator) 基板、GOI (Germanium On Insulator) 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

[0454]

また、基板として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

[0455]

次に、絶縁体 214、絶縁体 216 を形成する。続いて、絶縁体 216 上にリソグラフィ法等を用いてレジストマスク 290 を形成し、絶縁体 214、および絶縁体 216 の不要な部分を除去する（図 39 A）。その後、レジストマスク 290 を除去することにより、開口部を形成することができる。

[0456]

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、

無機膜または金属膜からなるハードマスクを用いてもよい。

[0457]

レジストマスクの形成に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultraviolet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0458]

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下方の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上方に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

[0459]

続いて、絶縁体214、および絶縁体216上に、導電体205A、および導電体205Bを成膜する。導電体205A、および導電体205Bは、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい（図39B）。

[0460]

続いて、導電体205A、および導電体205Bの不要な部分を除去する。例えば、エッチバック処理、または、機械的化学的研磨法（CMP: Chemical Mechanical Polishing）処理などにより、絶縁体216が露出するまで、導電体205A、および導電体205Bの一部を除去することで、導電体205を形成する（図39C）。この際、絶縁体216をストッパ層として使用することもでき、絶縁体216が薄くなる場合がある。

[0461]

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

[0462]

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レート的一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせてもよい。

[0463]

次に、絶縁体220、絶縁体222、および絶縁体224を形成する（図39D）。

[0464]

絶縁体220、絶縁体222、および絶縁体224は、上述の材料、または後述する絶縁体320に用いることができる材料を用いて作製することができる。特に、絶縁体222には、酸化ハフニウムなどのhigh-k材料を用いることが好ましい。

[0465]

絶縁体220、絶縁体222、および絶縁体224は、例えば、スパッタリング法、化学気相堆積（CVD:Chemical Vapor Deposition）法（熱CVD法、有機金属CVD（MOCVD:Metal Organic Chemical Vapor Deposition）法、プラズマ励起CVD（PECVD:Plasma Enhanced Chemical Vapor Deposition）法等を含む）、分子エビタシー（MBE:Molecular Beam Epitaxy）法、原子層堆積（ALD:Atomic Layer Deposition）法またはパルスレーザー堆積（PLD:Pulsed Laser Deposition）法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはALD法等によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。また、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

[0466]

なお、絶縁体220、絶縁体222、および絶縁体224は、連続成膜することが好ましい。連続的に成膜することで、絶縁体220と絶縁体222との界面、および絶縁体222と絶縁体224との界面に不純物が付着することなく、信頼性が高い絶縁体を形成することができる。

[0467]

続いて、酸化物230aとなる酸化物230Aと、酸化物230bとなる酸化物230Bを順に成膜する。酸化物230A及び酸化物230Bの成膜方法については、先の実施の形態の金属酸化物に係る記載を参照することができる。また、当該酸化物は、大気に触れさせることなく連続して成膜することが好ましい。

[0468]

また、酸化物230A及び酸化物230Bは、スパッタリング法で形成すると膜密度を高められるため、好適である。スパッタリング法で酸化物230A及び酸化物230Bを形成する場合、スパッタリングガスには、希ガス（代表的にはアルゴン）、酸素、または希ガス及び酸素の混合ガスが適宜用いられる。また、スパッタリングガスは高純度化されていることが好ましい。例えば、スパッタリングガスとして、露点が−60℃以下、好ましくは−100℃以下にまで高純度化した酸素ガスやアルゴンガスを用いることで酸化物半導体膜108に水分等が取り込まれることを可能な限り防ぐことができる。

[0469]

また、スパッタリング法で酸化物230A及び酸化物230Bを形成する場合、スパッタリング装置におけるチャンバーを、酸化物230A及び酸化物230Bにとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて、高真空（ 5×10^{-7} Pa

から 1×10^{-4} Pa 程度まで) に排気することが好ましい。特に、スパッタリング装置の待機時における、チャンバー内の H_2O に相当するガス分子 ($m/z = 18$ に相当するガス分子) の分圧を 1×10^{-4} Pa 以下、好ましく 5×10^{-5} Pa 以下とすることが好ましい。

[0470]

その後、酸化物 230A 上に、導電体 240a、および導電体 240b となる導電膜 240A を形成する。導電膜 240A には、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2層以上の積層構造としてもよい。続いて、上記と同様の方法によりレジストマスク 292 を形成する (図 39E)。

[0471]

レジストマスク 292 を用いて、導電膜 240A の不要な部分をエッチングにより除去し、島状の導電層 240B を形成する (図 40A)。その後、導電層 240B をマスクとして酸化物 230a、および酸化物 230b の不要な部分をエッチングにより除去する。

[0472]

このとき、同時に絶縁体 224 も、島状に加工してもよい。例えば、バリア性を有する絶縁体 222 をエッチングストッパー膜として用いることで、絶縁体 220、絶縁体 222、および絶縁体 224 の合計膜厚が薄い構造においても、下方にある配線層まで、オーバーエッチングされることを防止することができる。また、絶縁体 220、絶縁体 222、および絶縁体 224 の合計膜厚を薄くすることで導電体 205 からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。

[0473]

その後レジストマスクを除去することにより、島状の酸化物 230a、島状の酸化物 230b、および島状の導電層 240B の積層構造を形成することができる (図 40B)。

[0474]

続いて、加熱処理を行うことが好ましい (図 40C、図中矢印は加熱処理を表す。)。加熱処理は、 250°C 以上 400°C 以下、好ましくは 320°C 以上 380°C 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。加熱処理により、酸化物 230a、および酸化物 230b の不純物である水素または水を除去することができる。また、酸化物 230a の下方に形成された絶縁体から、酸化物 230a、および酸化物 230b に酸素が供給され、酸化物中の酸素欠損を低減することができる。

[0475]

次に、島状の導電層 240B 上に上記と同様の方法によりレジストマスク 294 を形成する (図 40D)。続いて、導電膜の不要な部分をエッチングにより除去した後、レジストマスク 294 を除去することにより、導電体 240a、および導電体 240b を形成する (図 41A)。この際、絶縁体 224、または絶縁体 222 に対して、オーバーエッチングを行うことで、s-channel 構造としてもよい。

[0476]

続いて、加熱処理を行うことが好ましい (図 41B、図中矢印は加熱処理を表す。)。加熱処理は、 250°C 以上 400°C 以下、好ましくは 320°C 以上 380°C 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理は、不活性ガ

ス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。加熱処理により、酸化物230a、および酸化物230bの不純物である水素または水を除去することができる。また、酸化物230aの下方に形成された絶縁体から、酸化物230a、および酸化物230bに酸素が供給され、酸化物中の酸素欠損を低減することができる。さらに、酸化性ガスで加熱処理を行う場合、チャンネルが形成される領域に、直接酸化性ガスが接することで、効率的に、チャンネルが形成される領域の酸素欠損を低減することができる。

[0477]

続いて、酸化物230c、絶縁体250、および導電体260となる導電膜260Aを順に成膜する。また、酸化物230cの成膜方法については、先の実施の形態の金属酸化物に係る記載を参酌することができる。また、導電膜260Aには、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2層以上の積層構造としてもよい。

[0478]

例えば、2層構造は、同じ材料を積層して設けてもよい。第1の導電膜は、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、ALD法を用いて形成することが好ましい。ALD法等により形成することで、絶縁体250に対する成膜時のダメージを減らすことができる。また、被覆性を向上させることができるため好ましい。従って、信頼性が高いトランジスタ200を提供することができる。

[0479]

続いて、第2の導電膜は、スパッタリング法を用いて形成する。この時、絶縁体250上に、第1の導電膜を有することで、第2の導電膜の成膜時のダメージが、絶縁体250に影響することを抑制することができる。また、ALD法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。なお、導電膜260Aを成膜する際に、塩素を含まない成膜ガスを用いて、形成することが好ましい。

[0480]

次に、導電膜260A上に、上記と同様の方法によりレジストマスク296を形成する(図41C)。続いて、導電膜260Aの不要な部分をエッチングにより除去することで、導電体260を形成した後、レジストマスク296を除去する(図41D)。

[0481]

続いて、導電体260上に、絶縁体280を形成する。絶縁体280は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

[0482]

特に、酸素プラズマ処理を行うことが好ましい(図42A、図中矢印はプラズマ処理を表す。)。代表的な酸素プラズマ処理は、酸素ガスのグロー放電プラズマで生成されたラジカルで酸化物半導体の表面を処理することであるが、プラズマを生成するガスとしては酸素のみでなく、酸素ガスと希ガスの混合ガスであってもよい。例えば、250℃以上400℃以下、好ましくは300℃以上400℃以下の温度で、酸化性ガスを含む雰囲気、または減圧状態で行えばよい。

[0483]

酸素プラズマ処理により、絶縁体280、および酸化物230が、脱水化、または脱水素化されるとともに、絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。また、脱水化、または脱水素化された酸化物230には、酸素欠損が生じ、低抵抗化する。一方で、絶縁体280の過剰な酸素により、酸化物230の酸素欠損が補填される。従って、酸素プラズマ処理により、絶縁体280、および酸化物230は、酸素欠損を補填しながら、不純物である水素、または水を除去することができる。したがって、トランジスタ200の電気特性の向上および、電気特性のばらつきを軽減することができる。

[0484]

続いて、絶縁体280上に、絶縁体282を形成する。絶縁体282は、スパッタリング装置により成膜することが好ましい。スパッタリング法を用いることで、容易に絶縁体282の下層である絶縁体280に過剰酸素領域を形成することができる。

[0485]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

[0486]

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜の下部にある絶縁体280に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体280の内部まで到達する。イオンが絶縁体280に取り込まれることにより、イオンが取り込まれた領域が絶縁体280に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体280に過剰酸素領域が形成される。

[0487]

絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁体280の過剰な酸素は、例えば、 200°C 以上 450°C 以下、好ましくは 320°C 以上 380°C 以下程度の温度で加熱処理を行うことで、酸化物230に供給され、酸化物230の酸素欠損を補填することができる。また例えば、スパッタリング法を用いて絶縁体282を成膜する際に、上記の温度で基板を加熱しながら成膜することで、成膜後に別途過熱をせずとも、酸化物230に酸素を供給することができる。

[0488]

ここで、上述のように、酸化物230cを酸素透過性の高い酸化物とすることにより、絶縁体280から酸化物230bまで容易に酸素を拡散させることができる。

[0489]

このとき、酸化物230において、配向性を有する結晶部の側面に過剰な酸素（活性酸素）が結合する。さらに結合した活性酸素に I_n 、 M または Z_n などの金属が結合する。このように、活性酸素

と、I n、MまたはZ nなどの金属と、が繰り返し結合することにより、配向性を有する結晶部の側面から横方向に、固相成長していると考えることができる。また、図40C、図41Bに示すように、予め酸化物230a、酸化物230bに加熱処理を行い、脱水化、脱水素化を図ることにより、酸化物230に含まれる水または水素などの不純物を低減しておくことができる。これにより、酸化物230に含まれる水または水素などの不純物によって、酸素の拡散が妨げられることが低減されるので、より効率的に酸素を酸化物230に供給することができる。

[0490]

ここで、絶縁体280と接する導電体260、導電体240a、および導電体240bに、耐酸性が高い導電体を用いる場合、絶縁体280の過剰な酸素は、導電体260、導電体240a、および導電体240bに、吸収されることなく、効率的に酸化物230へ供給することができる。したがって、トランジスタ200の電気特性の向上、オン電流の向上、サブスレッショルドスイング値の低下、信頼性の向上および、電気特性のばらつきを軽減することができる。

[0491]

以上の工程により、本発明の一態様のトランジスタ200を作製することができる。

[0492]

<半導体装置の構成例>

本発明の一態様である容量素子を使用した、半導体装置（記憶装置）の一例を図43A乃至図49Bに示す。なお、図43Aは、図44乃至図47、および図49A乃至図51を回路図で表したものである。図48A及び48B、および図49A及び49Bは、図44乃至図47、および図49A乃至図51に示す半導体装置が形成される領域の端部を示す。

[0493]

<半導体装置の回路構成>

図43A、および図44乃至図47に示す半導体装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。

[0494]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを半導体装置（記憶装置）に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ない半導体装置（記憶装置）とすることが可能となるため、消費電力を十分に低減することができる。

[0495]

図43Aにおいて、配線3001はトランジスタ300のソースと電氣的に接続され、配線3002はトランジスタ300のドレインと電氣的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線3004はトランジスタ200のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線3005は容量素子100の電極の他方と電氣的に接続されている。

[0496]

図43Aに示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0497]

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0498]

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

[0499]

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ300は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

[0500]

また、図43Aに示す半導体装置をマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

[0501]

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

[0502]

<半導体装置の回路構成2>

図43Bに示す半導体装置は、トランジスタ300を有さない点で図43Aに示した半導体装置と

異なる。この場合も図43Aに示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

[0503]

図43Bに示す半導体装置における、情報の読み出しについて説明する。トランジスタ200が導通状態になると、浮遊状態である第3の配線3003と容量素子100とが導通し、第3の配線3003と容量素子100の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子100の電極の一方の電位（または容量素子100に蓄積された電荷）によって、異なる値をとる。

[0504]

例えば、容量素子100の電極の一方の電位をV、容量素子100の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子100の電極の一方の電位がV1とV0 ($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位V0を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

[0505]

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

[0506]

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ200として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

[0507]

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

[0508]

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリとは異なり書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

[0509]

<半導体装置の構造1>

本発明の一態様の半導体装置は、図44に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[0510]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体314、基板311の一部からなる半導体領域312、およびソース領域またはドレイン領域として機能する低抵抗領域318a、および低抵抗領域318bを有する。

[0511]

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0512]

半導体領域312のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域318a、および低抵抗領域318bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0513]

低抵抗領域318a、および低抵抗領域318bは、半導体領域312に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0514]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0515]

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0516]

また、図44に示すトランジスタ300はチャネルが形成される半導体領域312（基板311の一部）が凸形状を有する。また、半導体領域312の側面および上面を、絶縁体314を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0517]

なお、図44に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、図34A乃至34Cに示すようにトランジスタ300の構成を、プレーナ型として設けてもよい。また、図43Bに示す回路構成とする場合、

トランジスタ 300 を設けなくともよい。

[0518]

トランジスタ 300 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。

[0519]

絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0520]

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜として機能する。絶縁体 322 の上面は、平坦性を高めるために CMP 処理等を用いた平坦化処理により平坦化されていてもよい。

[0521]

絶縁体 324 には、例えば、基板 311、またはトランジスタ 300 などから、トランジスタ 200 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0522]

例えば、水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0523]

水素の脱離量は、例えば、TDS 分析などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、50°C から 500°C の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0524]

なお、絶縁体 326 は、絶縁体 324 よりも誘電率が低いことが好ましい。例えば、絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 324 の比誘電率は、絶縁体 326 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0525]

また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 には容量素子 100、またはトランジスタ 200 と電氣的に接続する導電体 328、導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線としての機能を有する。なお、後述するが、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0526]

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0527]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図44において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0528]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0529]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0530]

絶縁体354上には、絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216が、順に積層して設けられている。絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216のいずれかまたは全部を、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0531]

例えば、絶縁体358、および絶縁体212には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

[0532]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体

的には、水素の脱離量が少ない膜とする。

[0533]

また、例えば、絶縁体213、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0534]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[0535]

また、例えば、絶縁体210、および絶縁体216には、絶縁体320と同様の材料を用いることができる。例えば、絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0536]

また、絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0537]

特に、絶縁体358、絶縁体212、絶縁体213、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、完全に分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0538]

絶縁体216の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、上述のトランジスタを用いればよい。また、図44に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0539]

トランジスタ200上には、絶縁体280を設ける。絶縁体280には、化学量論的組成よりも過剰に酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体280には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の層間膜などとして、過剰酸素領域を有する絶縁体を設けることで、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

[0540]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素が脱離する酸化物とは、TDS分析にて、酸素原子に換算し

での酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

[0541]

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、酸素よりも窒素の含有量が多い材料を示す。

[0542]

また、トランジスタ 200 を覆う絶縁体 280 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。また、絶縁体 280 には、導電体 244 等が埋め込まれている。

[0543]

導電体 244 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 244 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0544]

例えば、導電体 244 を積層構造として設ける場合、耐酸化性が高い導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体 280 と接する領域に、耐酸化性が高い導電体を設けることが好ましい。当該構成により、絶縁体 280 から過剰な酸素を、導電体 244 が吸収することを抑制することができる。また、導電体 244 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体 280 と接する領域に、水素などの不純物に対するバリア性を有する導電体を設けることで、導電体 244 中の不純物、および導電体 244 の一部の拡散や、外部からの不純物の拡散経路となることを抑制することができる。

[0545]

また、導電体 244 上に、バリア層 245 を設けてもよい。バリア層 245 を有することで、導電体 244 に含まれる不純物や、導電体 244 の元素の一部の拡散を抑制することができる。

[0546]

バリア層 245 には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物、または窒化タンタルなどの金属窒化物などを用いることが好ましい。特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中、および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。

[0547]

バリア層 245、および絶縁体 280 上には、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 110 が順に積層して設けられている。また、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 110 には、導電体 124 等が埋め込まれている。なお、導電体 124 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線として機能を有する。導電体 124 は、導電体 356 と同様の材料を用いて設けることができる。

[0548]

絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 110 のいずれか、または全部に、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体 282 には、絶縁体 214 と同様の材料を用いることができる。また、絶縁体 283 には、絶縁体 213 と同様の材料を用いることができる。また、絶縁体 284 には、絶縁体 212 と同様の絶縁体を用いることができる。また、絶縁体 110 には、絶縁体 216 と同様の材料を用いることができる。

[0549]

例えば、絶縁体 282、および絶縁体 283 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0550]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、酸化アルミニウムはトランジスタ 200 に対する保護膜として用いることに適している。

[0551]

絶縁体 284 には、容量素子 100 を設ける領域から、トランジスタ 200 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

[0552]

例えば、水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0553]

従って、トランジスタ 200、および過剰酸素領域を含む絶縁体 280 を、絶縁体 212、絶縁体 213、および絶縁体 214 の積層構造と、絶縁体 282、絶縁体 283、および絶縁体 284 の積層構造により挟む構成とすることができる。また、絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 282、絶縁体 283、および絶縁体 284 は、酸素、または、水素、および水などの不純物の拡散を抑制するバリア性を有する。

[0554]

このような構成とすることにより、絶縁体 280、およびトランジスタ 200 から放出された酸素が、容量素子 100、またはトランジスタ 300 が形成されている層へ拡散することを抑制することができる。または、絶縁体 282 よりも上方の層、および絶縁体 214 よりも下方の層から、水素、および水等の不純物が、トランジスタ 200 へ、拡散することを抑制することができる。

[0555]

つまり、絶縁体 280 の過剰酸素領域から酸素を、効率的にトランジスタ 200 におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ 200 におけるチャネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することが

できる。よって、トランジスタ 200 におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0556]

ここで、図 48A 及び 48B にスクライブライン近傍の断面図を示す。

[0557]

例えば、図 48A に示すように、トランジスタ 200 を有するメモリセルの外縁に設けられるスクライブライン（図中一点鎖線で示す）と重なる領域近傍において、絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 216、絶縁体 220、絶縁体 222、絶縁体 224、及び絶縁体 280 に開口を設ける。また、絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 216、絶縁体 220、絶縁体 222、絶縁体 224、及び絶縁体 280 の側面を覆うように、絶縁体 282、絶縁体 283、および絶縁体 284 を設ける。

[0558]

従って、該開口において、絶縁体 212、絶縁体 213、および絶縁体 214 と絶縁体 282 とが接する。また、絶縁体 282 上に、絶縁体 283、および絶縁体 284 を積層する。このとき、絶縁体 212、絶縁体 213、および絶縁体 214 の少なくとも一と、絶縁体 282 とを同材料及び同方法を用いて形成することで、密着性を高めることができる。

[0559]

当該構造により、絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 282、絶縁体 283、および絶縁体 284 で、絶縁体 280、及びトランジスタ 200 を包み込むことができる。絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 282、絶縁体 283、および絶縁体 284 は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体装置をスクライブしても、絶縁体 220、絶縁体 222、絶縁体 224、及び絶縁体 280 の側面から、水素又は水が浸入して、トランジスタ 200 に拡散することを防ぐことができる。

[0560]

また、当該構造により、絶縁体 280 の過剰酸素が絶縁体 282、および絶縁体 214 の外部に拡散することを防ぐことができる。従って、絶縁体 280 の過剰酸素は、効率的にトランジスタ 200 におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ 200 におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 200 におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0561]

また、例えば、図 48B に示すように、スクライブライン（図中一点鎖線で示す）の両側となる領域において、絶縁体 212、絶縁体 213、絶縁体 214、絶縁体 216、絶縁体 220、絶縁体 222、絶縁体 224、及び絶縁体 280 に開口を設けてもよい。なお、図では開口は 2 か所としたが、必要に応じて、複数の開口を設けてもよい。

[0562]

従って、スクライブラインの両側に設けられた開口において、絶縁体 212、絶縁体 213、および絶縁体 214 と絶縁体 282 とが、少なくとも 2 か所で接するため、より密着性が高い構造となる。

なお、この場合においても、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4 の少なくとも一と、絶縁体 2 8 2 とを同材料及び同方法を用いて形成することで、密着性を高めることができる。

[0563]

また、開口を複数設けることで、絶縁体 2 8 2 と、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4 とが、複数の領域で接する構造とすることができる。また、スクライブラインから侵入する不純物が、絶縁体 2 1 4 と絶縁体 2 8 2 が接する領域のうち、最もトランジスタ 2 0 0 と近い領域まで拡散する場合において、不純物の拡散距離を長くすることができる。

[0564]

当該構造により、トランジスタ 2 0 0 と絶縁体 2 8 0 とを、嚴重に密封することができる。従って、トランジスタ 2 0 0 におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0565]

続いて、絶縁体 2 8 4 の上方には、絶縁体 1 1 0、容量素子 1 0 0、および導電体 1 2 4 が設けられている。容量素子 1 0 0 は、絶縁体 1 1 0 上に設けられ、導電体 1 1 2（導電体 1 1 2 a、および導電体 1 1 2 b）と、絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 と、導電体 1 1 6 とを有する。なお、導電体 1 2 4 は、容量素子 1 0 0、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線として機能を有する。

[0566]

なお、導電体 1 2 4 は、導電体 3 5 6 と同様の材料を用いて設けることができる。

[0567]

また、導電体 1 1 2 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体 1 1 2 は、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0568]

導電体 1 1 2 上に、絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 を設ける。絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよい。図では、3 層構造で示したが、単層、2 層、または 4 層以上の積層構造としてもよい。

[0569]

例えば、絶縁体 1 3 0、および絶縁体 1 3 4 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用い、絶縁体 1 3 2 には、酸化アルミニウムなどの高誘電率（high-k）材料を用いることが好ましい。当該構成により、容量素子 1 0 0 は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 1 0 0 の静電破壊を抑制することができる。

[0570]

導電体 1 1 2 上に、絶縁体 1 3 4 を介して、導電体 1 1 6 を設ける。なお、導電体 1 1 6 は、金属

材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体 116 は、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0571]

例えば、図 44 に示すように、電極の一方として機能する導電体 112 において、導電体 112b のような凸状を有する構造体とすることで、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

[0572]

導電体 116、および絶縁体 134 上には、絶縁体 150 が設けられている。絶縁体 110、および絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、容量素子 100 の下部となる絶縁体 110、および容量素子 100 を覆う絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0573]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0574]

<変形例 1>

また、本実施の形態の変形例として、図 45 に示すように、導電体 244 を形成してもよい。つまり、絶縁体 282 にプラグを埋め込み、プラグ上に、配線となる導電体、およびバリア層 245 を積層構造で設けてもよい。この場合、導電体 244 を構成する導電体において、配線として機能する導電体は、耐酸化性が高い導電体を用いることが好ましい。

[0575]

<変形例 2>

また、本実施の形態の変形例として、容量素子 100 において、必ずしも導電体 122 を有する必要はない。

[0576]

例えば、図 46 に示す構造は、絶縁体 280、絶縁体 282、絶縁体 284、および絶縁体 110 を形成した後、導電体 244 を形成している。そのため、導電体 124 と、容量素子 100 の一方の電極となる導電体 112 を同時に形成することができる。従って、少ない工程で生産することができるため、生産コストを削減し、生産性を高めることができる。

[0577]

また、導電体 112 上に、絶縁体 130、絶縁体 132、および絶縁体 134 を介して、導電体 116 を設ける。なお、導電体 116 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0578]

なお、図46に示すように、導電体116を、絶縁体130、絶縁体132、および絶縁体134を介して、導電体112の上面および側面を覆うように設ける。つまり、導電体112の側面においても、容量として機能するため、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

[0579]

なお、当該構成は、導電体112を形成するときに、絶縁体110の上面を、絶縁体130、絶縁体132、および絶縁体134の合計の膜厚よりも大きく除去することが好ましい。例えば、オーバーエッチング処理とすることで、絶縁体110の一部も同時に除去することができる。また、オーバーエッチング処理により、導電体112等を形成することで、エッチング残渣を残すことなくエッチングすることができる。

[0580]

また、当該エッチング処理の途中で、エッチングガスの種類を切り替えることにより、効率よく絶縁体110の一部を除去することができる。

[0581]

また、例えば、導電体112、および導電体124を形成した後、導電体112をハードマスクとして、絶縁体110の一部を除去してもよい。

[0582]

また、導電体112を形成した後、導電体112の表面を、クリーニング処理してもよい。クリーニング処理をすることで、エッチング残渣等を除去することができる。

[0583]

また、図46に示すように、絶縁体213、および絶縁体283を設けなくともよい。本構成においても、トランジスタ200、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により挟む構成とすることができる。また、絶縁体212、絶縁体214、絶縁体282、および絶縁体284は、酸素、または、水素、および水などの不純物の拡散を抑制するバリア性を有する。

[0584]

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

[0585]

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0586]

また、本変形例における、スクライプライン近傍の断面図を図49Aおよび図49Bに示す。

[0587]

例えば、図49Aに示すように、スクライプライン（図中一点鎖線で示す）と重なる領域近傍において、絶縁体214と絶縁体282とが接し、絶縁体212、絶縁体214、絶縁体282、および絶縁体284の積層構造となる。このとき、絶縁体214と絶縁体282とを同材料及び同方法を用いて形成することで、密着性が高い積層構造となる。

[0588]

当該構造により、絶縁体212、絶縁体214、絶縁体282、および絶縁体284で、絶縁体216、絶縁体220、絶縁体222、絶縁体224、及び絶縁体280を包み込むことができる。絶縁体212、絶縁体214、絶縁体282、および絶縁体284は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体装置をスクライプしても、絶縁体216、絶縁体220、絶縁体222、絶縁体224、及び絶縁体280の側面から、水素又は水が浸入して、トランジスタ200に拡散することを防ぐことができる。

[0589]

また、当該構造により、絶縁体280の過剰酸素が絶縁体282、および絶縁体214の外部に拡散することを防ぐことができる。従って、絶縁体280の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0590]

また、例えば、図49Bに示すように、スクライプライン（図中一点鎖線で示す）と重なる領域近傍において、絶縁体214、絶縁体216、絶縁体220、絶縁体222、絶縁体224、及び絶縁体280に開口を設ける。また、絶縁体214、絶縁体216、絶縁体220、絶縁体222、絶縁体224、及び絶縁体280の側面を覆うように、絶縁体282を設ける。さらに、絶縁体212、および絶縁体282に開口を設け、絶縁体212、および絶縁体282の側面と、絶縁体210の露出した上面と、を覆うように、絶縁体284を設ける。

[0591]

つまり、開口において、絶縁体214と絶縁体282が接する。さらに、その外側では、絶縁体212と絶縁体282とが接する。このとき、絶縁体214と絶縁体282とを同材料及び同方法を用いて形成することで、密着性が高い積層構造となる。また、絶縁体212と絶縁体284とを同材料及び同方法を用いて形成することで、密着性が高い積層構造となる。

[0592]

当該構造により、トランジスタ200と絶縁体280とを、厳重に密封することができる。従って、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0593]

<変形例3>

また、本実施の形態の変形例の一例を、図47に示す。図47は、図46と、トランジスタ300、

およびトランジスタ 200 の構成が異なる。

[0594]

図 47 に示すトランジスタ 300 はチャネルが形成される半導体領域 312 (基板 311 の一部) が凸形状を有する。また、半導体領域 312 の側面および上面を、絶縁体 314 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0595]

図 47 に示すトランジスタ 200 構造は、図 36 A 乃至 36 C、および図 37 A 乃至 37 C で説明した構造である。絶縁体 280 に形成された開口部に、酸化物 230 c、絶縁体 250、導電体 260 が形成されている。また、導電体 240 a、および導電体 240 b の一方の端部と、絶縁体 280 に形成された開口部の端部が一致している。さらに、導電体 240 a、および導電体 240 b の三方の端部が、酸化物 230 の端部の一部と一致している。従って、導電体 240 a、および導電体 240 b は、酸化物 230 または絶縁体 280 の開口部と、同時に形成することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

[0596]

さらに、図 41 A 乃至 41 D に示すトランジスタ 200 は、導電体 240 a、導電体 240 b、および導電体 260 と、がほとんど重ならない構造を有するため、導電体 260 にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ 200 を提供することができる。

[0597]

<変形例 4>

また、本実施の形態の変形例の一例を、図 50 A 及び 50 B に示す。図 50 A および図 50 B はそれぞれ、一点鎖線 A1 - A2 を軸とした、トランジスタ 200 のチャネル長、およびチャネル幅方向の断面を示す。

[0598]

図 50 A 及び 50 B に示すように、トランジスタ 200、および過剰酸素領域を含む絶縁体 280 を、絶縁体 212、および絶縁体 214 の積層構造と、絶縁体 282、および絶縁体 284 の積層構造により包み込む構成としてもよい。その際、トランジスタ 300 と容量素子 100 とを接続する貫通電極と、トランジスタ 200 との間で、絶縁体 212、および絶縁体 214 と、絶縁体 282、および絶縁体 284 とが積層構造となることが好ましい。

[0599]

従って、絶縁体 280、およびトランジスタ 200 から放出された酸素が、容量素子 100、またはトランジスタ 300 が形成されている層へ拡散することを抑制することができる。または、絶縁体 282 よりも上方の層、および絶縁体 214 よりも下方の層から、水素、および水等の不純物が、トランジスタ 200 へ、拡散することを抑制することができる。

[0600]

つまり、絶縁体 280 の過剰酸素領域から酸素を、効率的にトランジスタ 200 におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ 200 にお

けるチャネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ 200 におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0601]

<変形例 5>

また、本実施の形態の変形例の一例を、図 51 に示す。図 51 は、図 47 と、容量素子の構成が異なる。

[0602]

図 51 に示すように、容量素子 105 を形成してもよい。容量素子 105 は、トランジスタ 300 との配線の一部も、容量素子として機能する。従って、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。また、容量素子 105 と、トランジスタ 200 との間で、絶縁体 212、および絶縁体 214 と、絶縁体 282、および絶縁体 284 とが積層構造となることが好ましい。

[0603]

従って、絶縁体 280 の過剰酸素領域から酸素を、効率的にトランジスタ 200 におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ 200 におけるチャネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ 200 におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0604]

<変形例 6>

また、本実施の形態の変形例の一例を、図 52A 及び 52B に示す。図 52A は、図 43A に示す半導体装置を、マトリクス状に配置した場合における、行の一部を抜き出した回路図である。また、図 52B は、図 52A の回路図と対応した半導体装置の断面図である。

[0605]

図 52A 及び 52B には、トランジスタ 300、トランジスタ 200、および容量素子 100 を有する半導体装置と、トランジスタ 301、トランジスタ 201、および容量素子 101 を有する半導体装置と、トランジスタ 302、トランジスタ 202、および容量素子 102 を有する半導体装置とが、同じ行に配置されている。

[0606]

図 52B に示すように、複数個のトランジスタ（図ではトランジスタ 200、およびトランジスタ 201）、および過剰酸素領域を含む絶縁体 280 を、絶縁体 212、および絶縁体 214 の積層構造と、絶縁体 282、および絶縁体 284 の積層構造により包み込む構成としてもよい。その際、トランジスタ 300、トランジスタ 301、またはトランジスタ 302 と、容量素子 100、容量素子 101、または容量素子 102 と、を接続する貫通電極と、トランジスタ 200、トランジスタ 201、またはトランジスタ 202 との間で、絶縁体 212、および絶縁体 214 と、絶縁体 282、および絶縁体 284 とが積層構造となることが好ましい。

[0607]

従って、絶縁体 280、およびトランジスタ 200 から放出された酸素が、容量素子 100、またはトランジスタ 300 が形成されている層へ拡散することを抑制することができる。または、絶縁体 282 よりも上方の層、および絶縁体 214 よりも下方の層から、水素、および水等の不純物が、トランジスタ 200 へ、拡散することを抑制することができる。

[0608]

つまり、絶縁体 280 の過剰酸素領域から酸素を、効率的にトランジスタ 200 におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ 200 におけるチャネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ 200 におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0609]

<変形例 7>

また、本実施の形態の変形例の一例を、図 53 に示す。図 53 は、図 52A 及び 52B に示す半導体装置において、トランジスタ 201、およびトランジスタ 202 を集積した場合の半導体装置の断面図である。

[0610]

図 53 に示すように、容量素子 101 の電極の一方となる導電体 112 の機能を、トランジスタ 201 のソース電極またはドレイン電極となる導電体 240a と兼ねてもよい。その場合、トランジスタ 201 の酸化物 230c、およびトランジスタ 201 のゲート絶縁体として機能する絶縁体 250 の導電体 240a 上に延在した領域が、容量素子 101 の絶縁体として機能する。従って、容量素子 101 の電極の他方となる導電体 116 を、導電体 240a 上に、絶縁体 250、および酸化物 230c を介して積層すればよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

[0611]

また、トランジスタ 201 と、トランジスタ 202 を重畳して設けてもよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

[0612]

また、複数のトランジスタ（図ではトランジスタ 201、およびトランジスタ 202）、および過剰酸素領域を含む絶縁体 280 を、絶縁体 212、および絶縁体 214 の積層構造と、絶縁体 282、および絶縁体 284 の積層構造により包み込む構成としてもよい。その際、トランジスタ 300、トランジスタ 301、またはトランジスタ 302 と、容量素子 100、容量素子 101、または容量素子 102 と、を接続する貫通電極と、トランジスタ 200、トランジスタ 201、またはトランジスタ 202 との間で、絶縁体 212、および絶縁体 214 と、絶縁体 282、および絶縁体 284 とが積層構造となることが好ましい。

[0613]

従って、絶縁体 280、およびトランジスタ 200 から放出された酸素が、容量素子 100、またはトランジスタ 300 が形成されている層へ拡散することを抑制することができる。または、絶縁体 282 よりも上方の層、および絶縁体 214 よりも下方の層から、水素、および水等の不純物が、トランジスタ 200 へ、拡散することを抑制することができる。

[0614]

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャンネルが形成される酸化物中に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0615]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0616]

(実施の形態4)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

[0617]

<回路>

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について、図54、および図55を用いて説明する。

[0618]

<記憶装置1>

図54に示す半導体装置は、トランジスタ3500、第6の配線3006を有する点で先の実施の形態で説明した半導体装置と異なる。この場合も先の実施の形態に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。また、トランジスタ3500としては上記のトランジスタ3200と同様のトランジスタを用いればよい。

[0619]

第6の配線3006は、トランジスタ3500のゲートと電氣的に接続され、トランジスタ3500のソース、ドレインの一方はトランジスタ3200のドレインと電氣的に接続され、トランジスタ3500のソース、ドレインの他方は第3の配線3003と電氣的に接続される。

[0620]

<記憶装置2>

半導体装置（記憶装置）の変形例について、図55に示す回路図を用いて説明する。

[0621]

図55に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500および容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ300と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ200と同様のトランジスタを用いることができる。また、ここで容量素子4500、および容量素子4600は、上述の容量素子100と同様のトランジスタを用いることができる。なお、図55に示す半導体装置は、図55では図示を省略したが、マトリクス状に複数設けられる。図55に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号または電位に従って、データ電圧の書き込み、読み出しを制御することができる。

[0622]

トランジスタ4100のソースまたはドレインの一方は、配線4003に接続される。トランジスタ4100のソースまたはドレインの他方は、配線4001に接続される。なお図55では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

[0623]

図55に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソースまたはドレインの一方、容量素子4600の一方の電極、およびトランジスタ4200のソースまたはドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソースまたはドレインの他方、トランジスタ4300のソースまたはドレインの一方、および容量素子4500の一方の電極の間で電荷を保持する。

[0624]

トランジスタ4300のソースまたはドレインの他方は、配線4003に接続される。トランジスタ4400のソースまたはドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

[0625]

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトランジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図55では、トランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

[0626]

トランジスタ4200およびトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図55に示す半導体装置は、トランジスタ4100と、トランジスタ4200およびトランジスタ4300と、トランジスタ4400と、を積層して設けることが好ましい。トランジスタを有する層を積層して設けるとよい。つまり、トランジスタを集積化することで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

[0627]

次いで、図55に示す半導体装置への情報の書き込み動作について説明する。

[0628]

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG1に接続されるデータ保持部に書きこむデータ電圧を V_{D1} とし、トランジスタ4100の閾値電圧を V_{th} とする。

[0629]

書き込み動作1では、配線4003を V_{D1} とし、配線4001を接地電位とした後に、電氣的に

浮遊状態とする。また配線4005、4006をハイレベルにする。また配線4007乃至4009をローレベルにする。すると、電氣的に浮遊状態にあるノードFG2の電位が上昇し、トランジスタ4100に電流が流れる。電流が流れることで、配線4001の電位が上昇する。またトランジスタ4400、トランジスタ4200が導通状態となる。そのため、配線4001の電位の上昇につれて、ノードFG1、FG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100でゲートとソースとの間の電圧(V_{gs})がトランジスタ4100の閾値電圧 V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4001、ノードFG1、FG2の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1}-V_{th}$ 」で一定となる。

[0630]

つまり、配線4003に与えた V_{D1} は、トランジスタ4100に電流が流れることで、配線4001に与えられ、ノードFG1、FG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D1}-V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。

[0631]

次に、ノードFG2に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作2とよぶ。）について説明する。なお、ノードFG2に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

[0632]

書き込み動作2では、配線4001を V_{D2} とし、配線4003を接地電位とした後に、電氣的に浮遊状態とする。また配線4007をハイレベルにする。また配線4005、4006、4008、4009をローレベルにする。トランジスタ4300を導通状態として配線4003をローレベルにする。そのため、ノードFG2の電位もローレベルにまで低下し、トランジスタ4100に電流が流れる。電流が流れることで、配線4003の電位が上昇する。またトランジスタ4300が導通状態となる。そのため、配線4003の電位の上昇につれて、ノードFG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100で V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4003、FG2の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2}-V_{th}$ 」で一定となる。

[0633]

つまり、配線4001に与えた V_{D2} は、トランジスタ4100に電流が流れることで、配線4003に与えられ、ノードFG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D2}-V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノードFG1の電位は、トランジスタ4200、4400共に非導通状態であり、書き込み動作1で書きこんだ「 $V_{D1}-V_{th}$ 」が保持される。

[0634]

図55に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線4009をハイレベルにして、ノードFG1、FG2の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

[0635]

以上説明したノードFG1、FG2へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D1}-V_{th}$ 」や「 $V_{D2}-V_{th}$ 」が保持される。

V_{th} 」を例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で4ビットのデータを保持する場合、16値の「 $V_{D1}-V_{th}$ 」や「 $V_{D2}-V_{th}$ 」を取り得る。

[0636]

次いで、図55に示す半導体装置からの情報の読み出し動作について説明する。

[0637]

最初に、ノードFG2に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作1とよぶ。）について説明する。

[0638]

読み出し動作1では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009をローレベルとして、電氣的に浮遊状態にあるノードFG2の電位を「 $V_{D2}-V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D2}-V_{th}$ 」から V_{th} だけ大きい値である「 V_{D2} 」となる。この配線4003の電位は、ノードFG2に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG2に接続されるデータ保持部のデータを取得する。

[0639]

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D2} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D2}-V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作2で書きこんだ「 V_{D2} 」が読み出される。

[0640]

ノードFG2に接続されるデータ保持部のデータを取得したら、トランジスタ4300を導通状態として、ノードFG2の「 $V_{D2}-V_{th}$ 」を放電させる。

[0641]

次に、ノードFG1に保持される電荷をノードFG2に分配し、ノードFG1に接続されるデータ保持部のデータ電圧を、ノードFG2に接続されるデータ保持部に移す。ここで、配線4001、4003をローレベルとする。配線4006をハイレベルにする。また、配線4005、配線4007乃至4009をローレベルにする。トランジスタ4200が導通状態となることで、ノードFG1の電荷が、ノードFG2との間で分配される。

[0642]

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D1}-V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D1}-V_{th}$ 」は、同じデータを表す電位「 $V_{D2}-V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変

動については、後述する。

[0643]

次に、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

[0644]

読み出し動作2では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電氣的に浮遊状態にあるノードFG2を電位「 $V_{D1}-V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D1}-V_{th}$ 」から V_{th} だけ大きい値である「 V_{D1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作である。

[0645]

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D1}-V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D1} 」が読み出される。

[0646]

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1およびノードFG2にそれぞれ4ビット（16値）のデータを保持することで計8ビット（256値）のデータを保持することができる。また、図55においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

[0647]

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D1}-V_{th}$ 」や「 $V_{D2}-V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができる。

[0648]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0649]

（実施の形態5）

本実施の形態では、上述の実施の形態で説明したOSトランジスタを適用可能な回路構成の例につ

いて、図56A乃至59Bを用いて説明する。

[0650]

図56Aにインバータの回路図を示す。インバータ800は、入力端子INの論理を反転した信号を出力端子OUTから出力する。インバータ800は、複数のOSトランジスタを有する。信号 S_{BG} は、OSトランジスタの電気特性を切り替えることができる信号である。

[0651]

図56Bに、インバータ800の一例を示す。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタで作製することができるため、CMOS (Complementary Metal Oxide Semiconductor) でインバータ (CMOSインバータ) を作製する場合と比較して、低コストで作製することが可能である。

[0652]

なおOSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路に重ねて配置できるため、インバータ800を追加する分の回路面積の増加を抑えることができる。

[0653]

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子を有する。

[0654]

OSトランジスタ810の第1ゲートは、第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧VDDを与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

[0655]

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUTに接続される。OSトランジスタ820の第2端子は、電圧VSSを与える配線に接続される。

[0656]

図56Cは、インバータ800の動作を説明するためのタイミングチャートである。図56Cのタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号 S_{BG} の信号波形、およびOSトランジスタ810 (FET810) の閾値電圧の変化について示している。

[0657]

信号 S_{BG} はOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810の閾値電圧を制御することができる。

[0658]

信号 S_{BG} は、閾値電圧をマイナスシフトさせるための電圧 V_{BG_A} 、閾値電圧をプラスシフトさせるための電圧 V_{BG_B} を有する。第2ゲートに電圧 V_{BG_A} を与えることで、OSトランジスタ810の閾値電圧を、閾値電圧 V_{TH_A} にマイナスシフトさせることができる。また、第2ゲートに電圧 V_{BG_B} を与えることで、OSトランジスタ810の閾値電圧を、閾値電圧 V_{TH_B} にプラスシフトさせ

ることができる。

[0659]

前述の説明を可視化するために、図57Aには、トランジスタの電気特性の一つである、 $V_g - I_d$ カーブを示す。

[0660]

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_A} のように大きくすることで、図57A中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_B} のように小さくすることで、図57A中の実線841で表される曲線にシフトさせることができる。図57Aに示すように、OSトランジスタ810は、信号 S_{BG} を電圧 V_{BG_A} あるいは電圧 V_{BG_B} に切り替えることで、閾値電圧をプラスシフトあるいはマイナスシフトさせることができる。

[0661]

閾値電圧を閾値電圧 V_{TH_B} にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図57Bには、この状態を可視化して示す。図57Bに図示するように、OSトランジスタ810に流れる電流 I_B を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができる。

[0662]

図57Bに図示したように、OSトランジスタ810は電流が流れにくい状態とすることができるため、図56Cに示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができる。電圧VDDを与える配線と、電圧VSSを与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

[0663]

また、閾値電圧を閾値電圧 V_{TH_A} にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができる。図57Cには、この状態を可視化して示す。図57Cに図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態(OFF)のとき、出力端子OUTの電圧を急峻に上昇させることができる。

[0664]

図57Cに図示したように、OSトランジスタ810は電流が流れやすい状態とすることができるため、図56Cに示すタイミングチャートにおける出力端子の信号波形832を急峻に変化させることができる。

[0665]

なお、信号 S_{BG} によるOSトランジスタ810の閾値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻T1やT2よりも前に行うことが好ましい。例えば、図56Cに図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻T1よりも前に、閾値電圧 V_{TH_A} から閾値電圧 V_{TH_B} にOSトランジスタ810の閾値電圧を切り替えることが好ましい。また、図56Cに図示するように、入力端子INに与える信号がローレベルに切り替わる時刻T2よりも前に、閾値電圧 V_{TH_B} から閾値電圧 V_{TH_A} にOSトランジスタ810の閾値電圧を切り替えることが好ましい。

[0666]

なお図56Cのタイミングチャートでは、入力端子INに与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図58Aに示す。

[0667]

図58Aでは、図56Bで示した回路構成に加えて、OSトランジスタ850を有する。OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号 S_F を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。

[0668]

図58Aに示す回路の動作について、図58Bのタイミングチャートを用いて説明する。

[0669]

OSトランジスタ810の閾値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻T3よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ850をオン状態とし、ノード N_{BG} に閾値電圧を制御するための電圧 V_{BG_B} を与える。

[0670]

ノード N_{BG} が電圧 V_{BG_B} となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、ノード N_{BG} を非常にフローティング状態に近い状態にして、一旦ノード N_{BG} に保持させた電圧 V_{BG_B} を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

[0671]

なお図56Bおよび図58Aの回路構成では、OSトランジスタ810の第2ゲートに外部から電圧を与える構成について示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図59Aに示す。

[0672]

図59Aでは、図56Bで示した回路構成において、入力端子INとOSトランジスタ810の第2ゲートとの間にCMOSインバータ860を有する。CMOSインバータ860の入力端子は、入力端子INに接続される。CMOSインバータ860の出力端子は、OSトランジスタ810の第2ゲートに接続される。

[0673]

図59Aに示す回路の動作について、図59Bのタイミングチャートを用いて説明する。図59Bのタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバータ860の出力波形IN_B、およびOSトランジスタ810（FET810）の閾値電圧の変化について示している。

[0674]

入力端子 IN に与える信号の論理を反転した信号である出力波形 IN_B は、 OS トランジスタ 810 の閾値電圧を制御する信号とすることができる。したがって、図 56A 乃至 56C で説明したように、 OS トランジスタ 810 の閾値電圧を制御できる。例えば、図 59B における時刻 T_4 となるとき、入力端子 IN に与える信号がハイレベルで OS トランジスタ 820 はオン状態となる。このとき、出力波形 IN_B はローレベルとなる。そのため、 OS トランジスタ 810 は電流が流れにくい状態とすることができ、出力端子 OUT の電圧を急峻に下降させることができる。

[0675]

また図 59B における時刻 T_5 となるとき、入力端子 IN に与える信号がローレベルで OS トランジスタ 820 はオフ状態となる。このとき、出力波形 IN_B はハイレベルとなる。そのため、 OS トランジスタ 810 は電流が流れやすい状態とすることができ、出力端子 OUT の電圧を急峻に上昇させることができる。

[0676]

以上説明したように本実施の形態の構成では、 OS トランジスタを有するインバータにおける、バックゲートの電圧を入力端子 IN の信号の論理にしたがって切り替える。当該構成とすることで、 OS トランジスタの閾値電圧を制御することができる。入力端子 IN に与える信号によって OS トランジスタの閾値電圧を制御することで、出力端子 OUT の電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

[0677]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0678]

(実施の形態 6)

本実施の形態では、上述の実施の形態で説明した OS トランジスタを有する複数の回路を有する半導体装置の例について、図 60A 乃至 66B を用いて説明する。

[0679]

図 60A は、半導体装置 900 のブロック図である。半導体装置 900 は、電源回路 901、回路 902、電圧生成回路 903、回路 904、電圧生成回路 905 および回路 906 を有する。

[0680]

電源回路 901 は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置 900 の外部から与えられる電圧 V_0 を基に生成することができる。半導体装置 900 は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置 900 は、外部から電源電圧を複数与えることなく動作することができる。

[0681]

回路 902、904 および 906 は、異なる電源電圧で動作する回路である。例えば回路 902 の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$) とを基に印加される。また、例えば回路 904 の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$) とを基に印加される。また、例えば回路 906 の電源電圧は、電圧 V_{ORG} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) とを基に印加される。なお電圧 V_{SS} は、グラウンド電位 (GND) と等電位とすれば、電源回路 901 で生成する電圧の種類を削減できる。

[0682]

電圧生成回路903は、電圧 V_{POG} を生成する回路である。電圧生成回路903は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路904を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

[0683]

電圧生成回路905は、電圧 V_{NEG} を生成する回路である。電圧生成回路905は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路906を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

[0684]

図60Bは電圧 V_{POG} で動作する回路904の一例、図60Cは回路904を動作させるための信号の波形の一例である。

[0685]

図60Bでは、トランジスタ911を示している。トランジスタ911のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。電圧 V_{POG} は、図60Cに図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ911は、ソース(S)とドレイン(D)との間を導通状態とする動作を、より確実に行うことができる。その結果、回路904は、誤動作が低減された回路とすることができる。

[0686]

図60Dは電圧 V_{ORG} 及び電圧 V_{NEG} で動作する回路906の一例、図60Eは回路906を動作させるための信号の波形の一例である。

[0687]

図60Dでは、バックゲートを有するトランジスタ912を示している。トランジスタ912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ912を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。また、トランジスタ912のバックゲートに与える電圧は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図60Eに図示するように、電圧 V_{SS} (GND)より小さい。そのため、トランジスタ912の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ912をより確実に非導通状態とすることができ、ソース(S)とドレイン(D)との間を流れる電流を小さくできる。その結果、回路906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

[0688]

なお電圧 V_{NEG} は、トランジスタ912のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ912のゲートに与える信号を生成し、当該信号をトランジスタ912のバックゲートに与える構成としてもよい。

[0689]

また図61A及び61Bには、図60D及び60Eの変形例を示す。

[0690]

図61Aに示す回路図では、電圧生成回路905と、回路906と、の間に制御回路921によって導通状態が制御できるトランジスタ922を示す。トランジスタ922は、nチャネル型のOSト

ランジスタとする。制御回路 9 2 1 が出力する制御信号 S_{BG} は、トランジスタ 9 2 2 の導通状態を制御する信号である。また回路 9 0 6 が有するトランジスタ 9 1 2 A、9 1 2 B は、トランジスタ 9 2 2 と同じ OS トランジスタである。

[0 6 9 1]

図 6 1 B のタイミングチャートには、制御信号 S_{BG} の電位の変化を示し、トランジスタ 9 1 2 A、9 1 2 B のバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ 9 2 2 が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ 9 2 2 は、OS トランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

[0 6 9 2]

また図 6 2 A には、上述した電圧生成回路 9 0 3 に適用可能な回路構成の一例を示す。図 6 2 A に示す電圧生成回路 9 0 3 は、ダイオード D 1 乃至 D 5、キャパシタ C 1 乃至 C 5、およびインバータ INV を有する 5 段のチャージポンプである。クロック信号 CLK は、キャパシタ C 1 乃至 C 5 に直接、あるいはインバータ INV を介して与えられる。インバータ INV の電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加されたとすると、クロック信号 CLK によって、電圧 V_{ORG} の 5 倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオード D 1 乃至 D 5 の順方向電圧は 0 V としている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。

[0 6 9 3]

また図 6 2 B には、上述した電圧生成回路 9 0 5 に適用可能な回路構成の一例を示す。図 6 2 B に示す電圧生成回路 9 0 5 は、ダイオード D 1 乃至 D 5、キャパシタ C 1 乃至 C 5、およびインバータ INV を有する 4 段のチャージポンプである。クロック信号 CLK は、キャパシタ C 1 乃至 C 5 に直接、あるいはインバータ INV を介して与えられる。インバータ INV の電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加されたとすると、クロック信号 CLK によって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の 4 倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオード D 1 乃至 D 5 の順方向電圧は 0 V としている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

[0 6 9 4]

なお上述した電圧生成回路 9 0 3 の回路構成は、図 6 2 A で示す回路図の構成に限らない。電圧生成回路 9 0 3 の変形例を図 6 3 A 乃至 6 3 C 及び図 6 4 A 及び 6 4 B に示す。

[0 6 9 5]

図 6 3 A に示す電圧生成回路 9 0 3 A は、トランジスタ M 1 乃至 M 1 0、キャパシタ C 1 1 乃至 C 1 4、およびインバータ INV 1 を有する。クロック信号 CLK は、トランジスタ M 1 乃至 M 1 0 のゲートに直接、あるいはインバータ INV 1 を介して与えられる。クロック信号 CLK によって、電圧 V_{ORG} の 4 倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図 6 3 A に示す電圧生成回路 9 0 3 A は、トランジスタ M 1 乃至 M 1 0 を OS トランジスタとすることでオフ電流を小さくでき、キャパシタ C 1 1 乃至 C 1 4 に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。また、上記の OS トランジスタはオン電流が大きく、サブスレッショルドスイング値を小さくできるので動作速度の向上を図ることができる。

[0696]

また図63Bに示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図63Bに示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。また、上記のOSトランジスタはオン電流が大きく、サブスレッショルドスイング値を小さくできるので動作速度の向上を図ることができる。

[0697]

また図63Cに示す電圧生成回路903Cは、インダクタI11、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図63Cに示す電圧生成回路903Cは、インダクタI11を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

[0698]

また図64Aに示す電圧生成回路903Dは、図62Aに示す電圧生成回路903のダイオードD1乃至D5をダイオード接続したトランジスタM16乃至M20に置き換えた構成に相当する。図64Aに示す電圧生成回路903Dは、トランジスタM16乃至M20をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC1乃至C5に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。また、上記のOSトランジスタはオン電流が大きく、サブスレッショルドスイング値を小さくできるので動作速度の向上を図ることができる。

[0699]

また図64Bに示す電圧生成回路903Eは、図64Aに示す電圧生成回路903DのトランジスタM16乃至M20を、バックゲートを有するトランジスタM21乃至M25に置き換えた構成に相当する。図64Bに示す電圧生成回路903Eは、バックゲートにゲートと同じ電圧を与えることができるため、トランジスタを流れる電流量を増やすことができる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0700]

なお電圧生成回路903の変形例は、図62Bに示した電圧生成回路905にも適用可能である。この場合の回路図の構成を図65A乃至65C、図66A及び66Bに示す。図65Aに示す電圧生成回路905Aは、クロック信号CLKによって、電圧 V_{SS} から電圧 V_{ORG} の3倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。また図65Bに示す電圧生成回路905Bは、クロック信号CLKによって、電圧 V_{SS} から電圧 V_{ORG} の2倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。

[0701]

図65A乃至65C、図66A及び66Bに示す電圧生成回路905A乃至905Eでは、図63A乃至63C、図64A及び64Bに示す電圧生成回路903A乃至903Eにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更した構成に相当する。図65A乃至65C、図

66A及び66Bに示す電圧生成回路905A乃至905Eは、電圧生成回路903A乃至903Eと同様に、効率的に電圧 V_{ORG} から電圧 V_{NEG} への降圧を図ることができる。

[0702]

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の種類を削減できる。

[0703]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0704]

(実施の形態7)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

[0705]

<CPUの構成>

図67に示す半導体装置400は、CPUコア401、パワーマネジメントユニット421および周辺回路422を有する。パワーマネジメントユニット421は、パワーコントローラ402、およびパワースイッチ403を有する。周辺回路422は、キャッシュメモリを有するキャッシュ404、バスインターフェース(BUS I/F)405、及びデバッグインターフェース(Debug I/F)406を有する。CPUコア401は、データバス423、制御装置407、PC(プログラムカウンタ)408、パイプラインレジスタ409、パイプラインレジスタ410、ALU(Arithmetic logic unit)411、及びレジスタファイル412を有する。CPUコア401と、キャッシュ404等の周辺回路422とのデータのやり取りは、データバス423を介して行われる。

[0706]

半導体装置(セル)は、パワーコントローラ402、制御装置407をはじめ、多くの論理回路に適用することができる。特に、スタンダードセルを用いて構成することができる全ての論理回路に適用することができる。その結果、小型の半導体装置400を提供できる。また、消費電力を低減することが可能な半導体装置400を提供できる。また、動作速度を向上することが可能な半導体装置400を提供できる。また、電源電圧の変動を低減することが可能な半導体装置400を提供できる。

[0707]

半導体装置(セル)に、pチャネル型Siトランジスタと、先の実施の形態に記載の酸化物半導体(好ましくはIn、Ga、及びZnを含む酸化物)をチャネル形成領域に含むトランジスタとを用い、該半導体装置(セル)を半導体装置400に適用することで、小型の半導体装置400を提供できる。また、消費電力を低減することが可能な半導体装置400を提供できる。また、動作速度を向上することが可能な半導体装置400を提供できる。特に、Siトランジスタはpチャネル型のみとすることで、製造コストを低く抑えることができる。

[0708]

制御装置407は、PC408、パイプラインレジスタ409、パイプラインレジスタ410、ALU411、レジスタファイル412、キャッシュ404、バスインターフェース405、デバッグインターフェース406、及びパワーコントローラ402の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

[0709]

ALU411は、四則演算、論理演算などの各種演算処理を行う機能を有する。

[0710]

キャッシュ404は、使用頻度の高いデータを一時的に記憶しておく機能を有する。PC408は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図67では図示していないが、キャッシュ404には、キャッシュメモリの動作を制御するキャッシュコントローラが設けられている。

[0711]

パイプラインレジスタ409は、命令データを一時的に記憶する機能を有するレジスタである。

[0712]

レジスタファイル412は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU411の演算処理の結果得られたデータ、などを記憶することができる。

[0713]

パイプラインレジスタ410は、ALU411の演算処理に利用するデータ、またはALU411の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

[0714]

バスインターフェース405は、半導体装置400と半導体装置400の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース406は、デバッグの制御を行うための命令を半導体装置400に入力するための信号の経路としての機能を有する。

[0715]

パワースイッチ403は、半導体装置400が有する、パワーコントローラ402以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ403によって電源電圧の供給の有無が制御される。また、パワーコントローラ402はパワースイッチ403の動作を制御する機能を有する。

[0716]

上記構成を有する半導体装置400は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

[0717]

まず、CPUコア401が、電源電圧の供給を停止するタイミングを、パワーコントローラ402のレジスタに設定する。次いで、CPUコア401からパワーコントローラ402へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置400内に含まれる各種レジスタとキャッシュ404が、データの退避を開始する。次いで、半導体装置400が有するパワーコントローラ402以外の各種回路への電源電圧の供給が、パワースイッチ403により停止される。次いで、割込み信号がパワーコントローラ402に入力されることで、半導体装置400が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ402にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシュ404が、データの復帰を開始する。次いで、制御装置407における命令の実行が再開される。

[0718]

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度でパワーゲーティングを行うことができる。

[0719]

パワーゲーティングを行う場合、CPUコア401や周辺回路422が保持する情報を短期間に退避できることが好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

[0720]

CPUコア401や周辺回路422が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることが好ましい(バックアップ可能なフリップフロップ回路と呼ぶ)。また、SRAMセルがセル内でデータ退避できることが好ましい(バックアップ可能なSRAMセルと呼ぶ)。バックアップ可能なフリップフロップ回路やSRAMセルは、酸化半導体(好ましくはIn、Ga、及びZnを含む酸化物)をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジスタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路やSRAMセルは長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路やSRAMセルは短期間のデータ退避および復帰が可能となる場合がある。

[0721]

バックアップ可能なフリップフロップ回路の例について、図68を用いて説明する。

[0722]

図68に示す半導体装置500は、バックアップ可能なフリップフロップ回路の一例である。半導体装置500は、第1の記憶回路501と、第2の記憶回路502と、第3の記憶回路503と、読み出し回路504と、を有する。半導体装置500には、電位V1と電位V2の電位差が、電源電圧として供給される。電位V1と電位V2は一方がハイレベルであり、他方がローレベルである。以下、電位V1がローレベル、電位V2がハイレベルの場合を例に挙げて、半導体装置500の構成例について説明するものとする。

[0723]

第1の記憶回路501は、半導体装置500に電源電圧が供給されている期間において、データを含む信号Dが入力されると、当該データを保持する機能を有する。そして、半導体装置500に電源電圧が供給されている期間において、第1の記憶回路501からは、保持されているデータを含む信号Qが出力される。一方、第1の記憶回路501は、半導体装置500に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第1の記憶回路501は、揮発性の記憶回路と呼ぶことができる。

[0724]

第2の記憶回路502は、第1の記憶回路501に保持されているデータを読み込んで記憶する(あるいは退避する)機能を有する。第3の記憶回路503は、第2の記憶回路502に保持されているデータを読み込んで記憶する(あるいは退避する)機能を有する。読み出し回路504は、第2の記憶回路502または第3の記憶回路503に保持されたデータを読み出して第1の記憶回路501に記憶する(あるいは復帰する)機能を有する。

[0725]

特に、第3の記憶回路503は、半導体装置500に電源電圧が供給されていない期間においても、第2の記憶回路502に保持されているデータを読み込記憶する(あるいは退避する)機能を有する。

[0726]

図68に示すように、第2の記憶回路502はトランジスタ512と容量素子519とを有する。第3の記憶回路503はトランジスタ513と、トランジスタ515と、容量素子520とを有する。読み出し回路504はトランジスタ510と、トランジスタ518と、トランジスタ509と、トランジスタ517と、を有する。

[0727]

トランジスタ512は、第1の記憶回路501に保持されているデータに応じた電荷を、容量素子519に充放電する機能を有する。トランジスタ512は、第1の記憶回路501に保持されているデータに応じた電荷を容量素子519に対して高速に充放電できることが望ましい。具体的には、トランジスタ512が、結晶性を有するシリコン(好ましくは多結晶シリコン、更に好ましくは単結晶シリコン)をチャネル形成領域に含むことが望ましい。

[0728]

トランジスタ513は、容量素子519に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ515は、トランジスタ513が導通状態であるときに、配線544の電位に応じた電荷を容量素子520に充放電する機能を有する。トランジスタ515は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ515が、酸化物半導体(好ましくはIn、Ga、及びZnを含む酸化物)をチャネル形成領域に含むことが望ましい。

[0729]

各素子の接続関係を具体的に説明すると、トランジスタ512のソース及びドレインの一方は、第1の記憶回路501に接続されている。トランジスタ512のソース及びドレインの他方は、容量素子519の一方の電極、トランジスタ513のゲート、及びトランジスタ518のゲートに接続されている。容量素子519の他方の電極は、配線542に接続されている。トランジスタ513のソース及びドレインの一方は、配線544に接続されている。トランジスタ513のソース及びドレインの他方は、トランジスタ515のソース及びドレインの一方に接続されている。トランジスタ515のソース及びドレインの他方は、容量素子520の一方の電極、及びトランジスタ510のゲートに接続されている。容量素子520の他方の電極は、配線543に接続されている。トランジスタ510のソース及びドレインの一方は、配線541に接続されている。トランジスタ510のソース及びドレインの他方は、トランジスタ518のソース及びドレインの一方に接続されている。トランジスタ518のソース及びドレインの他方は、トランジスタ509のソース及びドレインの一方に接続されている。トランジスタ509のソース及びドレインの他方は、トランジスタ517のソース及びドレインの一方、及び第1の記憶回路501に接続されている。トランジスタ517のソース及びドレインの他方は、配線540に接続されている。また、図68においては、トランジスタ509のゲートは、トランジスタ517のゲートと接続されているが、トランジスタ509のゲートは、必ずしもトランジスタ517のゲートと接続されていなくてもよい。

[0730]

トランジスタ515に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ515のオフ電流が小さいために、半導体装置500は、長期間電源供給なしに情報を保持する

ことができる。トランジスタ 5 1 5 のスイッチング特性が良好であるために、半導体装置 5 0 0 は、高速のバックアップとリカバリを行うことができる。

[0 7 3 1]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0 7 3 2]

(実施の形態 8)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の例について説明する。

[0 7 3 3]

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

[0 7 3 4]

図 6 9 A は、本発明の一態様に係る撮像装置 2 2 0 0 の例を示す平面図である。撮像装置 2 2 0 0 は、画素部 2 2 1 0 と、画素部 2 2 1 0 を駆動するための周辺回路 2 2 6 0 と、周辺回路 2 2 7 0、周辺回路 2 2 8 0 と、周辺回路 2 2 9 0 と、を有する。画素部 2 2 1 0 は、p 行 q 列 (p および q は 2 以上の整数) のマトリクス状に配置された複数の画素 2 2 1 1 を有する。周辺回路 2 2 6 0、周辺回路 2 2 7 0、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 は、それぞれ複数の画素 2 2 1 1 に接続し、複数の画素 2 2 1 1 を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路 2 2 6 0、周辺回路 2 2 7 0、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路 2 2 6 0 は周辺回路の一部といえる。

[0 7 3 5]

また、撮像装置 2 2 0 0 は、光源 2 2 9 1 を有することが好ましい。光源 2 2 9 1 は、検出光 P 1 を放射することができる。

[0 7 3 6]

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の 1 つを有する。また、周辺回路は、画素部 2 2 1 0 を形成する基板上に形成してもよい。また、周辺回路の一部または全部に IC チップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路 2 2 6 0、周辺回路 2 2 7 0、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 のいずれか一以上を省略してもよい。

[0 7 3 7]

また、図 6 9 B に示すように、撮像装置 2 2 0 0 が有する画素部 2 2 1 0 において、画素 2 2 1 1 を傾けて配置してもよい。画素 2 2 1 1 を傾けて配置することにより、行方向および列方向の画素間隔 (ピッチ) を短くすることができる。これにより、撮像装置 2 2 0 0 における撮像の品質をより高めることができる。

[0 7 3 8]

<画素の構成例 1>

撮像装置 2 2 0 0 が有する 1 つの画素 2 2 1 1 を複数の副画素 2 2 1 2 で構成し、それぞれの副画素 2 2 1 2 に特定の波長域の光を透過するフィルタ (カラーフィルタ) を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

[0739]

図70Aは、カラー画像を取得するための画素2211の一例を示す平面図である。図70Aに示す画素2211は、赤(R)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212R」ともいう)、緑(G)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212G」ともいう)および青(B)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212B」ともいう)を有する。副画素2212は、フォトセンサとして機能させることができる。

[0740]

副画素2212(副画素2212R、副画素2212G、および副画素2212B)は、配線2231、配線2247、配線2248、配線2249、配線2250と電氣的に接続される。また、副画素2212R、副画素2212G、および副画素2212Bは、それぞれが独立した配線2253に接続している。また、本明細書等において、例えばn行目の画素2211に接続された配線2248および配線2249を、それぞれ配線2248[n]および配線2249[n]と記載する。また、例えばm列目の画素2211に接続された配線2253を、配線2253[m]と記載する。なお、図70Aにおいて、m列目の画素2211が有する副画素2212Rに接続する配線2253を配線2253[m]R、副画素2212Gに接続する配線2253を配線2253[m]G、および副画素2212Bに接続する配線2253を配線2253[m]Bと記載している。副画素2212は、上記配線を介して周辺回路と電氣的に接続される。

[0741]

また、撮像装置2200は、隣接する画素2211の、同じ波長域の光を透過するカラーフィルタが設けられた副画素2212同士がスイッチを介して電氣的に接続する構成を有する。図70Bに、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素2211が有する副画素2212と、該画素2211に隣接するn+1行m列に配置された画素2211が有する副画素2212の接続例を示す。図70Bにおいて、n行m列に配置された副画素2212Rと、n+1行m列に配置された副画素2212Rがスイッチ2201を介して接続されている。また、n行m列に配置された副画素2212Gと、n+1行m列に配置された副画素2212Gがスイッチ2202を介して接続されている。また、n行m列に配置された副画素2212Bと、n+1行m列に配置された副画素2212Bがスイッチ2203を介して接続されている。

[0742]

なお、副画素2212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素2211に3種類の異なる波長域の光を検出する副画素2212を設けることで、フルカラー画像を取得することができる。

[0743]

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素2212に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素2212を有する画素2211を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素2212に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素2212を有する画素2211を用いてもよい。1つの画素2211に4種類の異なる波長域の光を検出する副画素2212を設けることで、取得した画像の色の再現性

をさらに高めることができる。

[0744]

また、例えば、図70Aにおいて、赤の波長域の光を検出する副画素2212、緑の波長域の光を検出する副画素2212、および青の波長域の光を検出する副画素2212の画素数比（または受光面積比）は、1:1:1でなくても構わない。例えば、画素数比（受光面積比）を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比（受光面積比）を赤:緑:青=1:6:1としてもよい。

[0745]

なお、画素2211に設ける副画素2212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長域の光を検出する副画素2212を2つ以上設けることで、冗長性を高め、撮像装置2200の信頼性を高めることができる。

[0746]

また、可視光を吸収または反射して、赤外光を透過するIR（IR: Infrared）フィルタを用いることで、赤外光を検出する撮像装置2200を実現することができる。

[0747]

また、ND（ND: Neutral Density）フィルタ（減光フィルタ）を用いることで、光電変換素子（受光素子）に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

[0748]

また、前述したフィルタ以外に、画素2211にレンズを設けてもよい。ここで、図71A及び71Bの断面図を用いて、画素2211、フィルタ2254、レンズ2255の配置例を説明する。レンズ2255を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図71Aに示すように、画素2211に形成したレンズ2255、フィルタ2254（フィルタ2254R、フィルタ2254Gおよびフィルタ2254B）、および画素回路2230等を通して光2256を光電変換素子2220に入射させる構造とすることができる。

[0749]

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光2256の一部が配線2257の一部によって遮光されてしまうことがある。したがって、図71Bに示すように光電変換素子2220側にレンズ2255およびフィルタ2254を配置して、光電変換素子2220が光2256を効率良く受光させる構造が好ましい。光電変換素子2220側から光2256を光電変換素子2220に入射させることで、検出感度の高い撮像装置2200を提供することができる。

[0750]

図71A及び71Bに示す光電変換素子2220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

[0751]

また、光電変換素子2220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

[0752]

例えば、光電変換素子 2 2 2 0 にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長域にわたって光吸収係数を有する光電変換素子 2 2 2 0 を実現できる。

[0 7 5 3]

ここで、撮像装置 2 2 0 0 が有する 1 つの画素 2 2 1 1 は、図 7 0 A 及び 7 0 B に示す副画素 2 2 1 2 に加えて、第 1 のフィルタを有する副画素 2 2 1 2 を有してもよい。

[0 7 5 4]

<画素の構成例 2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。各トランジスタは上記実施の形態に示すものと同様のトランジスタを用いることができる。

[0 7 5 5]

図 7 2 は、撮像装置を構成する素子の断面図である。図 7 2 に示す撮像装置は、シリコン基板 2 3 0 0 に設けられたシリコンを用いたトランジスタ 2 3 5 1、トランジスタ 2 3 5 1 上に積層して配置された酸化物半導体を用いたトランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3、ならびにシリコン基板 2 3 0 0 に設けられたフォトダイオード 2 3 6 0 を含む。各トランジスタおよびフォトダイオード 2 3 6 0 は、種々のプラグ 2 3 7 0 および配線 2 3 7 1 と電気的な接続を有する。また、フォトダイオード 2 3 6 0 のアノード 2 3 6 1 は、低抵抗領域 2 3 6 3 を介してプラグ 2 3 7 0 と電氣的に接続を有する。

[0 7 5 6]

また撮像装置は、シリコン基板 2 3 0 0 に設けられたトランジスタ 2 3 5 1 およびフォトダイオード 2 3 6 0 を有する層 2 3 1 0 と、層 2 3 1 0 と接して設けられ、配線 2 3 7 1 を有する層 2 3 2 0 と、層 2 3 2 0 と接して設けられ、トランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3 を有する層 2 3 3 0 と、層 2 3 3 0 と接して設けられ、配線 2 3 7 2 および配線 2 3 7 3 を有する層 2 3 4 0 を備えている。

[0 7 5 7]

なお図 7 2 の断面図の一例では、シリコン基板 2 3 0 0 において、トランジスタ 2 3 5 1 が形成された面とは逆側の面にフォトダイオード 2 3 6 0 の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード 2 3 6 0 の受光面をトランジスタ 2 3 5 1 が形成された面と同じとすることもできる。

[0 7 5 8]

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層 2 3 1 0 を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層 2 3 1 0 を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

[0 7 5 9]

なお、シリコン基板 2 3 0 0 は、SOI 基板であってもよい。また、シリコン基板 2 3 0 0 に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

[0 7 6 0]

ここで、トランジスタ 2 3 5 1 およびフォトダイオード 2 3 6 0 を有する層 2 3 1 0 と、トランジ

スタ 2 3 5 2 およびトランジスタ 2 3 5 3 を有する層 2 3 3 0 と、の間には絶縁体 2 3 8 0 が設けられる。ただし、絶縁体 2 3 8 0 の位置は限定されない。また、絶縁体 2 3 8 0 の下に絶縁体 2 3 7 9 が設けられ、絶縁体 2 3 8 0 の上に絶縁体 2 3 8 1 が設けられる。

[0 7 6 1]

絶縁体 2 3 7 9 乃至絶縁体 2 3 8 0 に設けられた開口に、導電体 2 3 9 0 a 乃至導電体 2 3 9 0 e が設けられている。導電体 2 3 9 0 a、導電体 2 3 9 0 b および導電体 2 3 9 0 e は、プラグおよび配線として機能する。また、導電体 2 3 9 0 c は、トランジスタ 2 3 5 3 のバックゲートとして機能する。また、導電体 2 3 9 0 d は、トランジスタ 2 3 5 2 のバックゲートとして機能する。

[0 7 6 2]

トランジスタ 2 3 5 1 のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ 2 3 5 1 の信頼性を向上させる効果がある。一方、トランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3 などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3 などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体 2 3 8 0 を設けることが好ましい。絶縁体 2 3 8 0 より下層に水素を閉じ込めることで、トランジスタ 2 3 5 1 の信頼性を向上させることができる。さらに、絶縁体 2 3 8 0 より下層から、絶縁体 2 3 8 0 より上層に水素が拡散することを抑制できるため、トランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3 などの信頼性を向上させることができる。さらに、導電体 2 3 9 0 a、導電体 2 3 9 0 b および導電体 2 3 9 0 e が形成されることにより、絶縁体 2 3 8 0 に形成されているピアホールを通じて上層に水素が拡散することも抑制できるため、トランジスタ 2 3 5 2 およびトランジスタ 2 3 5 3 などの信頼性を向上させることができる。

[0 7 6 3]

また、図 7 2 の断面図において、層 2 3 1 0 に設けるフォトダイオード 2 3 6 0 と、層 2 3 3 0 に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

[0 7 6 4]

また、撮像装置の一部または全部を湾曲させてもよい。撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

[0 7 6 5]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0 7 6 6]

(実施の形態 9)

本実施の形態においては、本発明の一態様に係る半導体ウエハ、チップおよび電子部品について説明する。

[0 7 6 7]

<半導体ウエハ、チップ>

図 7 3 A は、ダイシング処理が行なわれる前の基板 7 1 1 の上面図を示している。基板 7 1 1 としては、例えば、半導体基板（「半導体ウエハ」ともいう。）を用いることができる。基板 7 1 1 上には、複数の回路領域 7 1 2 が設けられている。回路領域 7 1 2 には、本発明の一態様に係る半導体装置や、CPU、RF タグ、またはイメージセンサなどを設けることができる。

[0 7 6 8]

複数の回路領域 7 1 2 は、それぞれが分離領域 7 1 3 に囲まれている。分離領域 7 1 3 と重なる位置に分離線（「ダイシングライン」ともいう。）7 1 4 が設定される。分離線 7 1 4 に沿って基板 7 1 1 を切断することで、回路領域 7 1 2 を含むチップ 7 1 5 を基板 7 1 1 から切り出すことができる。図 7 3 B にチップ 7 1 5 の拡大図を示す。

[0 7 6 9]

また、分離領域 7 1 3 に導電層や半導体層を設けてもよい。分離領域 7 1 3 に導電層や半導体層を設けることで、ダイシング工程時に生じうる ESD を緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域 7 1 3 に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

[0 7 7 0]

分離領域 7 1 3 に設ける半導体層としては、バンドギャップが 2.5 eV 以上 4.2 eV 以下、好ましくは 2.7 eV 以上 3.5 eV 以下の材料を用いることが好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESD による電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

[0 7 7 1]

<電子部品>

チップ 7 1 5 を電子部品に適用する例について、図 7 4 A 及び 7 4 B を用いて説明する。なお、電子部品は、半導体パッケージ、または IC 用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

[0 7 7 2]

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

[0 7 7 3]

図 7 4 A に示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置などが形成されていない面）を研削する「裏面研削工程」を行なう（ステップ S 7 2 1）。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

[0 7 7 4]

次に、素子基板を複数のチップ（チップ 7 1 5）に分離する「ダイシング工程」を行う（ステップ S 7 2 2）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップ S 7 2 3）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

[0775]

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する「ワイヤーボンディング工程」を行う（ステップS724）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0776]

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップS725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

[0777]

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS727）。

[0778]

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS728）。そして外観形状の良否や動作不良の有無などを調べる「検査工程」（ステップS729）を経て、電子部品が完成する。

[0779]

また、完成した電子部品の斜視模式図を図74Bに示す。図74Bでは、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図74Bに示す電子部品750は、リード755および半導体装置753を示している。半導体装置753としては、上記実施の形態に示した半導体装置などを用いることができる。

[0780]

図74Bに示す電子部品750は、例えばプリント基板752に実装される。このような電子部品750が複数組み合わせられて、それぞれがプリント基板752上で電氣的に接続されることで電子部品が実装された基板（実装基板754）が完成する。完成した実装基板754は、電子機器などに用いられる。

[0781]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0782]

（実施の形態10）

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

[0783]

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の

一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図75A乃至75Fに示す。

[0784]

図75Aは携帯型ゲーム機であり、筐体1901、筐体1902、表示部1903、表示部1904、マイクロフォン1905、スピーカー1906、操作キー1907、スタイラス1908等を有する。なお、図75Aに示した携帯型ゲーム機は、2つの表示部1903と表示部1904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

[0785]

図75Bは携帯データ端末であり、第1筐体1911、第2筐体1912、第1表示部1913、第2表示部1914、接続部1915、操作キー1916等を有する。第1表示部1913は第1筐体1911に設けられており、第2表示部1914は第2筐体1912に設けられている。そして、第1筐体1911と第2筐体1912とは、接続部1915により接続されており、第1筐体1911と第2筐体1912の間の角度は、接続部1915により変更が可能である。第1表示部1913における映像を、接続部1915における第1筐体1911と第2筐体1912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部1913および第2表示部1914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

[0786]

図75Cはノート型パーソナルコンピュータであり、筐体1921、表示部1922、キーボード1923、ポインティングデバイス1924等を有する。

[0787]

図75Dは電気冷凍冷蔵庫であり、筐体1931、冷蔵室用扉1932、冷凍室用扉1933等を有する。

[0788]

図75Eはビデオカメラであり、第1筐体1941、第2筐体1942、表示部1943、操作キー1944、レンズ1945、接続部1946等を有する。操作キー1944およびレンズ1945は第1筐体1941に設けられており、表示部1943は第2筐体1942に設けられている。そして、第1筐体1941と第2筐体1942とは、接続部1946により接続されており、第1筐体1941と第2筐体1942の間の角度は、接続部1946により変更が可能である。表示部1943における映像を、接続部1946における第1筐体1941と第2筐体1942との間の角度にしたがって切り替える構成としてもよい。

[0789]

図75Fは自動車であり、車体1951、車輪1952、ダッシュボード1953、ライト1954等を有する。

[0790]

なお、本実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

[0791]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[符号の説明]

[0792]

20	ナノクラスター
22	横成長部
23	粒子
26	領域
27	連結部
32	基板
100	容量素子
101	容量素子
102	容量素子
105	容量素子
110	絶縁体
112	導電体
112a	導電体
112b	導電体
114	絶縁体
116	導電体
122	導電体
124	導電体
130	絶縁体
132	絶縁体
134	絶縁体
150	絶縁体

2 0 0 トランジスタ
2 0 1 トランジスタ
2 0 2 トランジスタ
2 0 5 導電体
2 0 5 a 導電体
2 0 5 A 導電体
2 0 5 b 導電体
2 0 5 B 導電体
2 0 5 c 導電体
2 1 0 絶縁体
2 1 2 絶縁体
2 1 3 絶縁体
2 1 4 絶縁体
2 1 6 絶縁体
2 1 8 導電体
2 2 0 絶縁体
2 2 2 絶縁体
2 2 4 絶縁体
2 3 0 酸化物
2 3 0 a 酸化物
2 3 0 A 酸化物
2 3 0 b 酸化物
2 3 0 B 酸化物
2 3 0 c 酸化物
2 3 0 d 酸化物
2 4 0 a 導電体
2 4 0 A 導電膜
2 4 0 b 導電体
2 4 0 B 導電層
2 4 1 a 導電体
2 4 1 b 導電体
2 4 3 a 絶縁体
2 4 3 b 絶縁体
2 4 4 導電体
2 4 5 バリア層
2 5 0 絶縁体
2 6 0 導電体
2 6 0 a 導電体
2 6 0 A 導電膜
2 6 0 b 導電体

2 6 0 c	導電体
2 7 0	絶縁体
2 8 0	絶縁体
2 8 2	絶縁体
2 8 3	絶縁体
2 8 4	絶縁体
2 8 5	絶縁体
2 8 6	絶縁体
2 9 0	レジストマスク
2 9 2	レジストマスク
2 9 4	レジストマスク
2 9 6	レジストマスク
3 0 0	トランジスタ
3 0 1	トランジスタ
3 0 2	トランジスタ
3 1 1	基板
3 1 2	半導体領域
3 1 4	絶縁体
3 1 6	導電体
3 1 8 a	低抵抗領域
3 1 8 b	低抵抗領域
3 2 0	絶縁体
3 2 2	絶縁体
3 2 4	絶縁体
3 2 6	絶縁体
3 2 8	導電体
3 3 0	導電体
3 5 0	絶縁体
3 5 2	絶縁体
3 5 4	絶縁体
3 5 6	導電体
3 5 8	絶縁体
4 0 0	半導体装置
4 0 1	CPUコア
4 0 2	パワーコントローラ
4 0 3	パワースイッチ
4 0 4	キャッシュ
4 0 5	バスインターフェース
4 0 6	デバッグインターフェース
4 0 7	制御装置

4 0 8	P C
4 0 9	パイプラインレジスタ
4 1 0	パイプラインレジスタ
4 1 1	A L U
4 1 2	レジスタファイル
4 2 1	パワーマネージメントユニット
4 2 2	周辺回路
4 2 3	データバス
5 0 0	半導体装置
5 0 1	記憶回路
5 0 2	記憶回路
5 0 3	記憶回路
5 0 4	回路
5 0 9	トランジスタ
5 1 0	トランジスタ
5 1 2	トランジスタ
5 1 3	トランジスタ
5 1 5	トランジスタ
5 1 7	トランジスタ
5 1 8	トランジスタ
5 1 9	容量素子
5 2 0	容量素子
5 4 0	配線
5 4 1	配線
5 4 2	配線
5 4 3	配線
5 4 4	配線
7 1 1	基板
7 1 2	回路領域
7 1 3	分離領域
7 1 4	分離線
7 1 5	チップ
7 5 0	電子部品
7 5 2	プリント基板
7 5 3	半導体装置
7 5 4	実装基板
7 5 5	リード
8 0 0	インバータ
8 1 0	O S トランジスタ
8 2 0	O S トランジスタ

8 3 1 信号波形
8 3 2 信号波形
8 4 0 破線
8 4 1 実線
8 5 0 O S トランジスタ
8 6 0 C M O S インバータ
9 0 0 半導体装置
9 0 1 電源回路
9 0 2 回路
9 0 3 電圧生成回路
9 0 3 A 電圧生成回路
9 0 3 B 電圧生成回路
9 0 3 C 電圧生成回路
9 0 3 D 電圧生成回路
9 0 3 E 電圧生成回路
9 0 4 回路
9 0 5 電圧生成回路
9 0 5 A 電圧生成回路
9 0 5 B 電圧生成回路
9 0 5 E 電圧生成回路
9 0 6 回路
9 1 1 トランジスタ
9 1 2 トランジスタ
9 1 2 A トランジスタ
9 1 2 B トランジスタ
9 2 1 制御回路
9 2 2 トランジスタ
1 9 0 1 筐体
1 9 0 2 筐体
1 9 0 3 表示部
1 9 0 4 表示部
1 9 0 5 マイクロフォン
1 9 0 6 スピーカー
1 9 0 7 操作キー
1 9 0 8 スタイラス
1 9 1 1 筐体
1 9 1 2 筐体
1 9 1 3 表示部
1 9 1 4 表示部
1 9 1 5 接続部

1 9 1 6	操作キー
1 9 2 1	筐体
1 9 2 2	表示部
1 9 2 3	キーボード
1 9 2 4	ポインティングデバイス
1 9 3 1	筐体
1 9 3 2	冷蔵室用扉
1 9 3 3	冷凍室用扉
1 9 4 1	筐体
1 9 4 2	筐体
1 9 4 3	表示部
1 9 4 4	操作キー
1 9 4 5	レンズ
1 9 4 6	接続部
1 9 5 1	車体
1 9 5 2	車輪
1 9 5 3	ダッシュボード
1 9 5 4	ライト
2 2 0 0	撮像装置
2 2 0 1	スイッチ
2 2 0 2	スイッチ
2 2 0 3	スイッチ
2 2 1 0	画素部
2 2 1 1	画素
2 2 1 2	副画素
2 2 1 2 B	副画素
2 2 1 2 G	副画素
2 2 1 2 R	副画素
2 2 2 0	光電変換素子
2 2 3 0	画素回路
2 2 3 1	配線
2 2 4 7	配線
2 2 4 8	配線
2 2 4 9	配線
2 2 5 0	配線
2 2 5 3	配線
2 2 5 4	フィルタ
2 2 5 4 B	フィルタ
2 2 5 4 G	フィルタ
2 2 5 4 R	フィルタ

2 2 5 5	レンズ
2 2 5 6	光
2 2 5 7	配線
2 2 6 0	周辺回路
2 2 7 0	周辺回路
2 2 8 0	周辺回路
2 2 9 0	周辺回路
2 2 9 1	光源
2 3 0 0	シリコン基板
2 3 1 0	層
2 3 2 0	層
2 3 3 0	層
2 3 4 0	層
2 3 5 1	トランジスタ
2 3 5 2	トランジスタ
2 3 5 3	トランジスタ
2 3 6 0	フォトダイオード
2 3 6 1	アノード
2 3 6 3	低抵抗領域
2 3 7 0	プラグ
2 3 7 1	配線
2 3 7 2	配線
2 3 7 3	配線
2 3 7 9	絶縁体
2 3 8 0	絶縁体
2 3 8 1	絶縁体
2 3 9 0 a	導電体
2 3 9 0 b	導電体
2 3 9 0 c	導電体
2 3 9 0 d	導電体
2 3 9 0 e	導電体
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 0 0 6	配線
3 2 0 0	トランジスタ
3 5 0 0	トランジスタ
4 0 0 1	配線

4 0 0 3	配線
4 0 0 5	配線
4 0 0 6	配線
4 0 0 7	配線
4 0 0 8	配線
4 0 0 9	配線
4 0 2 1	層
4 0 2 3	層
4 1 0 0	トランジスタ
4 2 0 0	トランジスタ
4 3 0 0	トランジスタ
4 4 0 0	トランジスタ
4 5 0 0	容量素子
4 6 0 0	容量素子

請求の範囲

[請求項 1]

第 1 の絶縁体の上に、酸素とアルミニウムを含む第 1 の導電体を形成し、
 前記第 1 の導電体の上に、酸素とシリコンを含む第 2 の絶縁体を形成し、
 前記第 2 の絶縁体の上に、酸素の流量比を 20%以下とし、基板温度を室温以上 150℃以下として、スパッタリング法を用いて酸化物を形成し、
 450℃以下の温度で熱処理を行い、
 前記酸化物の上に、酸素とシリコンを含む第 3 の絶縁体を形成し、
 前記第 3 の絶縁体の上に、第 2 の導電体を形成し、
 前記第 3 の絶縁体および前記第 2 の導電体の上に、酸素とシリコンを含む第 4 の絶縁体を形成し、
 前記第 4 の絶縁体の上に、450℃以下の温度で基板加熱を行いながらスパッタリング法を用いて酸素とアルミニウムを含む第 5 の絶縁体を形成する、ことを特徴とする半導体装置の作製方法。

[請求項 2]

第 1 の絶縁体と、
 前記第 1 の絶縁体の上に形成された第 1 の導電体と、
 前記第 1 の導電体の上に形成された第 2 の絶縁体と、
 前記第 2 の絶縁体の上に形成された酸化物と、
 前記酸化物の上に形成された第 3 の絶縁体と、
 前記第 3 の絶縁体の上に形成された第 2 の導電体と、
 前記第 3 の絶縁体および前記第 2 の導電体の上に形成された第 4 の絶縁体と、
 前記第 4 の絶縁体の上に形成された第 5 の絶縁体と、を有し、
 前記酸化物は、
 I_n と、M (MはAl、Ga、Y、またはSn) と、Znとを含み、
 前記 I_n 、前記M、及び前記Znの原子数比は、
 $I_n : M : Zn = 4 : 2 : 3$ 及びその近傍であり、
 前記 I_n 、M、及びZnの原子数の総和に対して、前記 I_n の原子数比が4の場合、前記Mの原子数比が1.5以上2.5以下であり、且つ前記Znの原子数比が2以上4以下であり、
 前記酸化物は、第 1 の結晶部と、第 2 の結晶部と、を有し、
 前記第 1 の結晶部は、c 軸配向性を有し、
 前記第 2 の結晶部は、c 軸配向性を有さない、
 前記第 2 の絶縁体、前記第 3 の絶縁体及び前記第 4 の絶縁体は、酸素と、シリコンを含み、
 前記第 1 の絶縁体及び前記第 5 の絶縁体は、酸素と、アルミニウムを含むことを特徴とする半導体装置。

[請求項 3]

請求項 2 において、
 前記酸化物は、
 断面に対する電子線回折測定を行い、前記酸化物の電子線回折パターンを観測した場合、
 前記電子線回折パターンは、
 前記第 1 の結晶部に起因する回折スポットを有する第 1 の領域と、
 前記第 2 の結晶部に起因する回折スポットを有する第 2 の領域と、を有し、

前記第1の領域における輝度の積分強度は、前記第2の領域における輝度の積分強度よりも大きい、ことを特徴とする半導体装置。

[請求項4]

請求項3において、

前記第1の領域における前記輝度の積分強度は、

前記第2の領域における前記輝度の積分強度に対して、1倍を超えて3倍以下である、ことを特徴とする半導体装置。

[請求項5]

請求項2乃至4のいずれか一項において、

前記酸化物は、

浅い欠陥準位密度のピーク値が、 $2.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満である領域を有する、ことを特徴とする半導体装置。

[請求項6]

請求項2乃至4のいずれか一項において、

前記酸化物と前記第3の絶縁体の間に、第2の酸化物を有し、

前記第2の酸化物は、

Inと、M(MはAl、Ga、Y、またはSn)と、Znとを含み、

前記酸化物は、第1の結晶部と、第2の結晶部と、を有し、

前記第1の結晶部は、c軸配向性を有し、

前記第2の結晶部は、c軸配向性を有さない、

断面に対する電子線回折測定を行い、前記酸化物の電子線回折パターンを観測した場合、

前記電子線回折パターンは、

前記第1の結晶部に起因する回折スポットを有する第1の領域と、

前記第2の結晶部に起因する回折スポットを有する第2の領域と、を有し、

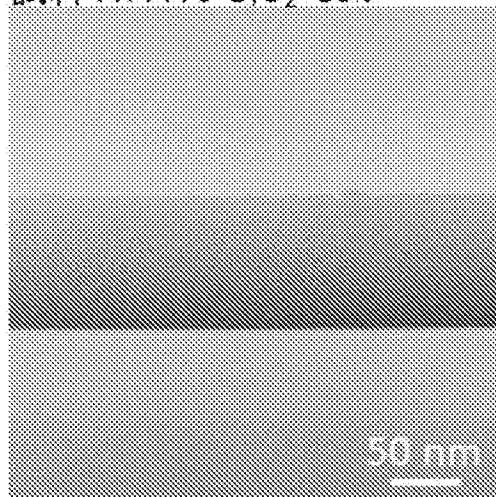
前記第1の領域における輝度の積分強度は、

前記第2の領域における輝度の積分強度に対して、1倍を超えて10倍以下である、ことを特徴とする半導体装置。

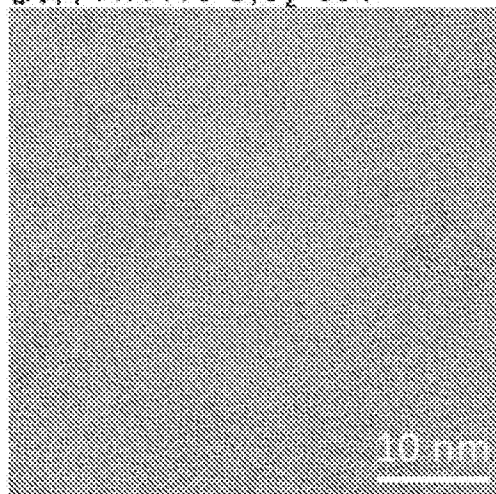
[図 1]

1/78

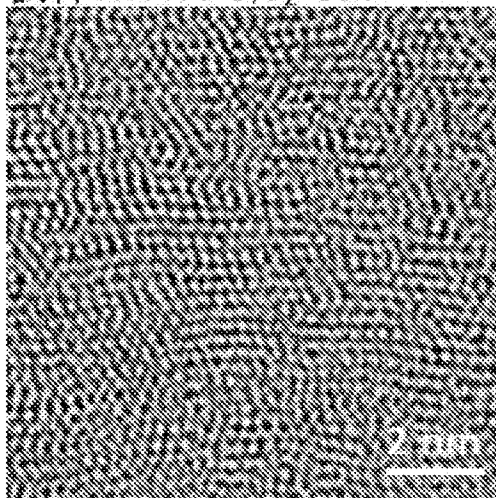
(A)

試料 A1: 170°C, O₂=30%

(B)

試料 A1: 170°C, O₂=30%

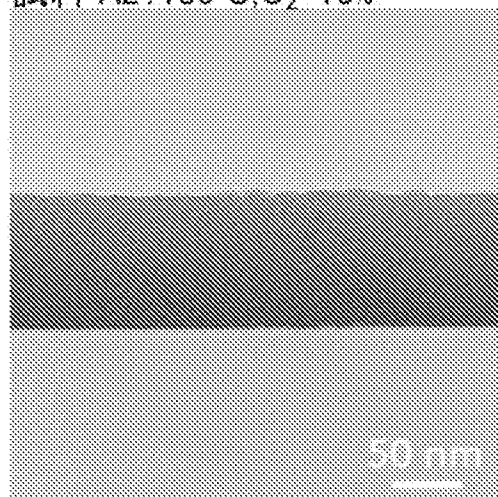
(C)

試料 A1: 170°C, O₂=30%

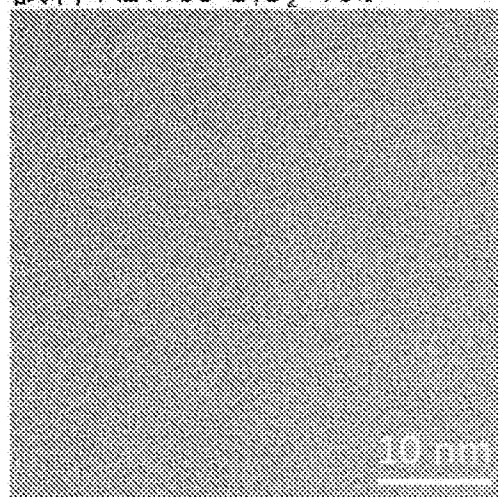
[図2]

2/78

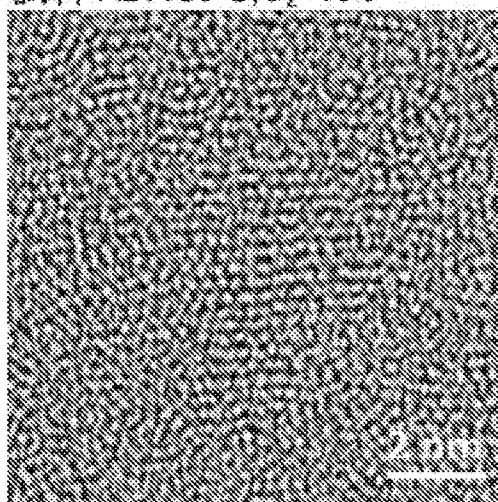
(A)

試料 A2 : 130°C, O₂=10%

(B)

試料 A2 : 130°C, O₂=10%

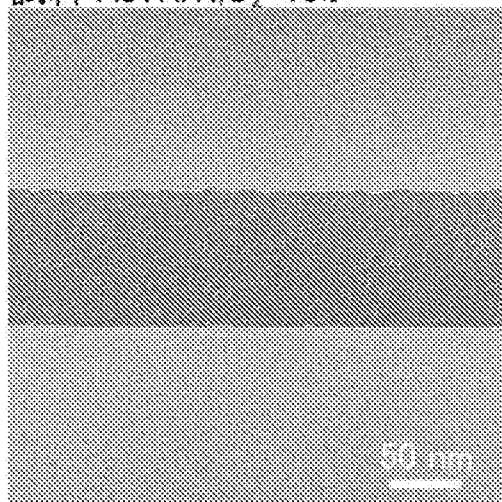
(C)

試料 A2 : 130°C, O₂=10%

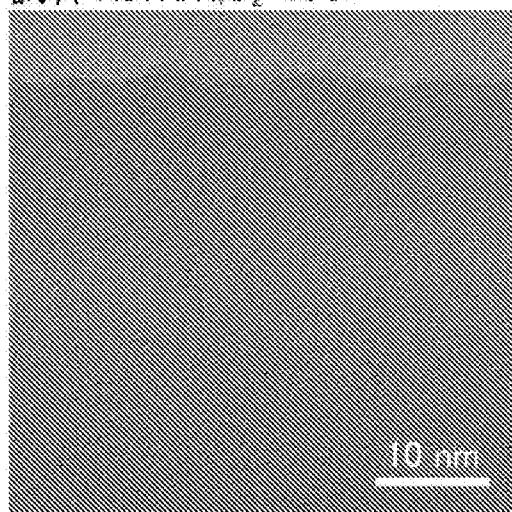
[図3]

3/78

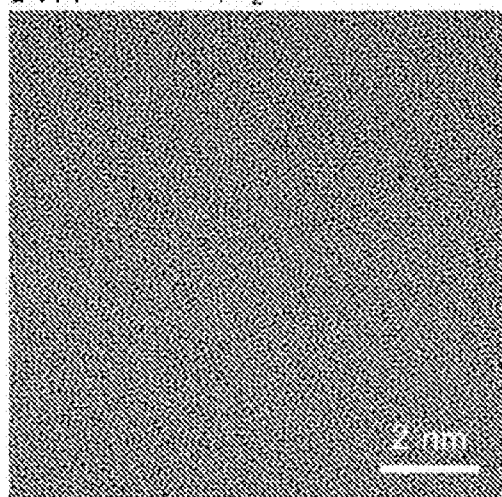
(A)

試料 A3: R.T., O₂=10%

(B)

試料 A3: R.T., O₂=10%

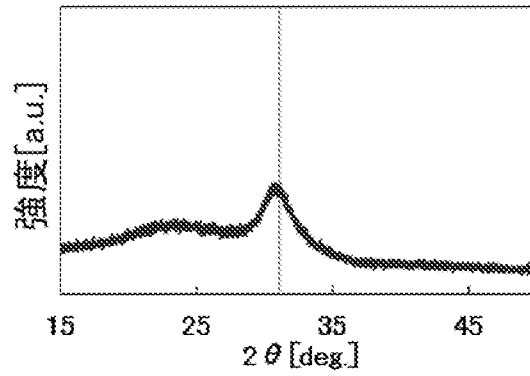
(C)

試料 A3: R.T., O₂=10%

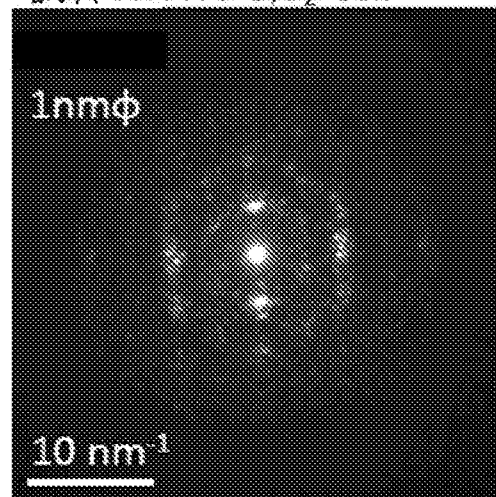
[図4]

4/78

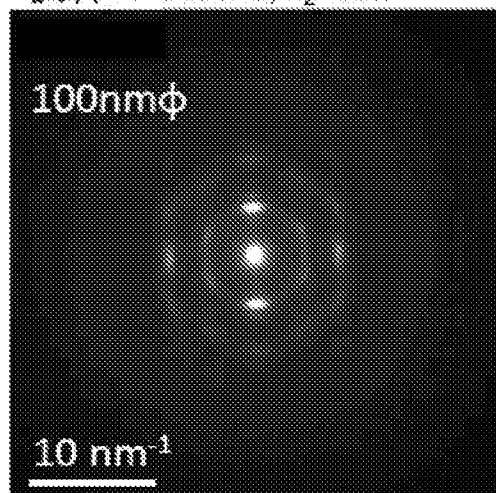
(A)

試料 A1: 170°C, O₂=30%

(B)

試料 A1: 170°C, O₂=30%

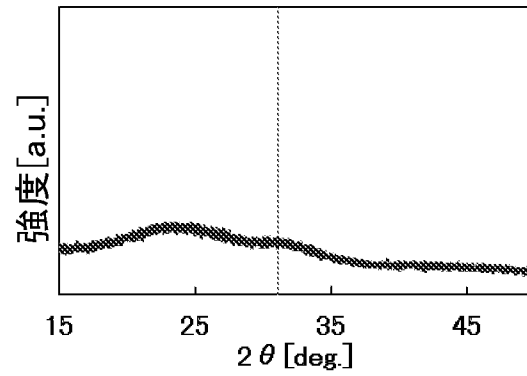
(C)

試料 A1: 170°C, O₂=30%

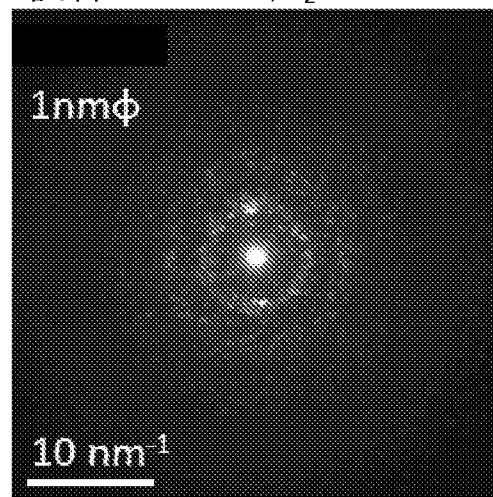
[図5]

5/78

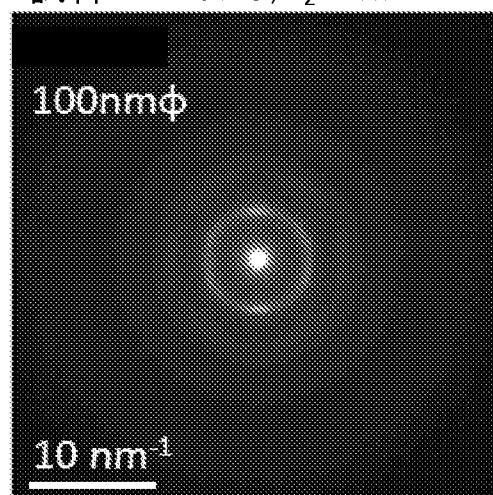
(A)

試料 A2: 130°C, O₂=10%

(B)

試料 A2: 130°C, O₂=10%

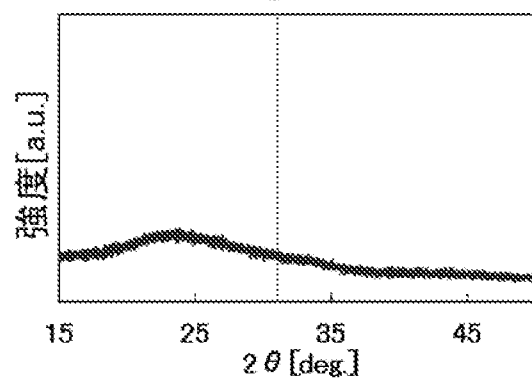
(C)

試料 A2: 130°C, O₂=10%

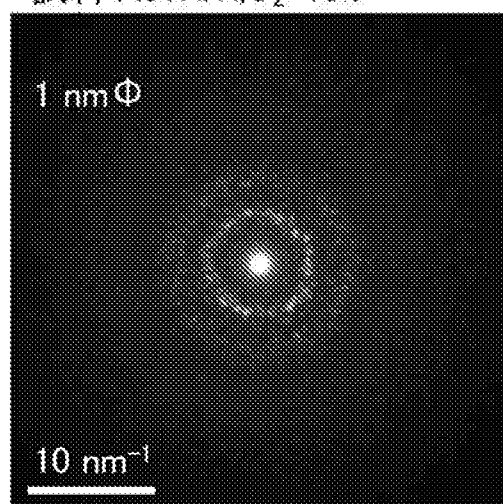
[図6]

6/78

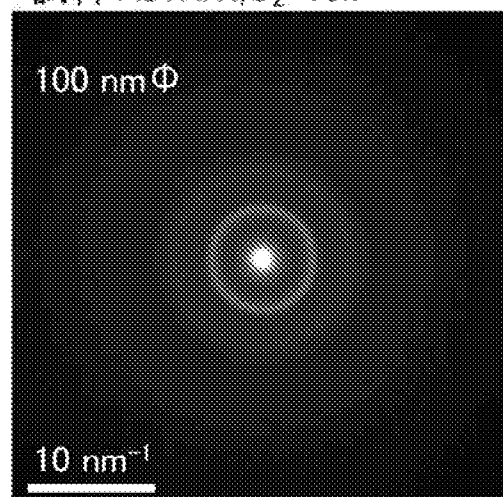
(A)

試料 A3: R.T., O₂=10%

(B)

試料 A3: R.T., O₂=10%

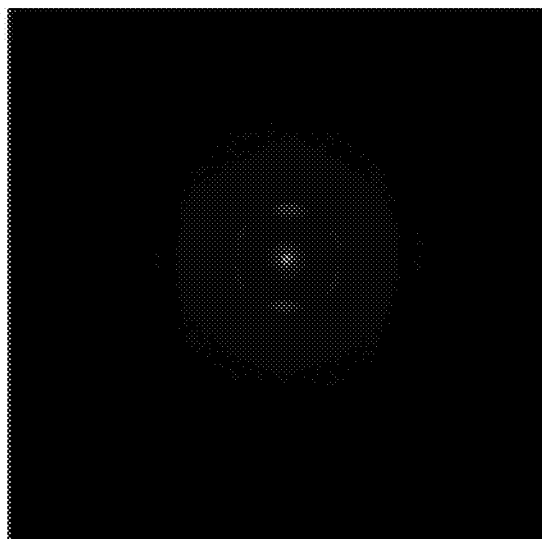
(C)

試料 A3: R.T., O₂=10%

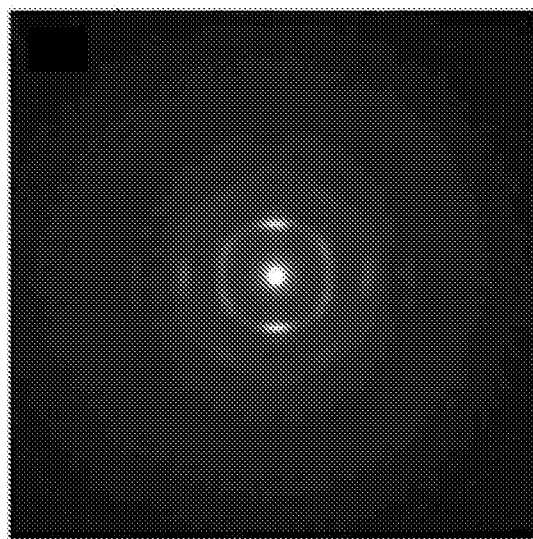
[図7]

7/78

(A)



(B)

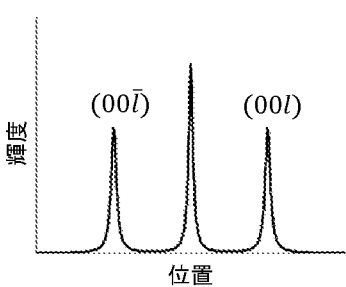
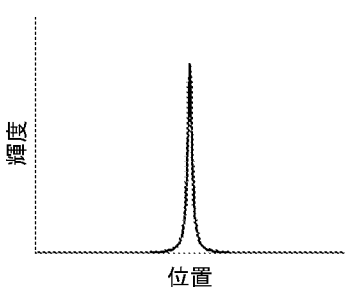
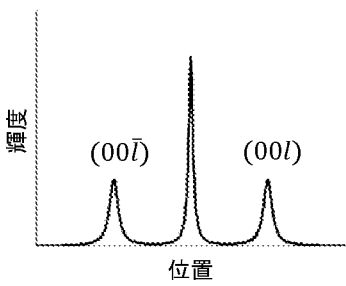
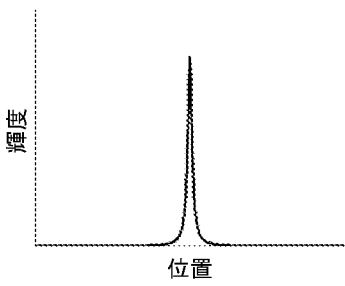
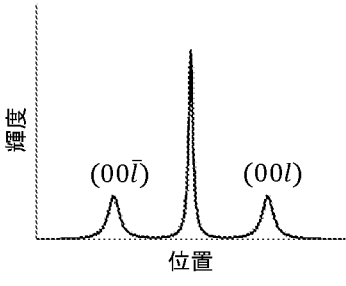
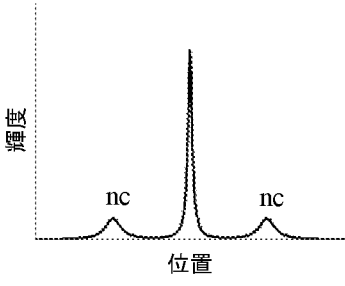
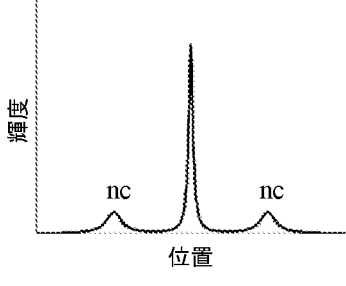
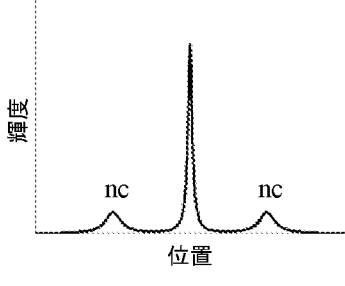
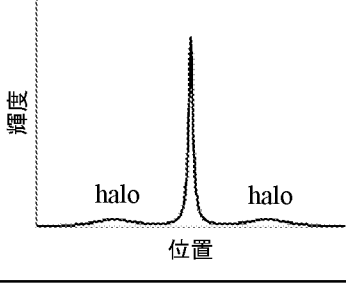
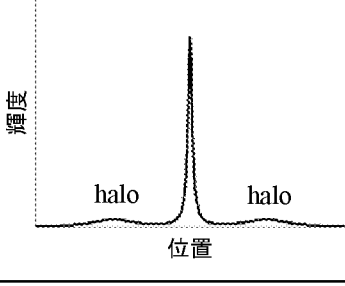


[図8]

8/78



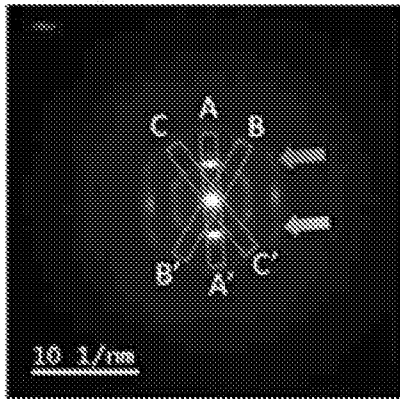
[図9]

	ラインプロファイル		$R = \frac{A - A'}{B - B', C - C'}$	FWHM
	A-A'	B-B', C-C'		
単結晶			$R \gg 1$	小
CAACのみ			$R \gg 1$	やや小
CAAC + Nano-crystal			$R > 1$	中
Nano-crystal			$R = 1$	やや大
Amorphous			$R \leq 1$	大

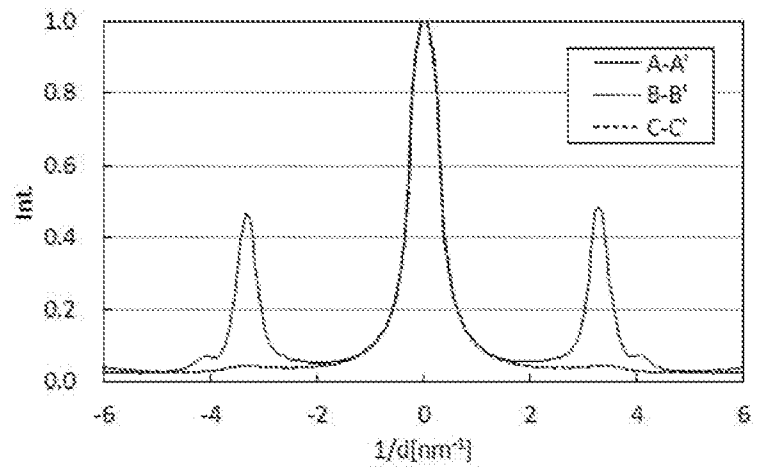
[図 10]

10/78

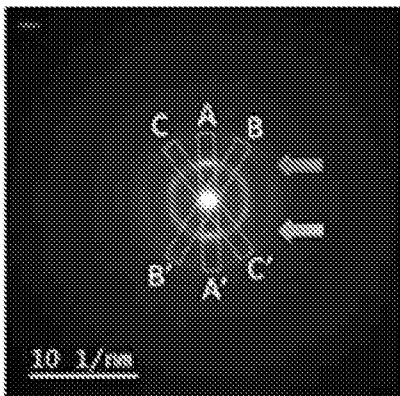
(A1)

試料 A1: 170°C, O₂=30%

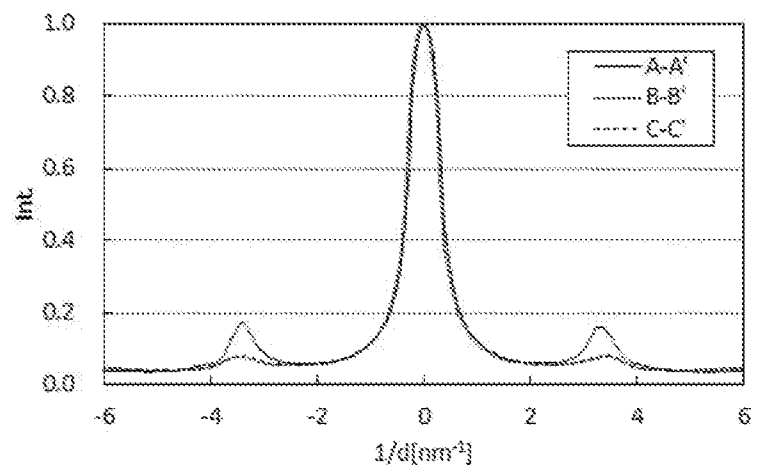
(A2)

試料 A1: 170°C, O₂=30%

(B1)

試料 A2: 130°C, O₂=10%

(B2)

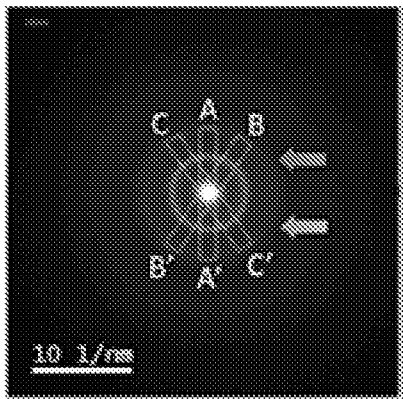
試料 A2: 130°C, O₂=10%

[図 11]

11/78

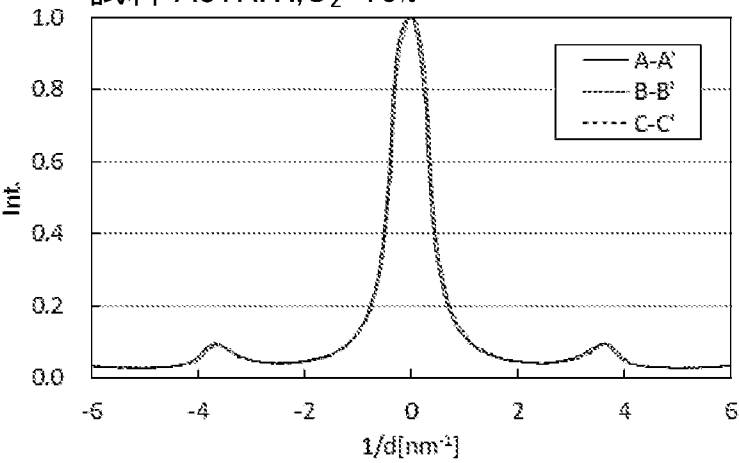
(A1)

試料 A3: R.T., O₂=10%



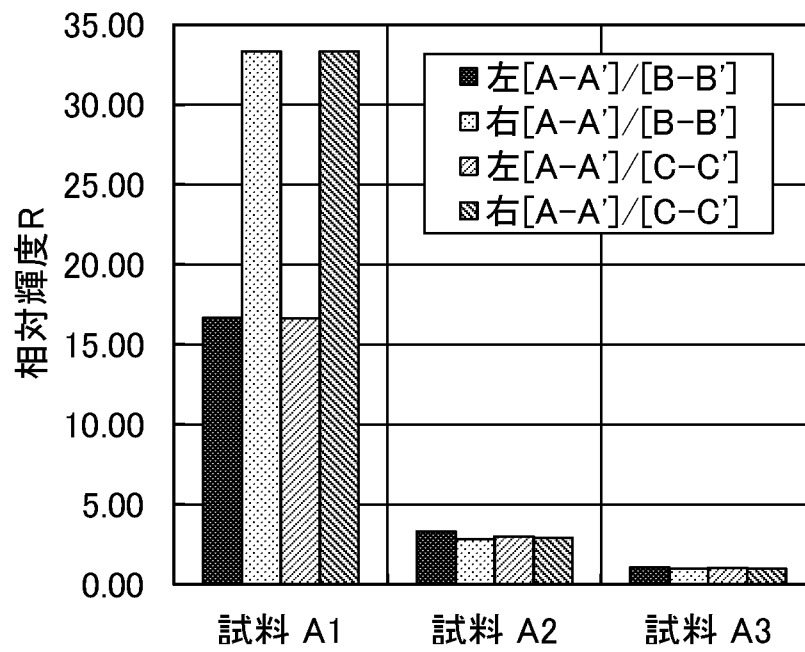
(A2)

試料 A3: R.T., O₂=10%



[図12]

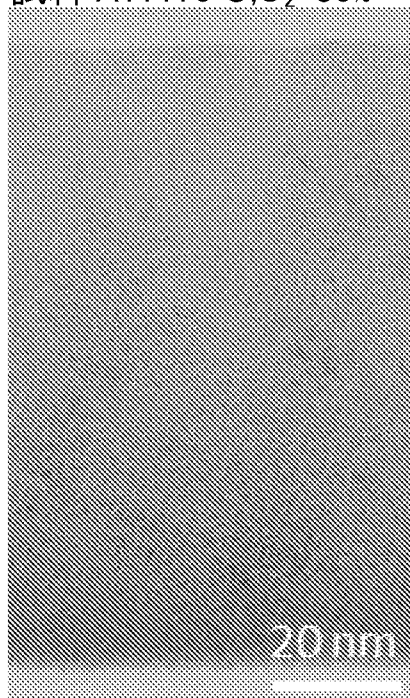
12/78



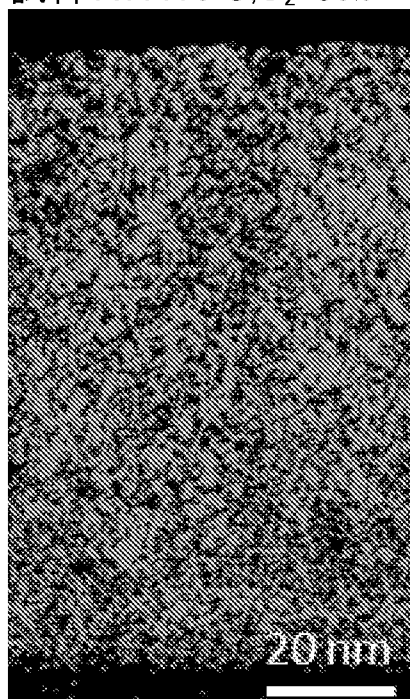
[図13]

13/78

(A)

試料 A1 : 170°C, O₂=30%

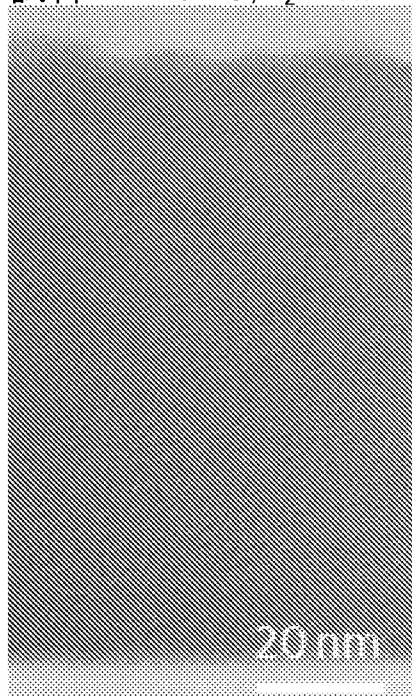
(B)

試料 A1 : 170°C, O₂=30%

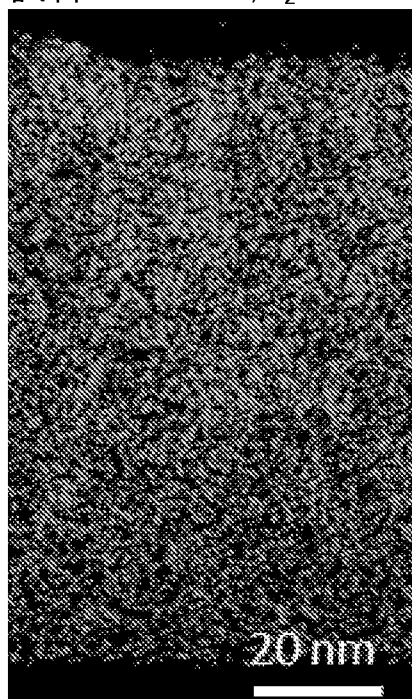
[図14]

14/78

(A)

試料 A2: 130°C, O₂=10%

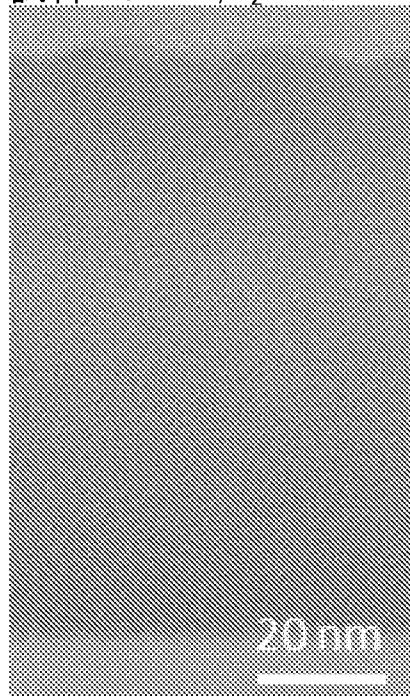
(B)

試料 A2: 130°C, O₂=10%

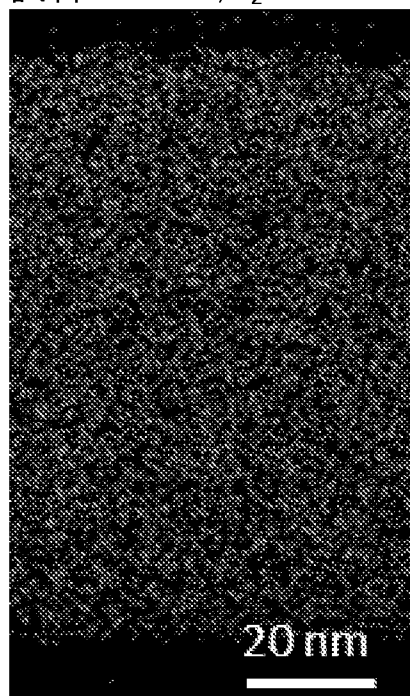
[図15]

15/78

(A)

試料 A3 : R.T., O₂=10%

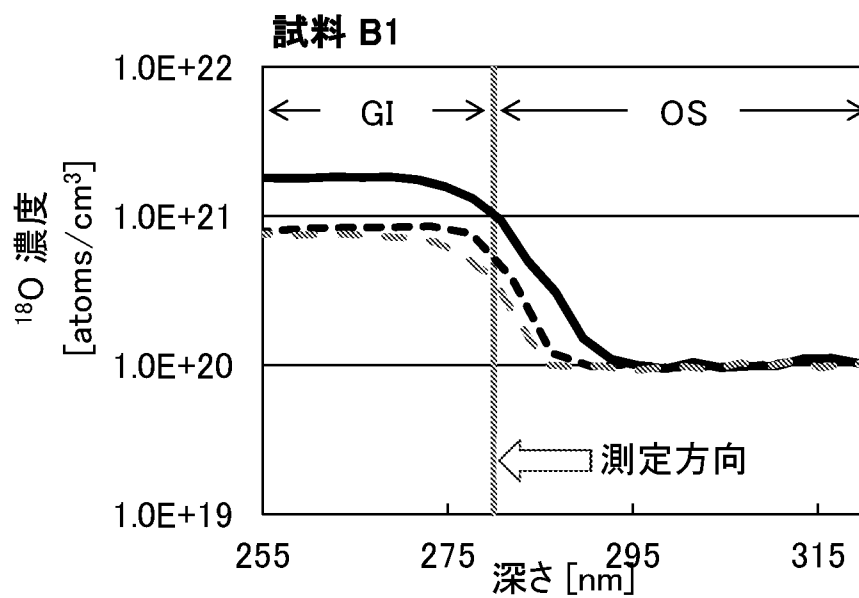
(B)

試料 A3 : R.T., O₂=10%

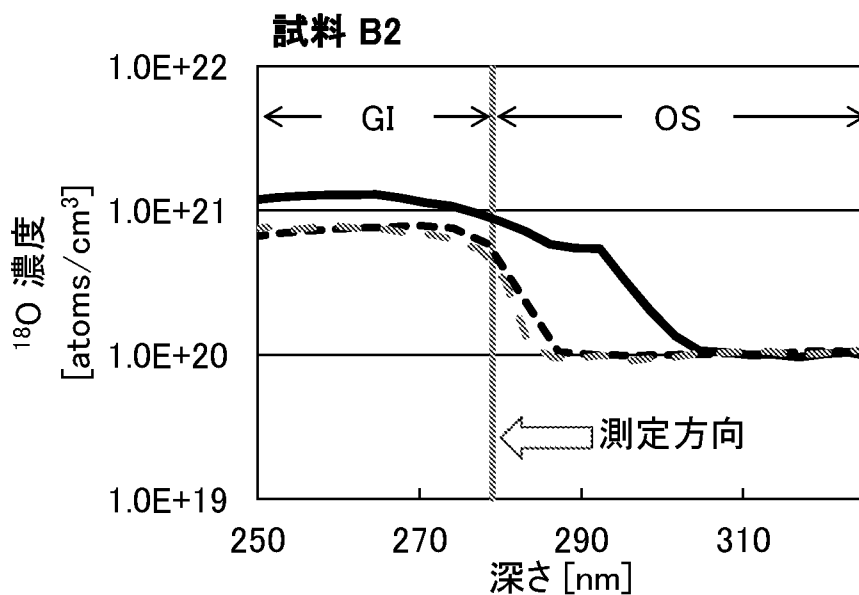
[図16]

16/78

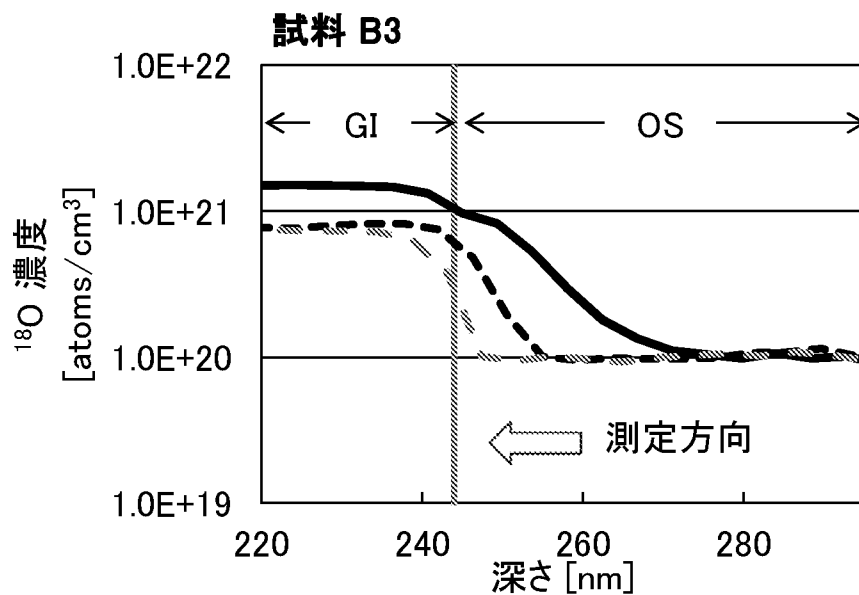
(A)



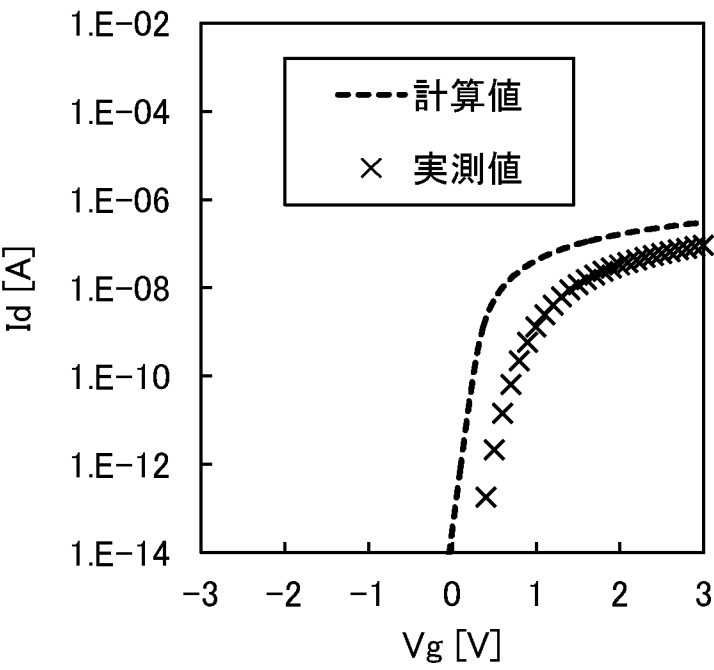
(B)



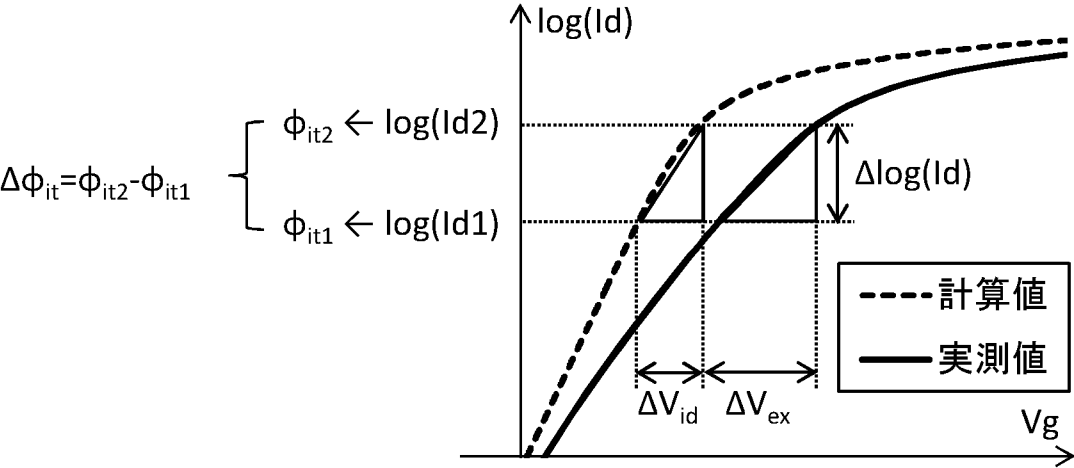
(C)



[図17]

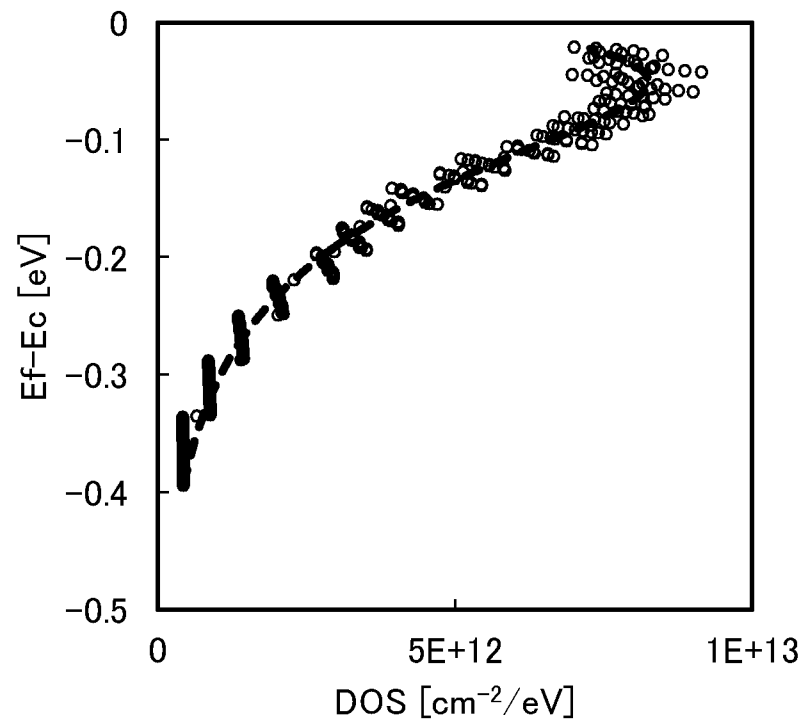


[図18]



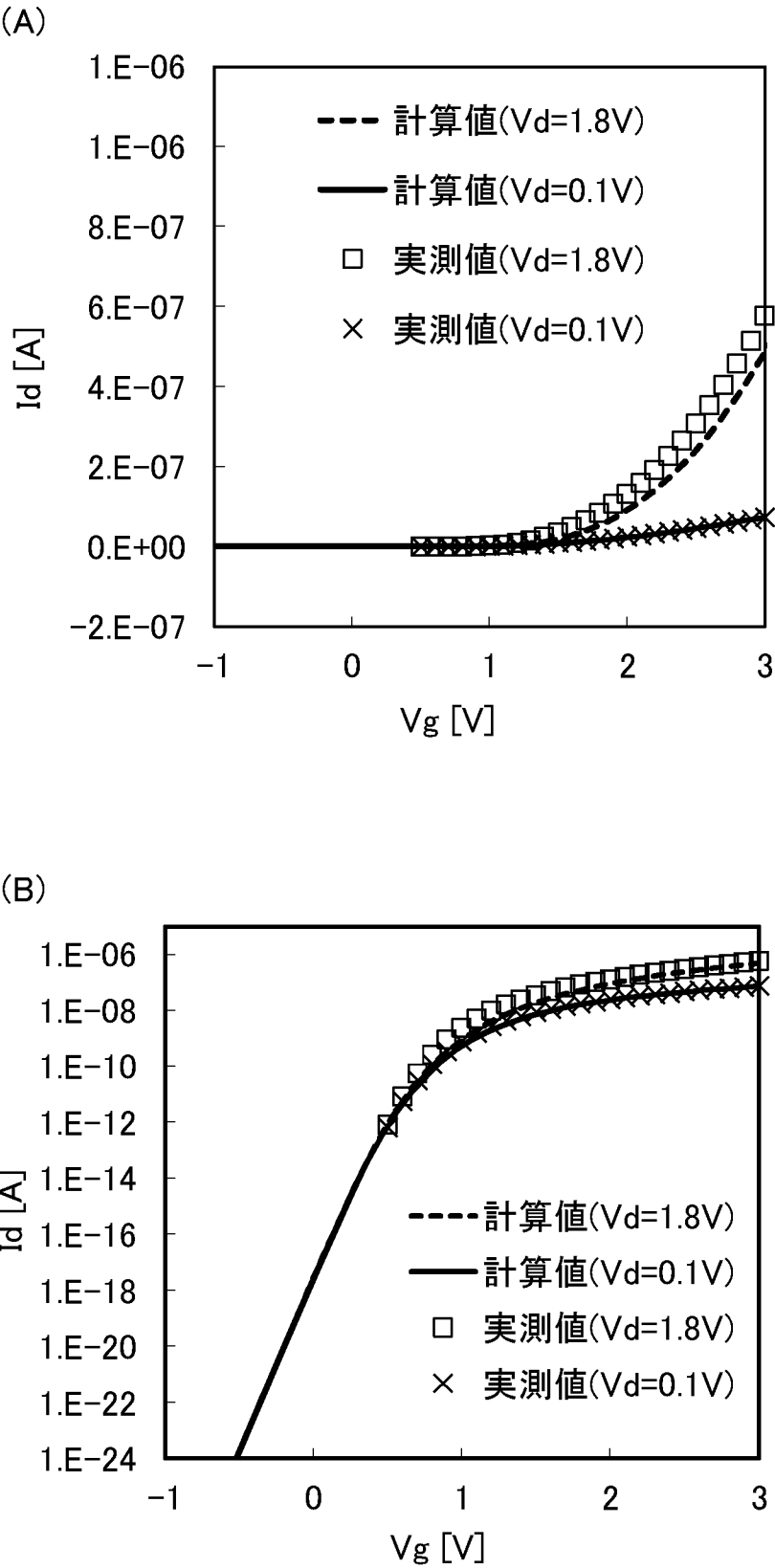
19/78

[図19]



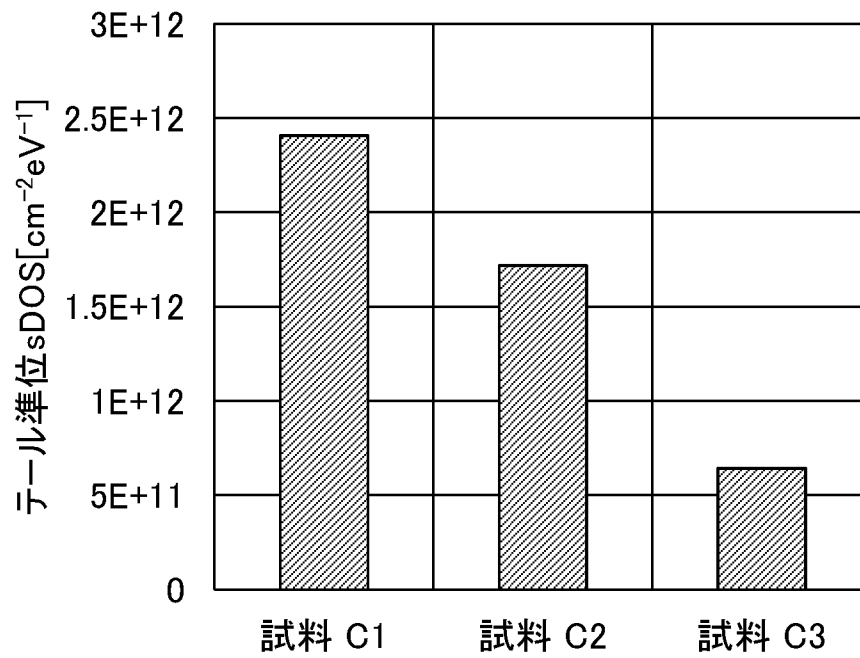
[図20]

20/78



[図21]

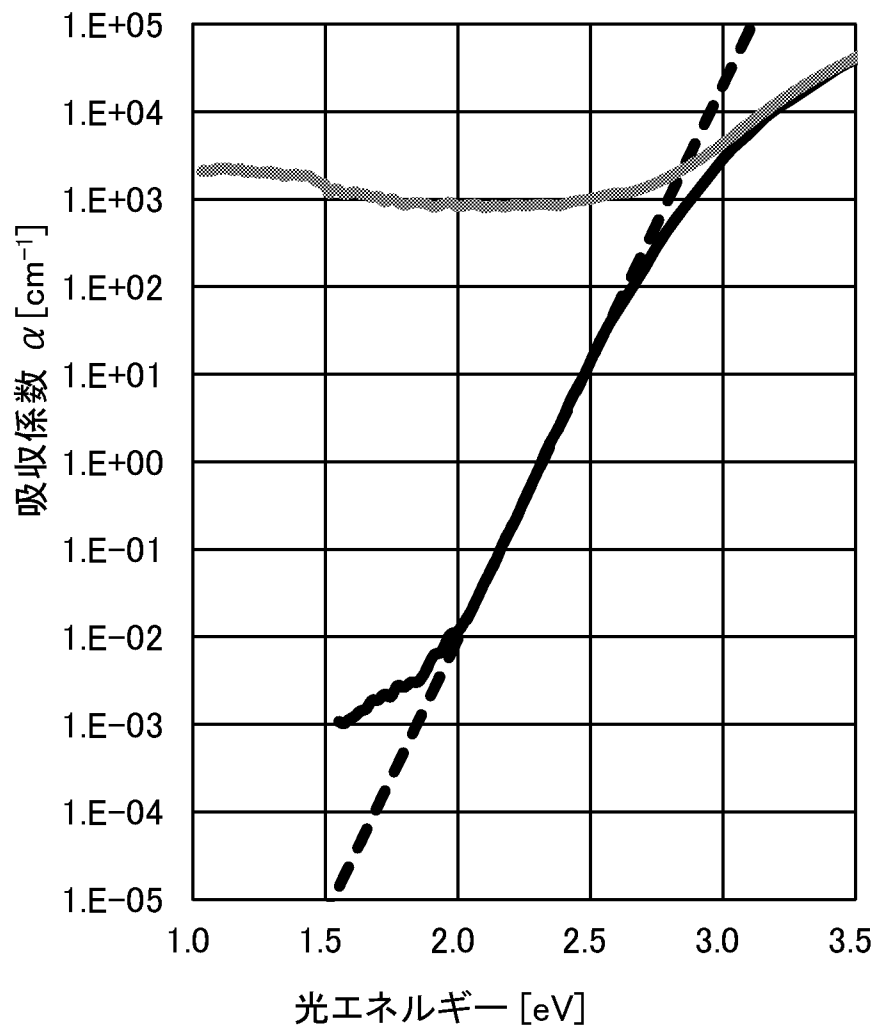
21/78

 $L/W=6/50\ \mu\text{m}$ 

[図22]

22/78

試料 D1



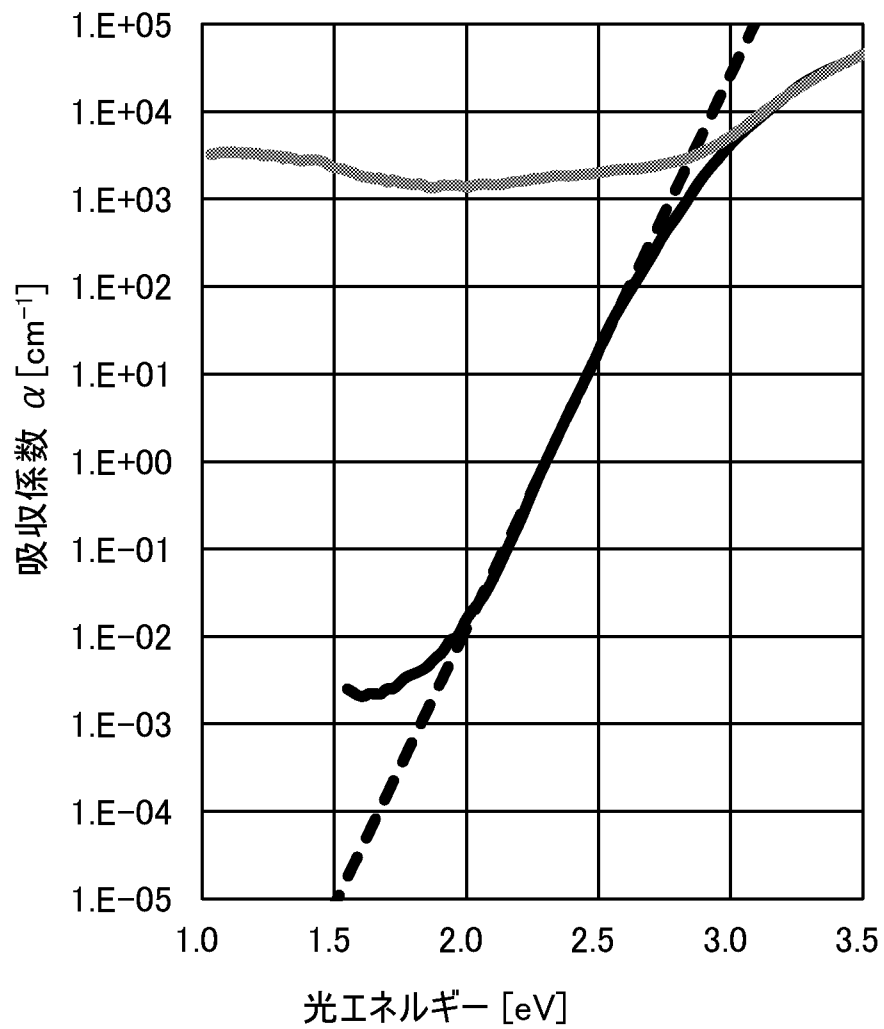
アーバックテール: 68.70[meV]

欠陥準位による吸収: $1.21E-3[\text{cm}^{-1}]$

[図23]

23/78

試料 D2



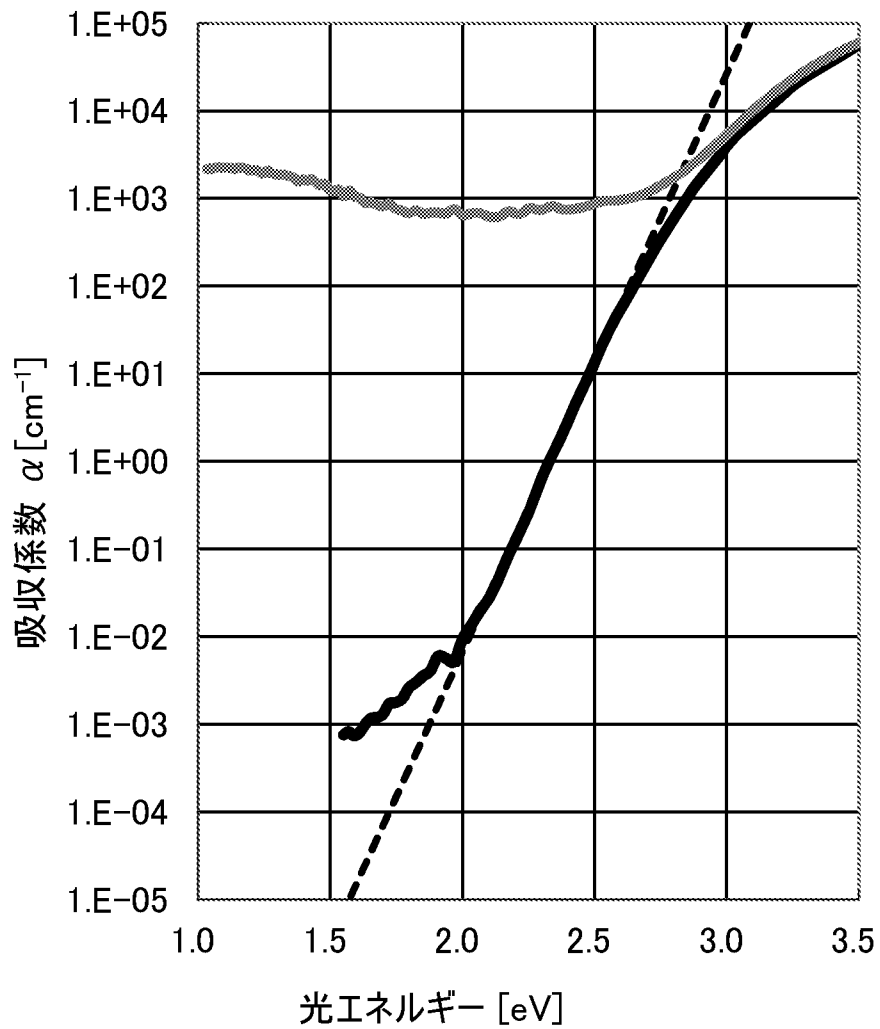
アーバックテール: 64.46[meV]

欠陥準位による吸収: $1.36E-3[\text{cm}^{-1}]$

[図24]

24/78

試料 D3



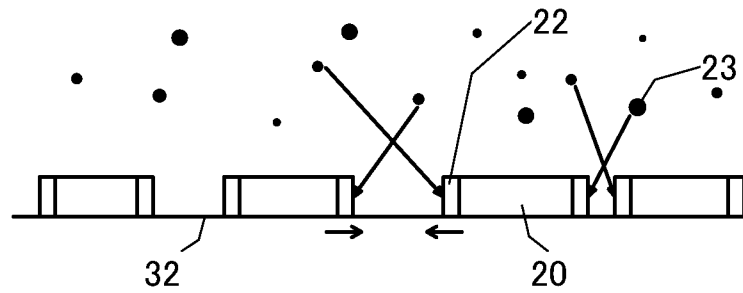
アーバックテール: 65.83[meV]

欠陥準位による吸収: $1.04E-3[\text{cm}^{-1}]$

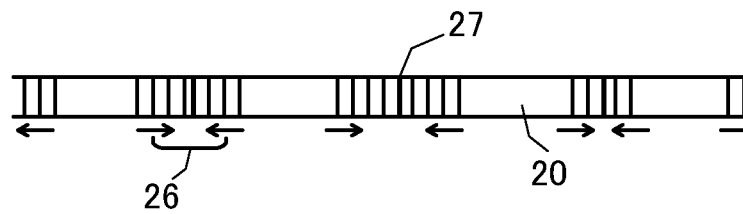
25/78

[図25]

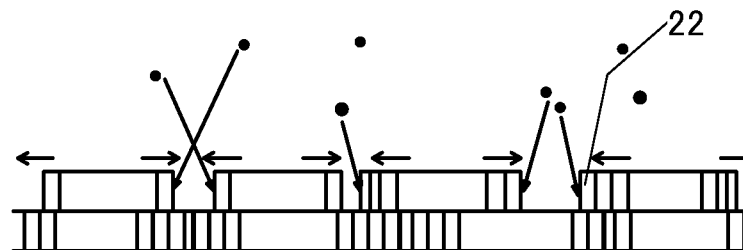
(A)



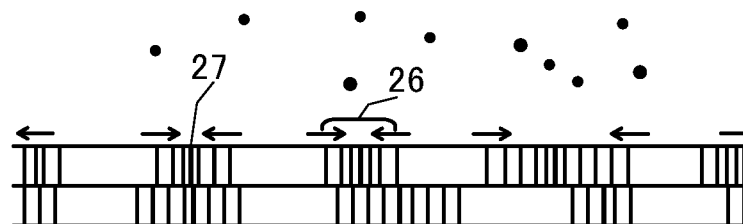
(B)



(C)

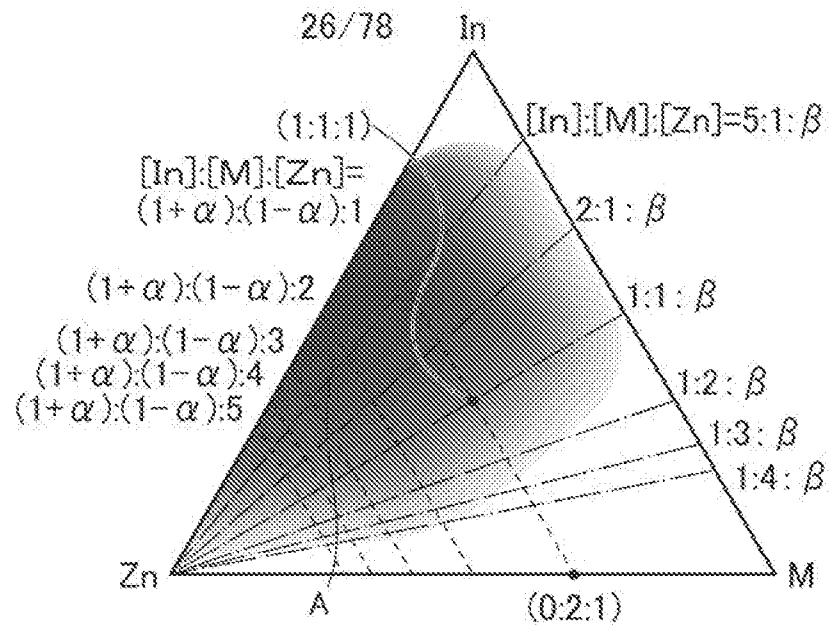


(D)

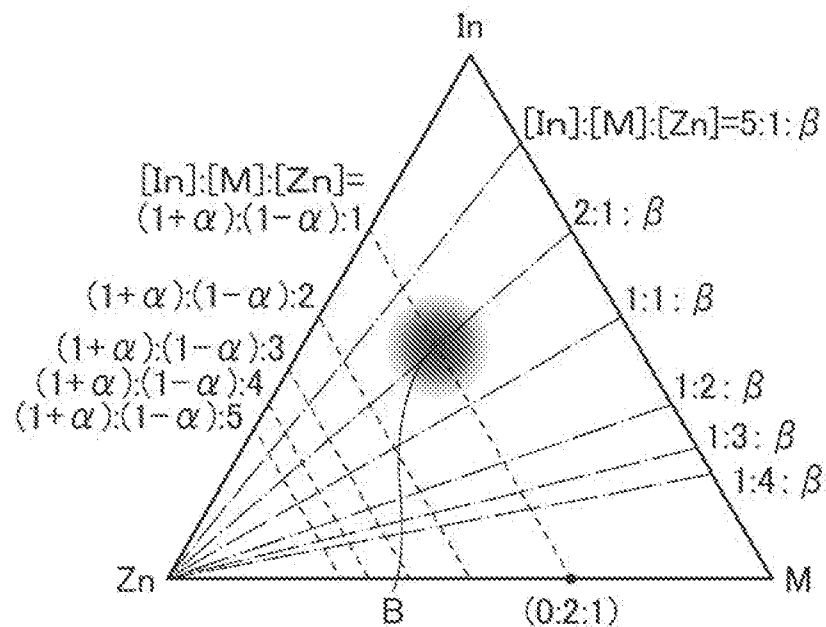


[図26]

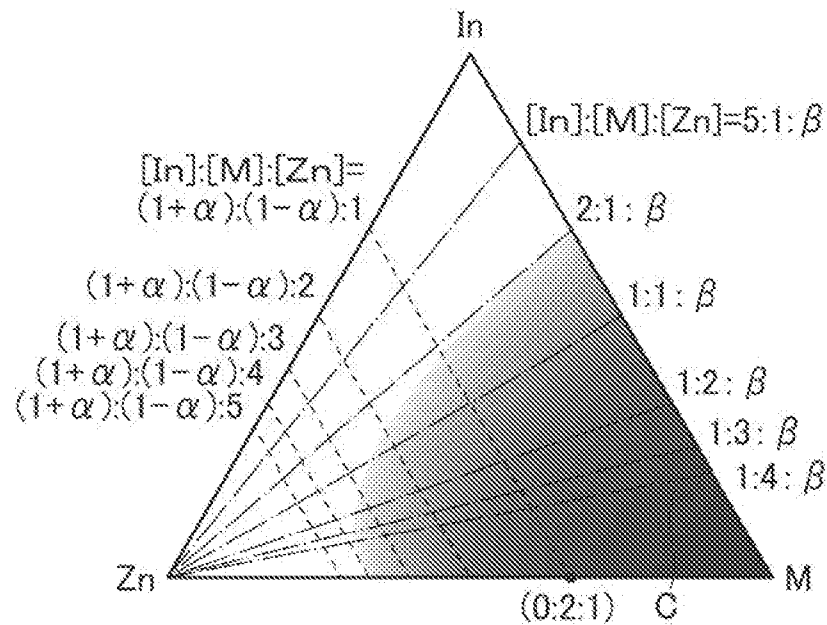
(A)



(B)

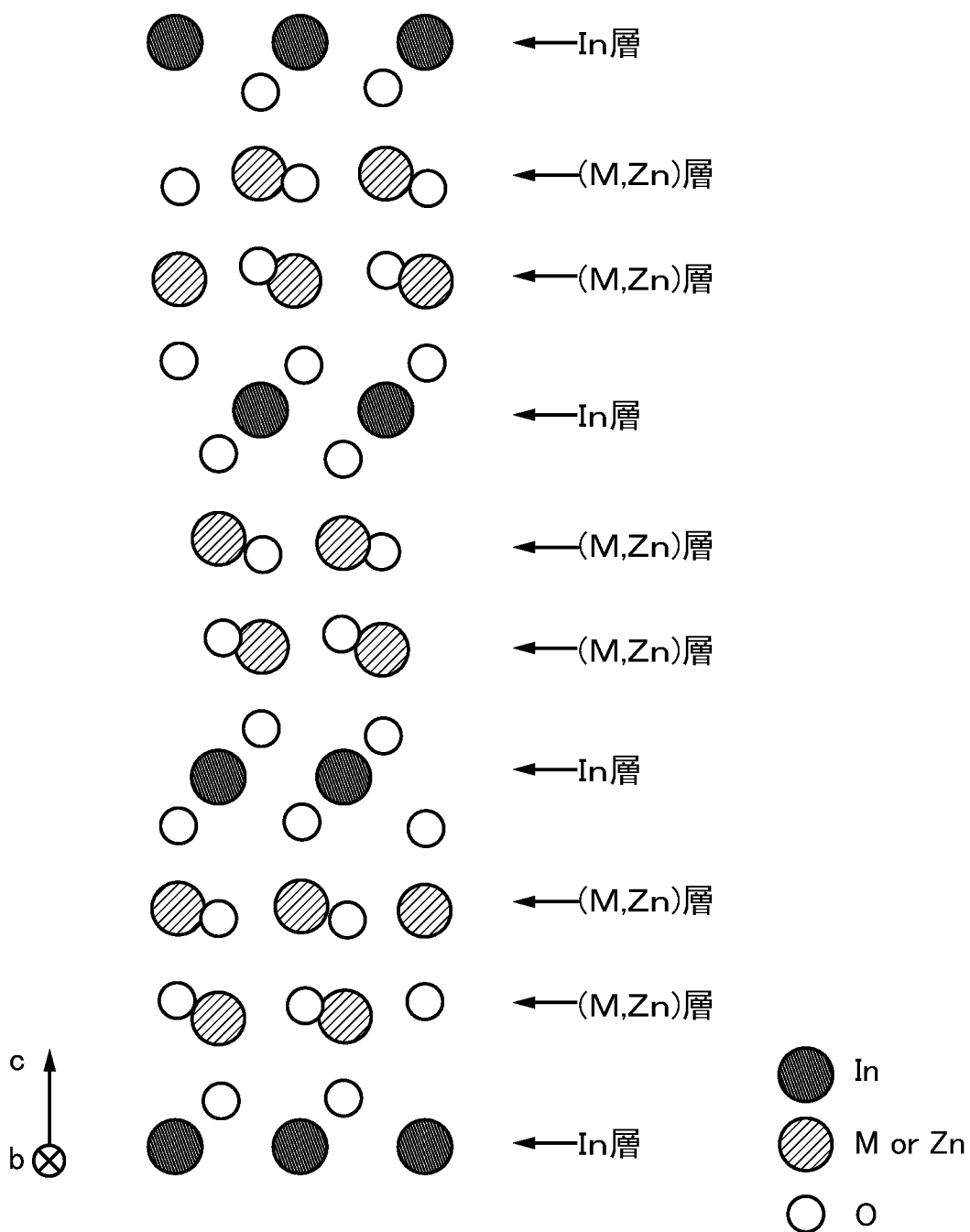


(C)

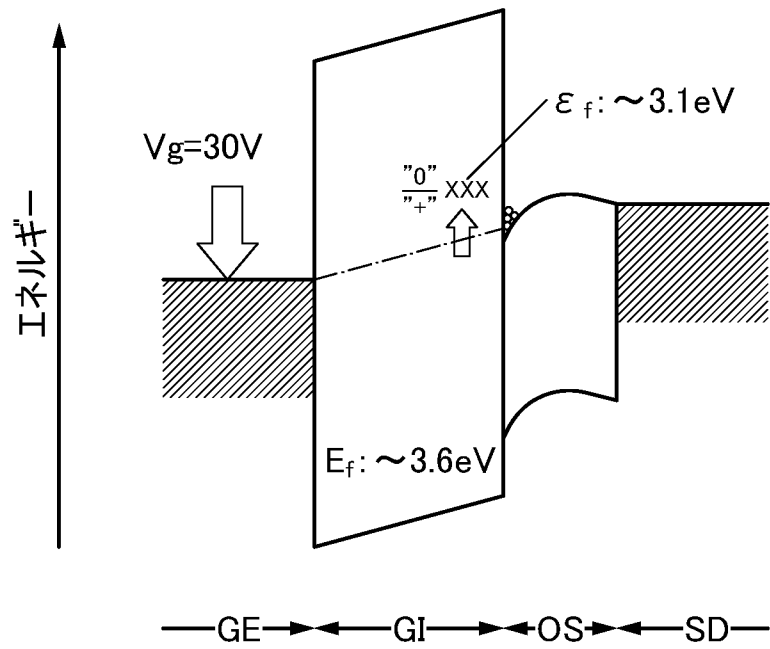


[図27]

27/78

InMZnO₄の結晶構造

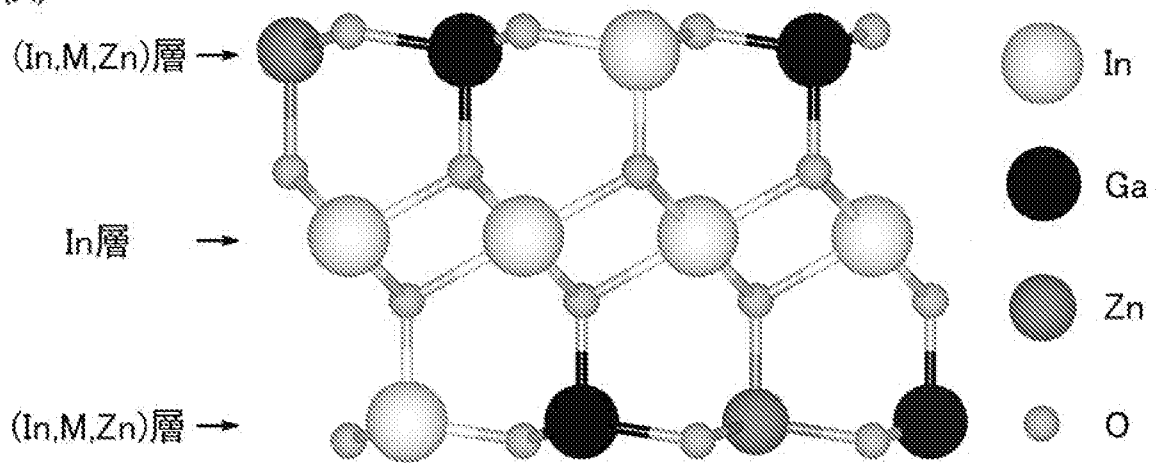
[図28]



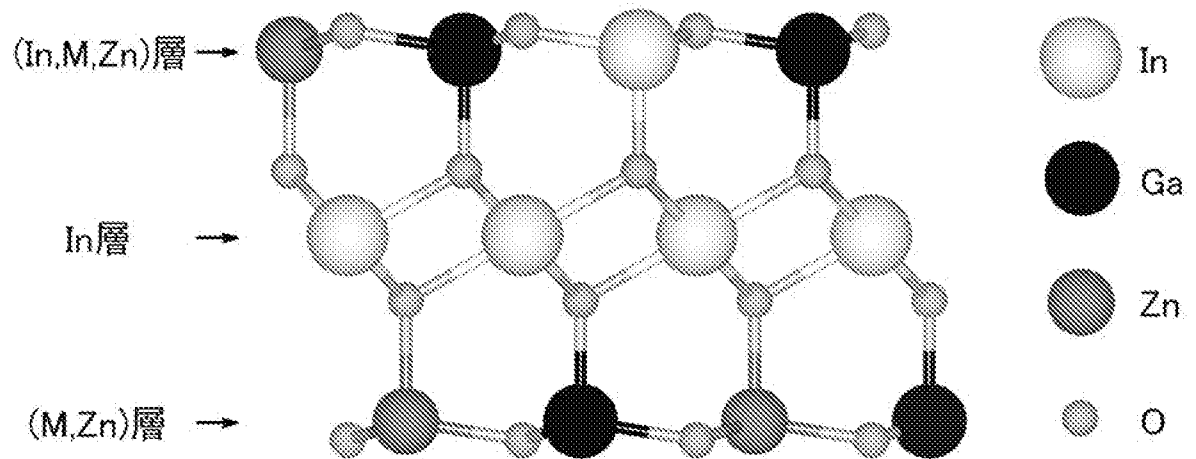
[図29]

29/78

(A)



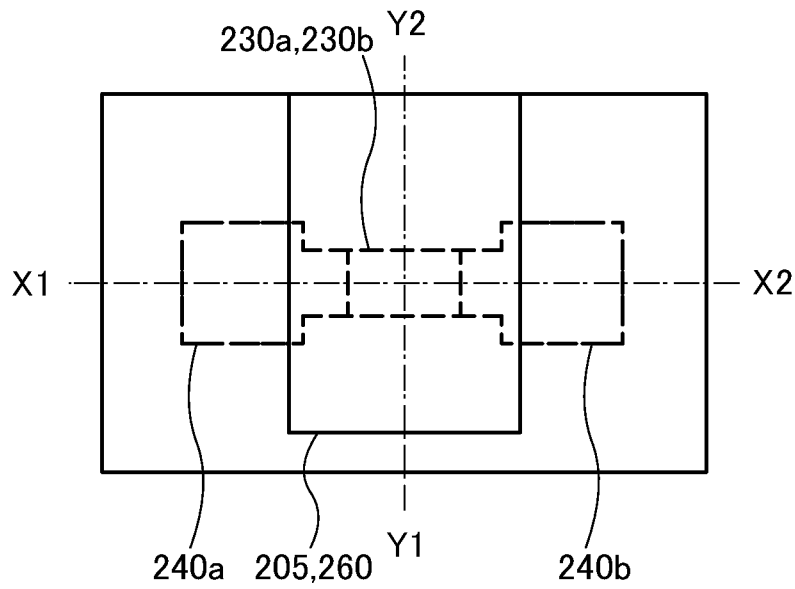
(B)



[図30]

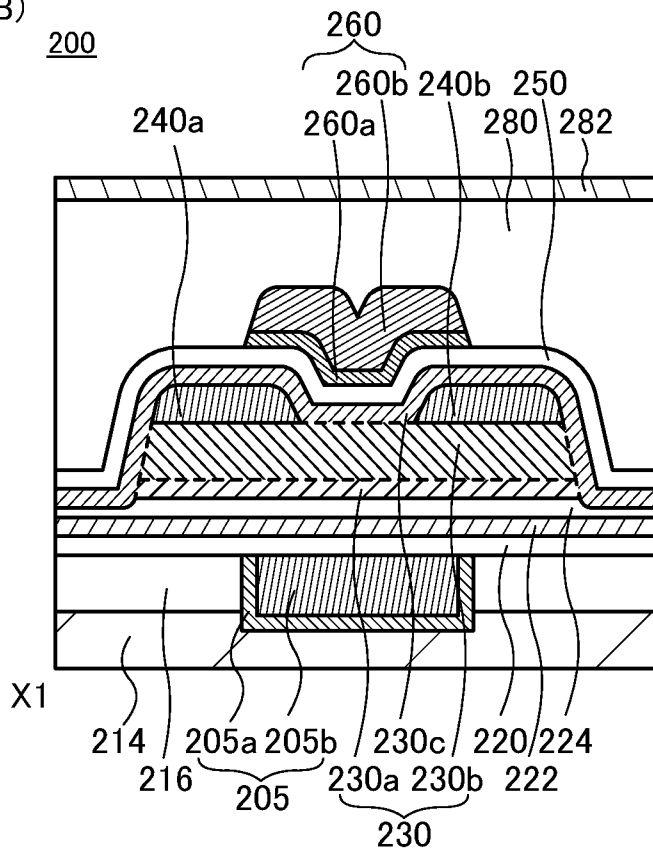
(A)

200



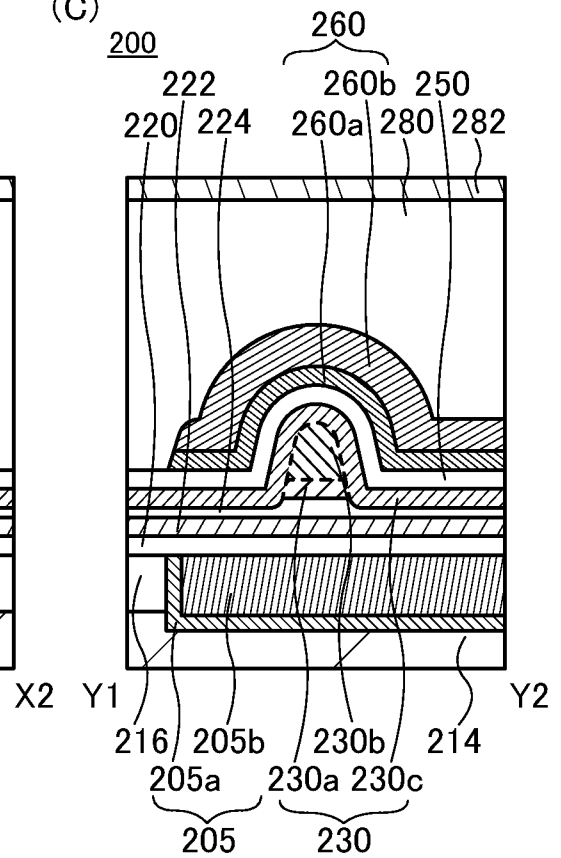
(B)

200



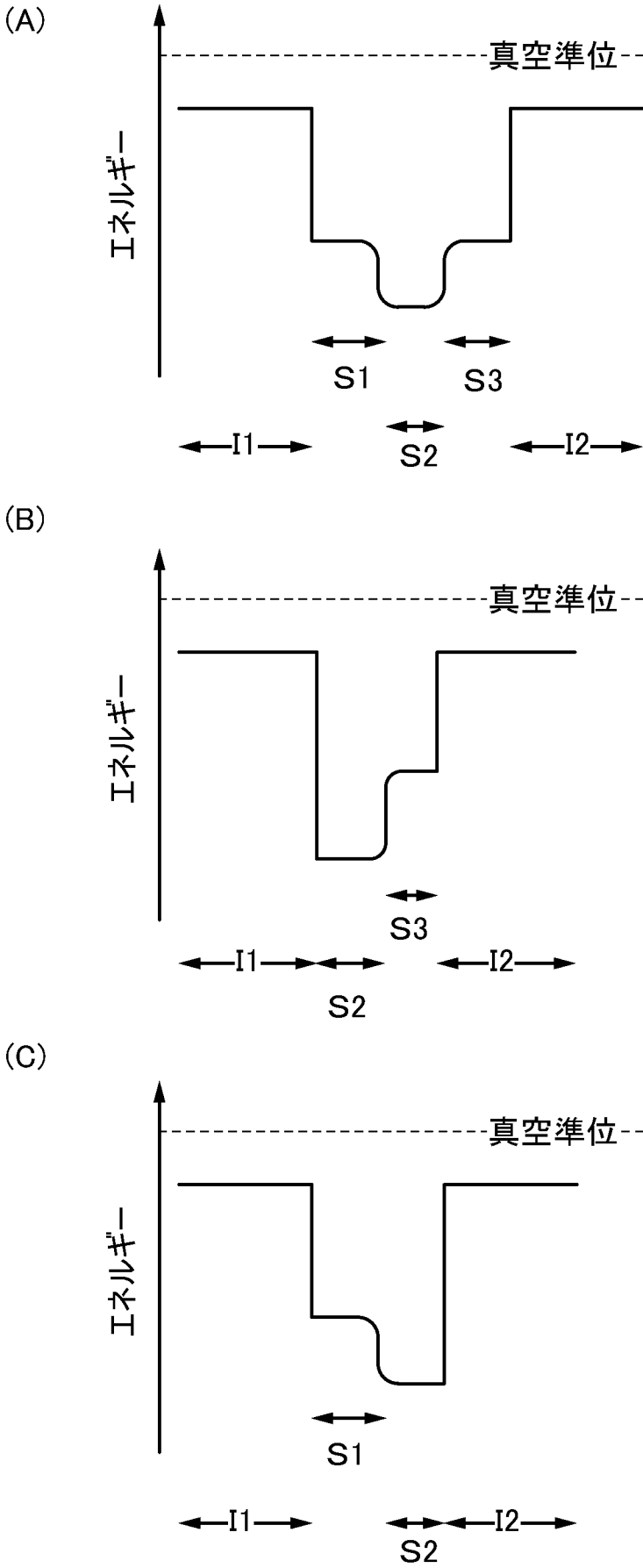
(C)

200



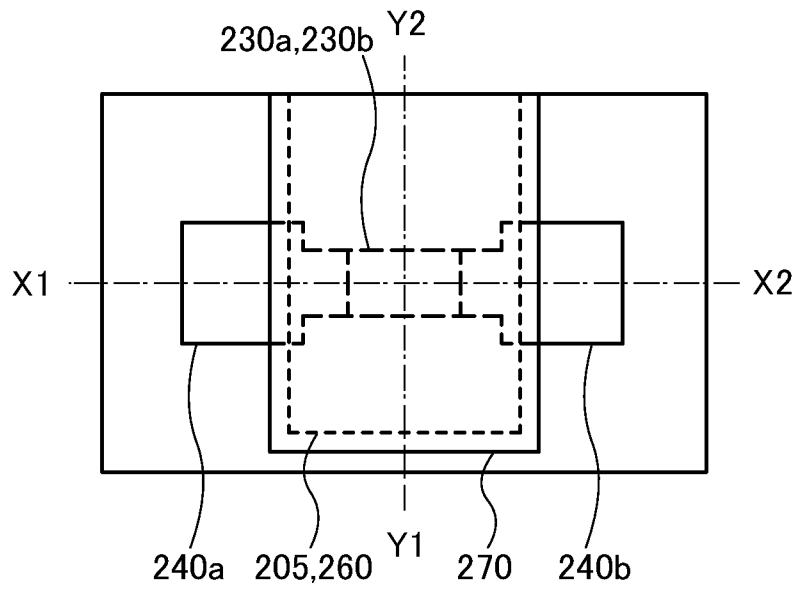
[図31]

31/78

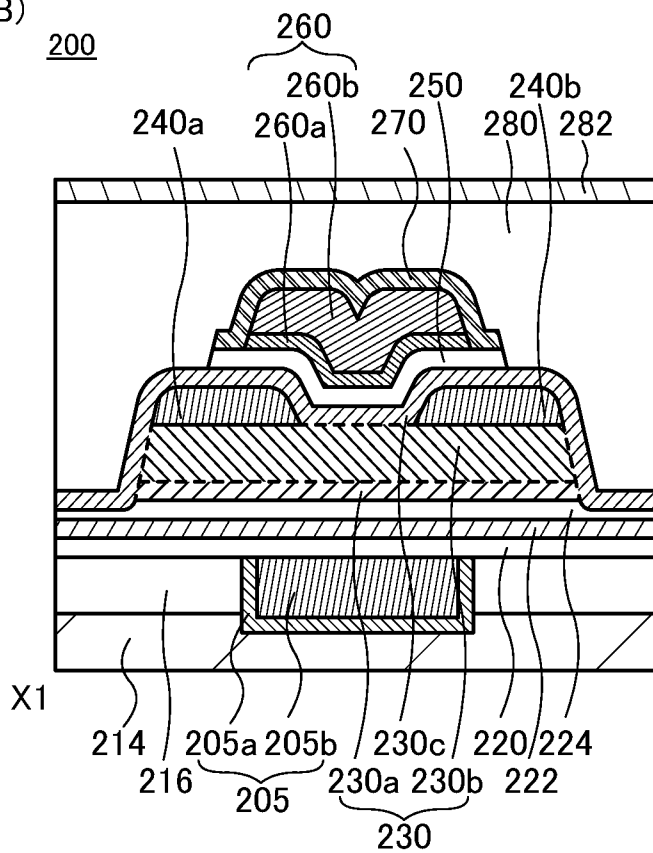


[図32]

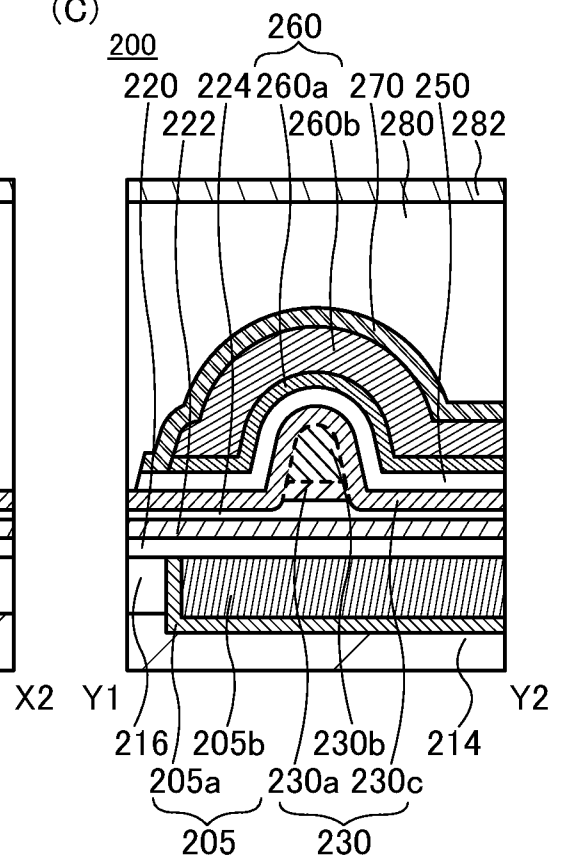
(A)

200

(B)

200

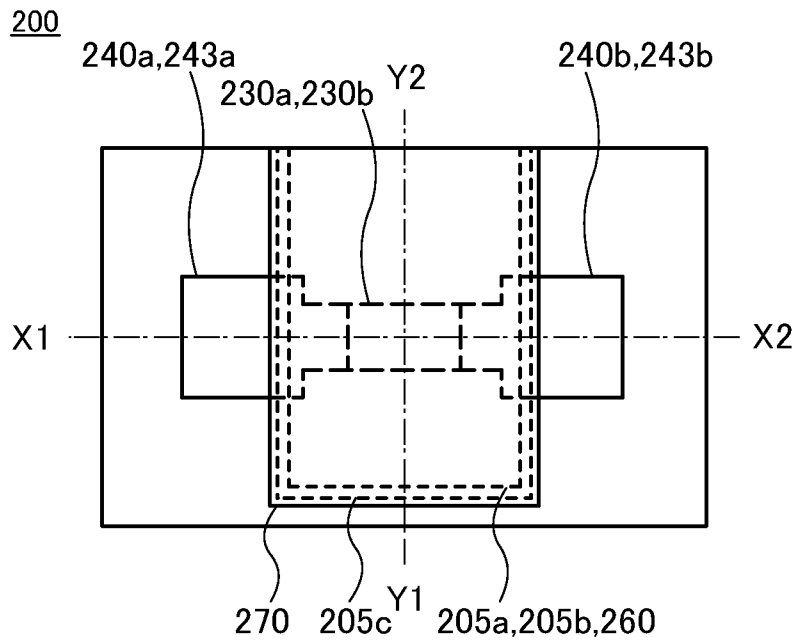
(C)

200

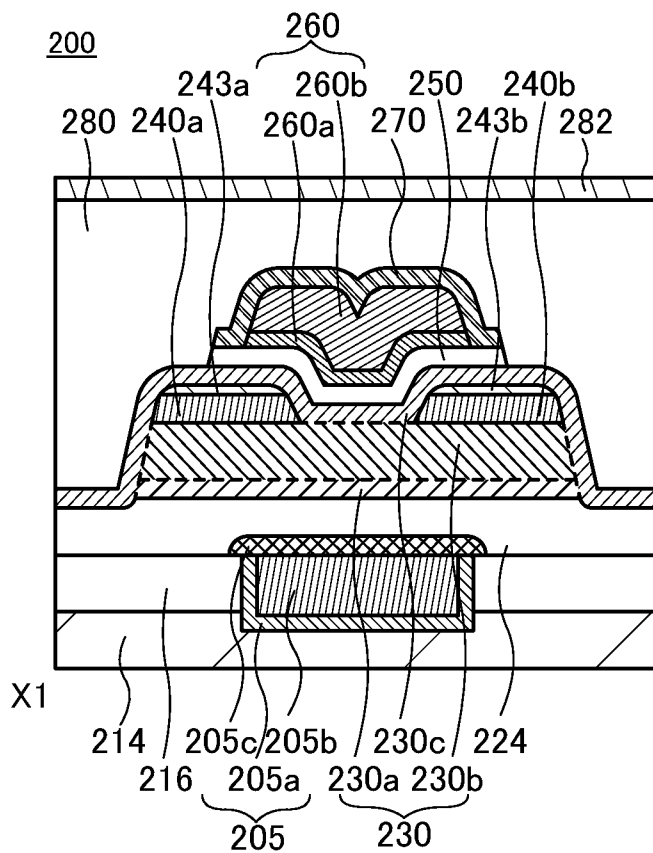
[図33]

33/78

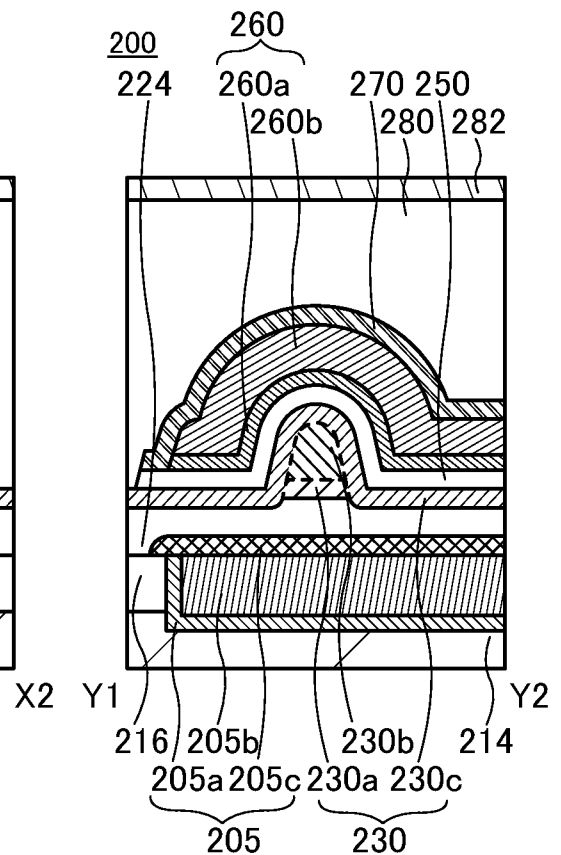
(A)



(B)



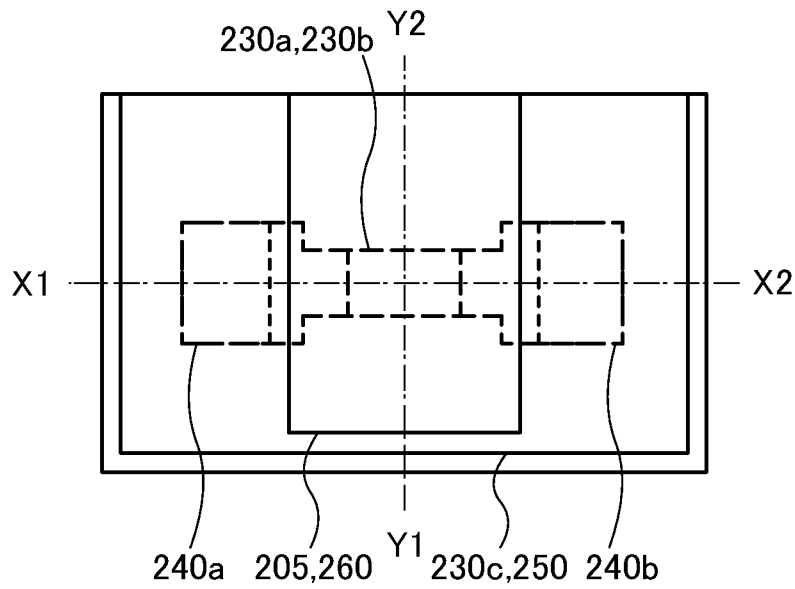
(C)



[図34]

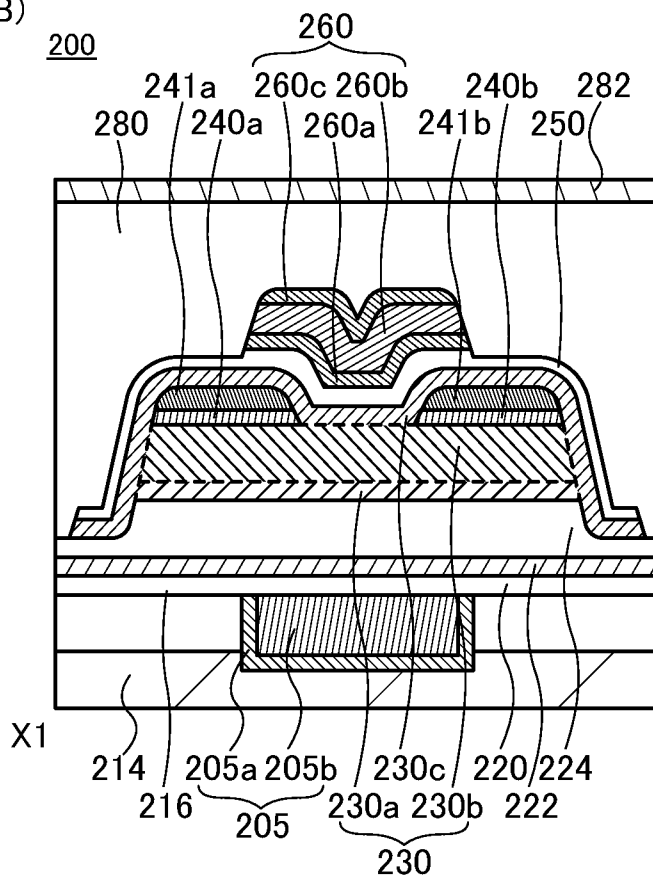
(A)

200



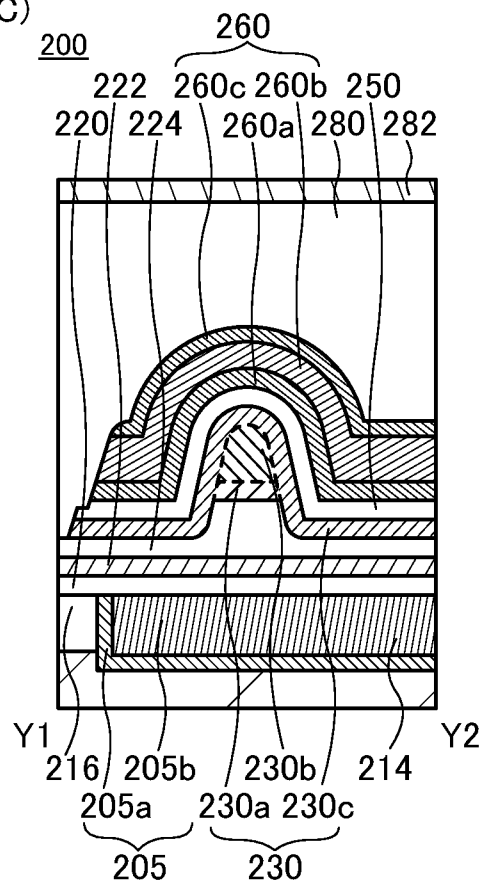
(B)

200



(C)

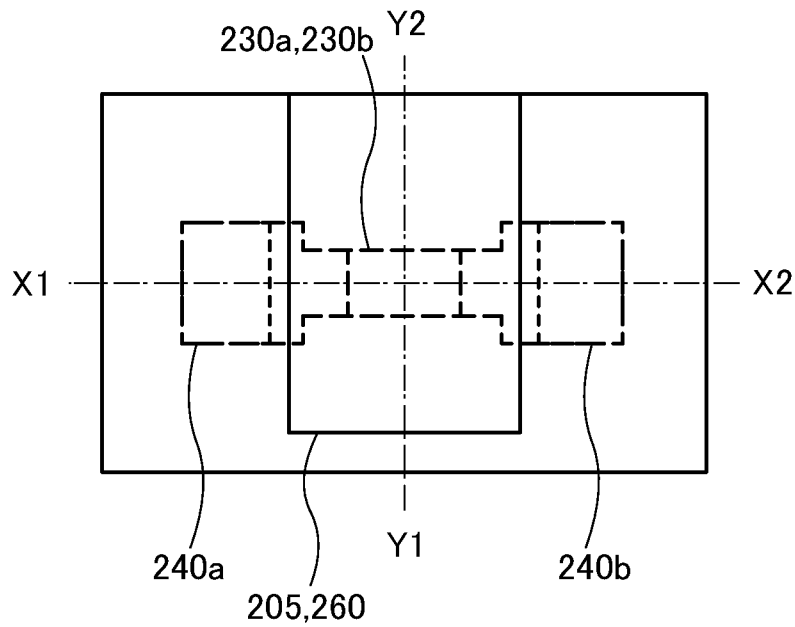
200



[図35]

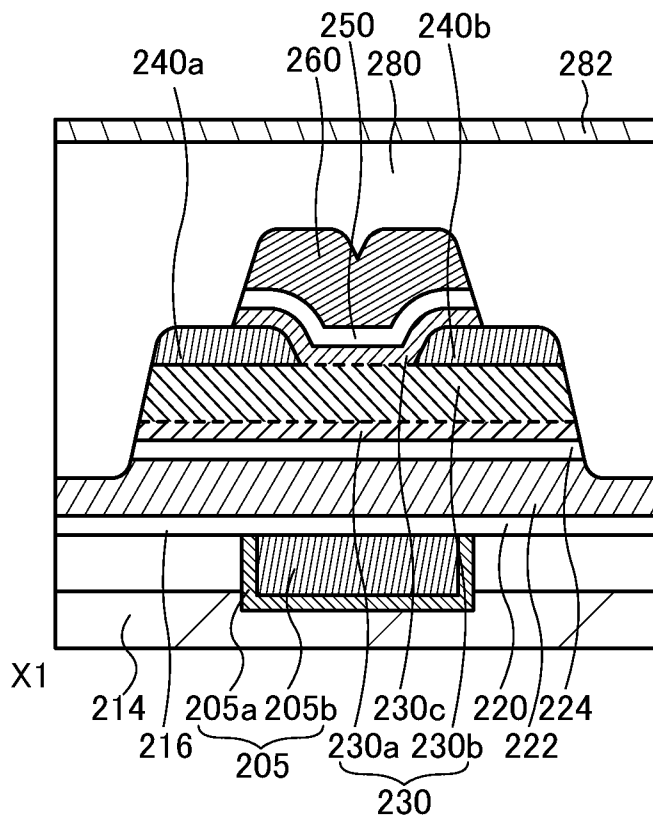
(A)

200



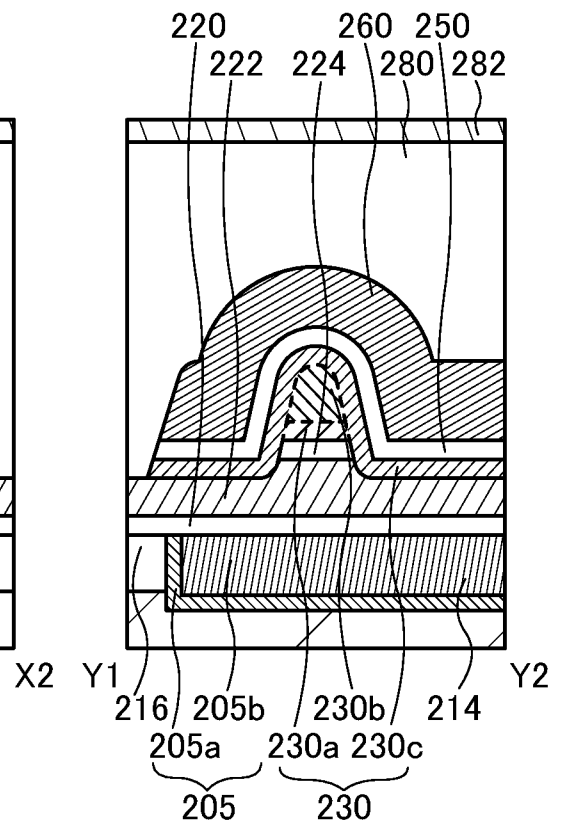
(B)

200



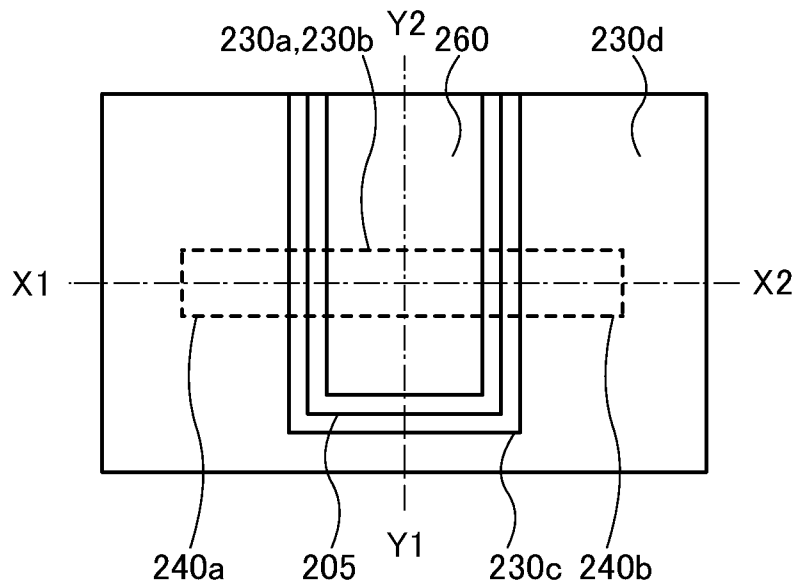
(C)

200

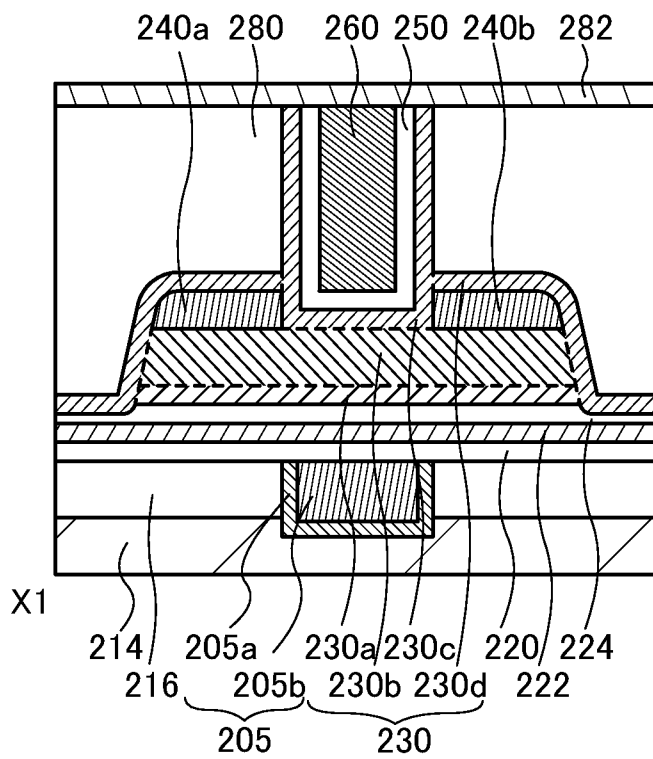


[図36]

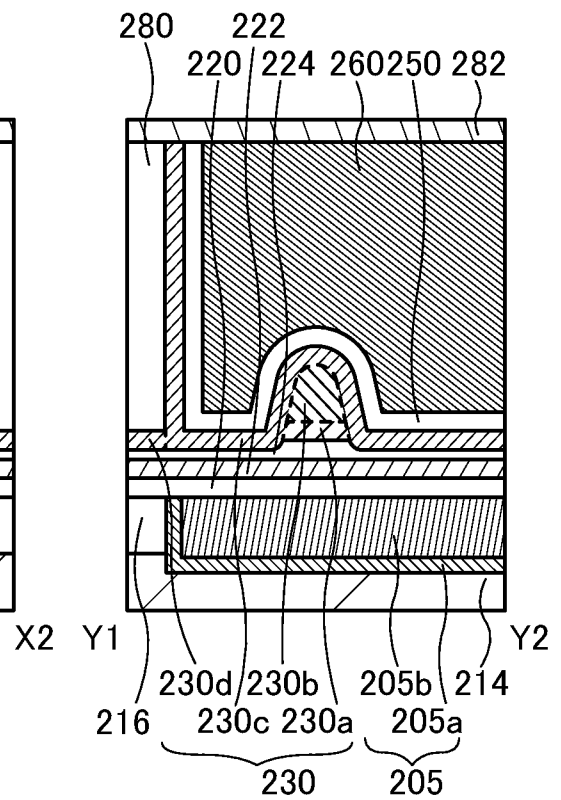
(A)

200

(B)

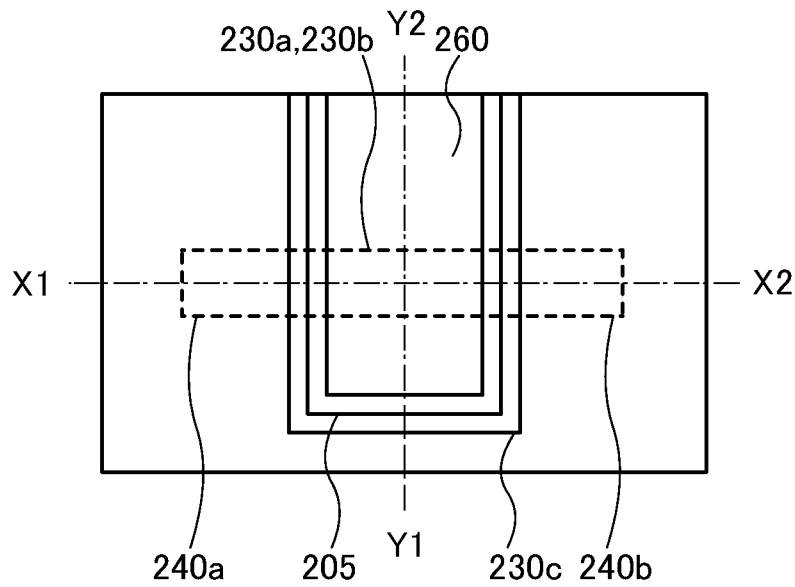
200

(C)

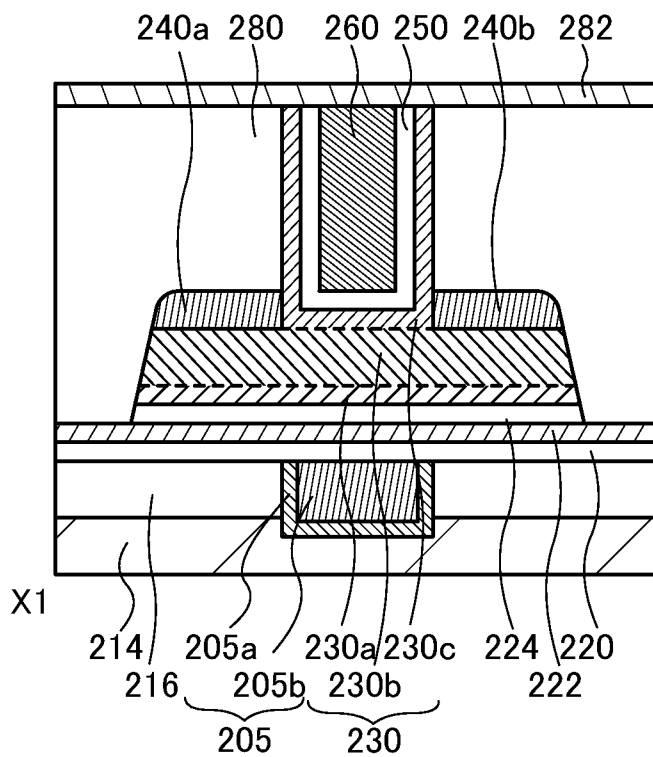
200

[図37]

(A) 200

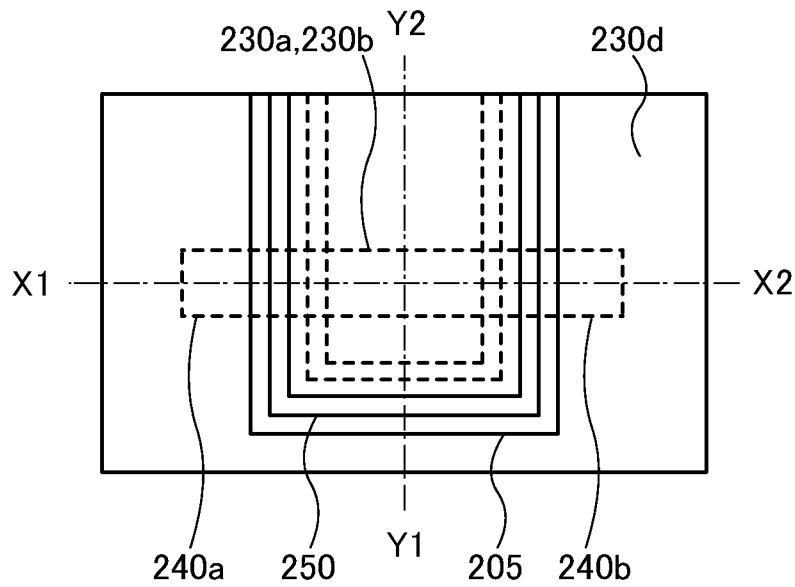


(B) 200

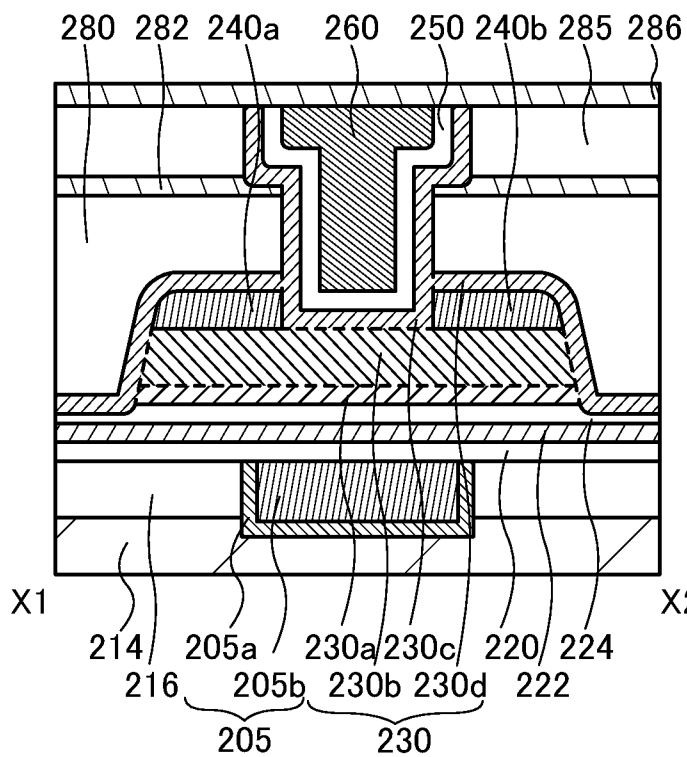
[illegible]

[図38]

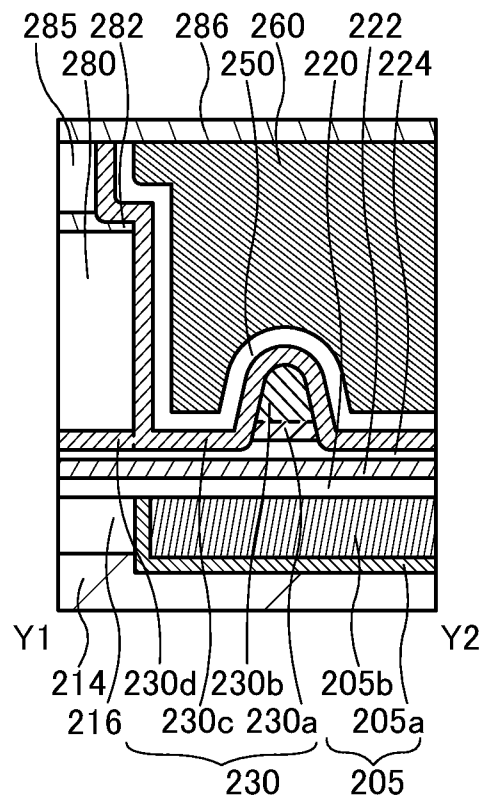
(A)

200

(B)

200

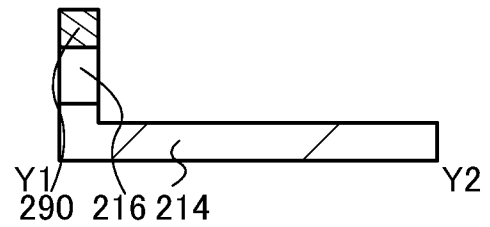
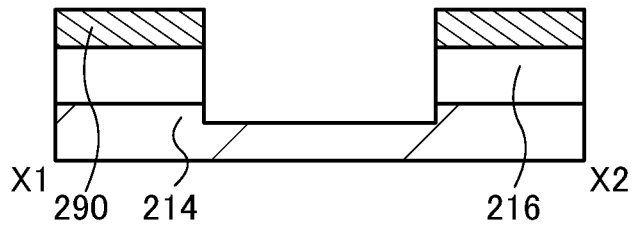
(C)

200

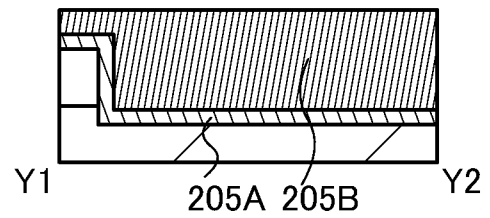
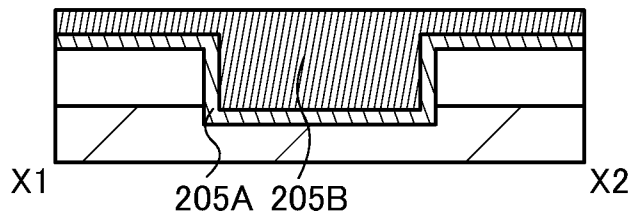
[図39]

39/78

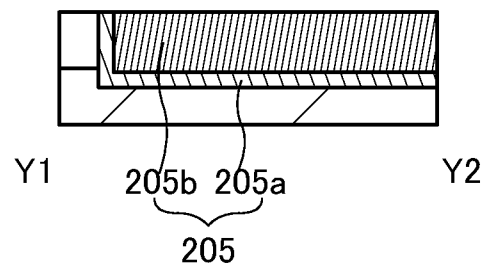
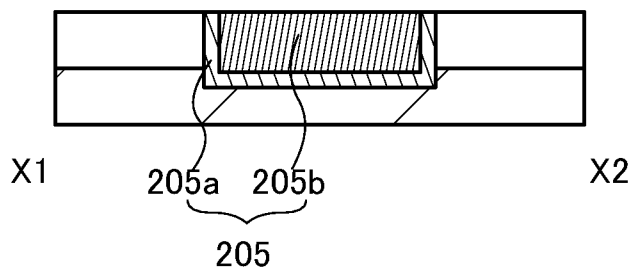
(A)



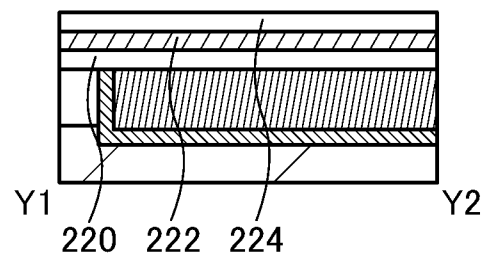
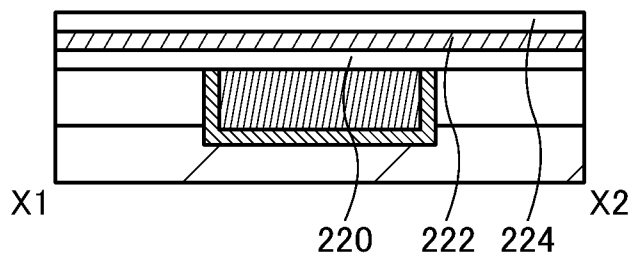
(B)



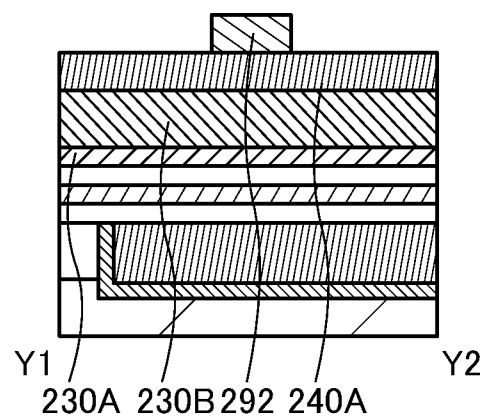
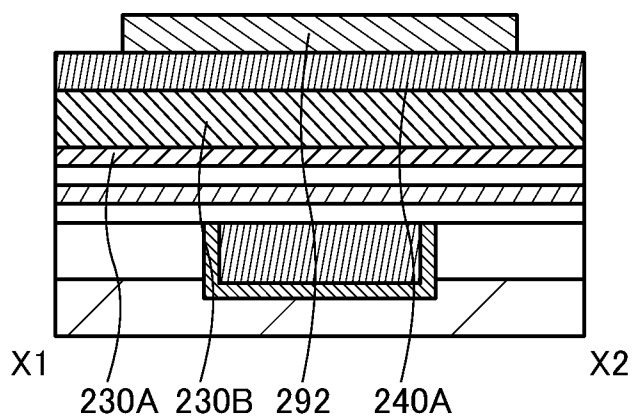
(C)



(D)



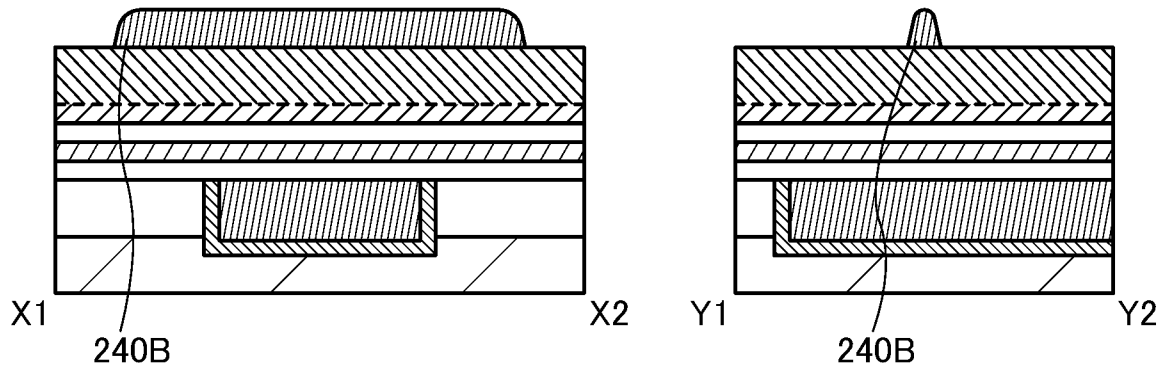
(E)



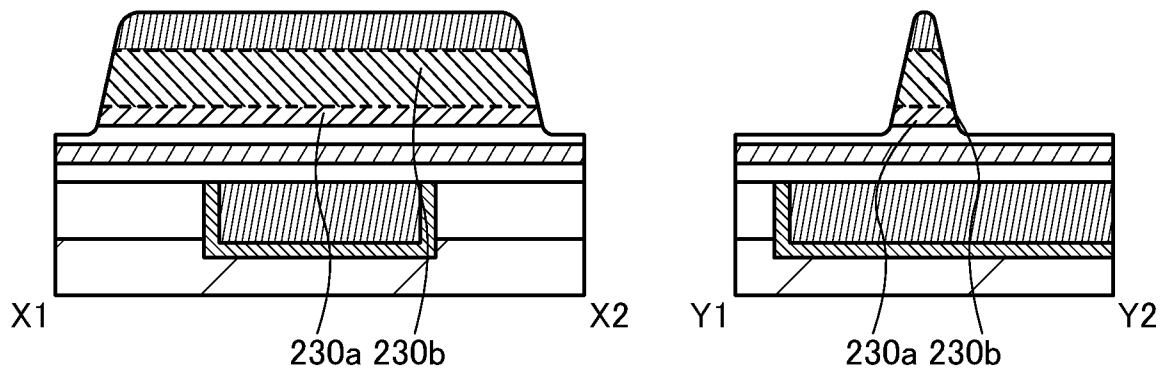
[図40]

40/78

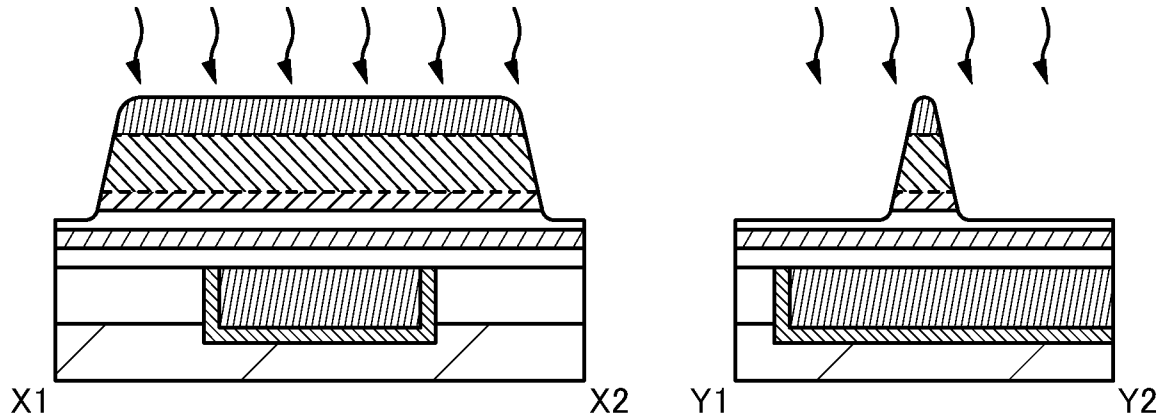
(A)



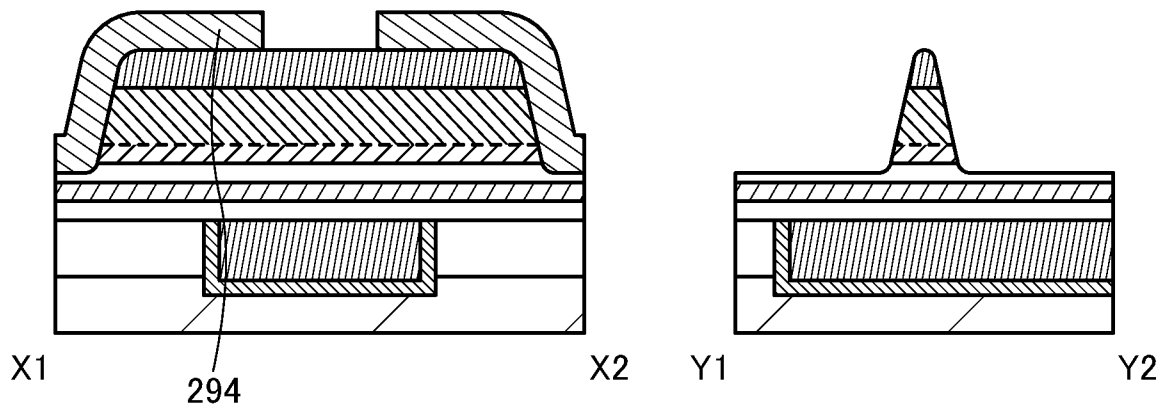
(B)



(C)

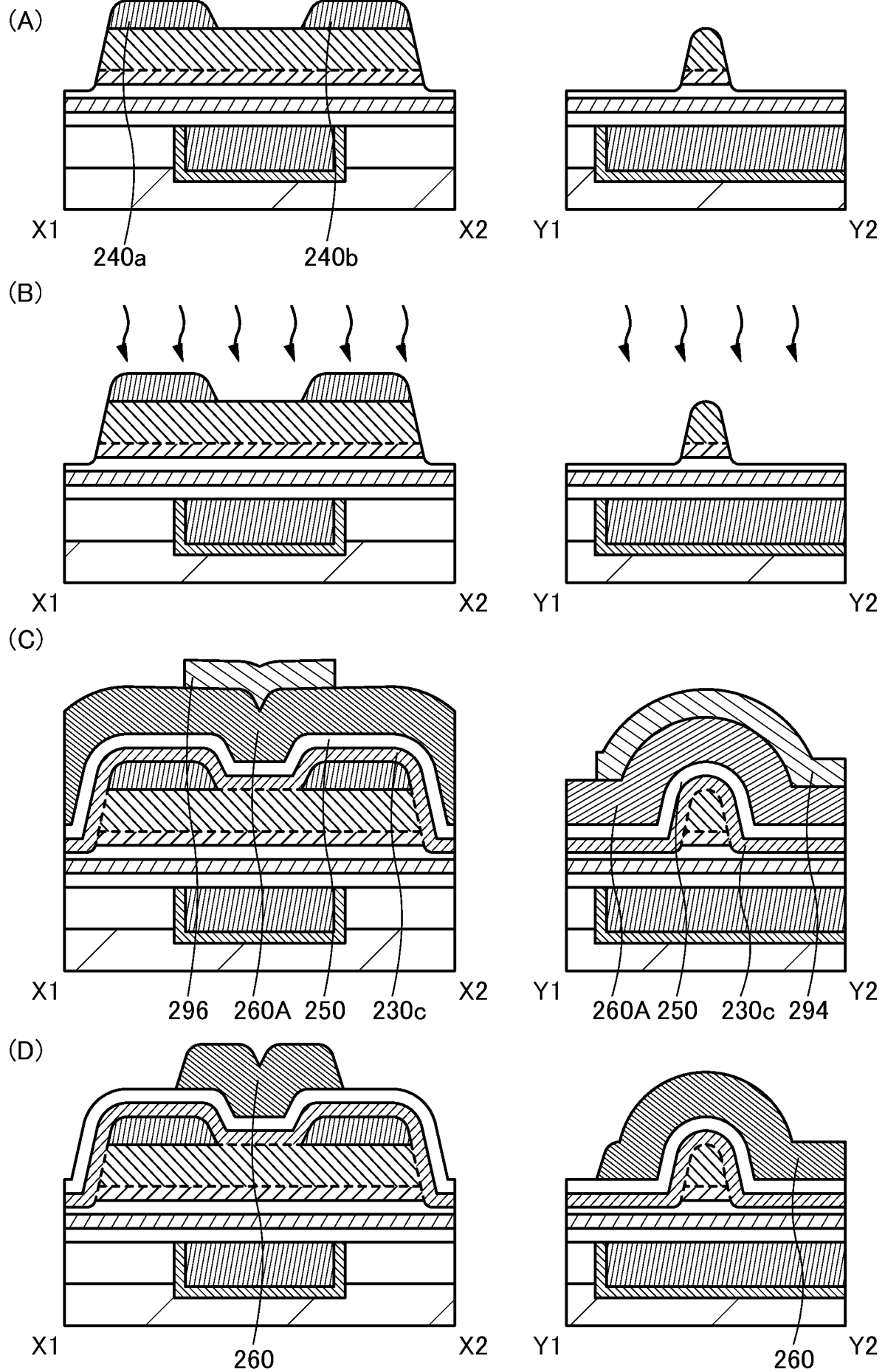


(D)



[図41]

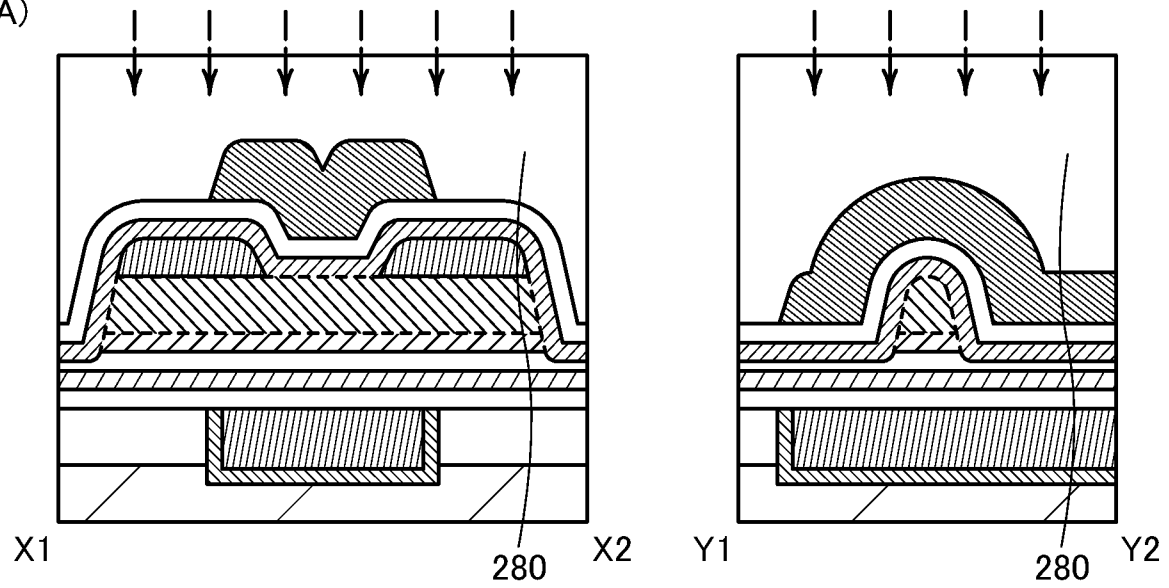
41/78



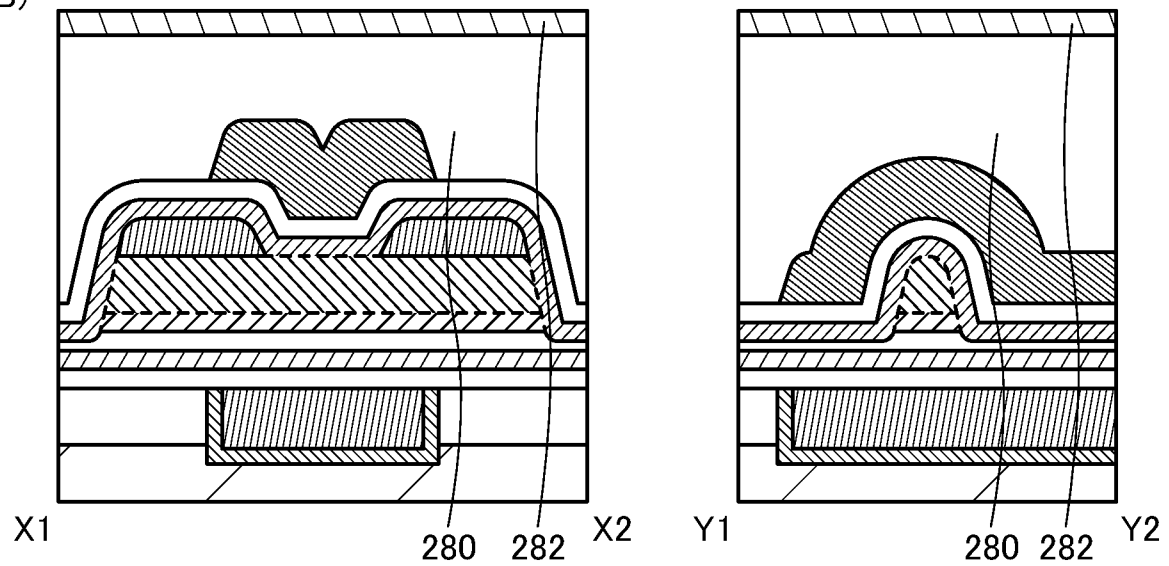
[圖 42]

42/78

(A)



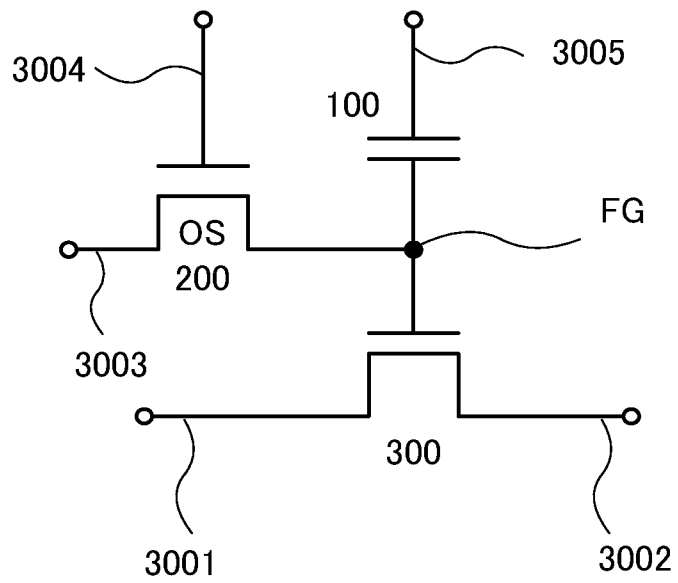
(B)



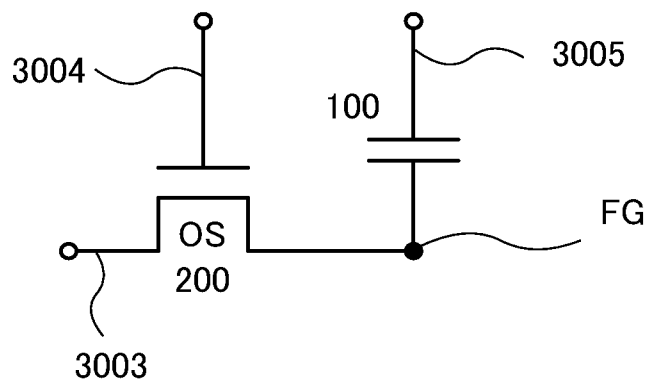
[図43]

43/78

(A)

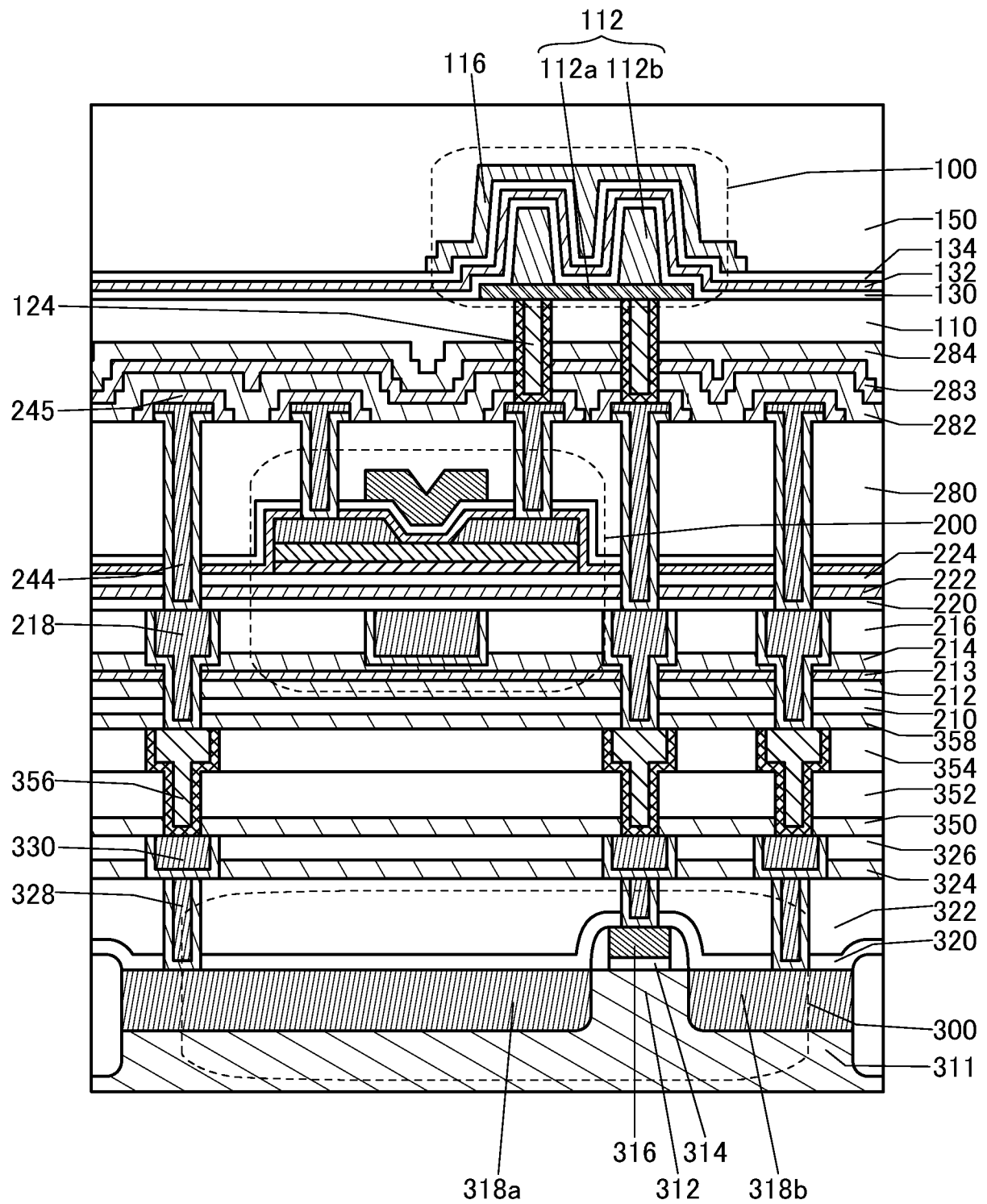


(B)



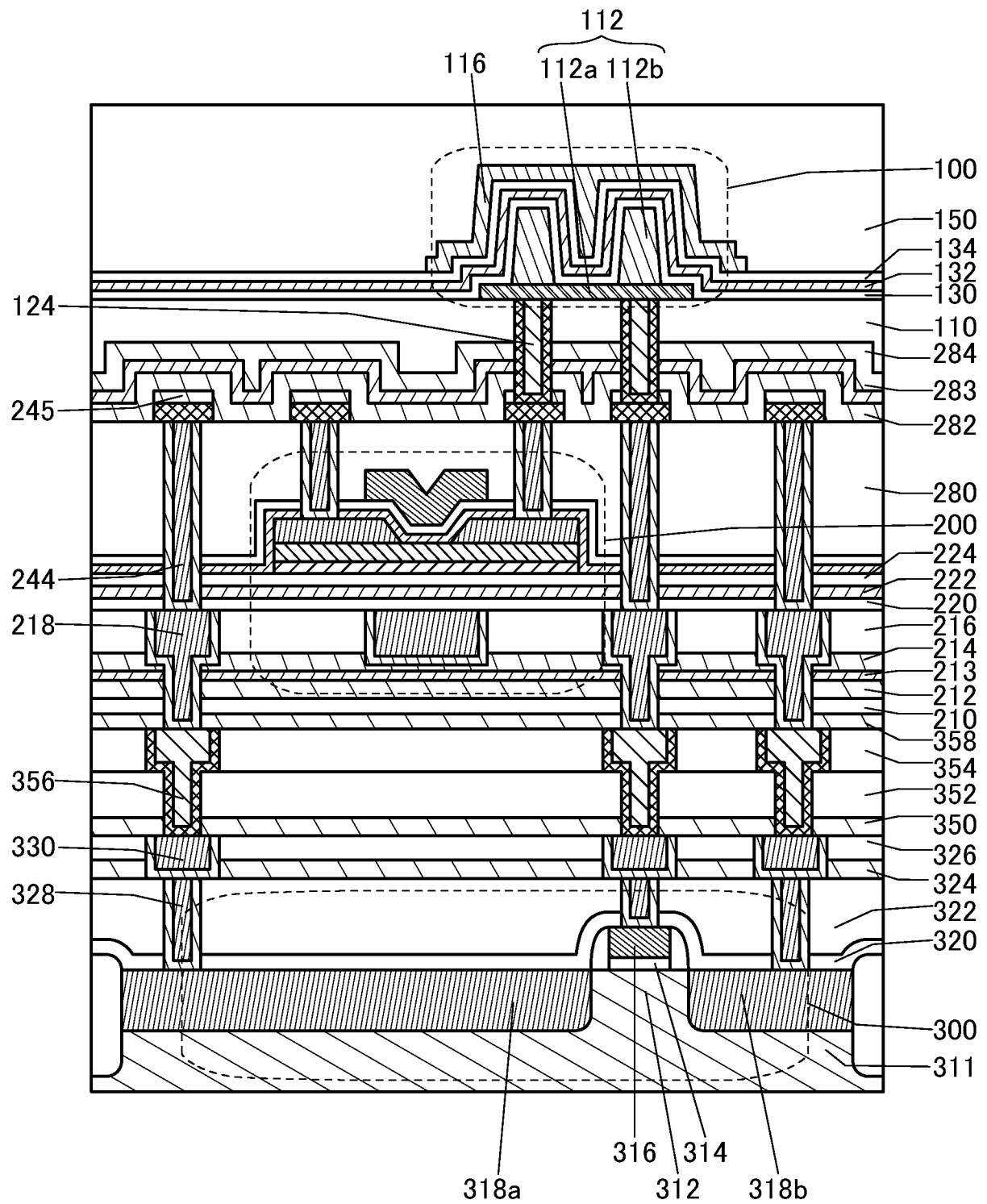
[圖 44]

44/78



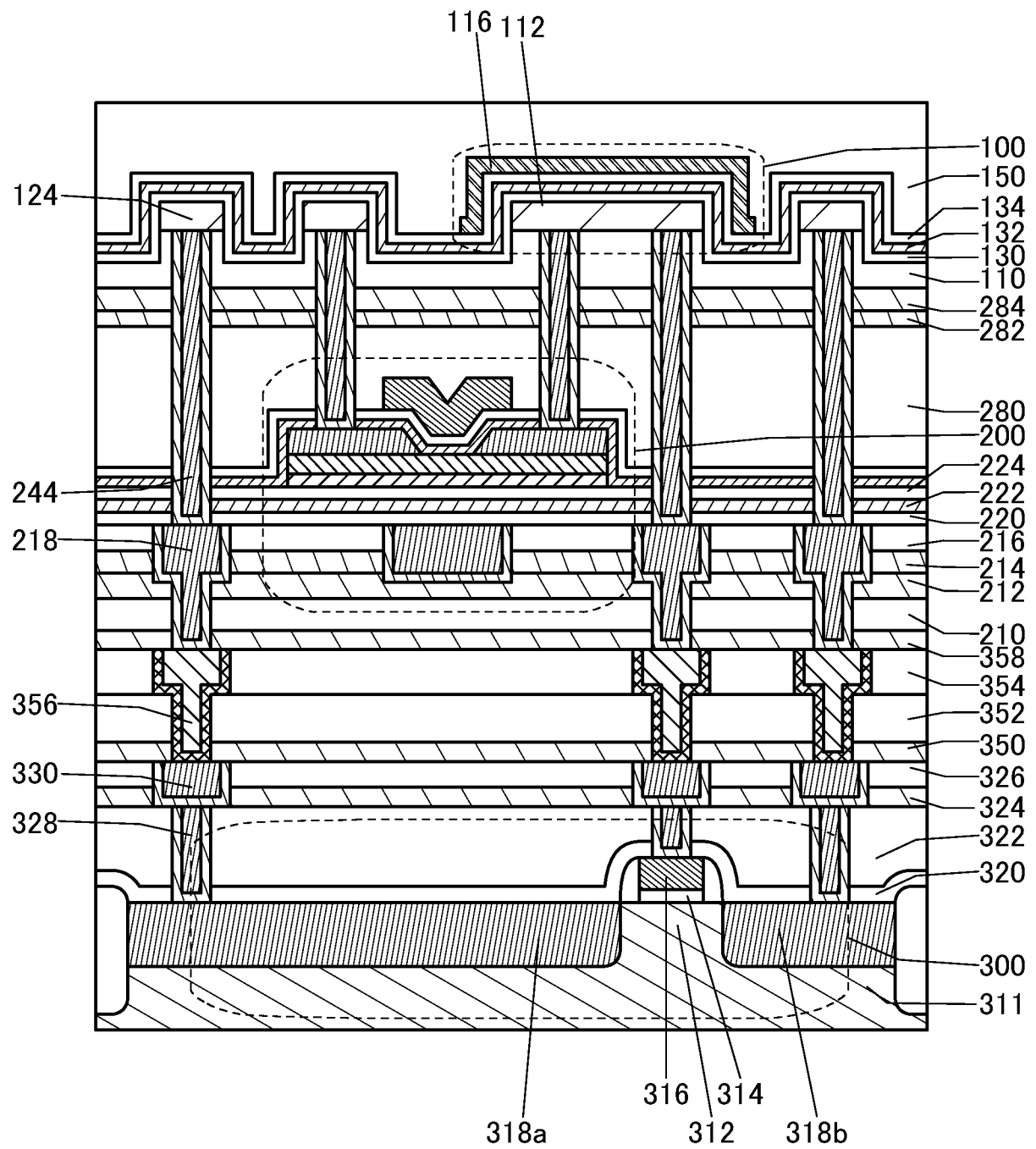
[圖45]

45/78



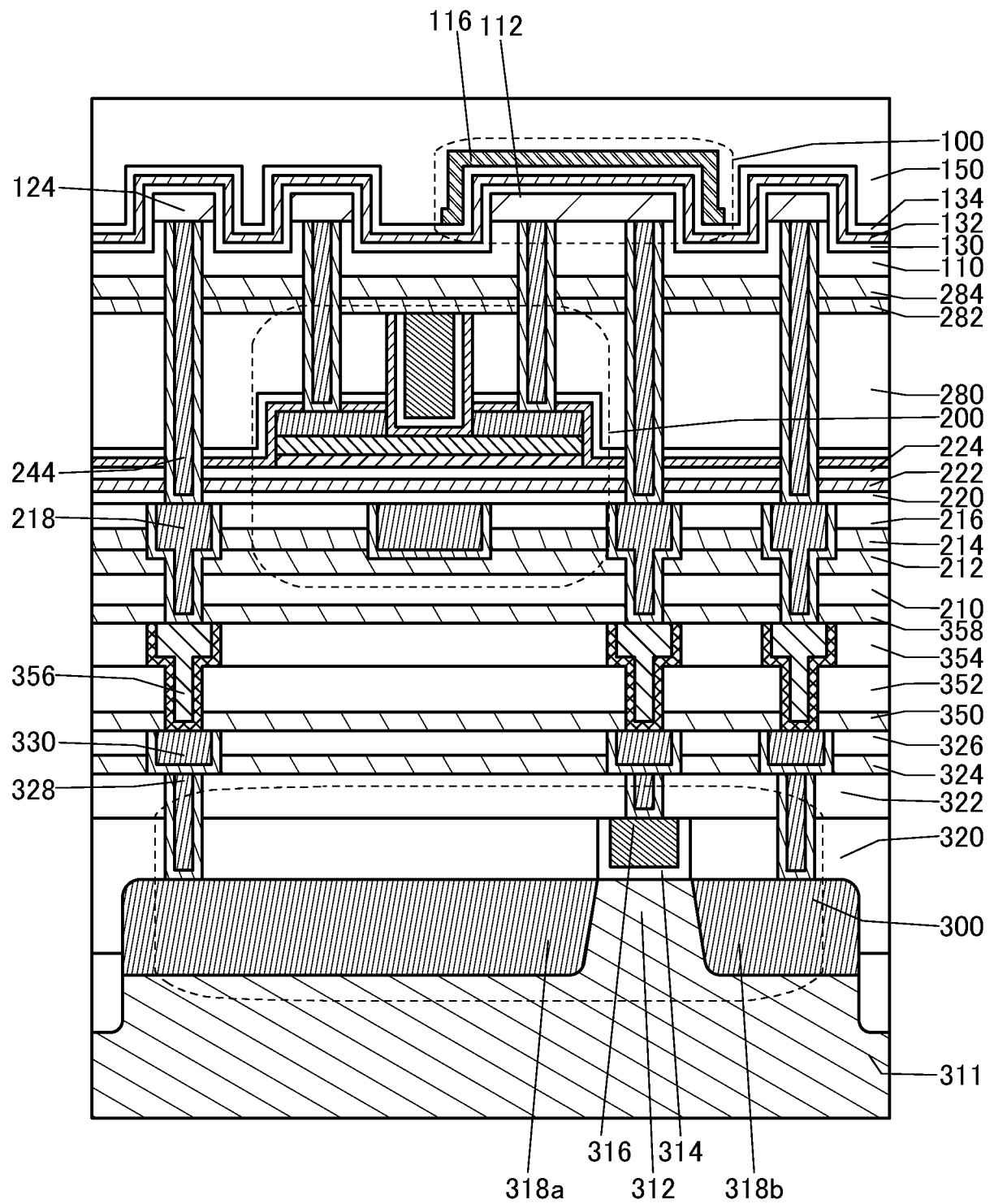
[図46]

46/78



[圖47]

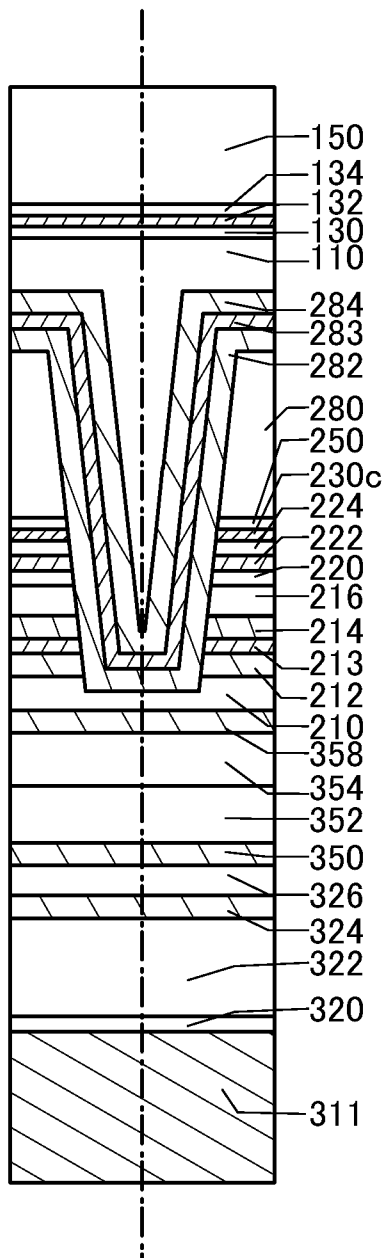
47/78



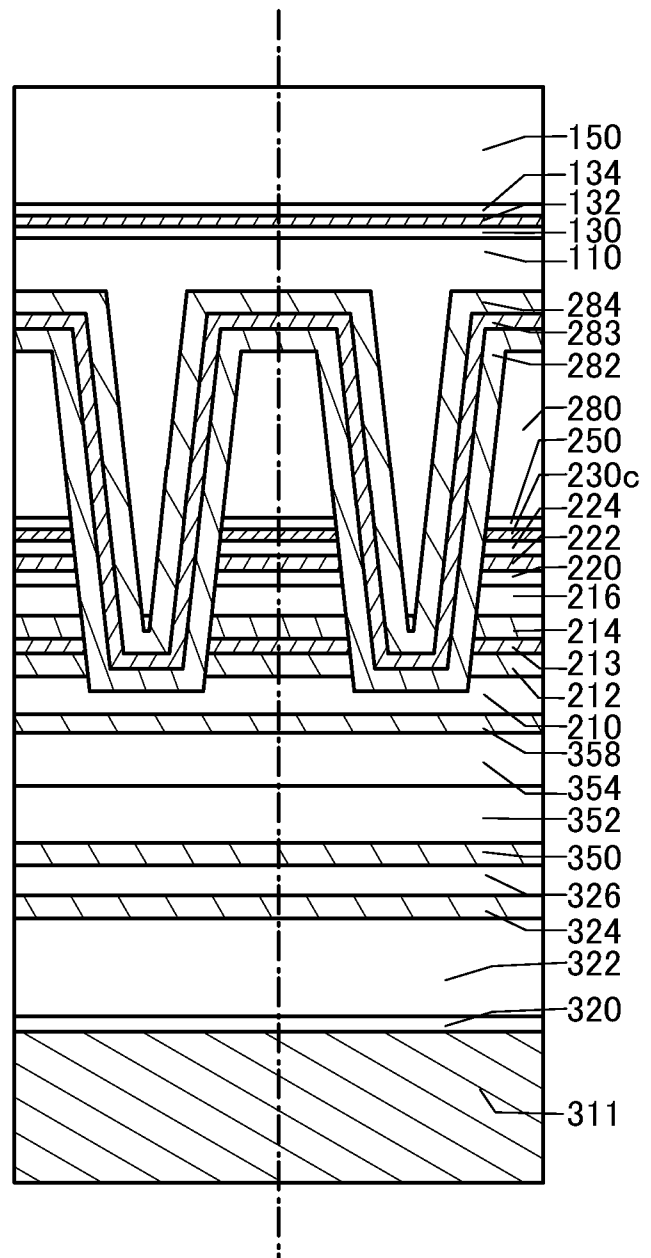
48/78

[図48]

(A)



(B)

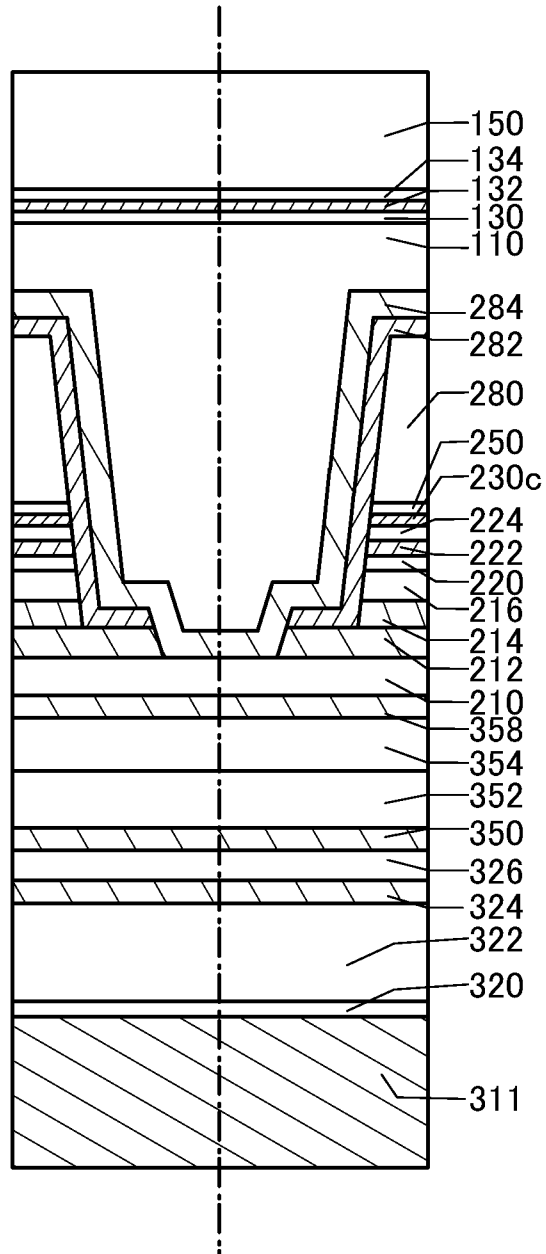
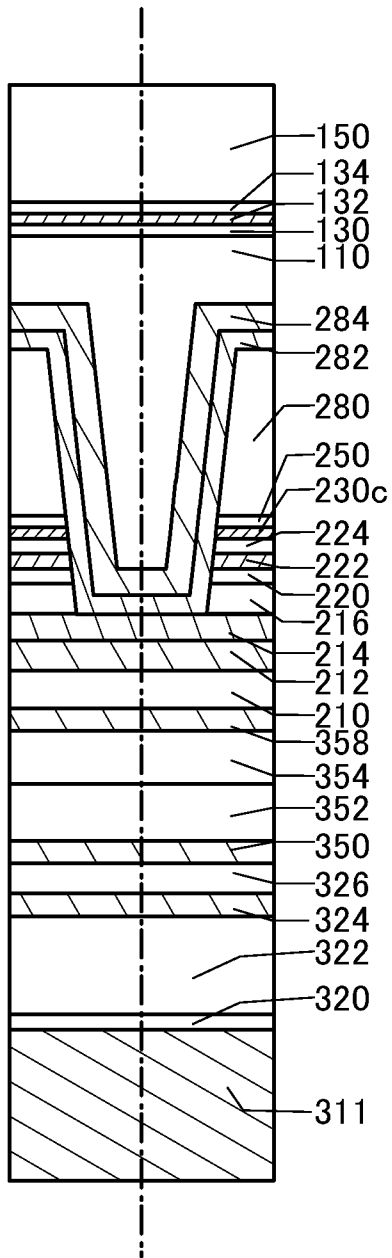


[図49]

49/78

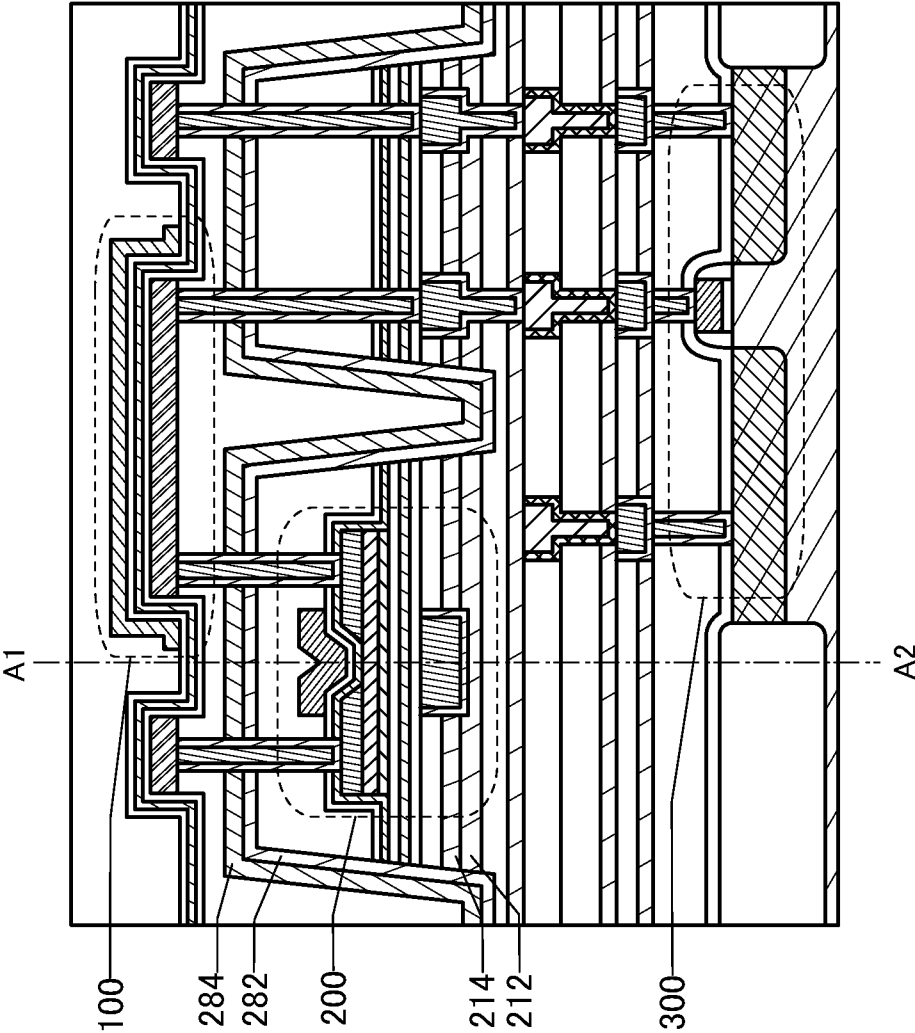
(A)

(B)

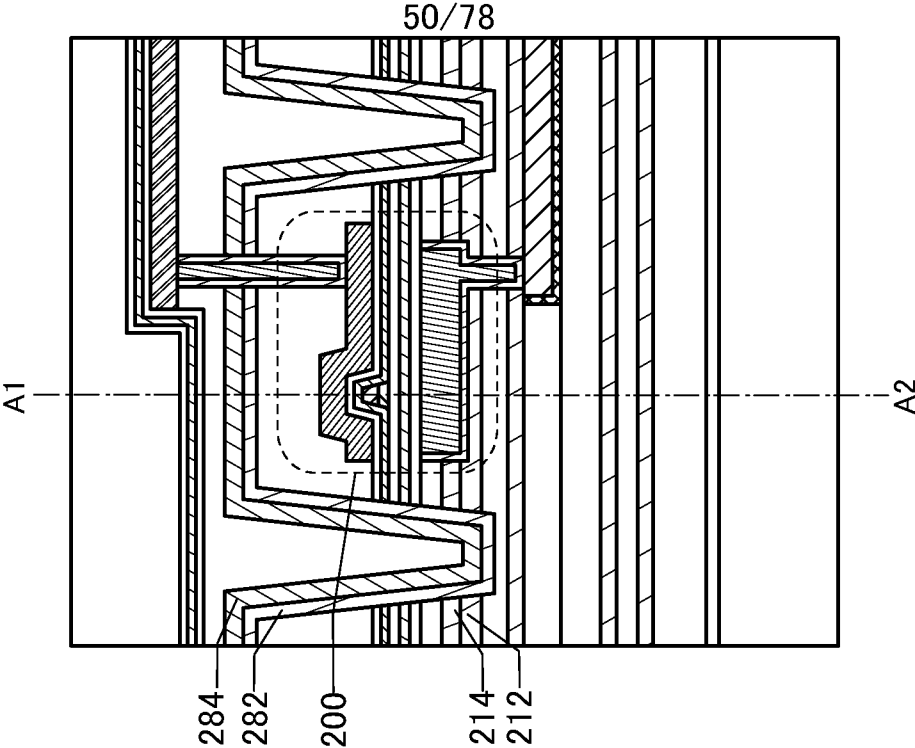


[図50]

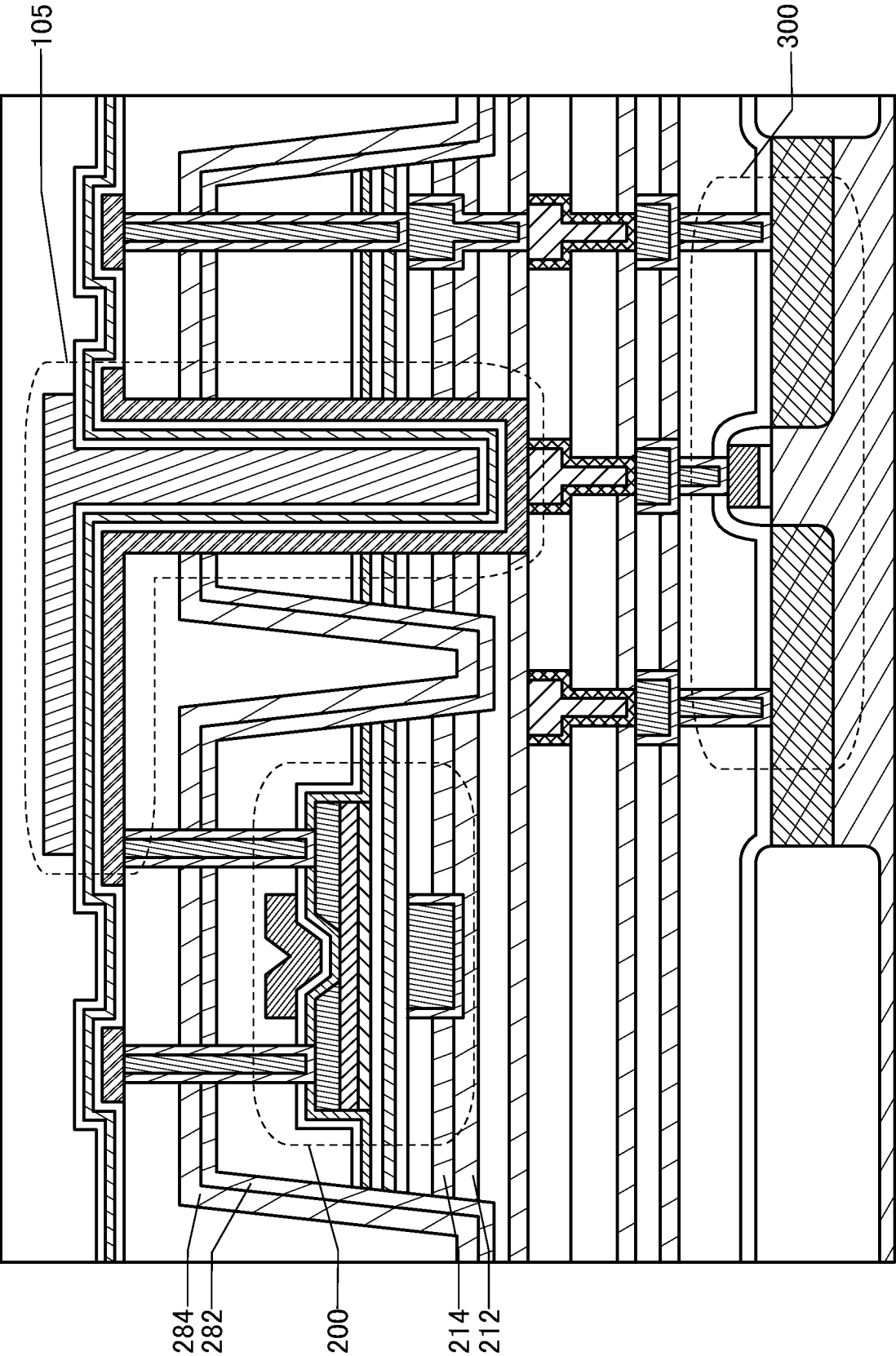
(A)



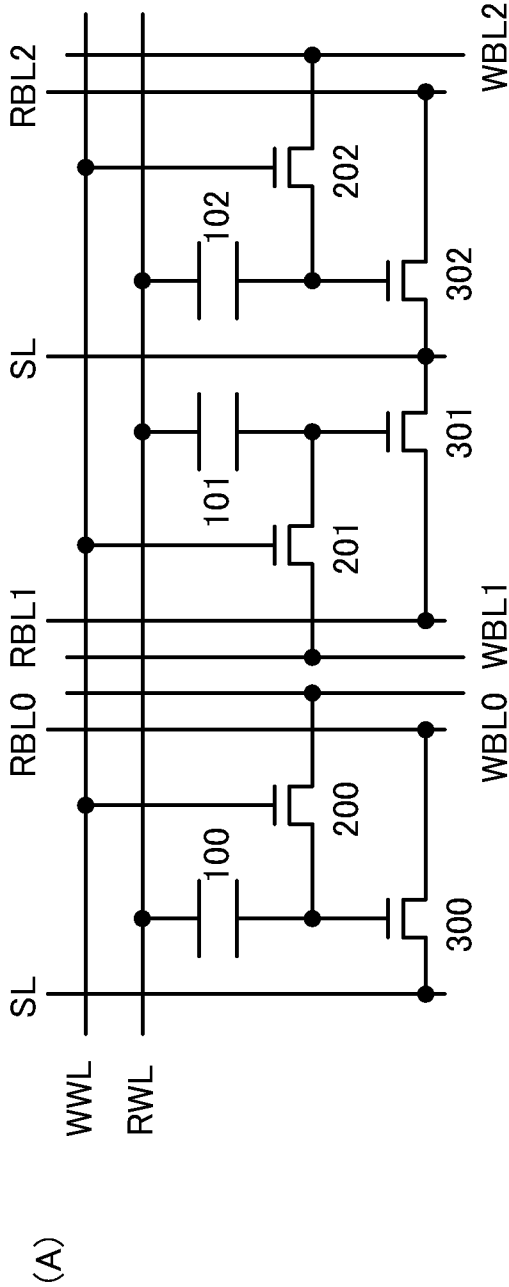
(B)



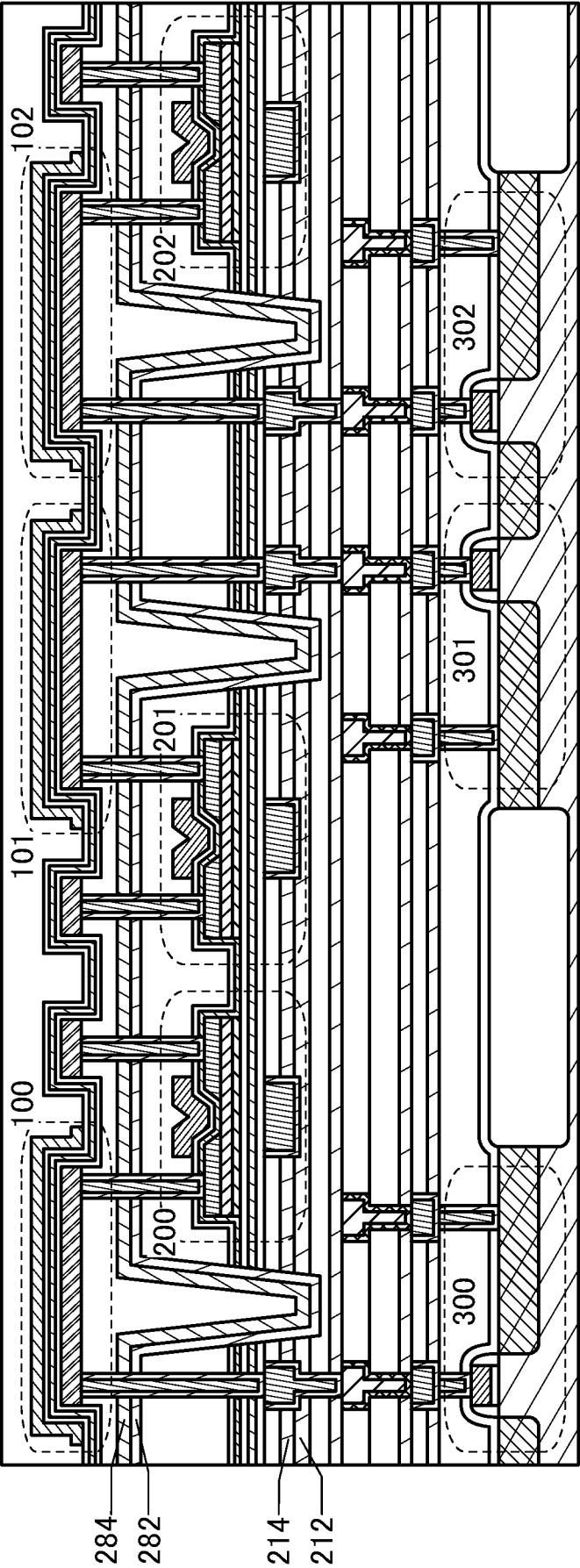
[図51]



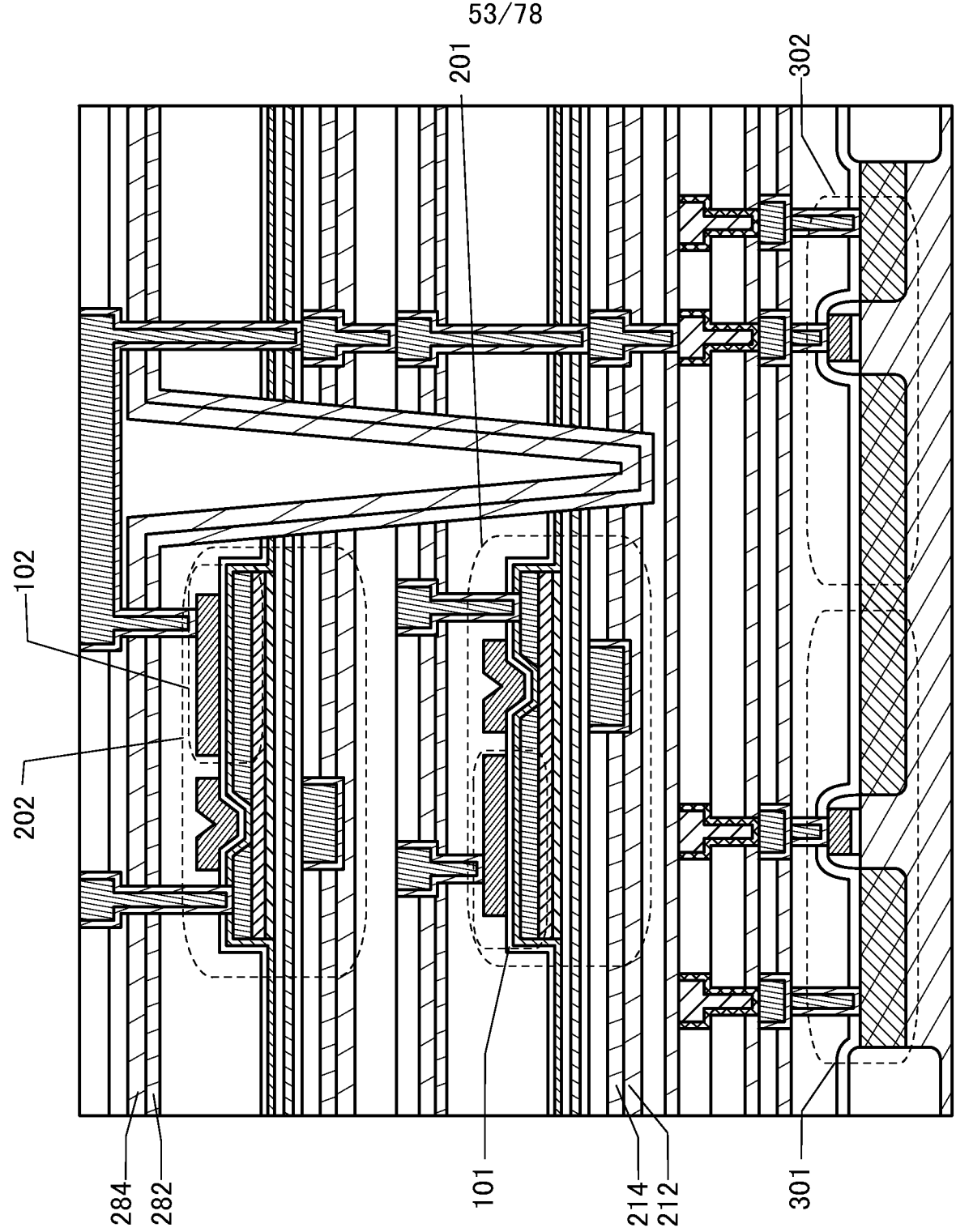
[52]



(B)

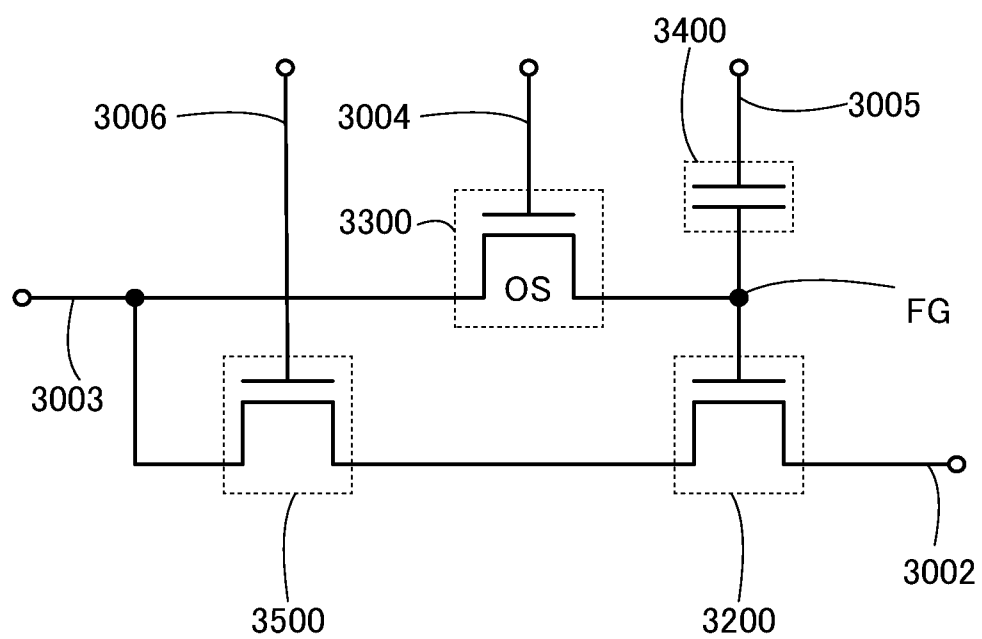


[図53]



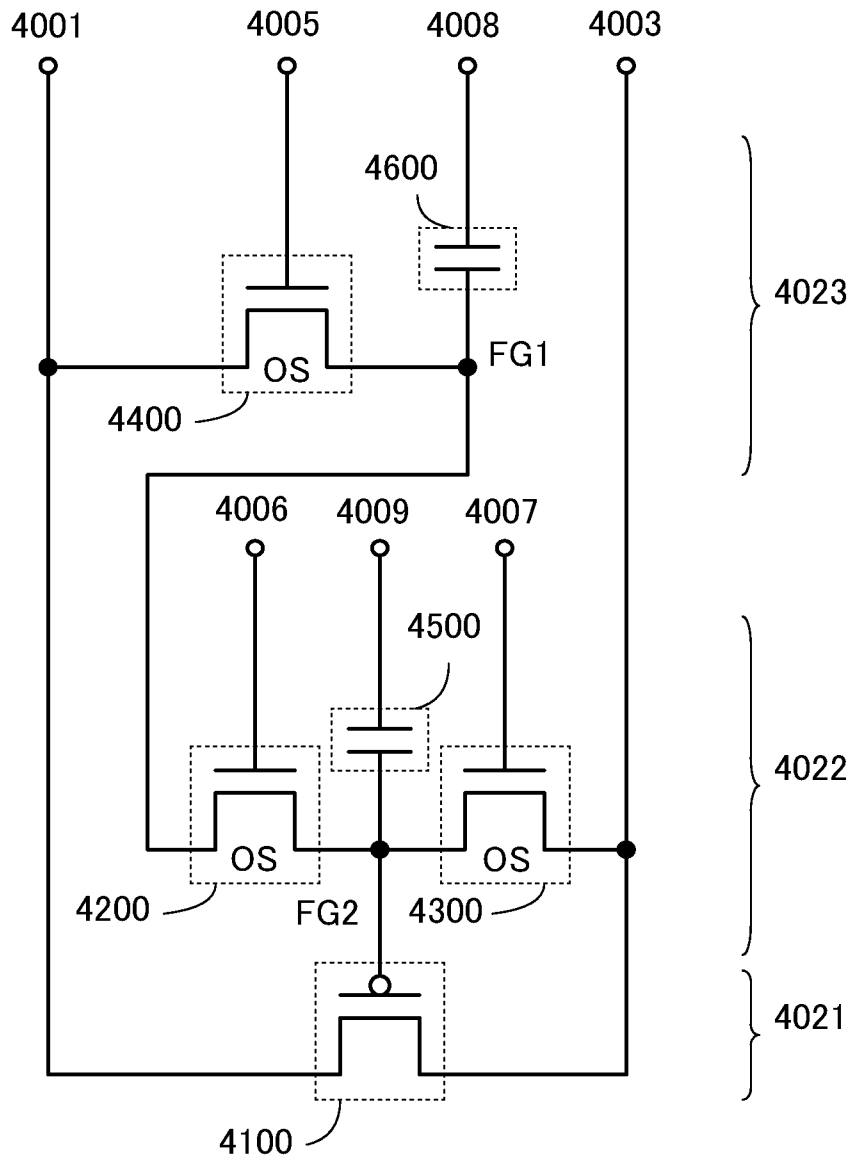
[図54]

54/78



[図55]

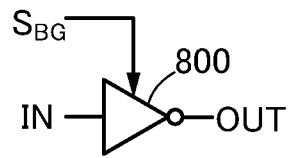
55/78



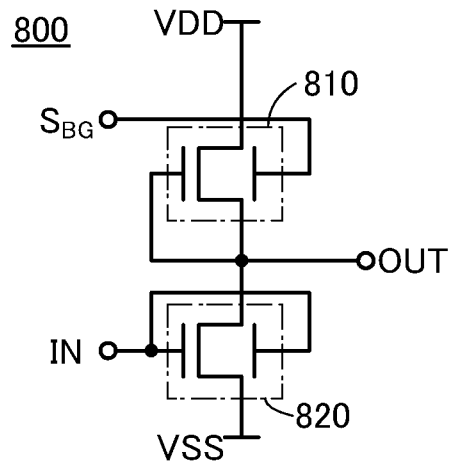
[図56]

56/78

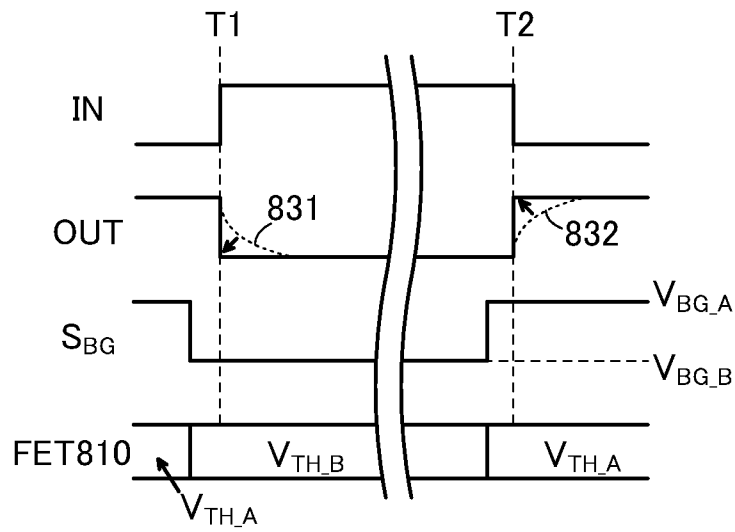
(A)



(B)



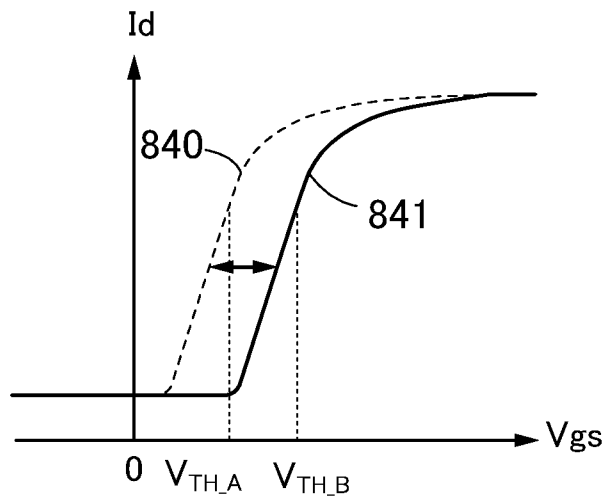
(C)



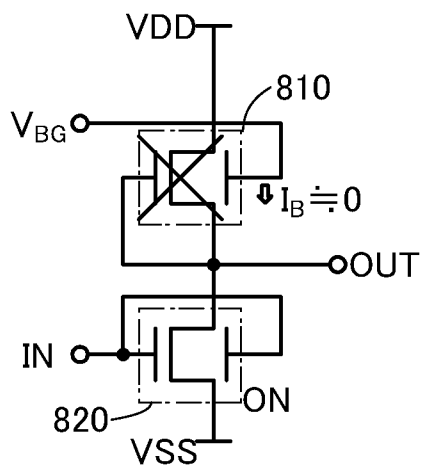
[図57]

57/78

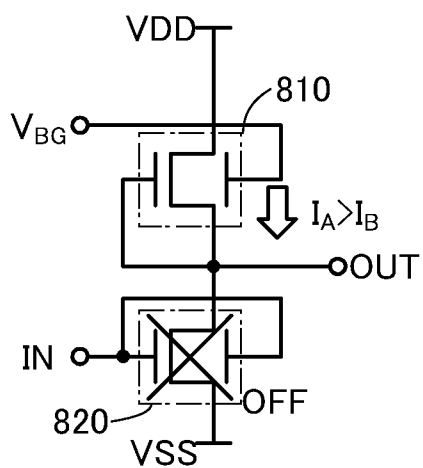
(A)



(B)

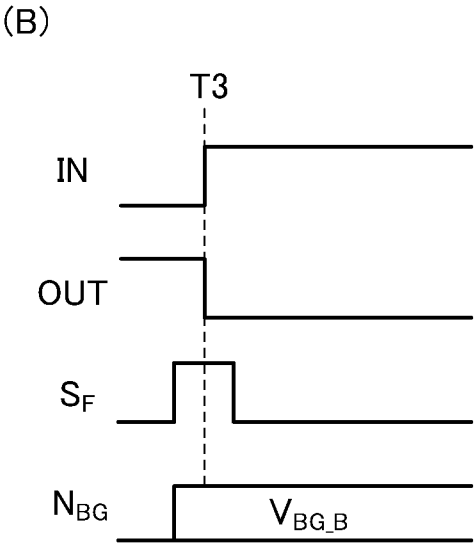
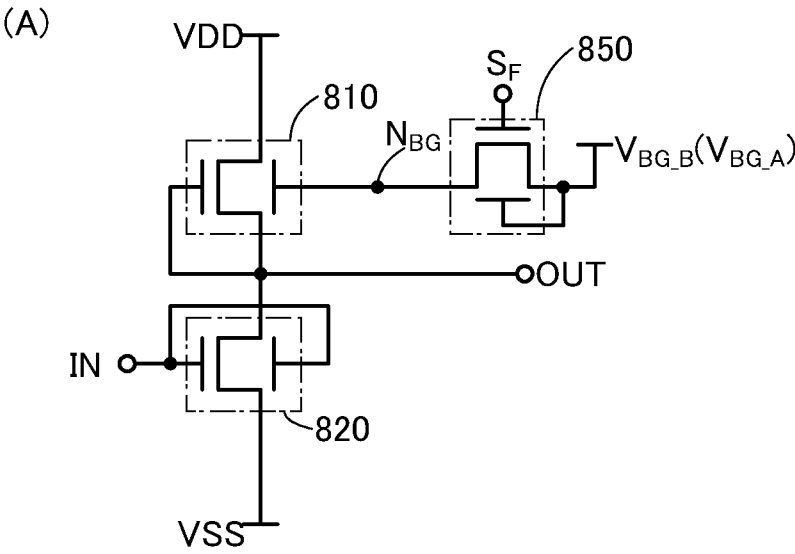
 V_{BG_B} 

(C)

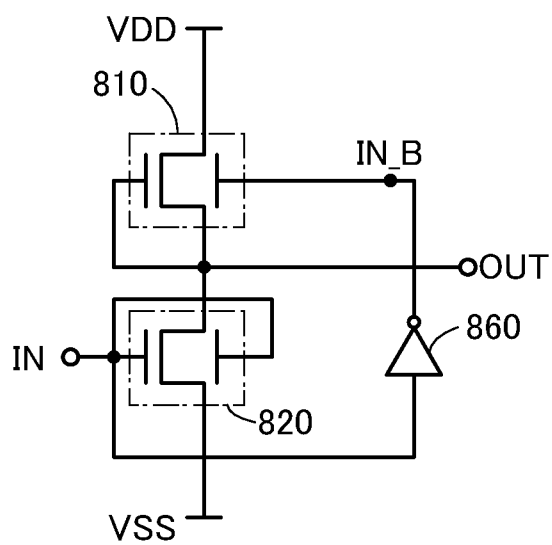
 V_{BG_A} 

[図58]

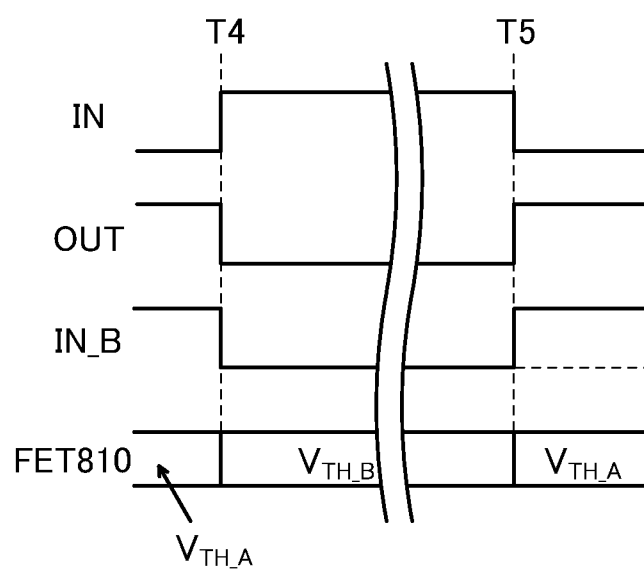
58/78



(A)



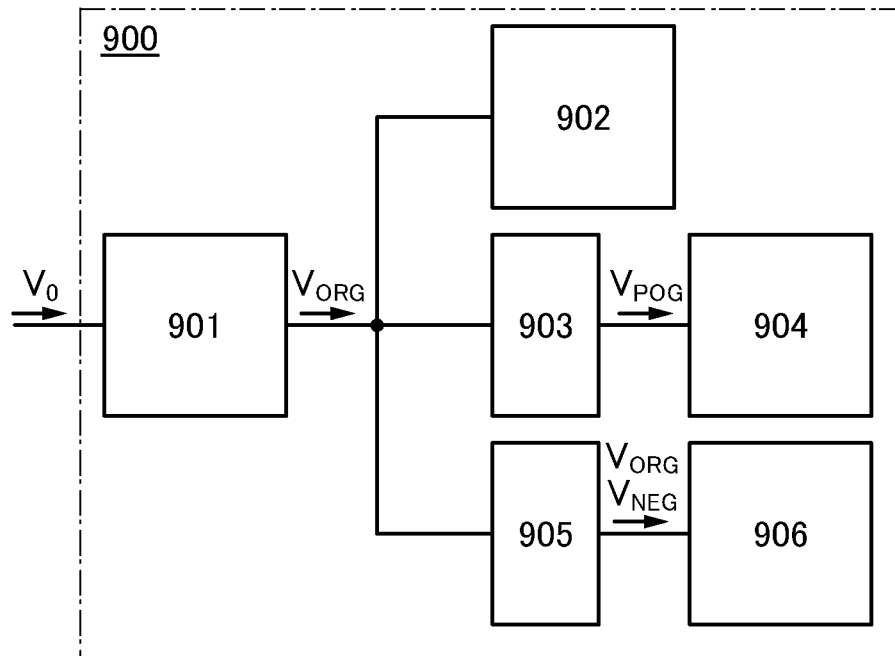
(B)



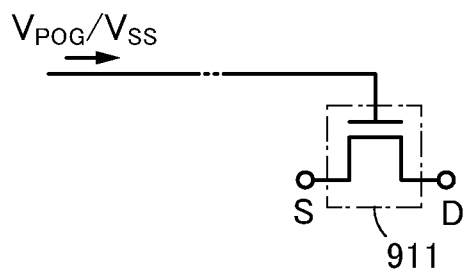
[図60]

60/78

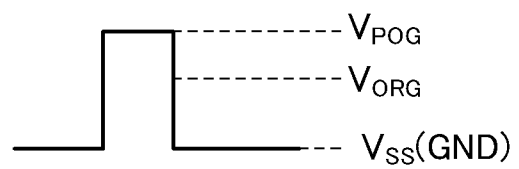
(A)



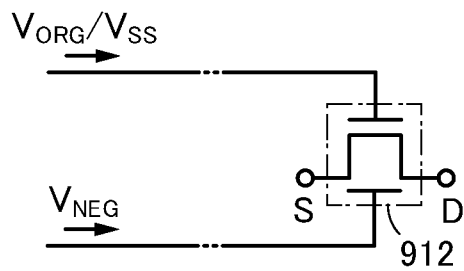
(B)



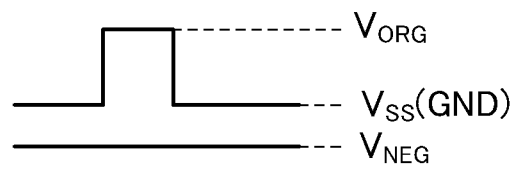
(C)



(D)



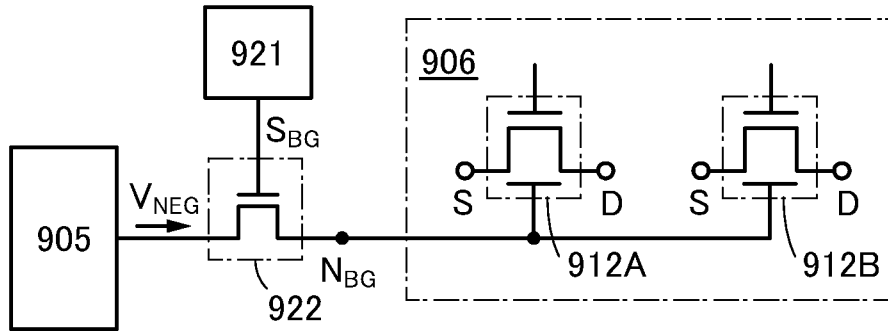
(E)



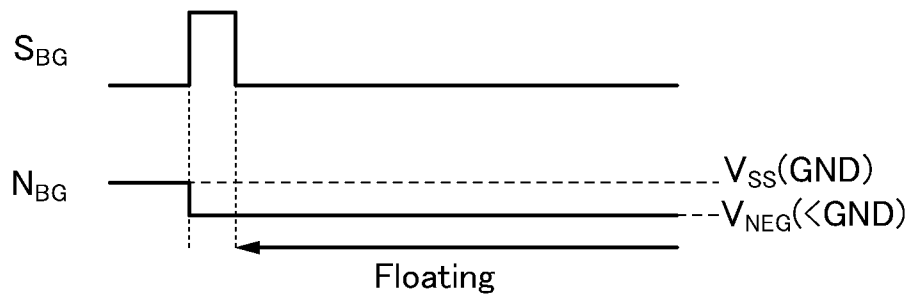
[図61]

61/78

(A)



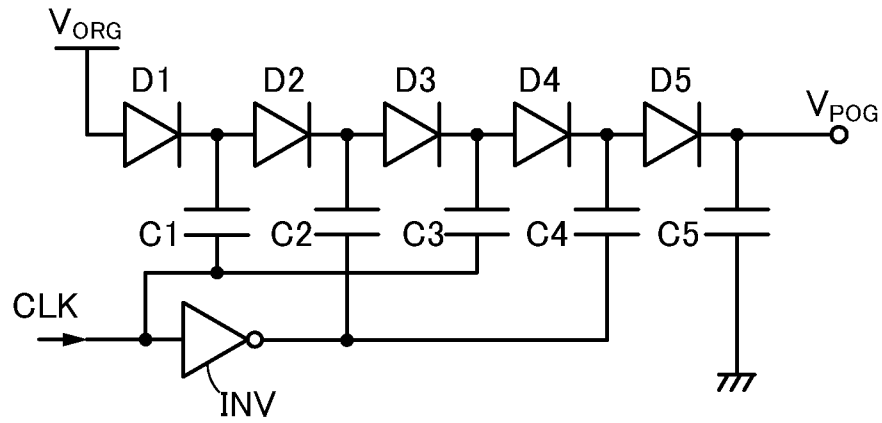
(B)



[図62]

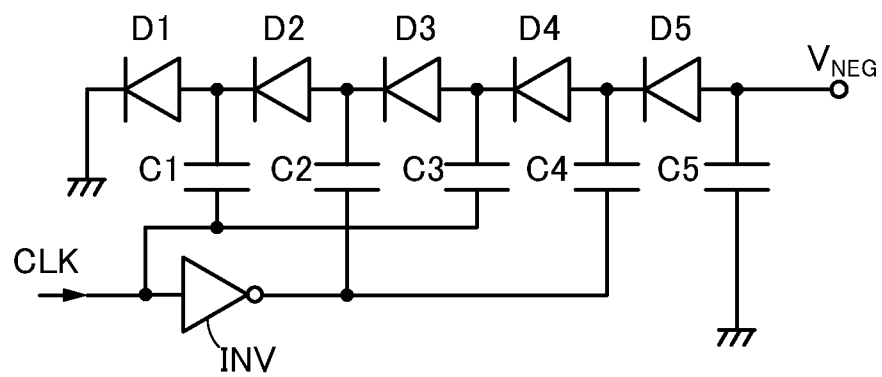
62/78

(A) 903



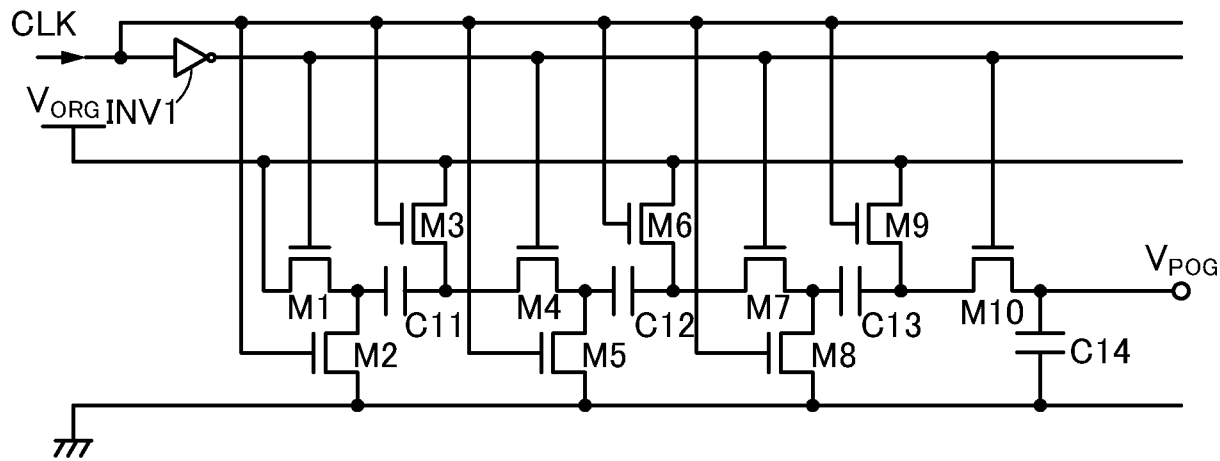
(B)

905



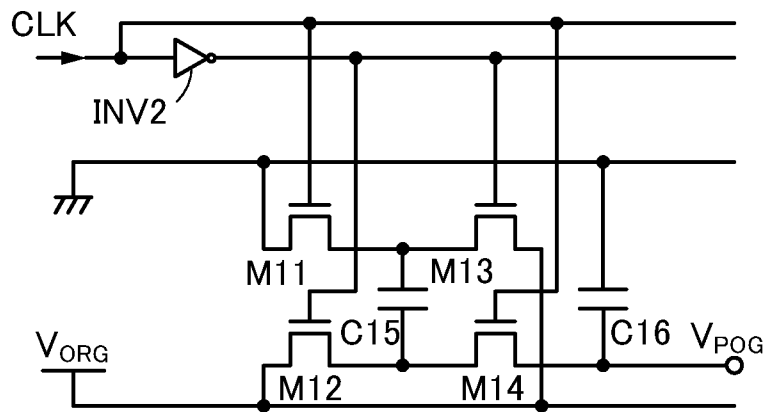
(A) **[図63]**

903A



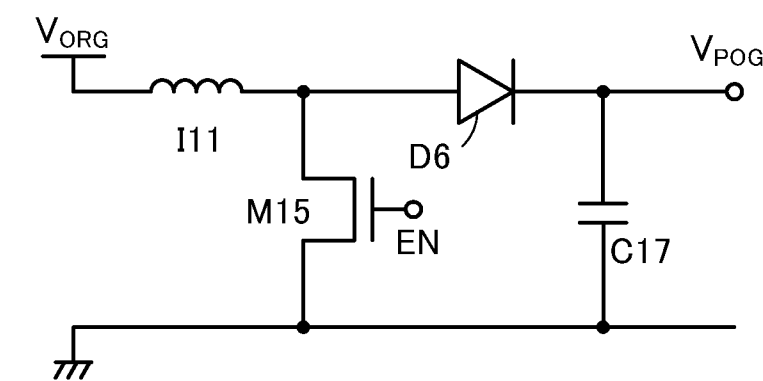
(B)

903B



(C)

903C

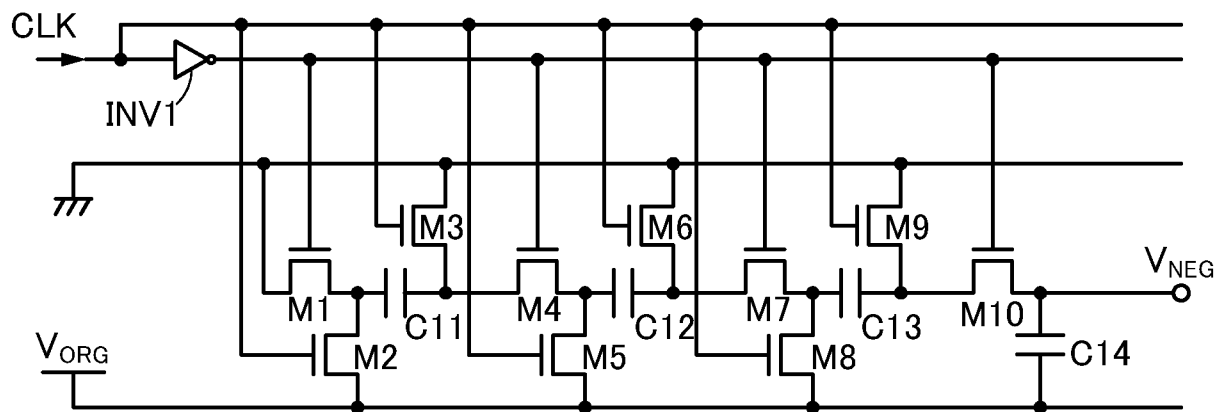


[図65]

65/78

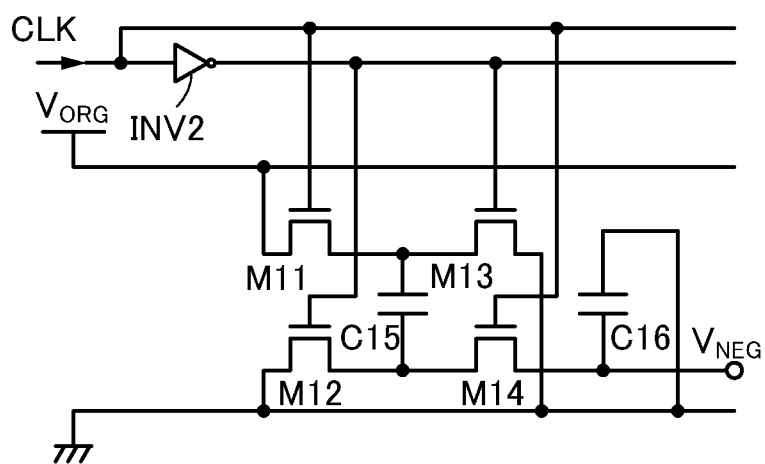
(A)

905A



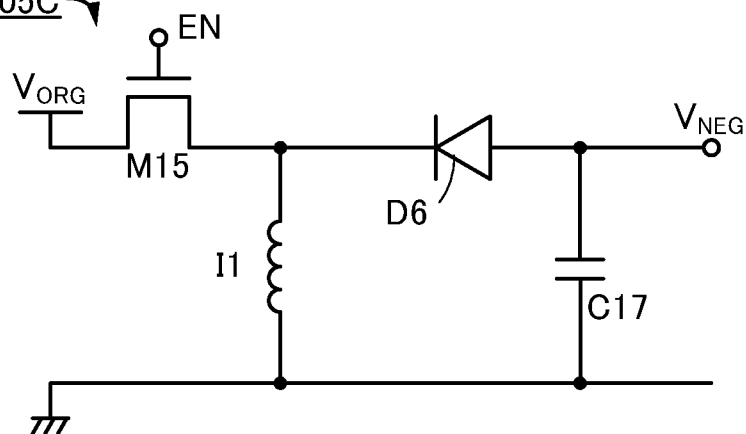
(B)

905B



(C)

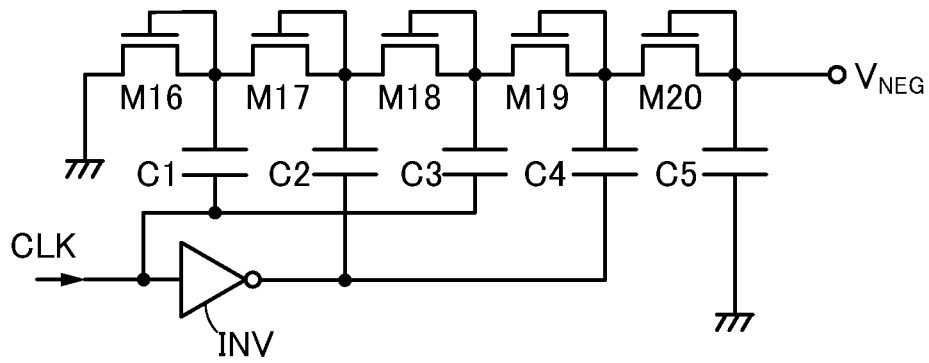
905C



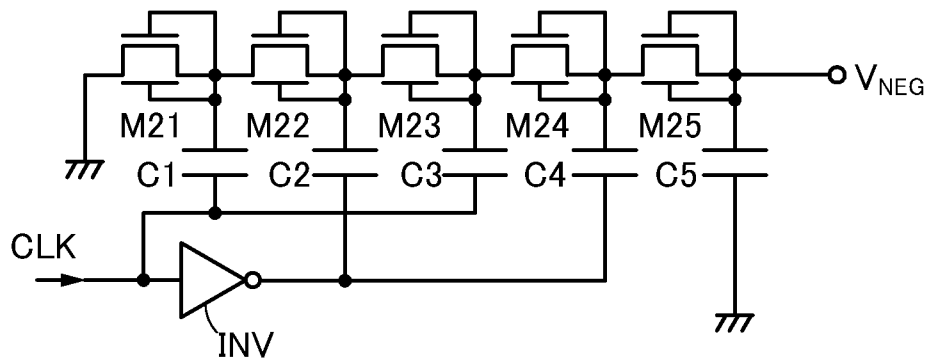
[図66]

66/78

(A)

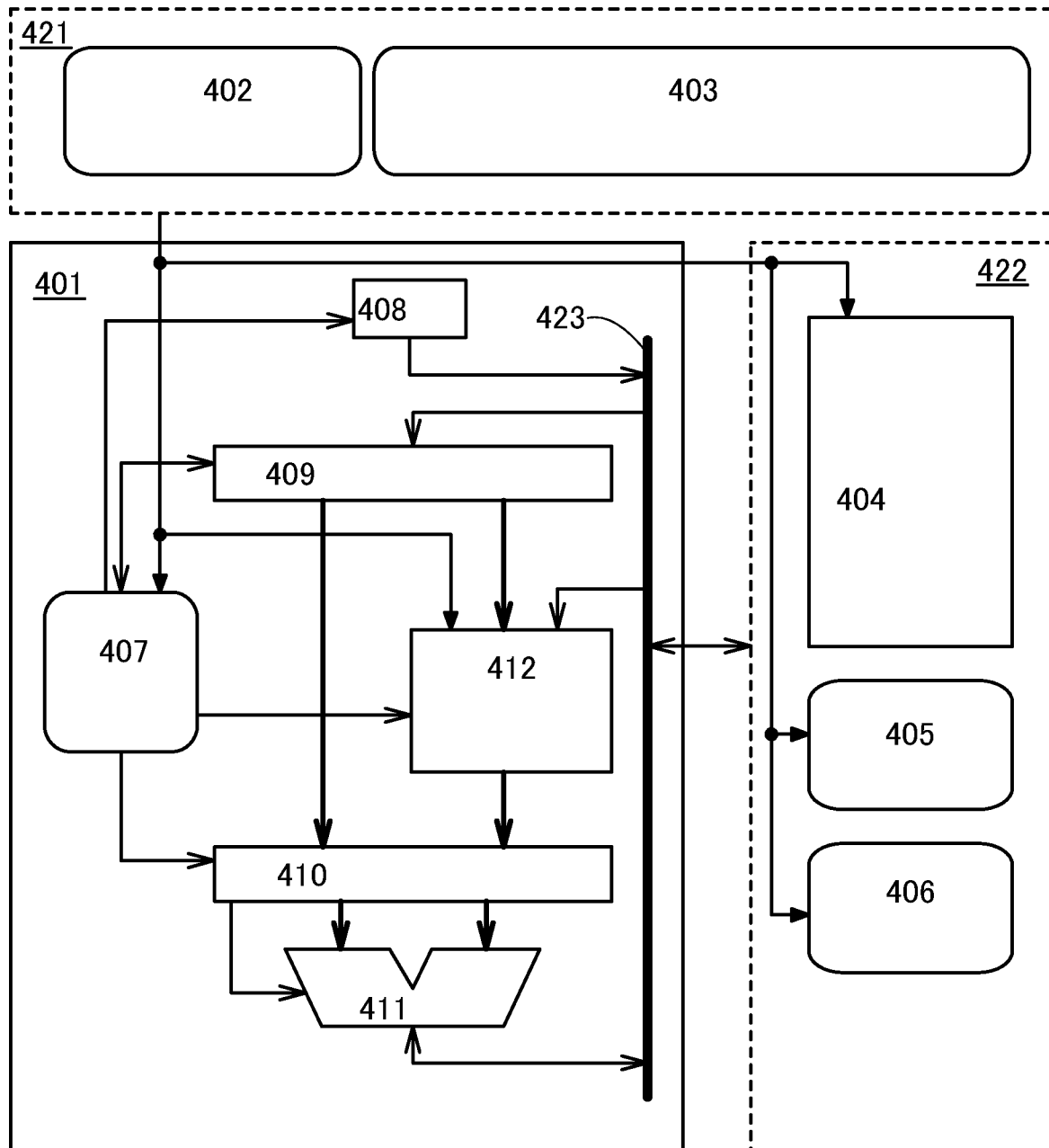
905D

(B)

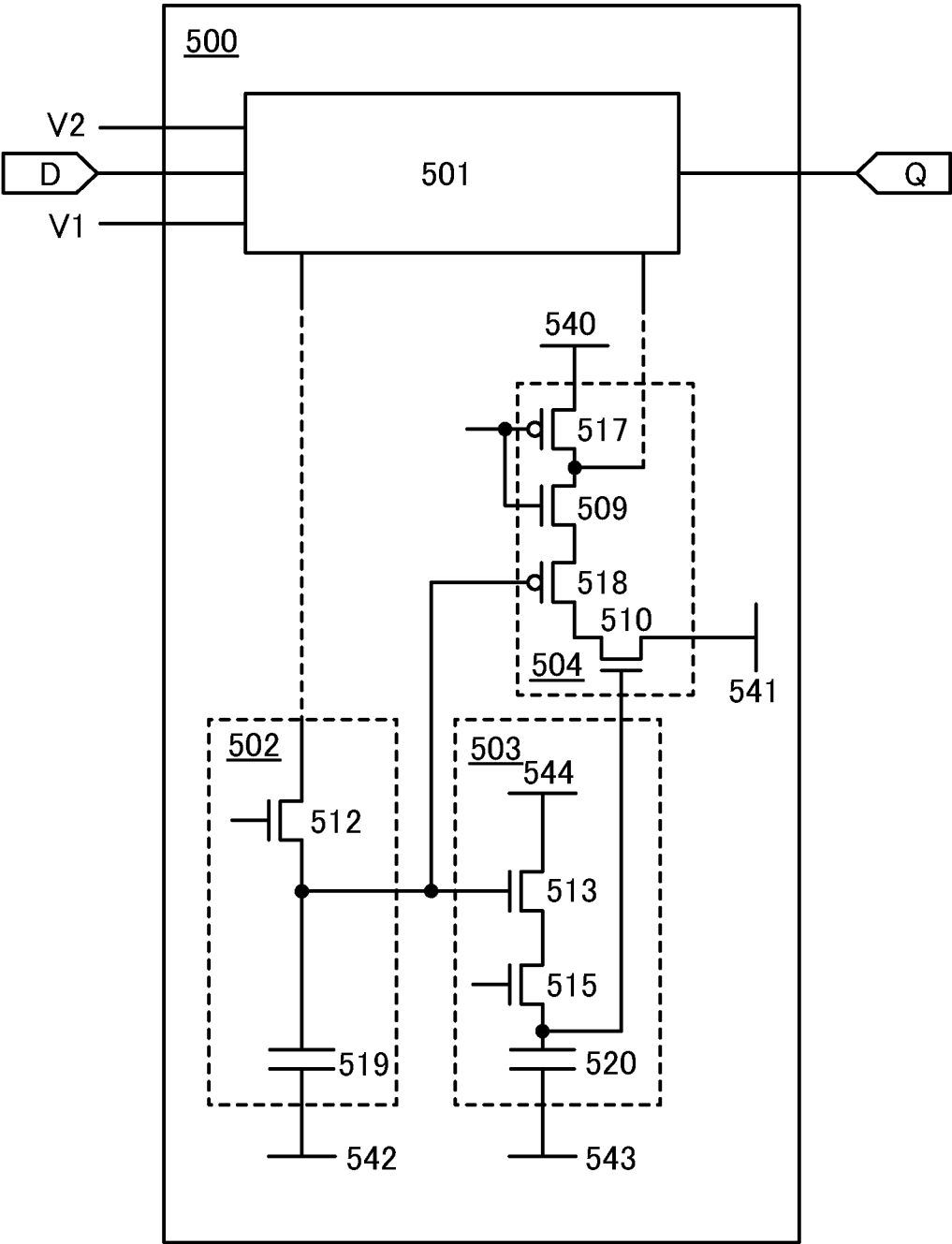
905E

[図67]
400

67/78



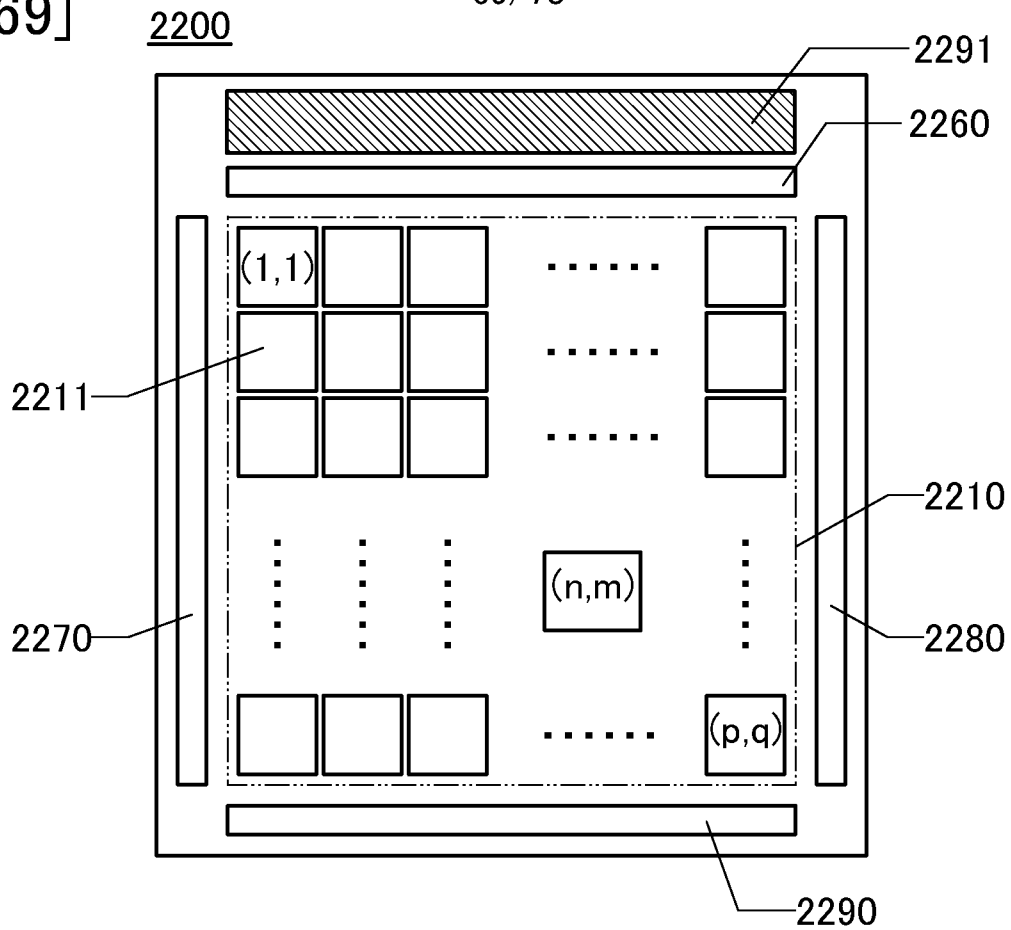
[図 68]



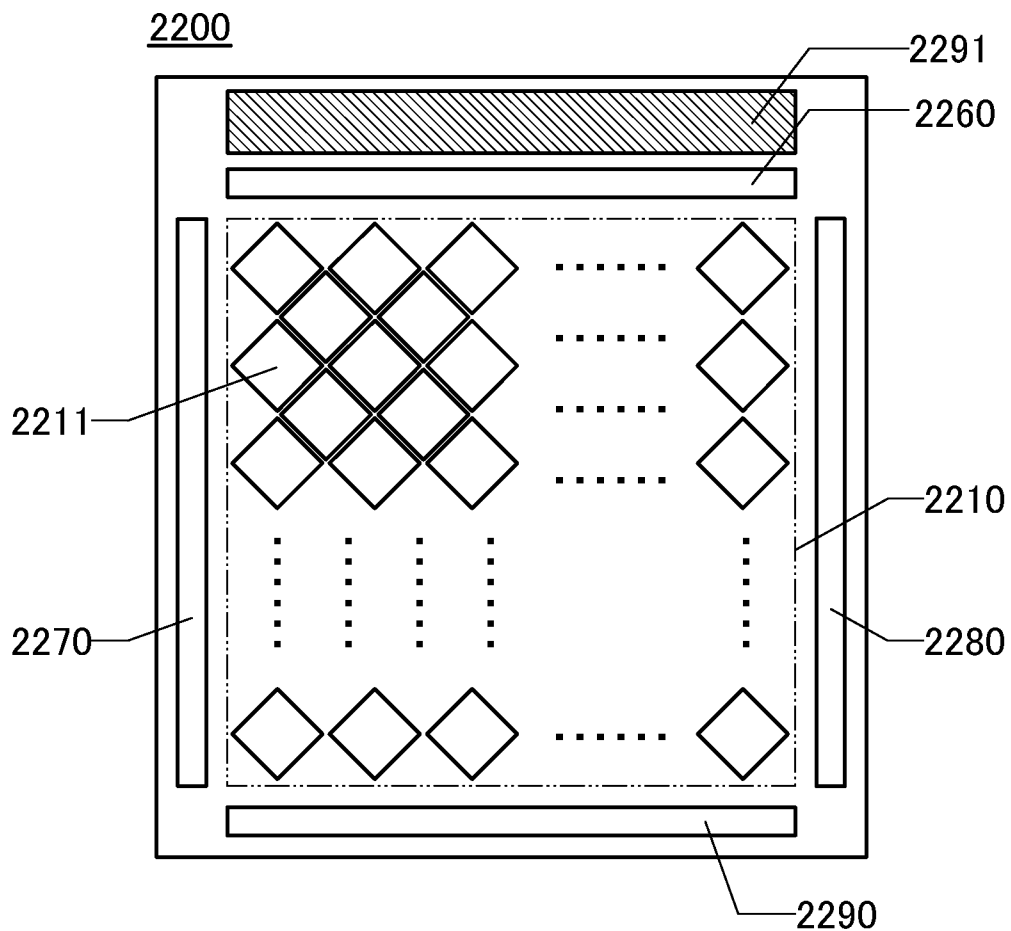
[図69]

69/78

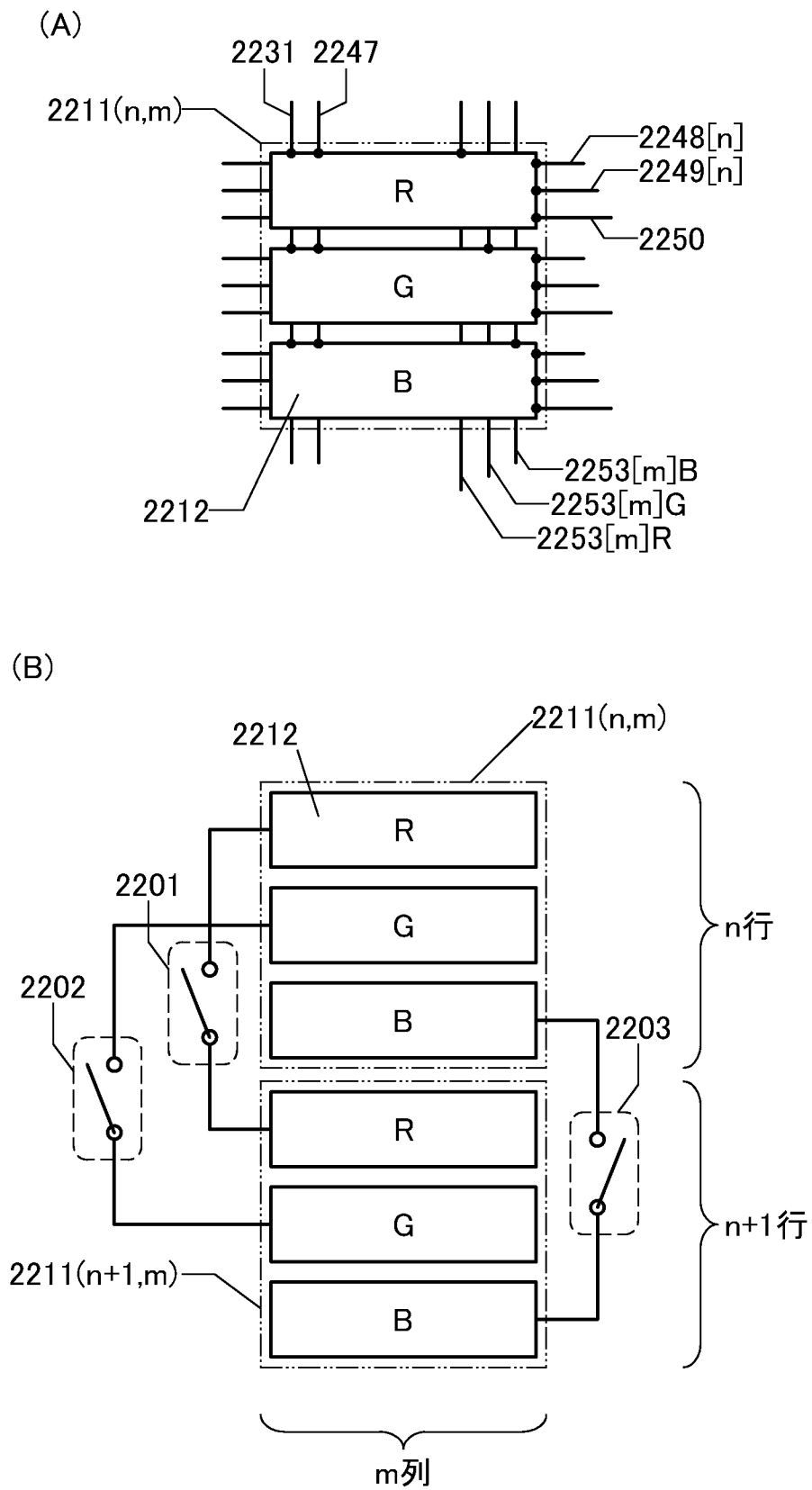
(A)



(B)



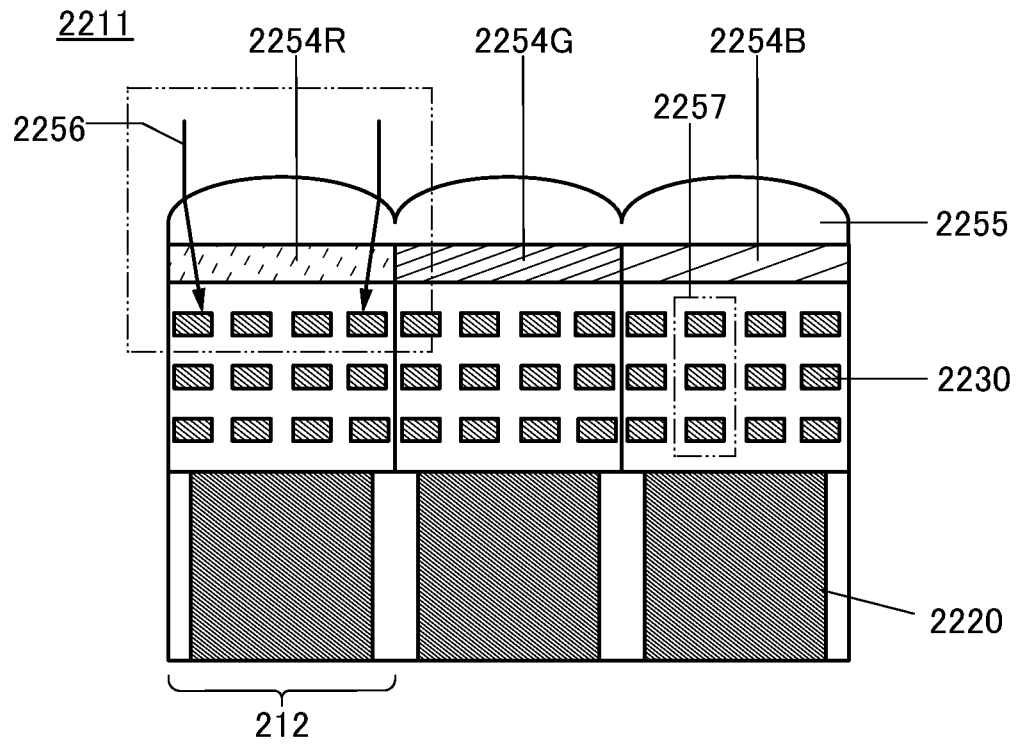
[図70]



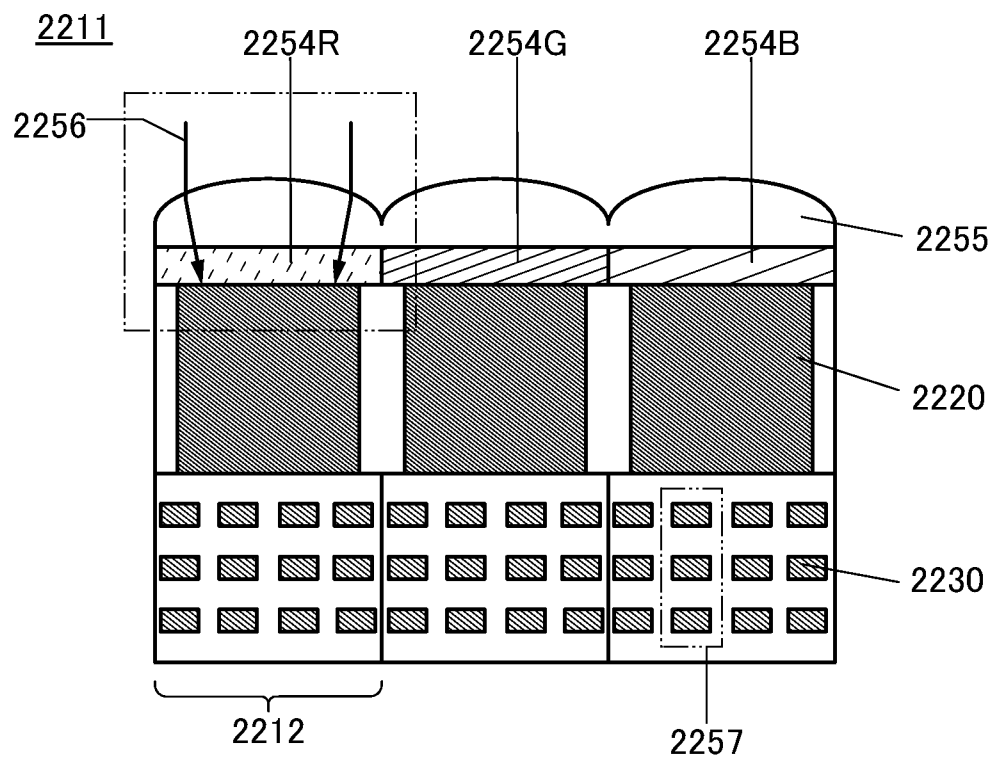
[図71]

71/78

(A)

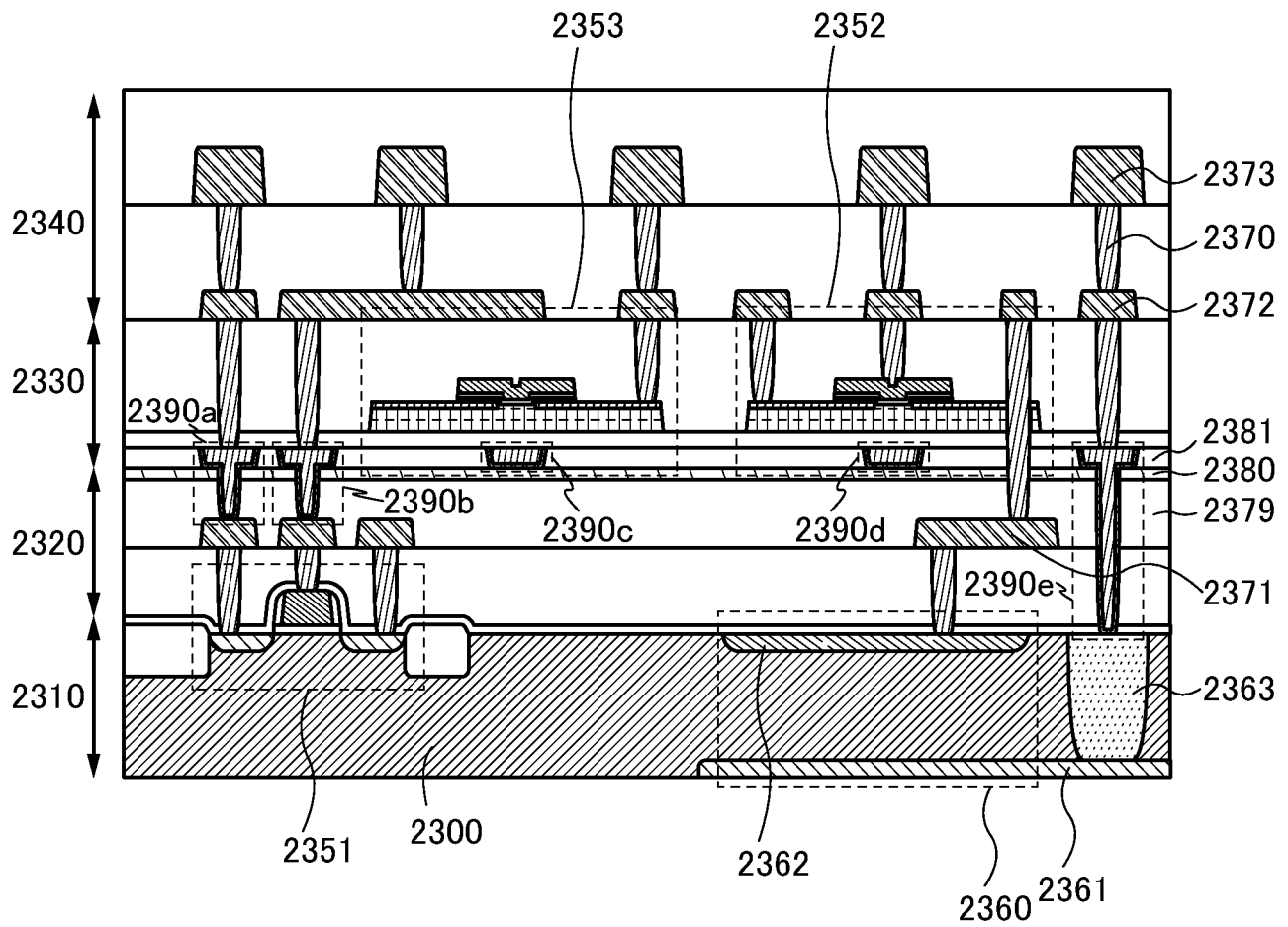


(B)



[図72]

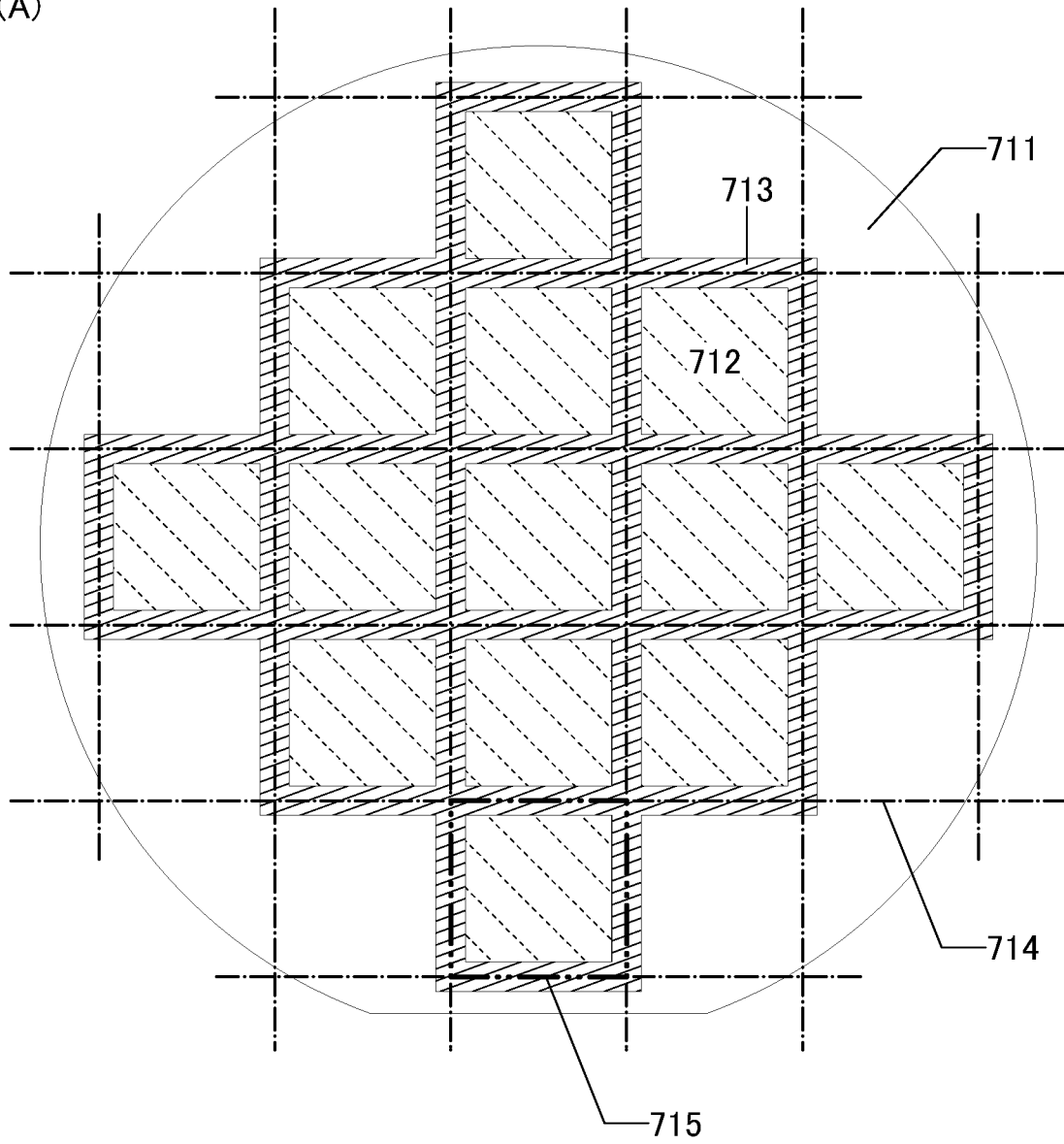
72/78



[図73]

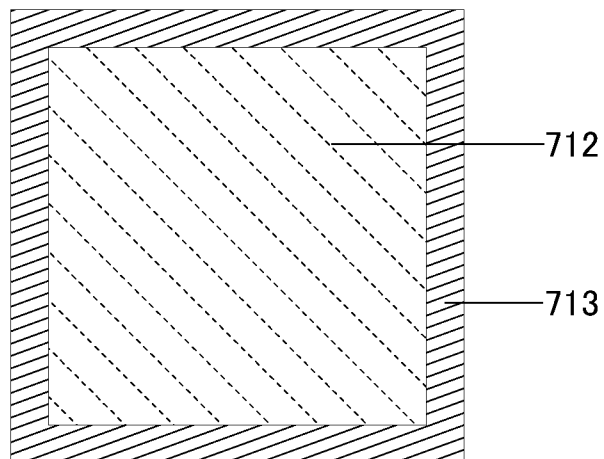
73/78

(A)



(B)

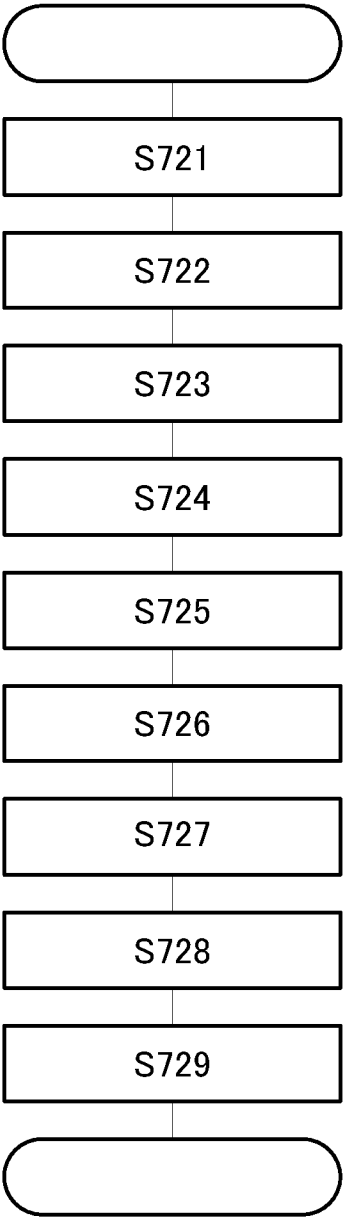
715



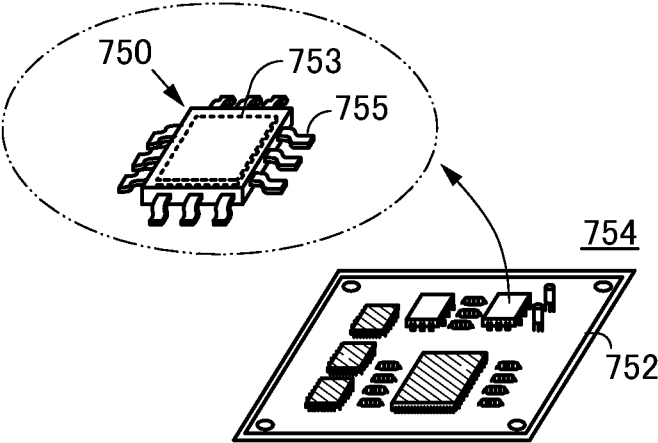
[図74]

74/78

(A)

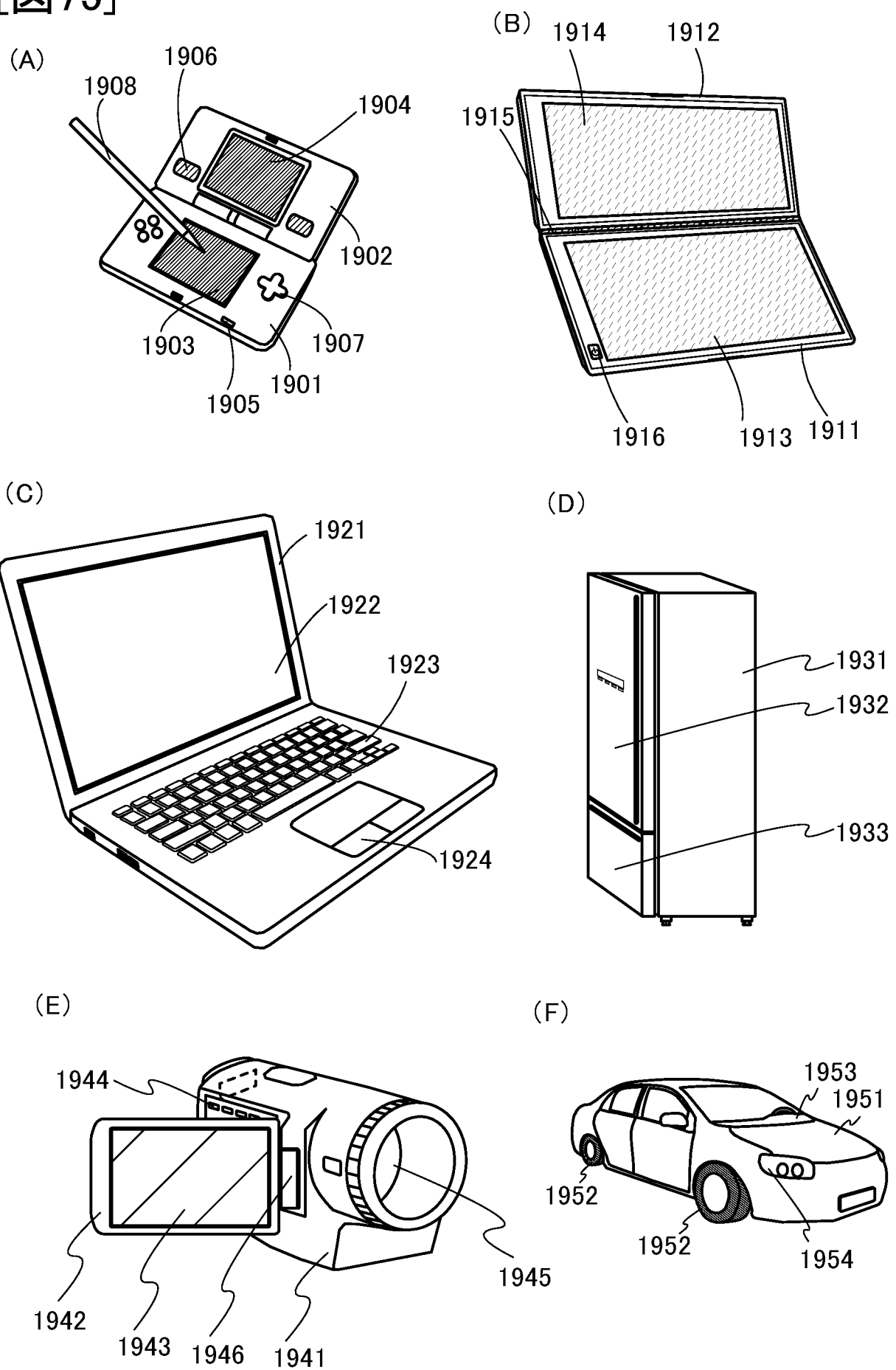


(B)

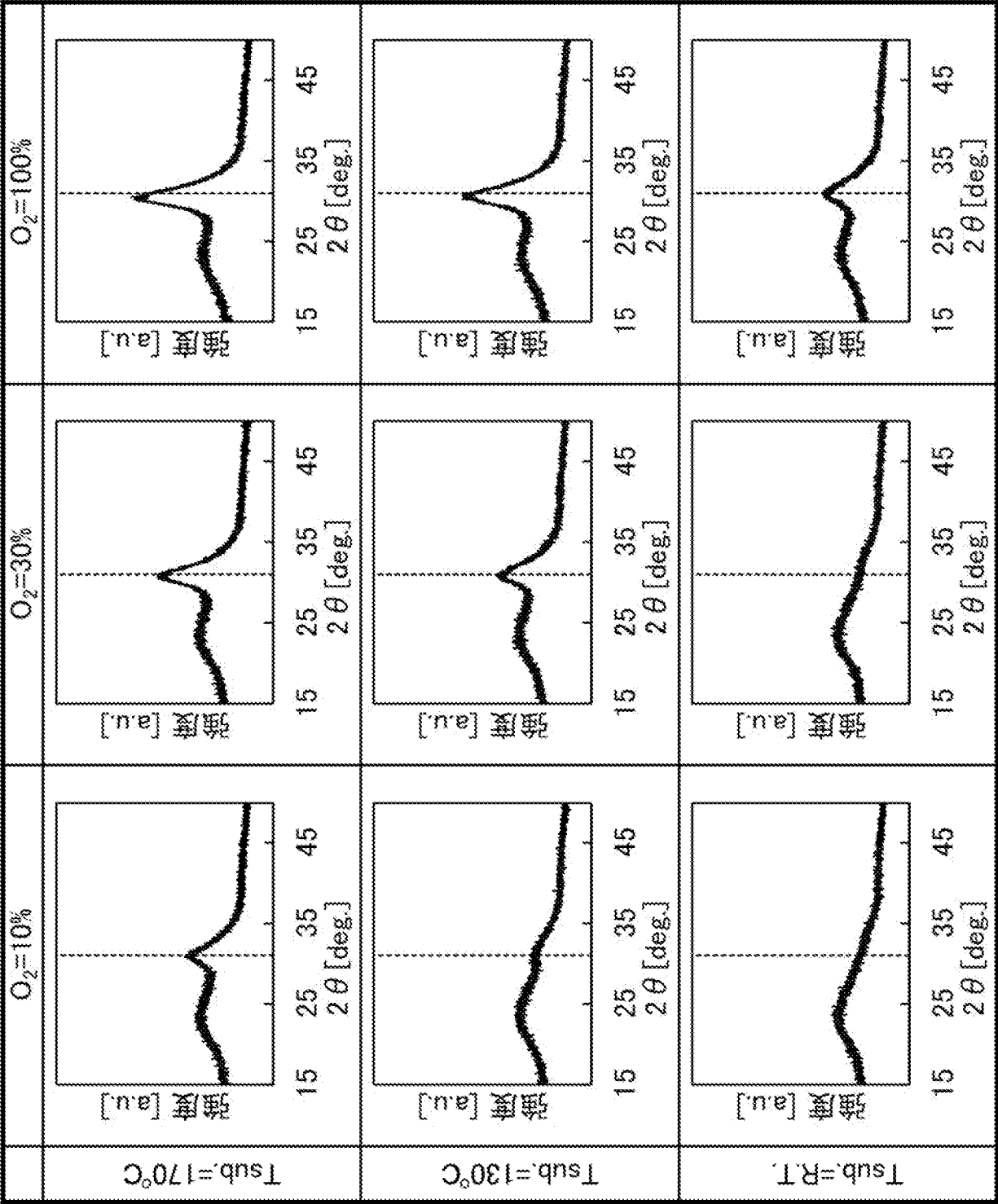


[図75]

75/78

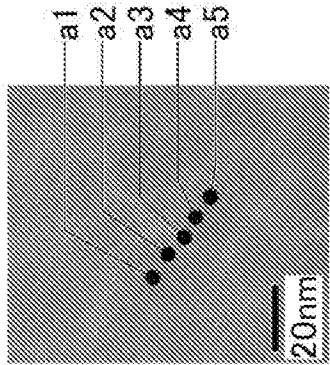


[図76]

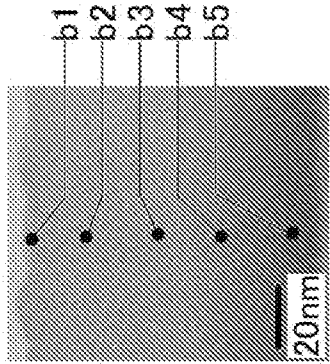


[**図77**]

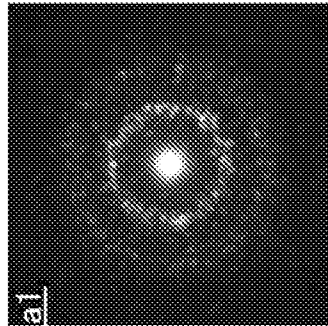
(A)



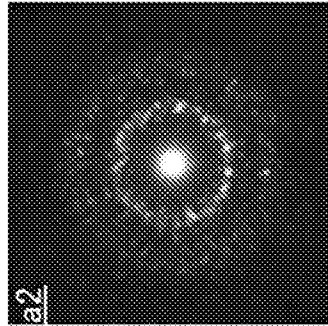
(B)



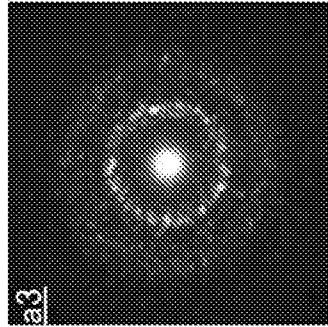
(C)



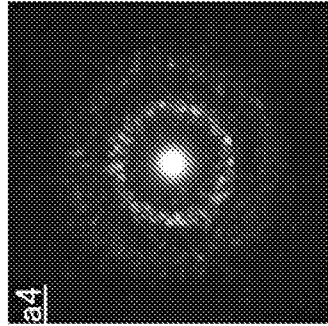
(D)



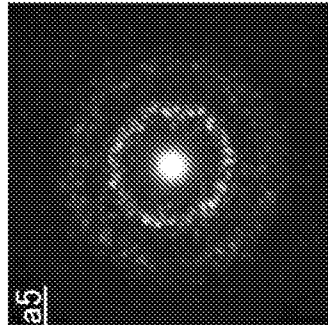
(E)



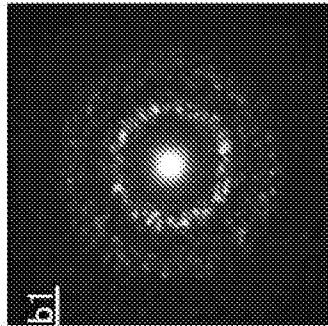
(F)



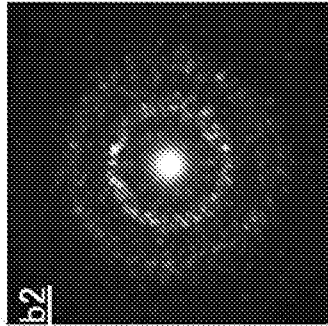
(G)



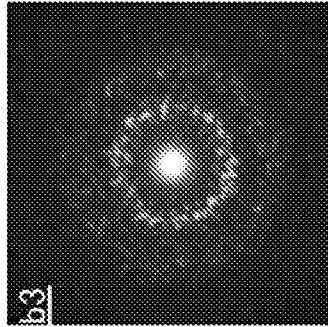
(H)



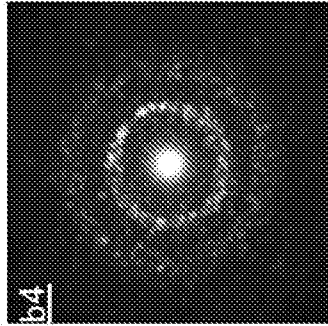
(I)



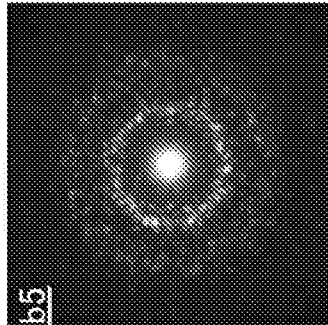
(J)



(K)



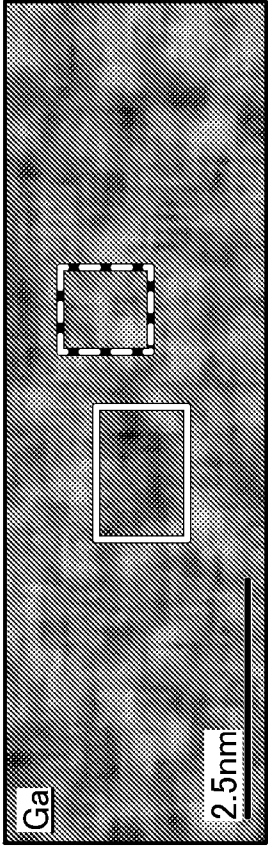
(L)



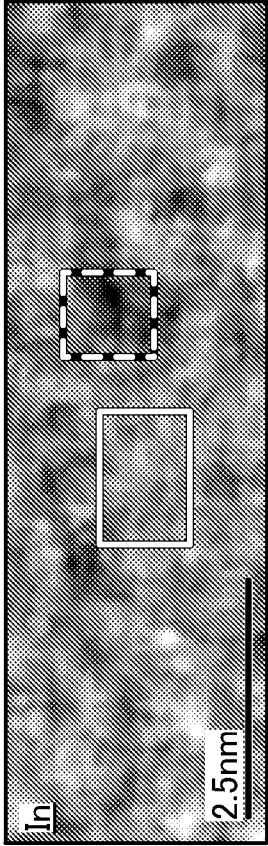
77/78

[図 78]

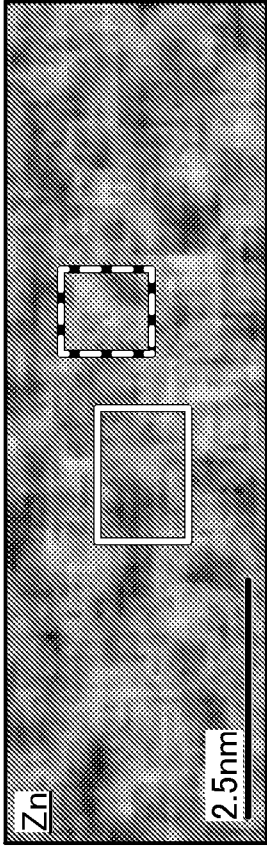
(A)



(B)



(C)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/052925

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/363(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/363, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-64929 A (Semiconductor Energy Laboratory Co., Ltd.), 29 March 2012 (29.03.2012), paragraphs [0022] to [0073], [0100] to [0115]; fig. 6 & US 2012/0040495 A1 paragraphs [0037] to [0087], [0114] to [0129]; fig. 6 & EP 2421031 A1 & CN 102376583 A & KR 10-2012-0016586 A & TW 201227830 A	1 2-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 July 2016 (28.07.16)

Date of mailing of the international search report

09 August 2016 (09.08.16)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/052925

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-96606 A (Semiconductor Energy Laboratory Co., Ltd.), 22 May 2014 (22.05.2014), paragraphs [0071] to [0109] & US 2010/0117086 A1 paragraphs [0099] to [0137] & KR 10-2010-0051547 A & CN 101740398 A & TW 201027632 A	1 2-6
Y A	JP 2015-111697 A (Semiconductor Energy Laboratory Co., Ltd.), 18 June 2015 (18.06.2015), paragraphs [0052] to [0149] & US 2011/0269266 A1 paragraphs [0065] to [0162] & WO 2011/135987 A1 & TW 201205684 A	1 2-6
A	JP 2016-21562 A (Semiconductor Energy Laboratory Co., Ltd.), 04 February 2016 (04.02.2016), paragraphs [0237] to [0329] & US 2015/0372122 A1 paragraphs [0285] to [0377]	1-6
A	JP 2015-15458 A (Semiconductor Energy Laboratory Co., Ltd.), 22 January 2015 (22.01.2015), paragraph [0020] & US 2014/0361289 A1 paragraph [0023]	1
A	JP 2015-227279 A (Flosfia Inc.), 17 December 2015 (17.12.2015), paragraph [0023] & US 2015/0325660 A1 paragraph [0052] & EP 2942804 A1 & CN 105097896 A & TW 201543547 A	3, 4, 6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/363(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/363, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-64929 A（株式会社半導体エネルギー研究所）2012.03.29, 段落[0022]-[0073], [0100]-[0115], 図6 & US 2012/0040495 A1, 段落[0037]-[0087], [0114]-[0129], 図6 & EP 2421031 A1 & CN 102376583 A & KR 10-2012-0016586 A & TW 201227830 A	1 2-6
Y A	JP 2014-96606 A（株式会社半導体エネルギー研究所）2014.05.22, 段落[0071]-[0109] & US 2010/0117086 A1, 段落[0099]-[0137] & KR 10-2010-0051547 A & CN 101740398 A & TW 201027632 A	1 2-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.07.2016

国際調査報告の発送日

09.08.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5F

5382

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-111697 A (株式会社半導体エネルギー研究所) 2015. 06. 18, 段落[0052]-[0149] & US 2011/0269266 A1, 段落[0065]-[0162] & WO 2011/135987 A1 & TW 201205684 A	1 2-6
A	JP 2016-21562 A (株式会社半導体エネルギー研究所) 2016. 02. 04, 段落[0237]-[0329] & US 2015/0372122 A1, 段落[0285]-[0377]	1-6
A	JP 2015-15458 A (株式会社半導体エネルギー研究所) 2015. 01. 22, 段落[0020] & US 2014/0361289 A1, 段落[0023]	1
A	JP 2015-227279 A (株式会社 F L O S F I A) 2015. 12. 17, 段落[0023] & US 2015/0325660 A1, 段落[0052] & EP 2942804 A1 & CN 105097896 A & TW 201543547 A	3, 4, 6