

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6155733号  
(P6155733)

(45) 発行日 平成29年7月5日(2017.7.5)

(24) 登録日 平成29年6月16日(2017.6.16)

(51) Int.Cl. F I  
B 4 1 J 2/045 (2006.01) B 4 1 J 2/045

請求項の数 5 (全 32 頁)

(21) 出願番号	特願2013-59209 (P2013-59209)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号
(22) 出願日	平成25年3月22日(2013.3.22)	(74) 代理人	100125689 弁理士 大林 章
(65) 公開番号	特開2014-184573 (P2014-184573A)	(74) 代理人	100121108 弁理士 高橋 太郎
(43) 公開日	平成26年10月2日(2014.10.2)	(72) 発明者	大▲塚▼ 修司 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
審査請求日	平成28年2月17日(2016.2.17)	(72) 発明者	喜友名 正 神奈川県横浜市西区みなとみらい2丁目3番3号 クイーンズタワーB 日立情報通信エンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 液体吐出装置および容量性負荷駆動回路

(57) 【特許請求の範囲】

【請求項1】

液体を吐出するノズルと、前記ノズルに連通する圧力室と、前記圧力室毎に設けられる圧電素子と、を含む吐出部と、

電荷を供給する一方で電荷を回収する補助電源と、

第0電圧の第0信号経路と、

前記第0電圧よりも高い第1電圧が前記補助電源によって印加された第1信号経路と、

前記第1電圧よりも高い第2電圧の第2信号経路と、

制御信号の電圧と前記圧電素子の保持電圧とに応じて、前記圧電素子と前記補助電源との間を、前記第0信号経路、第1信号経路および前記第2信号経路を用いて電氣的に接続する接続経路選択部と、

を具備し、

前記接続経路選択部は、

前記圧電素子の保持電圧が前記第1電圧を跨いで低下するとき、

前記圧電素子と前記補助電源との間を、

前記第1信号経路および前記第0信号経路を介して電氣的に接続した状態の後、

前記第1信号経路を電氣的に非接続にするとともに前記第0信号経路を介して電氣的に接続した状態に遷移させる

ことを特徴とする液体吐出装置。

【請求項2】

10

20

請求項 1 記載の液体吐出装置において、  
前記圧電素子の保持電圧が、  
前記第 1 電圧よりも予め定められた値だけ高い第 1 高側閾値電圧未満であるか否か、または、前記第 1 電圧よりも予め定められた値だけ低い第 1 低側閾値電圧以上であるか否か、を検出する検出部  
を有することを特徴する液体吐出装置。

【請求項 3】

請求項 2 記載の液体吐出装置において、  
前記接続経路選択部は、  
前記圧電素子の保持電圧が前記第 1 低側閾値電圧以上であって前記第 1 高側閾値電圧未満であるときに、前記圧電素子から前記第 0 信号経路および前記第 1 信号経路に放電される電荷を、前記制御信号の電圧に応じて制御し、  
前記圧電素子の保持電圧が前記第 1 低側閾値電圧未満であるときに、前記圧電素子から前記第 0 信号経路に放電される電荷を、前記制御信号の電圧に応じて制御することを特徴する液体吐出装置。

10

【請求項 4】

請求項 2 または 3 に記載の液体吐出装置において、  
前記接続経路選択部は、  
トランジスター A およびトランジスター B を含み、  
前記圧電素子の保持電圧が前記第 1 低側閾値電圧以上であって前記第 1 高側閾値電圧未満であるときに、  
前記トランジスター A は、前記圧電素子から前記第 0 信号経路に放電される電荷を前記制御信号の電圧に応じて制御し、  
前記トランジスター B は、前記圧電素子から前記第 1 信号経路に放電される電荷を前記制御信号の電圧に応じて制御し、  
前記圧電素子の保持電圧が前記第 1 低側閾値電圧未満であるときに、  
前記トランジスター A は、前記圧電素子から前記第 0 信号経路に放電される電荷を前記制御信号の電圧に応じて制御することを特徴する液体吐出装置。

20

【請求項 5】

容量性負荷に充電と放電とを繰り返させる容量性負荷駆動回路であって、  
電荷を供給する一方で電荷を回収する補助電源と、  
第 0 電圧の第 0 信号経路と、  
前記第 0 電圧よりも高い第 1 電圧が前記補助電源によって印加された第 1 信号経路と、  
前記第 1 電圧よりも高い第 2 電圧の第 2 信号経路と、  
制御信号の電圧と前記容量性負荷の保持電圧とに応じて、前記容量性負荷と前記補助電源との間を、前記第 0 信号経路、第 1 信号経路および前記第 2 信号経路を用いて電氣的に接続する接続経路選択部と、  
を具備し、  
前記接続経路選択部は、  
前記容量性負荷の保持電圧が前記第 1 電圧を跨いで低下するとき、  
前記容量性負荷と前記補助電源との間を、  
前記第 1 信号経路および前記第 0 信号経路を介して電氣的に接続した状態の後、  
前記第 1 信号経路を電氣的に非接続にするとともに前記第 0 信号経路を介して電氣的に接続した状態に遷移させる  
ことを特徴とする容量性負荷駆動回路。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液体吐出装置および容量性負荷回路に関する。

50

## 【背景技術】

## 【0002】

インクを吐出して画像や文書を印刷するインクジェットプリンターには、圧電素子（例えば piezo 素子）を用いたものが知られている。圧電素子は、印刷ヘッドにおける複数のノズルのそれぞれに対応して設けられる。詳細には、圧電素子は、ノズルに連通するとともに流路を介してインクが供給されるキャビティ（インク室）に設けられ、圧電素子に印加される制御信号の電圧変化によって、キャビティの容積を変位させる。ここで、制御信号の電圧が上昇すれば、キャビティの容積が拡大してインクが引き込まれる一方、制御信号の電圧が下降すれば、キャビティの容積が縮小してインクが吐出される構成となっている（例えば特許文献 1 参照）。

10

## 【0003】

圧電素子は、電氣的にみればキャパシターのような容量性負荷であるので、各ノズルの圧電素子を動作させるためには十分な電流を供給する必要がある。このため、原信号を増幅回路で増幅し、増幅された制御信号を印刷ヘッドに供給して、圧電素子を駆動する構成が一般的であったが、装置の省電力化を図る必要性などの理由により、圧電素子に電圧を複数段階で切り替えて供給する方式（電圧切替方式、特許文献 2 参照）が提案されている。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2012 - 86407 号公報

【特許文献 2】特開 2004 - 153411 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところで、上記電圧切替方式では、圧電素子に印加する電圧を、ある値から別の値に変化させるときに、圧電素子に印加される電圧波形が階段状の段差を伴ってしまう箇所がある。

インクを吐出するために制御信号の電圧を直線的に低下させるときに、圧電素子に印加される電圧が階段状になってしまうと、キャビティからインクが段階的に突出されてしまう、端的にいえば、インクが予期せずに複数滴になって吐出されてしまうことがある。インクが複数滴になって吐出されると、ミスト（霧）となって装置内部の各所に付着し、汚れや故障の原因となるだけでなく、紙などの被記録材に着弾しないので、画質を劣化させる、という問題がある。

30

そこで、本発明のいくつかの態様の目的の一つは、省電力化を図るとともに、ある電圧から別の電圧に直線的に変化させる際に、圧電素子に印加される電圧が階段状にならないように制御して、インクが複数滴になってしまうことを防止した液体吐出装置および容量性負荷駆動回路を提供することにある。

## 【課題を解決するための手段】

## 【0006】

上記目的の一つを達成するために、本発明の一態様に係る液体吐出装置は、液体を吐出するノズルと、前記ノズルに連通する圧力室と、前記圧力室毎に設けられる圧電素子と、を含む吐出部と、電荷を供給する一方で電荷を回収する補助電源と、前記第 0 電圧の第 0 信号経路と、前記第 0 電圧よりも高い第 1 電圧が前記補助電源によって印加された第 1 信号経路と、前記第 1 電圧よりも高い第 2 電圧の第 2 信号経路と、制御信号の電圧と前記圧電素子の保持電圧とに応じて、前記圧電素子と前記補助電源との間を、前記第 0 信号経路、第 1 信号経路および前記第 2 信号経路を用いて電氣的に接続する接続経路選択部と、を具備し、前記接続経路選択部は、前記圧電素子の保持電圧が前記第 1 電圧を跨いで低下するとき、前記圧電素子と前記補助電源との間を、前記第 1 信号経路および前記第 0 信号経路を介して電氣的に接続した状態の後、前記第 1 信号経路を電氣的に非接続にするととも

40

50

に前記第0信号経路を介して電氣的に接続した状態に遷移させることを特徴とする。

【0007】

上記一態様に係る液体吐出装置によれば、圧電素子の充電および放電については、基本的には電圧の切り替えで進行するので、電源電圧間で一気に往復構成と比較して、エネルギー効率が高くなり、省電力化を図ることができる。くわえて、放電によって圧電素子の保持電圧が第1電圧を跨いで低下するときに、第0信号経路および第1信号経路の双方が接続された状態を経て、第0信号経路のみが接続された状態に遷移する。このため、上記一態様によれば、圧電素子の保持電圧が第1電圧を跨いで低下するときに、第1信号経路のみが接続された状態を経て、第0信号経路のみが接続された状態を経る構成と比較して第1電圧近傍での段差を抑えることができる。

10

【0008】

上記態様に係る液体吐出装置において、前記圧電素子の保持電圧が、前記第1電圧よりも予め定められた値だけ高い第1低側閾値電圧未満であるか否か、または、前記第1電圧よりも予め定められた値だけ低い第1高側閾値電圧以上であるか否か、を検出する検出部を有する構成としても良い。この構成によれば、検出部によって圧電素子の保持電圧が、第1高側閾値電圧未満であるか否か、または、第1下側閾値電圧以上であるか否か、すなわち、第1電圧を跨ぐ蓋然性が高いか否かが検出される。なお、検出部としては、圧電素子の保持電圧が第1高側閾値電圧未満であるか否かを検出する部分と、第1下側閾値電圧以上であるか否かを検出する部分とを個別に分けても良いし、一体としても良い。

20

【0009】

上記態様に係る液体吐出装置において、前記接続経路選択部は、前記圧電素子の保持電圧が前記第1低側閾値電圧以上であって前記第1高側閾値電圧未満であるときに、前記圧電素子から前記第0信号経路および前記第1信号経路に放電される電荷を、前記制御信号の電圧に応じて制御し、前記圧電素子の保持電圧が前記第1低側閾値電圧未満であるときに、前記圧電素子から前記第0信号経路に放電される電荷を、前記制御信号の電圧に応じて制御する構成としても良い。この構成によれば、制御信号の電圧にしたがって、圧電素子に放電される電荷が制御される。

【0010】

上記態様に係る液体吐出装置において、前記接続経路選択部は、トランジスタAおよびトランジスタBを含み、前記圧電素子の保持電圧が前記第1低側閾値電圧以上であって前記第1高側閾値電圧未満であるときに、前記トランジスタAは、前記圧電素子から前記第0信号経路に放電される電荷を前記制御信号の電圧に応じて制御し、前記トランジスタBは、前記圧電素子から前記第1信号経路に放電される電荷を前記制御信号の電圧に応じて制御し、前記圧電素子の保持電圧が前記第1低側閾値電圧未満であるときに、前記トランジスタAは、前記圧電素子から前記第0信号経路に放電される電荷を前記制御信号の電圧に応じて制御する構成としても良い。

30

なお、上記態様において、所定値としては、トランジスタAおよびトランジスタB例えばバイポーラトランジスタであれば、バイアス電圧に相当する電圧とし、例えばMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor: 電界効果トランジスタ) であれば、しきい値電圧に相当する電圧とするのが好ましい。

40

【0011】

上記目的の一つを達成するために、本発明の別態様に係る容量性負荷駆動回路は、容量性負荷に充電と放電とを繰り返させる容量性負荷駆動回路であって、電荷を供給する一方で電荷を回収する補助電源と、前記第0電圧の第0信号経路と、前記第0電圧よりも高い第1電圧が前記補助電源によって印加された第1信号経路と、前記第1電圧よりも高い第2電圧の第2信号経路と、制御信号の電圧と前記容量性負荷の保持電圧とに応じて、前記容量性負荷と前記補助電源との間を、前記第0信号経路、第1信号経路および前記第2信号経路を用いて電氣的に接続する接続経路選択部と、を具備し、前記接続経路選択部は、前記容量性負荷の保持電圧が前記第1電圧を跨いで低下するときに、前記容量性負荷と前記補助電源との間を、前記第1信号経路および前記第0信号経路を介して電氣的に接続した

50

状態の後、前記第 1 信号経路を電氣的に非接続にするとともに前記第 0 信号経路を介して電氣的に接続した状態に遷移させることを特徴とする。

上記別態様に係る容量性負荷駆動回路によれば、容量性負荷の充電および放電については、基本的には電圧の切り替えで進行するので、電源電圧間で一気にを行う従来構成と比較して、エネルギー効率が高くなり、省電力化を図ることができる。くわえて、放電によって圧電素子の保持電圧が第 1 電圧を跨いで低下するときに、第 0 信号経路および第 1 信号経路の双方が接続された状態を経て、第 0 信号経路のみが接続された状態に遷移する。このため、上記別態様によれば、容量性負荷の保持電圧が第 1 電圧を跨いで低下するときに、第 1 信号経路のみが接続された状態を経て、第 0 信号経路のみが接続された状態を経る構成と比較して第 1 電圧近傍での段差を抑えることができる。

10

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】印刷装置の概略構成を示す図である。

【図 2】印刷ヘッドにおける吐出部の要部構成を示す図である。

【図 3】印刷ヘッドに供給される制御信号 COM 等の一例を示す波形図である。

【図 4】印刷装置の要部構成を示すブロック図である。

【図 5】印刷ヘッドにおけるドライバーの構成の一例を示す図である。

【図 6】ドライバーにおける各レベルシフターの動作範囲を示す図である。

【図 7】ドライバーにおける入力と出力との関係の一例を示す図である。

【図 8】レベルシフターにおける入力と出力との関係の一例を示す図である。

20

【図 9】レベルシフターにおける入力と出力との関係の一例を示す図である。

【図 10】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 11】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 12】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 13】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 14】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 15】ドライバーにおける電流（電荷）の流れを説明するための図である。

【図 16】ドライバーの充放電時の損失の説明図である。

【図 17】ドライバーにおけるトランジスターの動作範囲を示すための図である。

【図 18】補助電源回路の構成の一例を示す図である。

30

【図 19】補助電源回路の動作説明図である。

【図 20】応用例（その 1）に係るドライバーの構成の一例を示す図である。

【図 21】応用例（その 2）に係るドライバーの構成の一例を示す図である。

【図 22】比較例に係るドライバーの構成を示す図である。

【図 23】比較例に係るドライバーの各レベルシフターの動作範囲を示す図である。

【図 24】比較例のレベルシフターにおける入力と出力との関係を示す図である。

【図 25】比較例のドライバーの出力における段差の一例を示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、図面を参照して本発明を実施するための形態について説明する。

40

【 0 0 1 4 】

<印刷装置の全体構成>

本発明の実施形態に係る印刷装置は、ホストコンピュータから供給された画像データに応じてインクを吐出することによって紙などの被記録材にインクドット群を形成し、これにより、当該画像データに応じた画像（文字、図形等を含む）を印刷するインクジェットプリンター、すなわち液体吐出装置である。

【 0 0 1 5 】

図 1 は、印刷装置 1 の概略構成を示す図である。

この図に示されるように、印刷装置 1 は、ホストコンピュータから供給された画像データに基づいて画像の印刷のための演算処理を実行する制御ユニット 10 と、複数のノズ

50

ルを有する印刷ヘッド20とを含んだ構成となっている。なお、制御ユニット10と印刷ヘッド20とは、フレキシブルケーブル190を介して電氣的に接続される。また、印刷ヘッド20は、被記録材の送り方向(副走査方向)に対してほぼ直交する方向(主走査方向)に移動可能なキャリッジ(図示省略)に搭載される。

【0016】

制御ユニット10は、主制御部120と、DAC(Digital to Analog Converter)160と、主電源回路180とを含む。

主制御部120は、ホストコンピュータから取得した画像データに基づいて、画像展開処理や、色変換処理、インク色分版処理、ハーフトーン処理などの印刷のための演算処理を実行して、印刷ヘッド20のノズルからインクを吐出させるための複数種類の信号を生成する。複数種類の信号には、DAC160に供給されるデジタルの制御データdCOMや、後述するヘッド制御部220に供給される各種信号が含まれる。

10

なお、主制御部120が実行する印刷のための各演算処理の内容は、印刷装置の技術分野において周知の事項であるため、説明を省略する。また、印刷装置1としては、印刷ヘッド20を搭載したキャリッジを主走査方向に移動させるキャリッジモーターや、被記録材を副走査方向に搬送するための搬送モーターなどを含み、また、制御ユニット10としては、これらのモーターに駆動信号を供給する構成を含むが、同様に周知の事項であるため、説明を省略する。

【0017】

DAC160は、制御データdCOMをアナログの駆動信号COMに変換して印刷ヘッド20に供給する。

20

主電源回路180は、制御ユニット10の各部や印刷ヘッド20に電源電圧を供給し、特に印刷ヘッド20に対して電源電圧として $V_H$ 、Gを供給する。

なお、G(グラウンド)は接地電位であり、この説明において特に説明のない限り、電圧ゼロの基準としている。また、電圧 $V_H$ は、実施形態においてグラウンドGに対し高位側としている。

【0018】

印刷ヘッド20には、特に図示しないが、1色または複数色のインクがインク容器から流路を介して供給される。印刷ヘッド20は、補助電源回路50、ヘッド制御部220および選択部230のほか、ドライバー30と圧電素子(ピエゾ素子)40との複数組を含む。

30

ヘッド制御部220は、主制御部120から供給された各種信号にしたがって選択部230の選択を制御するものである。

【0019】

選択部230は、ドライバー30および圧電素子40の複数組のそれぞれに対応したスイッチ232を有し、各スイッチ232の一端は互いに接続されて、制御信号COMが共通に供給される一方、他端は、それぞれに対応するドライバー30の入力端に接続される。各スイッチ232は、ヘッド制御部220による制御にしたがってオン/オフするとともに、オンしたときに制御信号COMをドライバー30に供給する一方、オフしたときに制御信号COMを遮断する。このため、選択部230は、制御ユニット10から供給される制御信号COMをヘッド制御部220にしたがって選択してドライバー30に供給することになる。説明の便宜上、制御信号COMのうち、ヘッド制御部220にしたがって選択されてドライバー30に供給される制御信号を $V_{in}$ と表記する。

40

【0020】

ドライバー30は、補助電源回路50から供給される複数の電圧と、電源電圧 $V_H$ 、Gとを用いて、選択部230から供給される制御信号 $V_{in}$ にしたがって圧電素子40を駆動する。

圧電素子40の一端は、対応するドライバー30の出力端に接続される一方、圧電素子40の他端はグラウンドGに共通接地されている。このため、圧電素子40に保持される電圧は、ドライバー30の出力電圧の意味を兼ねるので、電圧 $V_{out}$ と表記している。

50

補助電源回路 50 は、具体的な構成については後述するが、主電源回路 180 から供給される電源電圧  $V_H$ 、 $G$  をチャージポンプ回路によって分圧・再配分することによって、電圧  $V_H/6$ 、 $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$  および  $5V_H/6$  を生成して、複数のドライバー 30 にわたって共通に供給する。

#### 【0021】

上述したように圧電素子 40 は、印刷ヘッド 20 における複数のノズルのそれぞれに対応して設けられて、その駆動によってインクを吐出させる。そこで次に、圧電素子 40 への駆動によってインクを吐出させるための構成について簡単に説明する。

#### 【0022】

図 2 は、印刷ヘッド 20 において、ノズル 1 個分に対応した吐出部 400 の概略構成を示す図である。

10

図に示されるように吐出部 400 は、圧電素子 40 と振動板 421 とキャビティ（圧力室）431 とリザーバー 441 とノズル 451 とを含む。このうち、振動板 421 は、図において上面に設けられた圧電素子 40 によって変形して、インクが充填されるキャビティ 431 の内部容積を拡大/縮小させる。ノズル 451 は、キャビティ 431 に連通する開口部である。

#### 【0023】

この図で示される圧電素子 40 は、一般にユニモルフ（モノモルフ）型と呼ばれ、圧電体 401 を一対の電極 411、412 で挟んだ構造である。この構造の圧電体 401 においては、電極 411、412 の間に印加された電圧に応じて、電極 411、412、振動板 421 とともに図において中央部分が両端部分に対して上下方向に撓む。ここで、上方方向に撓めば、キャビティ 431 の内部容積が拡大するので、インクがリザーバー 441 から引き込まれる一方、下方方向に撓めば、キャビティ 431 の内部容積が拡大するので、インクがノズル 451 から吐出される。

20

なお、圧電素子 40 は、ユニモルフ型に限らず、バイモルフ型や積層型など、圧電素子 40 を変形させてインクのような液体を吐出させることができる型であれば良い。

#### 【0024】

図 3 は、印刷ヘッド 20 に供給される制御信号 COM 等の一例を示す図である。

この図に示されるように、制御信号 COM は、圧電素子 40 を駆動する信号の最小単位である駆動パルス PCOM1 から PCOM4 までが印刷周期  $T_a$  において時系列的に連続している。なお、制御信号 COM は、実際には、当該印刷周期  $T_a$  を 1 周期とした繰り返し波形である。

30

この印刷期間  $T_a$  において、最初の 1 番目の期間  $T_1$  には駆動パルス PCOM1 が位置し、次の 2 番目の期間  $T_2$  には駆動パルス PCOM2 が位置し、3 番目の期間  $T_3$  には駆動パルス PCOM3 が位置し、4 番目の期間  $T_4$  には駆動パルス PCOM4 が位置している。

#### 【0025】

本実施形態において駆動パルス PCOM2、PCOM3 とは、互いにほぼ同一の波形であり、仮にそれぞれが圧電素子 40 に供給されたとすれば、ノズルから所定量の、例えば中程度の量のインクがそれぞれ吐出させる波形である。また、駆動パルス PCOM4 は、駆動パルス PCOM2（PCOM3）とは異なる波形となっており、仮に駆動パルス PCOM4 が圧電素子 40 に供給されたとすれば、ノズルから上記所定量よりも少ない量のインクが吐出される波形である。なお、駆動パルス PCOM1 は、ノズルの開口部付近のインクを微振動させてインクの粘度の増大を防止するための波形である。このため、仮に駆動パルス PCOM1 が圧電素子 40 に供給されても、ノズルからインク滴が吐出されない。

40

#### 【0026】

一方、主制御部 120 から供給される各種信号には、ノズルから吐出させるインク量（階調）を画素毎に規定する 2 ビットの印字データや、印刷周期  $T_a$  の開始タイミングを規定するパルス、期間  $T_2$ 、 $T_3$ 、 $T_4$  の開始タイミングを規定するパルスなどが供給され

50

る。

ヘッド制御部 220 は、主制御部 120 から供給された各種信号にしたがって、制御信号 COM をドライバー 30 ごとに次のように選択して制御信号 Vin として供給する。

【0027】

図 3 は、2 ビットの印字データに対して、制御信号 COM が、ヘッド制御部 220 および選択部 230 によってどのように選択されて制御信号 Vin として供給されるかについても示している。

【0028】

詳細には、あるノズルに対応する印字データが例えば (11) のとき、ヘッド制御部 220 は、当該ノズルに対応するスイッチ 232 を、期間 T2、T3 においてオンさせる。このため、制御信号 COM のうち、駆動パルス PCOM2、PCOM3 が選択されて、制御信号 Vin となる。後述するようにドライバー 30 は、制御信号 Vin の電圧に追従するように電圧 Vout を出力して当該ノズルに対応する圧電素子 40 を駆動する。このため、当該ノズルからそれぞれに対応した中程度の量のインクが 2 回にわけて吐出される。したがって、被記録材上ではそれぞれのインクが着弾して合体する結果、大ドットが形成される。

10

また、あるノズルに対応する印字データが (01) のとき、ヘッド制御部 220 は、当該ノズルに対応するスイッチ 232 を、期間 T3、T4 においてオンさせる。このため、制御信号 COM のうち、駆動パルス PCOM3、PCOM4 が選択されて、制御信号 Vin となる。制御信号 Vin に追従した電圧 Vout によって圧電素子 40 が駆動されるので、当該ノズルからそれぞれに対応して中程度および小程度の量のインクが 2 回にわけて吐出される。したがって、被記録材上ではそれぞれのインクが着弾して合体する結果、中ドットが形成される。

20

【0029】

一方、あるノズルに対応する印字データが (10) のとき、ヘッド制御部 220 は、当該ノズルに対応するスイッチ 232 を、期間 T4 においてのみオンさせる。このため、制御信号 COM のうち、駆動パルス PCOM4 が選択されて、制御信号 Vin となる。制御信号 Vin に追従した電圧 Vout によって圧電素子 40 が駆動されるので、当該ノズルから小程度の量のインクが 1 回だけ吐出される。したがって、被記録材上では小ドットが形成される。

30

そして、あるノズルに対応する印字データが (00) であれば、ヘッド制御部 220 は、当該ノズルに対応するスイッチ 232 を期間 T1 においてのみオンさせる。このため、制御信号 COM のうち、駆動パルス PCOM1 が選択されて、制御信号 Vin となる。制御信号 Vin に追従した電圧 Vout によって圧電素子 40 が駆動されるが、期間 T1 においてノズルの開口部付近のインクが微振動するのみである。したがって、インクは吐出されないため、被記録材上ではドットが形成されない、すなわち非記録となる。

このような印字データに応じて制御信号 COM を選択して制御信号 Vin として供給することによって、大ドット、中ドット、小ドットおよび非記録の 4 階調が表現される。

なお、このような選択動作は、ノズル毎に同時並行的において実行される。また、図 3 に示した波形等は、あくまでも一例である。

40

【0030】

図 4 は、印刷装置 1 において 1 組のドライバー 30 および圧電素子 40 に着目したときの要部構成を示すブロック図である。

ドライバー 30 に供給される制御信号 Vin は、DAC160 によって変換された駆動信号 COM を、当該ドライバー 30 に対応するスイッチ 232 のオンによって抜き出した信号である。このため、制御信号 Vin は、ドライバー 30 の前段である主制御部 120、DAC160、選択部 230 (スイッチ 232) を一つのブロックとした制御信号生成部 15 から当該ドライバー 30 に供給される、ということができる。

【0031】

一方、補助電源回路 50 (補助電源) は、電源電圧  $V_H$ 、G から電圧  $V_H / 6$ 、 $2V_H$

50

/ 6、 $3V_H/6$ 、 $4V_H/6$ および $5V_H/6$ を生成してドライバー30に供給し、ドライバー30は、電源電圧 $V_H$ 、Gと、電圧 $V_H/6$ 、 $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$ 、 $5V_H/6$ とを用いて、制御信号 $V_{in}$ の電圧に追従する電圧 $V_{out}$ を圧電素子40に供給する点については上述した通りである。また、電圧 $V_H/6$ は、補助電源回路50からドライバー30に電源配線511を介して供給され、同様に、電圧 $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$ 、 $5V_H/6$ は、電源配線512、513、514、515を介して供給される。

なお、図4において括弧書で記載されているように、ドライバー30が接続経路選択部に相当する。また、電圧 $V_H/6$ 、 $2V_H/6$ 、...のそれぞれを第1電圧、第2電圧、...としたときに、電源配線511、512、...のそれぞれが第1信号経路、第2信号経路、...に相当する。このため、便宜的にグランドGの電圧ゼロが第0電圧となり、グランドGを第0信号経路となる。

#### 【0032】

<ドライバー>

圧電素子40は、印刷ヘッド20における複数のノイズルの各々に対応して設けられるとともに、各々が組となるドライバー30によって駆動される。

#### 【0033】

図5は、1個の圧電素子40を駆動するドライバー30の構成の一例を示す図である。

この図に示されるように、ドライバー30は、オペアンプ32と、単位回路34a~34fと、コンパレータ38au、38ad、38bu、38bd、38cu、38cd、38du、38dd、38eu、38edとを含み、制御信号 $V_{in}$ にしたがって圧電素子40を駆動する構成となっている。

ドライバー30は、電圧ゼロを含めると、7種類の電圧、詳細には低い順に電圧ゼロ(グランドG)、 $V_H/6$ 、 $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$ 、 $5V_H/6$ 、 $V_H$ を用いる。

このうち、電圧ゼロおよび電圧 $V_H$ を除いた5種類の電圧は、それぞれ電源配線511、512、513、514、515を介して補助電源回路50から供給される。

#### 【0034】

ドライバー30の入力端であるオペアンプ32の入力端(+)には、選択部230から出力される制御信号 $V_{in}$ が供給される。オペアンプ32の出力信号は、単位回路34a~34fにそれぞれ供給されるとともに、抵抗 $R_f$ を介してオペアンプ32の入力端(-)に負帰還され、さらに抵抗 $R_{in}$ を介してグランドGに接地される。このため、オペアンプ32は、制御信号 $V_{in}$ を $(1 + R_f/R_{in})$ 倍に非反転増幅することになる。

オペアンプ32の電圧増幅率は、抵抗 $R_f$ 、 $R_{in}$ によって設定することができるが、便宜上、以降においては $R_f$ をゼロとし、 $R_{in}$ を無限大とする。すなわち、以降においては、オペアンプ32の電圧増幅率を「1」に設定して、制御信号 $V_{in}$ がそのまま単位回路34a~34fに供給されるものとして説明する。なお、電圧増幅率が「1」以外であっても良い。

#### 【0035】

単位回路34a~34fは、上記7種類の電圧のうち、互いに隣り合う2つの電圧に対応して電圧の低い順に設けられる。詳細には、単位回路34aは電圧ゼロおよび電圧 $V_H/6$ に対応し、単位回路34bは電圧 $V_H/6$ および電圧 $2V_H/6$ に対応し、単位回路34cは電圧 $2V_H/6$ および電圧 $3V_H/6$ に対応し、単位回路34dは電圧 $3V_H/6$ および電圧 $4V_H/6$ に対応し、単位回路34eは電圧 $4V_H/6$ および電圧 $5V_H/6$ に対応し、単位回路34fは電圧 $5V_H/6$ および電圧 $V_H$ に対応して設けられる。

#### 【0036】

単位回路34a~34fの回路構成は互いに同じであり、レベルシフター36a~36fのいずれかに対応するもの1つと、バイポーラ型のNPN型のトランジスター341とPNP型のトランジスター342とを含む。

なお、単位回路34a~34fについて、特定せずに一般的に説明するときには、単に

10

20

30

40

50

符号を「34」として説明し、同様に、レベルシフター36a~36fについて、特定せずに一般的に説明するときには、単に符号を「36」として説明する。

【0037】

レベルシフター36は、イネーブル(enable)状態とディセーブル(disable)状態とのいずれかの状態をとる。詳細には、レベルシフター36は、丸印が付された負制御端に供給される信号がLレベルであって、かつ、丸印が付されていない正制御端に供給される信号がHレベルであるときに、イネーブル状態になり、それ以外のときは、ディセーブル状態となる。

【0038】

後述するように上記7種類の電圧のうち、電圧ゼロおよび電圧 $V_H$ を除いた5種類の電圧のそれぞれには、コンパレーターのペアが関連している。詳細には、コンパレーターの符号38の直後の第1番目の符号a~eは、それがaであれば電圧 $V_H/6$ に、b~eであれば、 $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$ 、 $5V_H/6$ に関連していることを示している。例えばコンパレーター38ad、38auのペアは電圧 $V_H/6$ に関連し、また例えばコンパレーター38bd、38buのペアは電圧 $2V_H/6$ に関連していることを示している。

さらに、コンパレーターのペアのそれぞれは、関連した電圧よりも だけ低位の下側閾値電圧に対応しているものと、 だけ高位の高側閾値電圧に対応しているものである。すなわち、コンパレーターの符号38の第2番目の符号d、uは、それがdであれば下側閾値電圧に対応していることを示し、uであれば高側閾値電圧に対応していることを示している。

したがって、例えばコンパレーター38auは、電圧 $V_H/6$ よりも だけ高位の高側閾値電圧に対応していることを示し、コンパレーター38bdは、電圧 $2V_H/6$ よりも だけ低位の低側閾値電圧に対応していることを示している。

なお、レベルシフターについて、特定せずに一般的に説明するときには、符号を省略して説明することにする。

【0039】

一方、ある単位回路34に着目したとき、当該単位回路34におけるレベルシフター36の負制御端には、当該単位回路34に対応した高位側電圧よりも だけ高位の高側閾値電圧に対応したコンパレーターの出力信号が供給され、当該レベルシフター36の正制御端には、当該単位回路34に対応した低位側電圧よりも だけ低位の低側閾値電圧に対応したコンパレーターの出力信号が供給される。例えば単位回路34bは、電圧 $V_H/6$ および電圧 $2V_H/6$ に対応している。このため、当該単位回路34bにおけるレベルシフター36bの負制御端には、高位側の電圧 $2V_H/6$ の高側閾値電圧に対応したコンパレーター38buの出力信号が供給され、当該レベルシフター36bの正制御端には、低位側の電圧 $V_H/6$ の下側閾値電圧に対応したコンパレーター38adの出力信号が供給される。

ただし、単位回路34fにおけるレベルシフター36fの負制御端はLレベルに相当する電圧ゼロのグランドGに接地される一方、単位回路34aにおけるレベルシフター36aの正制御端は、Hレベルに相当する電圧 $V_H$ を供給する電源配線516に接続される。なお、単位回路34aにおけるレベルシフター36aの負制御端には、電圧 $V_H/6$ の高側閾値電圧に対応しているコンパレーター38auの出力信号が供給されている。

【0040】

レベルシフター36は、イネーブル状態では、入力された制御信号Vinの電圧をマイナス方向に所定値だけシフトさせてトランジスター341のベース端子に供給する一方、制御信号Vinの電圧をプラス方向に所定値だけシフトさせてトランジスター342のベース端子に供給する。レベルシフター36は、ディセーブル状態では、制御信号Vinにかかわらず、トランジスター341をオフさせる電圧、例えば電圧 $V_H$ を当該トランジスター341のベース端子に供給するとともに、トランジスター342をオフさせる電圧、例えば電圧ゼロを当該トランジスター342のベース端子に供給する。

なお、本実施形態において所定値としては、エミッタ端子に電流が流れ始めるベース・エミッタ間の電圧（バイアス電圧、約0.6ボルト）としている。すなわち、レベルシフター36における所定値は、トランジスタ341、342の特性に応じて定められる性質のものである。また、後述するように所定値としてはバイアス電圧以外に設定しても良い。

#### 【0041】

ある単位回路34におけるトランジスタ341のコレクタ端子は、当該単位回路34に対応する2電圧のうち、高位側電圧を供給する電源配線に接続され、トランジスタ342のコレクタ端子は、低位側電圧を供給する電源配線に接続される。例えば、電圧ゼロおよび電圧 $V_H/6$ に対応する単位回路34aでは、トランジスタ341のコレクタ端子が電圧 $V_H/6$ を供給する電源配線511に接続され、トランジスタ342のコレクタ端子が電圧ゼロのグランドGに接地される。また例えば、電圧 $V_H/6$ および電圧 $2V_H/6$ に対応する単位回路34bでは、トランジスタ341のコレクタ端子が電圧 $2V_H/6$ を供給する電源配線512に接続され、トランジスタ342のコレクタ端子が電圧 $V_H/6$ を供給する電源配線511に接続される。なお、電圧 $5V_H/6$ および電圧 $V_H$ に対応する単位回路34fでは、トランジスタ341のコレクタ端子が電圧 $V_H$ を供給する電源配線516に接続され、トランジスタ342のコレクタ端子が電圧 $5V_H/6$ を供給する電源配線515に接続される。

10

#### 【0042】

一方、単位回路34a~34fにおいてトランジスタ341、342の各エミッタ端子は、圧電素子40の一端に共通接続される。このため、上述したようにトランジスタ341、342の各エミッタ端子の共通接続点が、ドライバー30の出力端として圧電素子40の一端に接続されることになる。

20

#### 【0043】

コンパレータのペアは、7種類の電圧のうち、電圧ゼロおよび電圧 $V_H$ を除いた5種類の電圧のそれぞれに関連し、各ペアは、関連した電圧よりもだけ低位の下側閾値電圧に対応したコンパレータと、だけ高位の高側閾値電圧に対応したコンパレータとで構成される。

各コンパレータは、2つの入力端を有し、このうち、一端には自身に対応付けられた閾値電圧が供給され、他端には、トランジスタ341、342の各エミッタ端子および圧電素子40の一端の接続部分における電圧 $V_{out}$ が供給される。

30

各コンパレータは、入力端における他端の電圧 $V_{out}$ が一端の閾値電圧以上であればHレベルとし、電圧 $V_{out}$ が一端の閾値電圧未満であればLレベルとした信号を出力する。具体的には例えばコンパレータ38adは、電圧 $V_{out}$ が閾値電圧（ $V_H/6 -$ ）以上であればHレベルとし、閾値電圧（ $V_H/6 -$ ）未満であればLレベルとした信号を出力する。また例えば、コンパレータ38buは、電圧 $V_{out}$ が電圧（ $2V_H/6 +$ ）以上であればHレベルとし、電圧（ $2V_H/6 +$ ）未満であればLレベルとした信号を出力する。なお、各コンパレータの出力信号の供給先は、すでに説明した通りである。

また、図5においては、各コンパレータの入力端の一端には、自身に対応付けられた電圧が供給されているかのように図示されているが、実際には、入力端の一端に供給された電圧を内部でだけレベルシフトするとともに、レベルシフトした電圧を閾値電圧として電圧 $V_{out}$ と比較する構成となっている（後述する図20、図21においても同じ）。

40

#### 【0044】

次に、ドライバー30の動作について説明する。

まず、圧電素子40で保持された電圧 $V_{out}$ に対して、レベルシフター36a~36fがどのような状態になるのかについて検討する。

#### 【0045】

図6は、レベルシフター36a~36fが電圧 $V_{out}$ に対してイネーブル状態となる電圧の範囲を示す図である。

50

電圧  $V_{out}$  が電圧ゼロ以上閾値電圧 ( $V_H / 6 -$ ) 未満である D 1 状態において、コンパレーターの出力信号はすべて L レベルとなる。このため、D 1 状態では、レベルシフター 3 6 a のみがイネーブル状態になり、他のレベルシフター 3 6 b ~ 3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 -$ ) 以上閾値電圧 ( $V_H / 6 +$ ) 未満である D 2 状態において、コンパレーター 3 8 a d の出力信号だけが H レベルとなり、他のコンパレーターの出力信号は L レベルとなる。したがって、D 2 状態では、レベルシフター 3 6 a、3 6 b がともにイネーブル状態になり、他のレベルシフター 3 6 c ~ 3 6 f はディセーブル状態になる。

【 0 0 4 6 】

10

電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 +$ ) 以上閾値電圧 ( $2 V_H / 6 -$ ) 未満である D 3 状態において、コンパレーター 3 8 a d、3 8 a u の出力信号がともに H レベルとなり、他のコンパレーターの出力信号は L レベルとなる。したがって、D 3 状態では、レベルシフター 3 6 b だけがイネーブル状態になり、他のレベルシフター 3 6 a、3 6 c ~ 3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $2 V_H / 6 -$ ) 以上閾値電圧 ( $2 V_H / 6 +$ ) 未満である D 4 状態において、コンパレーター 3 8 a d、3 8 a u、3 8 b d の出力信号が H レベルとなり、他のコンパレーターの出力信号は L レベルとなる。したがって、D 4 状態では、レベルシフター 3 6 b、3 6 c がともにイネーブル状態になり、他のレベルシフター 3 6 a、3 6 d ~ 3 6 f はディセーブル状態になる。

20

【 0 0 4 7 】

以降詳細については省略するが、D 5 状態から D 1 1 状態まで、コンパレーターの出力信号は、閾値電圧が低いものの順に H レベルとなる。

このため、電圧  $V_{out}$  が閾値電圧 ( $2 V_H / 6 +$ ) 以上閾値電圧 ( $3 V_H / 6 -$ ) 未満の D 5 状態では、レベルシフター 3 6 c だけがイネーブル状態になり、他のレベルシフター 3 6 a、3 6 b、3 6 d ~ 3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $3 V_H / 6 -$ ) 以上閾値電圧 ( $3 V_H / 6 +$ ) 未満の D 6 状態では、レベルシフター 3 6 c、3 6 d がともにイネーブル状態になり、他のレベルシフター 3 6 a、3 6 b、3 6 e、3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $3 V_H / 6 +$ ) 以上閾値電圧 ( $4 V_H / 6 -$ ) 未満の D 7 状態では、レベルシフター 3 6 d だけがイネーブル状態になり、他のレベルシフター 3 6 a ~ 3 6 c、3 6 e、3 6 f はディセーブル状態になる。

30

電圧  $V_{out}$  が閾値電圧 ( $4 V_H / 6 -$ ) 以上閾値電圧 ( $4 V_H / 6 +$ ) 未満の D 8 状態では、レベルシフター 3 6 d、3 6 e がともにイネーブル状態になり、他のレベルシフター 3 6 a ~ 3 6 c、3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $4 V_H / 6 +$ ) 以上閾値電圧 ( $5 V_H / 6 -$ ) 未満の D 9 状態では、レベルシフター 3 6 e だけがイネーブル状態になり、他のレベルシフター 3 6 a ~ 3 6 d、3 6 f はディセーブル状態になる。

電圧  $V_{out}$  が閾値電圧 ( $5 V_H / 6 -$ ) 以上閾値電圧 ( $5 V_H / 6 +$ ) 未満の D 1 0 状態では、レベルシフター 3 6 e、3 6 f がともにイネーブル状態になり、他のレベルシフター 3 6 a ~ 3 6 d はディセーブル状態になる。

40

電圧  $V_{out}$  が閾値電圧 ( $5 V_H / 6 +$ ) 以上閾値電圧  $V_H$  未満の D 1 1 状態では、レベルシフター 3 6 f だけがイネーブル状態になり、他のレベルシフター 3 6 a ~ 3 6 e はディセーブル状態になる。

なお、D 1 状態から D 1 1 状態までについては電圧  $V_{out}$  で規定しているが、これは、圧電素子 4 0 に保持 (蓄積) された電荷の状態と言い換えることができる。

【 0 0 4 8 】

さて、例えば上記 D 1 状態においてレベルシフター 3 6 a がイネーブル状態のとき、当該レベルシフター 3 6 a は、制御信号  $V_{in}$  をマイナス方向に所定値だけレベルシフトした電圧信号を単位回路 3 4 a におけるトランジスタ 3 4 1 のベース端子に供給し、制御信

50

号  $V_{in}$  をプラス方向に所定値だけレベルシフトした電圧信号を当該単位回路 3 4 a におけるトランジスタ 3 4 2 のベース端子に供給する。

【 0 0 4 9 】

ここで、制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  (エミッタ端子同士の接続点電圧) よりも高いとき、その差 (ベース・エミッタ間の電圧、厳密に言えばベース・エミッタ間の電圧から所定値だけ減じた電圧) に応じた電流がトランジスタ 3 4 1 のコレクタ端子からエミッタ端子に流れる。このため、電圧  $V_{out}$  が徐々に上昇して制御信号  $V_{in}$  の電圧に近づき、やがて電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致すると、その時点でトランジスタ 3 4 1 に流れていた電流がゼロになる。

【 0 0 5 0 】

一方、D 1 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも低いとき、その差に応じた電流がトランジスタ 3 4 2 のエミッタ端子からコレクタ端子に流れる。このため、電圧  $V_{out}$  が徐々に低下して制御信号  $V_{in}$  の電圧に近づき、やがて電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致すると、その時点でトランジスタ 3 4 2 に流れる電流がゼロになる。

したがって、D 1 状態において、電圧  $V_{out}$  を制御信号  $V_{in}$  に一致させるような制御が実行されることになる。

【 0 0 5 1 】

D 1 状態において、単位回路 3 4 a 以外の単位回路 3 4 b ~ 3 4 f では、レベルシフター 3 6 がディセーブル状態となるので、トランジスタ 3 4 1 のベース端子には電圧  $V_H$  が供給され、トランジスタ 3 4 2 のベース端子には電圧ゼロが供給される。このため、D 1 状態において、単位回路 3 4 b ~ 3 4 f では、トランジスタ 3 4 1、3 4 2 がオフするので、電圧  $V_{out}$  の制御には関与しないことになる。

ここでは、D 1 状態であるときについて説明しているが、D 3 状態、D 5 状態、D 7 状態、D 9 状態、D 1 1 状態についても同様な動作となる。詳細には、圧電素子 4 0 で保持された電圧  $V_{out}$  に応じて、単位回路 3 4 a ~ 3 4 f のいずれか 1 つが有効になるとともに、有効になった単位回路のトランジスタ 3 4 1、3 4 2 が電圧  $V_{out}$  を制御信号  $V_{in}$  に一致させるように制御する。

【 0 0 5 2 】

次に D 2 状態について説明する。上記 D 2 状態においてレベルシフター 3 6 a、3 6 b がともにイネーブル状態のとき、レベルシフター 3 6 a は、制御信号  $V_{in}$  をマイナス方向に所定値だけレベルシフトした電圧信号を単位回路 3 4 a におけるトランジスタ 3 4 1 のベース端子に供給し、制御信号  $V_{in}$  をプラス方向に所定値だけレベルシフトした電圧信号を当該単位回路 3 4 a におけるトランジスタ 3 4 2 のベース端子に供給する。ここまでは、D 1 状態と同様であるが、D 2 状態ではさらに、レベルシフター 3 6 b が、制御信号  $V_{in}$  をマイナス方向に所定値だけレベルシフトした電圧信号を単位回路 3 4 b におけるトランジスタ 3 4 1 のベース端子に供給し、制御信号  $V_{in}$  をプラス方向に所定値だけレベルシフトした電圧信号を当該単位回路 3 4 b におけるトランジスタ 3 4 2 のベース端子に供給する。

【 0 0 5 3 】

ここで、D 2 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも高いとき、その差に応じた電流が単位回路 3 4 a におけるトランジスタ 3 4 1 のコレクタ端子からエミッタ端子に流れるとともに、単位回路 3 4 b におけるトランジスタ 3 4 1 のコレクタ端子からエミッタ端子に流れる。すなわち、D 2 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも高いとき、2 つのトランジスタ 3 4 1 によって圧電素子 4 0 に向けて電流が流れる。このため、電圧  $V_{out}$  が徐々に上昇して制御信号  $V_{in}$  の電圧に近づき、やがて電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致すると、その時点で 2 つのトランジスタ 3 4 1 に流れていた電流がゼロになる。

したがって、D 2 状態においても、電圧  $V_{out}$  を制御信号  $V_{in}$  に一致させるような制御が実行されることになる。

【 0 0 5 4 】

10

20

30

40

50

D 2 状態においてレベルシフター 3 6 a によって制御信号  $V_{in}$  をマイナス方向にレベルシフトされた電圧は、すなわち単位回路 3 4 a におけるトランジスタ 3 4 1 のベース端子に供給される電圧は、当該トランジスタ 3 4 1 のコレクタ端子の電圧  $V_H$  に近い。D 2 状態において、制御信号  $V_{in}$  の上昇に対して電圧  $V_{out}$  を一致させる制御が実行される結果、制御信号  $V_{in}$  の電圧と電圧  $V_{out}$  とが近接したとき、単位回路 3 4 a におけるトランジスタ 3 4 1 のベース・エミッタ間の電圧は、非常に小さくなる。このため、単位回路 3 4 a におけるトランジスタ 3 4 1 の単体だけでみれば、電流がエミッタ端子から（圧電素子 4 0 に向けて）流れ出しにくい状況にある、ということができる。

ただし、本実施形態では、D 2 状態においてはレベルシフター 3 6 a だけでなくレベルシフター 3 6 b もイネーブル状態にある。D 2 状態においてレベルシフター 3 6 b によって制御信号  $V_{in}$  をマイナス方向にレベルシフトされた電圧は、すなわち単位回路 3 4 b におけるトランジスタ 3 4 1 のベース端子に供給される電圧は、当該トランジスタ 3 4 1 のコレクタ端子の電圧  $2V_H/6$  とは離れている上に、当該トランジスタ 3 4 1 のベース・エミッタ間の電圧についても、単位回路 3 4 a のトランジスタ 3 4 1 と比較して大きい。このため、単位回路 3 4 b におけるトランジスタ 3 4 1 では、単位回路 3 4 a におけるトランジスタ 3 4 1 と比較して、電流が流れ出しやすい状況にある、ということができる。

#### 【0055】

一方、D 2 状態においてレベルシフター 3 6 b によって制御信号  $V_{in}$  をプラス方向にレベルシフトされた電圧は、すなわち単位回路 3 4 b におけるトランジスタ 3 4 2 のベース端子に供給される電圧は、当該トランジスタ 3 4 2 のコレクタ端子の電圧  $V_H$  に近い。D 2 状態において、制御信号  $V_{in}$  の下降に対して電圧  $V_{out}$  を一致させる制御が実行される結果、制御信号  $V_{in}$  の電圧と電圧  $V_{out}$  とが近接したとき、単位回路 3 4 b におけるトランジスタ 3 4 2 のベース・エミッタ間の電圧は、非常に小さくなる。このため、単位回路 3 4 b におけるトランジスタ 3 4 2 の単体だけでみれば、電流が（圧電素子 4 0 から）エミッタ端子に向けて電流が流れ込みにくい状況にある、ということができる。

ただし、本実施形態では、D 2 状態においてレベルシフター 3 6 a もイネーブル状態にあるので、レベルシフター 3 6 a によって制御信号  $V_{in}$  をプラス方向にレベルシフトされた電圧は、すなわち単位回路 3 4 a におけるトランジスタ 3 4 2 のベース端子に供給される電圧は、当該トランジスタ 3 4 2 のコレクタ端子の電圧ゼロとは離れている上に、当該トランジスタ 3 4 2 のベース・エミッタ間の電圧についても、単位回路 3 4 b のトランジスタ 3 4 1 と比較して大きい。このため、単位回路 3 4 a におけるトランジスタ 3 4 2 では、単位回路 3 4 b におけるトランジスタ 3 4 2 と比較して、電流が流れ込みやすい状況にある、ということができる。

#### 【0056】

したがって、本実施形態において、電圧  $V_{out}$  が電圧  $V_H$  に対して  $\pm$  の範囲にある D 2 状態では、圧電素子 4 0 が充電しにくくなることもなければ、圧電素子 4 0 を放電しにくくなるということもない。

なお、D 2 状態において、単位回路 3 4 a、3 4 b 以外の単位回路 3 4 c ~ 3 4 f では、トランジスタ 3 4 1、3 4 2 がオフするので、電圧  $V_{out}$  の制御には関与しないことになる。

またここでは、D 2 状態であるときについて説明しているが、D 4 状態、D 6 状態、D 8 状態、D 10 状態についても同様な動作となる。詳細には、圧電素子 4 0 で保持された電圧  $V_{out}$  に応じて、単位回路 3 4 a ~ 3 4 f のうち、隣り合う 2 つが有効になるとともに、有効になった単位回路 3 4 のトランジスタ 3 4 1、3 4 2 が電圧  $V_{out}$  を制御信号  $V_{in}$  に一致させるように制御する。

#### 【0057】

ドライバー 3 0 の全体としてみたときに、D 1 状態 ~ D 11 状態では、電圧  $V_{out}$  が、制御信号  $V_{in}$  の電圧に追従する動作となる。

したがって、図 7 の ( a ) に示されるように、制御信号  $V_{in}$  が例えば電圧ゼロから電圧

10

20

30

40

50

$V_H$ まで上昇するとき、電圧 $V_{out}$ も制御信号 $V_{in}$ に追従して電圧ゼロから電圧 $V_H$ まで変化する。また、同図の(b)に示されるように、制御信号 $V_{in}$ が電圧 $V_H$ から電圧ゼロまで低下するとき、電圧 $V_{out}$ も制御信号 $V_{in}$ に追従して電圧 $V_H$ から電圧ゼロまで変化する。

【0058】

図8および図9は、レベルシフターの動作を説明するための図である。

制御信号 $V_{in}$ の電圧が電圧ゼロから電圧 $V_H$ まで上昇するとき、電圧 $V_{out}$ も制御信号 $V_{in}$ に追従して上昇する。この上昇の過程において、電圧 $V_{out}$ が閾値電圧( $V_H/6 +$ )未満であるとき、レベルシフター36aがイネーブル状態になる。このため、図8の(a)で示されるように、レベルシフター36aによってトランジスタ341のベース端子に供給される電圧(図において「P型」と表記)は、制御信号 $V_{in}$ をマイナス方向に所定値だけシフトさせた電圧となり、トランジスタ342のベース端子に供給される電圧(N型と表記)は、制御信号 $V_{in}$ をプラス方向に所定値だけシフトさせた電圧となる。

10

一方、電圧 $V_{out}$ が閾値電圧( $V_H/6 +$ )以上であるとき、レベルシフター36aがディセーブル状態になるので、トランジスタ341のベース端子に供給される電圧は $V_H$ となり、トランジスタ342のベース端子に供給される電圧はゼロとなる。

電圧 $V_{out}$ の上昇過程において、同図の(b)はレベルシフター36bが出力する電圧波形を示し、同図の(c)はレベルシフター36fが出力する電圧波形を示す。

【0059】

反対に、制御信号 $V_{in}$ の電圧が電圧 $V_H$ から電圧ゼロまで低下するとき、電圧 $V_{out}$ も制御信号 $V_{in}$ に追従して低下する。この低下の過程において、図9の(a)はレベルシフター36aが出力する電圧波形を示し、同図の(b)はレベルシフター36bが出力する電圧波形を示し、同図の(c)はレベルシフター36fが出力する電圧波形を示す。

20

【0060】

レベルシフター36bについては、電圧 $V_{out}$ が閾値電圧( $V_H/6 -$ )以上閾値電圧( $2V_H/6 +$ )未満であるときにイネーブル状態になり、レベルシフター36fについては、電圧 $V_{out}$ が閾値電圧( $5V_H/6 -$ )以上電圧 $V_H$ 未満であるときにイネーブル状態になる点に留意すれば、出力する電圧波形についての特段の説明は要しないであろう。

また、制御信号 $V_{in}$ の電圧(または電圧 $V_{out}$ )の変化に対するレベルシフター36c~36eの動作についての説明についても省略する。

30

【0061】

次に、単位回路34a~34fにおける電流(電荷)の流れについて、単位回路34a、34bを例にとり、充電時と放電時とにわけてそれぞれに説明する。

【0062】

図10は、D1状態、すなわち電圧 $V_{out}$ が電圧ゼロ以上閾値電圧( $V_H/6 -$ )未満の状態であるときに、圧電素子40が充電されるとき動作を示す図である。

D1状態では、レベルシフター36aだけがイネーブル状態になり、他のレベルシフター36b~36fはディセーブル状態になるので、単位回路34aのみに着目すれば良い。D1状態において制御信号 $V_{in}$ の電圧が電圧 $V_{out}$ よりも高いとき、単位回路34aのトランジスタ341はベース・エミッタ間の電圧に応じた電流を流す。このときに、電流は、図において矢印で示されるように電源配線511(単位回路34aの)トランジスタ341 圧電素子40という経路で流れて、これにより、圧電素子40に電荷が充電される。この充電により電圧 $V_{out}$ が上昇する。

40

【0063】

なお、電圧 $V_{out}$ が制御信号 $V_{in}$ の電圧に一致したとき、単位回路34aのトランジスタ341がオフするので、圧電素子40への充電が停止する。一方で、制御信号 $V_{in}$ が閾値電圧( $V_H/6 -$ )以上に上昇するとき、電圧 $V_{out}$ も制御信号 $V_{in}$ に追従して閾値電圧( $V_H/6 -$ )以上になるので、D1状態からD2状態に移行する。

【0064】

50

図 1 1 は、D 2 状態、すなわち電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 -$ ) 以上閾値電圧 ( $V_H / 6 +$ ) 未満の状態であるときに、圧電素子 4 0 が充電されるときの動作を示す図である。

D 2 状態では、レベルシフター 3 6 a、3 6 b がともにイネーブル状態になるので、単位回路 3 4 a、3 4 b に着目する必要がある。

D 2 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも高いとき、単位回路 3 4 a におけるトランジスタ 3 4 1 はベース・エミッタ間の電圧に応じた電流を流し、同様に、単位回路 3 4 b におけるトランジスタ 3 4 2 もベース・エミッタ間の電圧に応じた電流を流す。このときに、電流は、図において矢印で示されるように電源配線 5 1 1 (単位回路 3 4 a の) トランジスタ 3 4 1 圧電素子 4 0 という経路のほかに、電源配線 5 1 2 (単位回路 3 4 b の) トランジスタ 3 4 1 圧電素子 4 0 という経路の 2 つによって流れて、これにより、圧電素子 4 0 に電荷が充電される。この充電により電圧  $V_{out}$  が上昇する。

このように、電圧  $V_{out}$  の上昇時において D 1 状態から D 2 状態に移行すると、電流の供給元が電源配線 5 1 1 のみの 1 経路から、電源配線 5 1 2 を併用した 2 経路へと切り替わる。

#### 【 0 0 6 5 】

なお、電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致したとき、単位回路 3 4 a におけるトランジスタ 3 4 1 と、単位回路 3 4 b におけるトランジスタ 3 4 1 とはともにオフするので、圧電素子 4 0 への充電が停止する。一方で、制御信号  $V_{in}$  が閾値電圧 ( $V_H / 6 +$ ) 以上に上昇するとき、電圧  $V_{out}$  も制御信号  $V_{in}$  に追従して閾値電圧 ( $V_H / 6 +$ ) 以上になるので、D 2 状態から D 3 状態に移行する。

#### 【 0 0 6 6 】

図 1 2 は、D 3 状態、すなわち電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 +$ ) 以上閾値電圧 ( $2 V_H / 6 -$ ) の状態であるときに、圧電素子 4 0 が充電されるときの動作を示す図である。

D 3 状態では、レベルシフター 3 6 b だけがイネーブル状態になるので、単位回路 3 4 b のみに着目すれば良い。D 3 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも高いとき、単位回路 3 4 b のトランジスタ 3 4 1 はベース・エミッタ間の電圧に応じた電流を流す。このときに、電流は、図において矢印で示されるように電源配線 5 1 2 (単位回路 3 4 b の) トランジスタ 3 4 1 圧電素子 4 0 という経路で流れて、これにより、圧電素子 4 0 に電荷が充電される。この充電により電圧  $V_{out}$  が上昇する。

このように、電圧  $V_{out}$  の上昇時において D 2 状態から D 3 状態に移行すると、電流の供給元が電源配線 5 1 1、5 1 2 を併用した 2 経路から、電源配線 5 1 2 のみの 1 経路へと切り替わる。

#### 【 0 0 6 7 】

電圧  $V_{out}$  が制御信号  $V_{in}$  に一致したとき、単位回路 3 4 b のトランジスタ 3 4 1 がオフするので、圧電素子 4 0 への充電が停止する。一方で、制御信号  $V_{in}$  が閾値電圧 ( $2 V_H / 6 -$ ) 以上に上昇すれば、電圧  $V_{out}$  も制御信号  $V_{in}$  に追従して上昇する。

そして、電圧  $V_{out}$  が閾値電圧を超えるごとに D 4 状態から D 1 1 状態まで段階的に移行する。

#### 【 0 0 6 8 】

図 1 3 は、D 3 状態のときに、圧電素子 4 0 が放電するときの動作を示す図である。

D 3 状態では、レベルシフター 3 6 b だけがイネーブル状態になる。この状態において、制御信号  $V_{in}$  が電圧  $V_{out}$  よりも低いとき、単位回路 3 4 b のトランジスタ 3 4 2 はベース・エミッタ間の電圧に応じた電流を流す。このとき、電流は、図において矢印で示されるように、圧電素子 4 0 (単位回路 3 4 b の) トランジスタ 3 4 2 電源配線 5 1 1 という経路で流れて、これにより、圧電素子 4 0 から電荷が放電される。このため、D 3 状態において圧電素子 4 0 から電荷が放電されるとき、圧電素子 4 0 の一端は、電源配線 5 1 1 に当該トランジスタ 3 4 2 を介して電氣的に接続されて、圧電素子 4 0 から

10

20

30

40

50

の電流（電荷）が補助電源回路 50 に回収されることになる。なお、回収された電荷は、後述する補助電源回路 50 によって再分配、再利用される。

また、電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致したとき、単位回路 34b のトランジスタ 342 がオフするので、圧電素子 40 からの放電が停止する。

一方で、制御信号  $V_{in}$  が閾値電圧 ( $V_H / 6 +$ ) 未満に低下するとき、電圧  $V_{out}$  も制御信号  $V_{in}$  に追従して閾値電圧 ( $V_H / 6 +$ ) 未満になるので、D3 状態から D2 状態に移行する。

#### 【0069】

図 14 は、D2 状態、すなわち電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 -$ ) 以上閾値電圧 ( $V_H / 6 +$ ) であるときに、圧電素子 40 が放電するときの動作を示す図である。

D2 状態では、レベルシフター 36a、36b がともにイネーブル状態になるので、単位回路 34a、34b に着目する必要がある。D2 状態において制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも低いとき、単位回路 34b におけるトランジスタ 342 はベース・エミッタ間の電圧に応じた電流を流し、同様に、単位回路 34a におけるトランジスタ 342 もベース・エミッタ間の電圧に応じた電流を流す。このときに、電流は、図において矢印で示されるように圧電素子 40（単位回路 34b の）トランジスタ 342 電源配線 511 という経路のほか、圧電素子 40（単位回路 34a の）トランジスタ 342 グランド G という経路の 2 つによって流れて、これにより、圧電素子 40 の電荷が放電される。このため、単位回路 34a におけるトランジスタ 342 がトランジスタ A として機能し、単位回路 34b におけるトランジスタ 342 がトランジスタ B として機能する。このように D2 状態において圧電素子 40 から電荷が放電されるとき、圧電素子 40 の一端は、2 つのトランジスタ 342 を介して電源配線 511 およびグランド G に電氣的に接続されて、このうち、電源配線 511 を介して電荷が補助電源回路 50 に回収されることになる。なお、回収された電荷は、後述する補助電源回路 50 によって再分配、再利用される。

このように、電圧  $V_{out}$  の下降時において D3 状態から D2 状態に移行すると、電荷の回収先が電源配線 511 のみの 1 経路から、グランド G を併用した 2 経路へと切り替わる。

#### 【0070】

電圧  $V_{out}$  が制御信号  $V_{in}$  の電圧に一致したとき、単位回路 34b におけるトランジスタ 342 と、単位回路 34a におけるトランジスタ 342 とはともにオフするので、圧電素子 40 からの放電が停止する。

一方で、制御信号  $V_{in}$  が閾値電圧 ( $V_H / 6 +$ ) 未満に低下するとき、電圧  $V_{out}$  も制御信号  $V_{in}$  に追従して閾値電圧 ( $V_H / 6 +$ ) 未満になるので、D2 状態から D1 状態に移行する。

#### 【0071】

図 15 は、D1 状態のときに、圧電素子 40 が放電するときの動作を示す図である。

D1 状態では、レベルシフター 36a がイネーブル状態になる。この状態において、制御信号  $V_{in}$  が電圧  $V_{out}$  よりも低いとき、単位回路 34a のトランジスタ 342 はベース・エミッタ間の電圧に応じた電流を流す。このとき、電流は、図において矢印で示されるように、圧電素子 40（単位回路 34a の）トランジスタ 342 グランド G という経路で流れて、これにより、圧電素子 40 から電荷が放電される。

#### 【0072】

なおここでは、単位回路 34a、34b を例にとって、D1 状態、D2 状態および D3 状態につき充電時と放電時とにわけて説明したが、D4 状態～D11 状態にあるときの単位回路 34c～34f についての動作も、ほぼ同様となる。

#### 【0073】

<ドライバーの利点>

一般に、圧電素子 40 のような容量性負荷の容量を  $C$  とし、電圧振幅を  $E$  としたときに、容量性負荷に蓄えられるエネルギー  $P$  は、

10

20

30

40

50

$$P = (C \cdot E^2) / 2$$

で表される。

圧電素子 40 は、このエネルギー P によって変形して仕事をするが、インクを吐出させる仕事量は、エネルギー P に対して 1% 以下である。したがって、圧電素子 40 は、単なる容量とみなすことができる。容量 C を一定の電源で充電すると、 $(C \cdot E^2) / 2$  と同等のエネルギーが充電回路によって消費される。放電するときにも同等のエネルギーが放電回路によって消費される。

#### 【0074】

本実施形態において、圧電素子 40 を電圧ゼロから電圧  $V_H$  まで充電するときに、電荷を供給する電源配線については、一部に 2 経路で重複する状態があるが、基本的には電源配線 511、512、513、514、515、516 という順番で切り替わる。このため、本実施形態において充電時の損失は、図 16 の (a) においてハッチングが付された領域の面積に相当する分で済む。詳細には、本実施形態において圧電素子 40 において充電時の損失は、電圧ゼロから電圧  $V_H$  まで一気に充電するリニア増幅と比較して、 $6 / 36 (= 16.7\%)$  で済む。

10

一方、本実施形態では、放電時においても段階的となるので、放電時の損失は、図 16 の (b) においてハッチングが付された領域の面積に相当する分で示されるように、電圧  $V_H$  から電圧ゼロまで一気に放電するリニア方式と比較して、同様に  $6 / 36 (= 16.7\%)$  で済む。

ただし、本実施形態では、放電時の損失として計上された電荷のうち、電圧  $V_H / 6$  から電圧ゼロまで放電する場合を除き、後述する補助電源回路 50 に回収されて再分配、再利用されるので、さらなる低消費電力化を図ることができる。

20

なお、図 16 は、ドライバー 30 による圧電素子 40 の駆動動作を説明するための概念図に過ぎない。圧電素子 40 は、実際には、制御信号 COM のうち、駆動パルス PCOM1 から PCOM4 までのうち選択されたもので駆動されるので、常に電圧ゼロから電圧  $V_H$  までの振幅で駆動されるわけではない。

#### 【0075】

ところで、D 級増幅では、リニア増幅として比較してエネルギー効率が低い。その理由は、出力段の能動素子が飽和状態で動作し、電力をほとんど消費しない点、ローパスフィルターを構成するインダクター L による磁気エネルギーと容量 C によるエネルギーとの交換によって充電時にはリニア増幅のような損失が発生しない点、放電時の電流スイッチングで電流が電源に回生する点などのためである。

30

しかしながら、実際の D 級増幅では、出力段の能動素子の抵抗は、飽和状態でもゼロではない、磁界が漏れる、インダクター L の抵抗成分によって損失が発生する、変調時にインダクター L が飽和する場合がある、などの問題がある。特に、印刷ヘッド 20 において共通の制御信号 COM から選択部 230 で選択して複数の圧電素子 40 に供給する構成では、制御信号 COM からみた負荷容量の総量が一定でないので、飽和しないインダクター L が増える。

D 級増幅では、さらに波形品質が悪い、EMI の対策が必要である、という問題がある。波形品質については、ダミーの容量やフィルターを追加することによって改善することができるが、追加した分だけ消費電力の増加やコスト高を招く。EMI については、D 級増幅のスイッチングという根本的な問題による。すなわち、スイッチングしたときに、オン時に流れる電流がリニア増幅と比較して数倍から 10 数倍程度までになるだけでなく、これに伴って放射される磁界の量も多くなるからである。EMI の対策のために、フィルターを追加するなどが必要となり、コスト高を招く。

40

#### 【0076】

本実施形態に係る印刷装置 1 のドライバー 30 では、出力段に相当するトランジスタ 341、342 は、D 級増幅のようなスイッチングをしないので、また、インダクター L が用いられていないので、波形品質が悪い、EMI の対策が必要である、という問題が発生しない。

50

また、本実施形態では、電圧  $V_{out}$  について、単なる電圧  $V_H / 6$ 、 $2V_H / 6$ 、 $3V_H / 6$ 、 $4V_H / 6$ 、 $5V_H / 6$  への切り替えではなく、制御信号  $V_{in}$  の電圧に追従させるので、圧電素子 40 を精細に制御することができる。

【0077】

本実施形態に係る印刷装置 1 のドライバー 30 では、低消費電力を図った上で圧電素子 40 を精細に制御することができるという効果に加え、圧電素子 40 に印加される電圧波形に段差が生じにくくなる、という効果を奏する。そこでこの点について説明するが、その前に、比較例に係るドライバーについて説明する。

【0078】

図 22 は、比較例に係るドライバーの構成を示す図である。図 22 に示される構成が図 5 に示される構成とは、コンパレータにおける閾値判別にある。

10

詳細には、図 22 に示される構成において、コンパレータ 38a ~ 38e のそれぞれは、7 種類の電圧のうち、電圧ゼロおよび電圧  $V_H$  を除いた 5 種類の電圧に、一対一に対応して設けられ、2 つの入力端に供給された電圧同士の高低を比較して、その比較結果を示す信号を出力する。

ここで、コンパレータ 38a ~ 38e における 2 つの入力端のうち、一端は、自身に対応する電圧を供給する電源配線に接続され、他端は、トランジスタ 341、342 の各エミッタ端子とともに圧電素子 40 の一端に共通接続される。例えば電圧  $V_H / 6$  に対応するコンパレータ 38a において、2 つの入力端のうち、一端は、自身に対応する電圧  $V_H / 6$  を供給する電源配線 511 に接続され、また、例えば電圧  $2V_H / 6$  に対応するコンパレータ 38b において、2 つの入力端のうち、一端は、自身に対応する電圧  $2V_H / 6$  を供給する電源配線 512 に接続される。

20

また、5 種類の電圧のうち、1 つの電圧に着目したとき、当該着目した電圧に対応するコンパレータの出力信号は、当該電圧を高位側電圧とする単位回路のレベルシフター 36 の負入力端と、当該電圧を低位側電圧とする単位回路のレベルシフター 36 の正入力端とにそれぞれ供給される。例えば、電圧  $V_H / 6$  に対応するコンパレータ 38a の出力信号は、当該電圧  $V_H / 6$  を高位側電圧として対応付けられた単位回路 34a のレベルシフター 36a の負入力端と、当該電圧  $V_H / 6$  を低位側電圧として対応付けられた単位回路 34b のレベルシフター 36b の正入力端とにそれぞれ供給される。また例えば、電圧  $2V_H / 6$  に対応するコンパレータ 38b の出力信号は、当該電圧  $2V_H / 6$  を高位側

30

電圧として対応付けられた単位回路 34b のレベルシフター 36b の負入力端と、当該電圧  $2V_H / 6$  を低位側電圧として対応付けられた単位回路 34c のレベルシフター 36c の正入力端とにそれぞれ供給される。

図 22 におけるレベルシフター 36a ~ 36f は、図 5 に示した構成と同一である。ただし、コンパレータ 38a ~ 38e によって閾値判別が異なる点については上述した通りである。そこで次に、比較例において、コンパレータ 38a ~ 38e によってレベルシフター 36a ~ 36f が電圧  $V_{out}$  に対し、どのような状態となるかについて検討する。

【0079】

図 23 は、電圧  $V_{out}$  に対してレベルシフター 36a ~ 36f がイネーブル状態となる電圧の範囲を示す図である。

40

電圧  $V_{out}$  が電圧ゼロ以上電圧  $V_H / 6$  未満の状態であれば、コンパレータ 38a ~ 38e の出力信号はすべて L レベルとなるので、この電圧状態では、レベルシフター 36a のみがイネーブル状態になり、他のレベルシフター 36b ~ 36f はディセーブル状態になる。

電圧  $V_{out}$  が電圧  $V_H / 6$  以上電圧  $2V_H / 6$  未満の状態であれば、コンパレータ 38a の出力信号だけが H レベルとなり、他のコンパレータ 38b ~ 38e の出力信号は L レベルとなる。したがって、この電圧状態では、レベルシフター 36b のみがイネーブル状態になり、他のレベルシフター 36a、36c ~ 36f はディセーブル状態になる。

同様にして、電圧  $V_{out}$  が電圧  $2V_H / 6$  以上電圧  $3V_H / 6$  未満の状態であれば、レ

50

ベルシフター 36c のみがイネーブル状態になり、電圧  $3V_H/6$  以上電圧  $4V_H/6$  未満の状態にあれば、レベルシフター 36d のみがイネーブル状態になり、電圧  $4V_H/6$  以上電圧  $5V_H/6$  未満の状態にあれば、レベルシフター 36e のみがイネーブル状態になり、電圧  $5V_H/6$  以上の状態にあれば、レベルシフター 36f のみがイネーブル状態になる。

このように、比較例においてレベルシフター 36a ~ 36f は、図 5 に示した構成と比較して、電圧  $V_{out}$  に応じていずれか 1 つのみがイネーブル状態になる。

#### 【0080】

図 24 は、比較例におけるレベルシフターの出力信号の一例を示す図である。

電圧  $V_{out}$  が制御信号  $V_{in}$  に追従して上昇する際に、電圧  $V_H/6$  未満であれば、レベルシフター 36a がイネーブル状態になる。このため、同図の (a) で示されるように、レベルシフター 36a によってトランジスタ 341 のベース端子に供給される電圧は、制御信号  $V_{in}$  をマイナス方向に所定値だけシフトさせた電圧 (P 型と表記) となり、トランジスタ 342 のベース端子に供給される電圧 (N 型と表記) は、制御信号  $V_{in}$  をプラス方向に所定値だけシフトさせた電圧となる。一方、電圧  $V_{out}$  が電圧  $V_H/6$  以上であれば、レベルシフター 36a がディセーブル状態になるので、トランジスタ 341 のベース端子に供給される電圧は  $V_H$  となり、トランジスタ 342 のベース端子に供給される電圧はゼロとなる。

電圧  $V_{out}$  の上昇過程において、同図の (b) はレベルシフター 36b が出力する電圧波形を示し、同図の (c) はレベルシフター 36f が出力する電圧波形を示す。レベルシフター 36b は、電圧  $V_{out}$  が電圧  $2V_H/6$  以上電圧  $2V_H/6$  未満であればイネーブル状態になり、レベルシフター 36f は、電圧  $V_{out}$  が電圧  $5V_H/6$  以上電圧  $V_H$  未満であればイネーブル状態になる点について留意すれば、特段の説明は要しないであろう。

また、制御信号  $V_{in}$  の電圧 (または電圧  $V_{out}$ ) の上昇過程におけるレベルシフター 36c ~ 36e の動作についての説明や、制御信号  $V_{in}$  の電圧 (または電圧  $V_{out}$ ) の下降過程におけるレベルシフター 36a ~ 36f の動作の説明についても省略する。

#### 【0081】

このような比較例に係るドライバーでは、電圧  $V_{out}$  が制御信号  $V_{in}$  に追従して電源配線 511 ~ 515 の電圧のいずれかに接近するとき、次のような波形乱れが発生しやすい。ここでは、電圧  $V_{out}$  が電源配線 511 の電圧  $V_H/6$  を跨ぐときを例に挙げて説明する。

電圧  $V_{out}$  が電圧  $V_H/6$  未満であればレベルシフター 36a のみがイネーブル状態である。制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも高いとき、単位回路 34a におけるトランジスタ 341 は、ベース・エミッタ間の電圧に応じた電流をエミッタ端子に供給する。このときに、制御信号  $V_{in}$  (ベース端子に供給される信号) の電圧が上昇する結果、コレクタ端子の電圧  $V_H/6$  に近づくと、当該トランジスタの駆動能力が低下して、電流が流れにくくなる状態が発生する。

一方、電圧  $V_{out}$  が電圧  $V_H/6$  以上電圧  $2V_H/6$  未満であればレベルシフター 36b のみがイネーブル状態である。制御信号  $V_{in}$  の電圧が電圧  $V_{out}$  よりも低いとき、単位回路 34b におけるトランジスタ 342 は、ベース・エミッタ間の電圧に応じた電流をエミッタ端子の圧電素子 40 から流すが、電圧  $V_{out}$  が低下して電圧  $V_H/6$  に近づくと、同様に電流が流れにくくなる状態が発生する。

このように、上昇する場合にしても下降する場合にしても、電圧  $V_{out}$  が電圧  $V_H/6$  に接近するときに圧電素子 40 または電源配線 511 の一方から他方に電流が流れにくくなる。このように電流が流れにくくなる現象は、電圧  $V_{out}$  が電圧  $V_H/6$  だけでなく、電圧  $2V_H/6$ 、 $3V_H/6$ 、 $4V_H/6$ 、 $5V_H/6$  に接近するときにも同様に発生する。

#### 【0082】

図 25 は、比較例に係るドライバーによって出力される電圧  $V_{out}$  の波形の一例を示す図である。

10

20

30

40

50

電圧  $V_{out}$  の波形は、同図において破線で示される制御信号  $V_{in}$  の電圧波形に一致するのが理想的である。しかしながら、電圧  $V_{out}$  が電圧  $V_H / 6$ 、 $2V_H / 6$ 、 $3V_H / 6$ 、 $4V_H / 6$ 、 $5V_H / 6$  を跨ぐ際に、上述したように電流が流れにくく状態が発生する。このため、制御信号  $V_{in}$  の電圧が直線的に変化する場合であっても、実際の電圧  $V_{out}$  では、同図において実線で示されるように跨ぐ際に、電流が流れにくくなることに起因して段差が発生する。

また、制御信号  $V_{in}$  が、電圧変化から上記 5 種類の電圧近辺で一定に転じるときにも電流が流れにくくなるので、電圧  $V_{out}$  が、その一定となる電圧になかなか到達しない。

このように比較例に係るドライバーから出力される電圧  $V_{out}$  には、制御信号  $V_{in}$  の電圧波形と比較して局所的に乱れる箇所がある。

10

このような波形の乱れにおいて印刷装置において特に問題となるのが、図において符号  $S$  が付された段差、すなわち電圧  $V_{out}$  が急峻に立ち下がる時に生じる段差であり、上述したように、インクが複数滴になって吐出される原因となる。

#### 【0083】

これに対して、本実施形態では、電圧  $V_{out}$  が例えば電圧  $V_H / 6$  に対して  $\pm$  となった  $D2$  状態では、レベルシフター  $36a$ 、 $36b$  をともにイネーブル状態とさせているので、電圧上昇の際には、単位回路  $34b$  のトランジスター  $341$  によって電流が流れにくくなるのを抑えることができ、電圧下降の際には、単位回路  $34a$  のトランジスター  $342$  によって電流が流れにくくなるのを抑えることができる。

同様に、 $D4$  状態、 $D6$  状態、 $D8$  状態、 $D10$  状態では、隣り合う 2 つのレベルシフター  $36$  をイネーブル状態とさせているので、電圧を跨ぐ際であっても電流が流れにくくなるのを抑えることができる。

20

このため、比較例に係るドライバーでは、制御信号  $V_{in}$  の電圧波形（入力）に対する電圧  $V_{out}$ （出力）の波形乱れが抑えられるので、インクが予期せず複数滴になって吐出されることが防止される。このため、本実施形態によれば、装置内部の汚れや故障の発生を抑えるとともに、インクの未着弾による画質の劣化を防止することができるのである。

#### 【0084】

なお、本実施形態においては、制御信号  $V_{in}$  が電圧  $V_{out}$  よりも低ければ、当該電圧  $V_{out}$  に応じて 1 または 2 つのトランジスター  $341$  がオンして、圧電素子  $40$  に電流を流し出す一方、制御信号  $V_{in}$  が電圧  $V_{out}$  よりも高ければ、当該電圧  $V_{out}$  に応じて 1 または 2 つのトランジスター  $342$  がオンして、圧電素子  $40$  からの電流を流し込む構成、すなわち、ほぼ理想型を想定して説明したが、本発明は、これに限られない。

30

#### 【0085】

図 17 は、特に単位回路  $34a$ 、 $34b$  のトランジスター  $341$ 、 $342$  で代表させて、当該トランジスターの入出力特性の設定例を示す図である。この図において  $H$  は、ドライバー  $30$  の入力信号である制御信号  $V_{in}$  の電圧と出力である電圧  $V_{out}$  とが一致する部分である。

図において (a) は、トランジスター  $341$  がオンする領域について、制御信号  $V_{in}$  が電圧 ( $V_{out} -$ ) より低くなる領域に設定するとともに、トランジスター  $342$  がオンする領域について、制御信号  $V_{in}$  が電圧 ( $V_{out} +$ ) よりも高くなる領域に設定した場合の例である。この例では、電圧  $V_{out}$  を制御信号  $V_{in}$  に追従させる制御によって、制御信号  $V_{in}$  の電圧と電圧  $V_{out}$  との差が 以内になれば、トランジスター  $341$ 、 $342$  がともにオフする。このため、電源配線間に貫通電流が流れる状態が避けられるので、消費電力の観点からいえば有利である。

40

一方で、トランジスター  $341$ 、 $342$  のオフによって電流制御できない領域（不感帯）が発生するので、制御信号  $V_{in}$  に対する電圧  $V_{out}$  の追従性が低下する。ただし、電源配線  $511 \sim 515$  の電圧を跨ぐときに 2 つのトランジスターがオンするので、電圧  $V_{out}$  における段差の発生は抑えられる。

なお、同図の (a) において、電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 -$ ) 以上閾値電圧 ( $V_H / 6 +$ ) 未満の  $D2$  状態であっても、かつ、制御信号  $V_{in}$  が電圧 ( $V_{out} -$ ) より

50

も低ければ、単位回路 3 4 a のトランジスタ 3 4 1 と単位回路 3 4 b のトランジスタ 3 4 1 とが重複してオンし、制御信号  $V_{in}$  が電圧 ( $V_{out+}$ ) よりも低ければ、単位回路 3 4 a のトランジスタ 3 4 2 と単位回路 3 4 b のトランジスタ 3 4 2 とが重複してオンすることとなる。

【 0 0 8 6 】

また、( b ) は、トランジスタ 3 4 1 がオンする領域について、制御信号  $V_{in}$  が電圧 ( $V_{out+}$ ) よりも低くなる領域に設定するとともに、トランジスタ 3 4 2 がオンする領域について、制御信号  $V_{in}$  が電圧 ( $V_{out-}$ ) よりも高くなる領域に設定した場合の例である。この例では、電圧  $V_{out}$  を制御信号  $V_{in}$  に追従させる制御によって、制御信号  $V_{in}$  の電圧と電圧  $V_{out}$  との差が  $\Delta V$  以内になったときに、トランジスタ 3 4 1、3 4 2 がともにオンする。このため、1 つのトランジスタのオンのみに起因して電流が流れにくくなる状況に至らないので、電圧の切り替えがスムーズになり、電圧  $V_{out}$  における段差の発生は抑えられる。一方で、トランジスタ 3 4 1、3 4 2 のオンによって電源配線間に貫通電流が流れる状態が避けられないので、消費電力の観点からいえば不利である。

10

なお、同図の ( b ) において、電圧  $V_{out}$  が閾値電圧 ( $V_H / 6 -$ ) 以上閾値電圧 ( $V_H / 6 +$ ) 未満の D 2 状態であって、かつ、制御信号  $V_{in}$  の電圧と電圧  $V_{out}$  との差が  $\Delta V$  以内の状態では、単位回路 3 4 a のトランジスタ 3 4 1、3 4 2 と単位回路 3 4 b のトランジスタ 3 4 1、3 4 2 との計 4 つが重複してオンすることとなる。

【 0 0 8 7 】

図 1 7 の ( a )、( b ) のいずれに設定するかについては、消費電力や、電圧  $V_{out}$  の追従性、スムーズな切り替えなどを総合的に勘案して選択するのが好ましいといえる。

20

【 0 0 8 8 】

< 補助電源回路 >

図 1 8 は、補助電源回路 5 0 の構成の一例を示す図である。

この図に示されるように、補助電源回路 5 0 は、スイッチ  $Sw1d$ 、 $Sw1u$ 、 $Sw2d$ 、 $Sw2u$ 、 $Sw3d$ 、 $Sw3u$ 、 $Sw4d$ 、 $Sw4u$ 、 $Sw5d$ 、 $Sw5u$  と、容量素子  $C12$ 、 $C23$ 、 $C34$ 、 $C45$ 、 $C56$ 、 $C1$ 、 $C2$ 、 $C3$ 、 $C4$ 、 $C5$ 、 $C6$  とを含んだ構成となっている。

これらのうち、スイッチは、いずれも単極双投であり、共通端子を制御信号 A / B にしたがって端子 a、b のいずれかに接続する。制御信号 A / B は、簡略化して説明すれば、例えばデューティ比が約 5 0 % のパルス信号であり、その周波数は、制御信号 COM の周波数に対して例えば 2 0 倍程度に設定される。このような制御信号 A / B は、補助電源回路 5 0 における内部発振器 ( 図示省略 ) により生成しても良いし、フレキブルケーブル 1 9 0 を介して制御ユニット 1 0 から供給しても良い。

30

一方、容量素子  $C12$ 、 $C23$ 、 $C34$ 、 $C45$ 、 $C56$  は電荷移動用であり、容量素子  $C1$ 、 $C2$ 、 $C3$ 、 $C4$ 、 $C5$  はバックアップ用である。なお、容量素子  $C6$  は、電源電圧  $V_H$  の供給用である。

上記スイッチは、実際には半導体集積回路においてトランジスタを組み合わせで構成され、容量素子は、当該半導体集積回路に対して外付けで実装される。なお、上記半導体集積回路には、上述した複数個のドライバー 3 0 についても形成される構成が望ましい。

40

【 0 0 8 9 】

さて、補助電源回路 5 0 において電圧  $V_H$  を供給する電源配線 5 1 6 は、容量素子  $C6$  の一端とスイッチ  $Sw5u$  の端子 a とに接続される。スイッチ  $Sw5u$  の共通端子は容量素子  $C56$  の一端に接続され、容量素子  $C56$  の他端はスイッチ  $Sw5d$  の共通端子に接続される。スイッチ  $Sw5d$  の端子 a は、容量素子  $C5$  の一端とスイッチ  $Sw4u$  の端子 a とに接続される。スイッチ  $Sw4u$  の共通端子は容量素子  $C45$  の一端に接続され、容量素子  $C45$  の他端はスイッチ  $Sw4d$  の共通端子に接続される。スイッチ  $Sw4d$  の端子 a は、容量素子  $C4$  の一端とスイッチ  $Sw3u$  の端子 a とに接続される。スイッチ  $Sw3u$  の共通端子は容量素子  $C34$  の一端に接続され、容量素子  $C34$  の他端はスイッチ S

50

w 3 dの共通端子に接続される。スイッチ S w 3 dの端子 aは、容量素子 C 3の一端とスイッチ S w 2 uの端子 aとに接続される。スイッチ S w 2 uの共通端子は容量素子 C 2 3の一端に接続され、容量素子 C 2 3の他端はスイッチ S w 2 dの共通端子に接続される。スイッチ S w 2 dの端子 aは、容量素子 C 2の一端とスイッチ S w 1 uの端子 aとに接続される。スイッチ S w 1 uの共通端子は容量素子 C 1 2の一端に接続され、容量素子 C 1 2の他端はスイッチ S w 1 dの共通端子に接続される。スイッチ S w 1 dの端子 aは、容量素子 C 1の一端に接続される。

【 0 0 9 0 】

容量素子 C 5の一端は、電源配線 5 1 5に接続される。同様に、容量素子 C 4、C 3、C 2、C 1の一端は、それぞれ電源配線 5 1 4、5 1 3、5 1 2、5 1 1に接続される。

10

なお、スイッチ S w 5 u、S w 4 u、S w 3 u、S w 2 u、S w 1 uの各端子 bは、スイッチ S w 1 dの端子 aとともに、容量素子 C 1の一端に接続される。また、容量素子 C 6、C 5、C 4、C 3、C 2、C 1の各他端と、スイッチ S w 5 d、S w 4 d、S w 3 d、S w 2 d、S w 1 dの各端子 bとは、グランド Gに共通接地される。

【 0 0 9 1 】

図 1 9は、補助電源回路 5 0におけるスイッチの接続状態を示す図である。

各スイッチは、制御信号 A / Bによって共通端子が端子 aに接続される状態（状態 A）と、共通端子が端子 bに接続される状態（状態 B）との2状態をとる。同図の（a）は、補助電源回路 5 0における状態 Aの接続を、（b）は、状態 Bの接続を、それぞれ等価回路で簡易的に示したものである。

20

状態 Aでは、容量素子 C 5 6、C 4 5、C 3 4、C 2 3、C 1 2、C 1が電圧  $V_H$  からグランド Gまでの間で直列に接続される。状態 Bでは、容量素子 C 5 6、C 4 5、C 3 4、C 2 3、C 1 2、C 1の一端同士が接続されるので、これらの容量素子は並列に接続されて、保持電圧が均等化される。

【 0 0 9 2 】

したがって、状態 A、Bが交互に繰り返されると、状態 Bのときに均等化された電圧  $V_H / 6$ が、状態 Aの直列接続によって1～5倍されて、それぞれ容量素子 C 1～C 5に保持されるとともに、このときの保持電圧が、電源配線 5 1 1～5 1 5を介してドライバー 3 0に供給される。

【 0 0 9 3 】

30

ここで、ドライバー 3 0によって圧電素子 4 0が充電されると、容量素子 C 1～C 5のうち保持電圧が低下するものが現れる。保持電圧が低下した容量素子には、状態 Aの直列接続によって電源から電荷が補給されるとともに、状態 Bの並列接続による再配分で均等化されるので、補助電源回路 5 0の全体で見れば、電圧  $V_H / 6$ 、 $2 V_H / 6$ 、 $3 V_H / 6$ 、 $4 V_H / 6$ 、 $5 V_H / 6$ に保つようにバランスする。

一方、ドライバー 3 0によって圧電素子 4 0が放電されると、容量素子 C 1～C 5のうち保持電圧が上昇するものが現れるが、状態 Aの直列接続で電荷が吐き出されるとともに、状態 Bの並列接続による再配分で均等化されるので、補助電源回路 5 0の全体で見れば、電圧  $V_H / 6$ 、 $2 V_H / 6$ 、 $3 V_H / 6$ 、 $4 V_H / 6$ 、 $5 V_H / 6$ に保つようにバランスする。なお、吐き出される電荷が容量素子 C 5 6、C 4 5、C 3 4、C 2 3、C 1 2、C 1で吸収できずに余ったとき、余った電荷は、容量素子 C 6に吸収される、すなわち電源系へに回生される。このため、圧電素子 4 0以外の他の負荷があれば、その負荷の駆動に用いられる。他の負荷がなければ、容量素子 C 6を含む他の容量素子に吸収されるので、電源電圧  $V_H$ が上昇する、すなわちリップルが発生することになるが、容量素子 C 6を含めてカップリングコンデンサの容量を大きくすることによって実用的には回避できる。

40

【 0 0 9 4 】

この補助電源回路 5 0では、ドライバー 3 0によって圧電素子 4 0が放電されると、当該放電に用いられた電源配線に対応した容量素子 C 1～C 6のいずれかの保持電圧が一時的に上昇するが、状態 A、Bの繰り返しによって電圧  $V_H / 6$ の1～6倍の逡倍電圧を保つようにバランスする。一方、圧電素子 4 0が充電されると、当該充電に用いられた電源

50

配線に対応した容量素子 C 1 ~ C 6 のいずれかの保持電圧が一時的に低下するが、状態 A、B の繰り返しによって電圧  $V_H / 6$  の 1 ~ 6 倍の過倍電圧を保つようにバランスする。

図 3 に示した制御信号 COM (Vin) の電圧波形を見ても判るように、インクを引き込むための電圧上昇と、インクを吐出させるための電圧下降とがセットであり、印刷動作では、当該セットが繰り返される。このため、補助電源回路 50 では、圧電素子 40 の放電によって回収された電荷が、次回以降における充電に際して利用される。

したがって、本実施形態では、印刷装置 1 の全体でみたときに、圧電素子 40 から放電された電荷の回収・再利用と、ドライバー 30 における段階的な充電・放電 (図 16 参照) とによって、消費される電力を低く抑えることができるのである。

【0095】

10

なお、補助電源回路 50 において、各スイッチの共通端子が端子 a、b の一方から他方への接続に切り替わるときに、複数 (図 18 では 10 個) のスイッチに特性ばらつきがあると、一斉に切り替わらない状態が発生して、容量素子の両端が短絡してしまうことがあり得る。例えば切替時にスイッチ Sw 1 u、Sw 1 d、Sw 2 d で端子 a が共通端子に接続されているときに、スイッチ Sw 2 u で端子 b が共通端子に接続される状態が発生すると、容量素子 C 1 2、C 2 3 の直列接続の両端同士が短絡してしまう。

このため、スイッチの切り替え時には、一旦、端子 a、b のいずれにも接続しない中立状態を経て、上記短絡の発生を抑える構成が好ましい。

【0096】

< 応用・変形例 >

20

本発明は、上述した実施形態に限定されるものではなく、例えば次に述べるような各種の応用・変形が可能である。なお、次に述べる応用・変形の態様は、任意に選択された一または複数を適宜に組み合わせることもできる。

【0097】

< 負帰還制御 >

図 20 は、実施形態の応用例 (その 1) に係るドライバー 30 の構成の一例を示す図である。この図に示されるように、この応用例では、圧電素子 40 の一端の電圧  $V_{out}$  がオペアンプ 32 の入力端 (-) に負帰還される構成となっている。この構成では、制御信号  $V_{out}$  の電圧と電圧  $V_{out}$  とに相違しているときに、その相違をなくす方向にトランジスタ 341、342 が制御される。このため、レベルシフター 36a ~ 36f やトランジスタ 341、342 の応答特性が悪い場合でも、制御信号 Vin に電圧  $V_{out}$  を比較的迅速に、高精度に追従させることができる。

30

なお、負帰還量については、レベルシフター 36a ~ 36f やトランジスタ 341、342 の特性に合わせて適切に設定可能な構成が好ましい。例えば、図の例では、オペアンプ 32 は、制御信号 Vin の電圧から電圧  $V_{out}$  を差し引いた電圧を出力する構成であるが、この差し引いた電圧に適切な係数を乗算してレベルシフター 36a ~ 36f に供給する構成としても良い。

【0098】

図 21 は、実施形態の別の応用例 (その 2) に係るドライバー 30 の構成の一例を示す図である。図 5 で説明したドライバー 30 においては、単位回路 34a ~ 34f のトランジスタ 341、342 をバイポーラ型としたが、図 21 に示した応用例 (その 2) では、このトランジスタ 341、342 のそれぞれを P、N チャンネル型の MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 351、352 としたものである。

40

MOSFET 351、352 を用いる場合、各ドレイン端子と圧電素子 40 の一端との間に、それぞれ逆流防止用のダイオードを設ければ良い。また、MOSFET 351、352 を用いる場合、レベルシフター 36a ~ 36f については、イネーブル状態であれば、制御信号 Vin の電圧をマイナス方向に所定値として閾値電圧に相当する分だけシフトさせて P チャンネル型の MOSFET 351 のゲート端子に供給する一方、制御信号 Vin の電圧をプラス方向に閾値電圧に相当する分だけシフトさせて N チャンネル型の MOSFET 3

50

52のゲート端子に供給する構成となる。

また、MOSFET351、352を用いる場合に、図20に示したような、電圧 $V_{out}$ を負帰還する構成を適用しても良い。

【0099】

<駆動対象>

実施形態では、ドライバー30の駆動対象としてインクを吐出する圧電素子40を例にとって説明した。本発明では、駆動対象として圧電素子40に限られず、例えば超音波モーターや、タッチパネル、平面スピーカー、液晶などのディスプレイなどの容量性成分を有する負荷のすべてに適用可能である。

【0100】

<単位回路の段数>

実施形態において、7種類の電圧のうち、互いに隣り合う2つの電圧に対応するように電圧の低い順に単位回路34a~34fの6段を設けた構成であったが、本発明では、単位回路の段数は、これに限られず、2段以上であれば良い。また、電圧については、必ずしも等間隔である必要はない。

【0101】

<コンパレーター>

実施形態では、D1状態からD11状態までを10個のコンパレーター38によって検出する構成であった。詳細には、すべてのコンパレーター38の判別結果が偽（出力信号がLレベル）であれば、D1状態であると検出し、以下、閾値電圧が低いものに対応したコンパレーター38の判別結果が順に真（出力信号がHレベル）となるごとに、D2状態からD11状態であると検出する構成であった。換言すれば、D1状態からD11状態までを検出する構成は、それぞれ別体ではなく、10個のコンパレーター38の全体で検出する構成であった。これに限られず、各状態を個別に検出する構成であっても良い。

【0102】

<ディセーブル状態のレベルシフター>

実施形態において、ディセーブル状態のレベルシフター36a~36fは、トランジスタ341(351)のベース(ゲート)端子に電圧ゼロを供給し、トランジスタ342(352)のベース(ゲート)端子に電圧 $V_H$ を供給する構成としたが、トランジスタ341、342をオフさせることができれば、これに限定されない。例えば、レベルシフター36a~36fは、ディセーブル状態のときに、制御信号 $V_{in}$ の電圧をプラス方向にシフトさせたオフ信号を、トランジスタ341(351)のベース(ゲート)端子に供給し、制御信号 $V_{in}$ の電圧をマイナス方向にシフトさせたオフ信号を、トランジスタ342(352)のベース(ゲート)端子に供給する構成としても良い。

この構成によれば、トランジスタ341(351)、342(352)の耐圧が低くて済むので、半導体基板に形成するときのトランジスタサイズを小さくすることができる。

【符号の説明】

【0103】

1...印刷装置(液体吐出装置)、10...制御ユニット、15...制御信号生成部、20...印刷ヘッド、30...ドライバー(接続経路選択部)、32...オペアンプ、34...単位回路、36...レベルシフター、38...コンパレーター、40...圧電素子(容量性負荷)、50...補助電源回路(補助電源)、341、342...トランジスタ、400...吐出部。

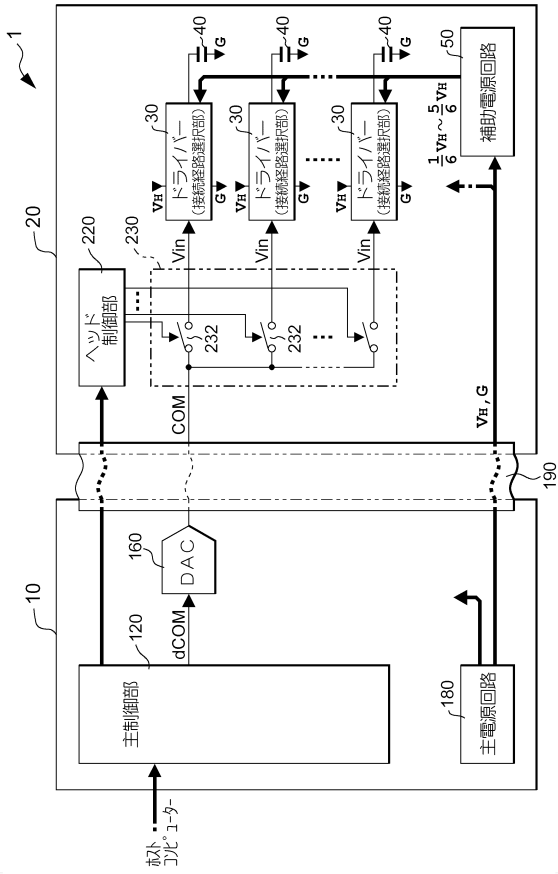
10

20

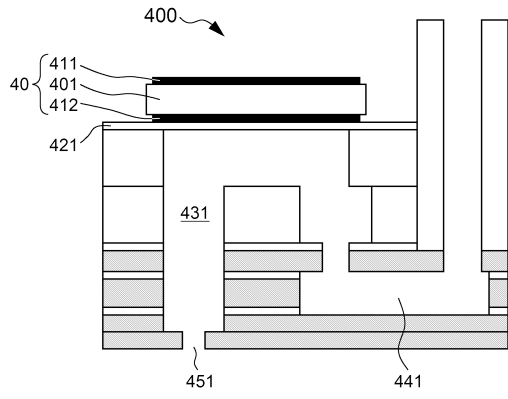
30

40

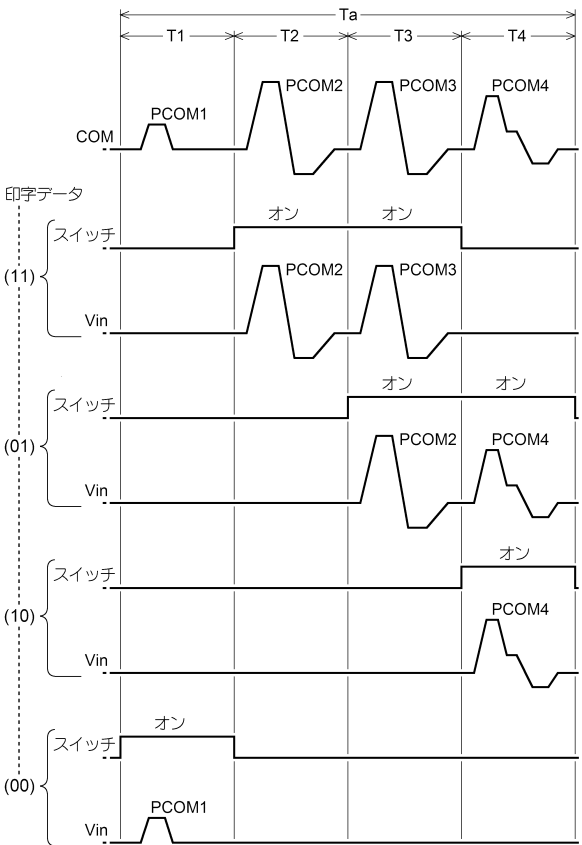
【図1】



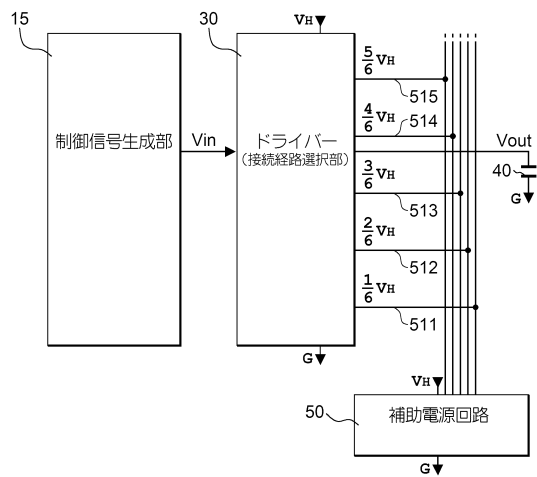
【図2】



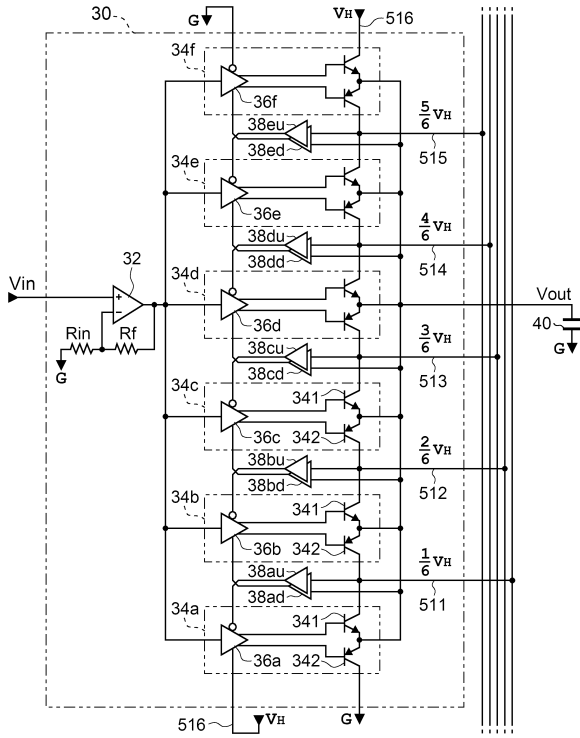
【図3】



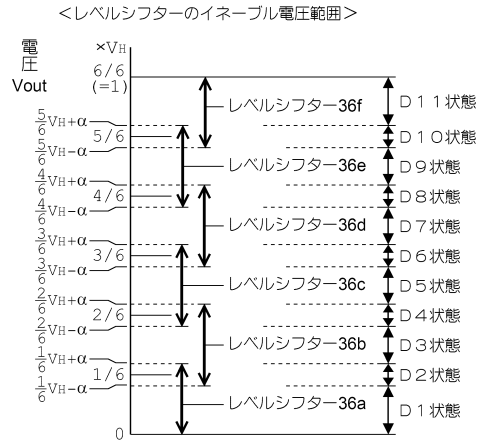
【図4】



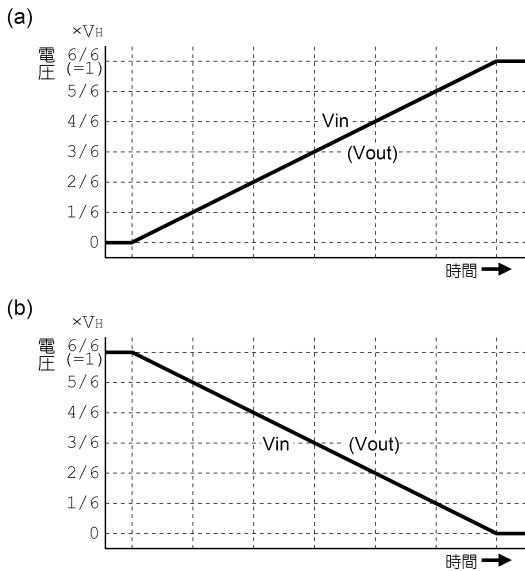
【図5】



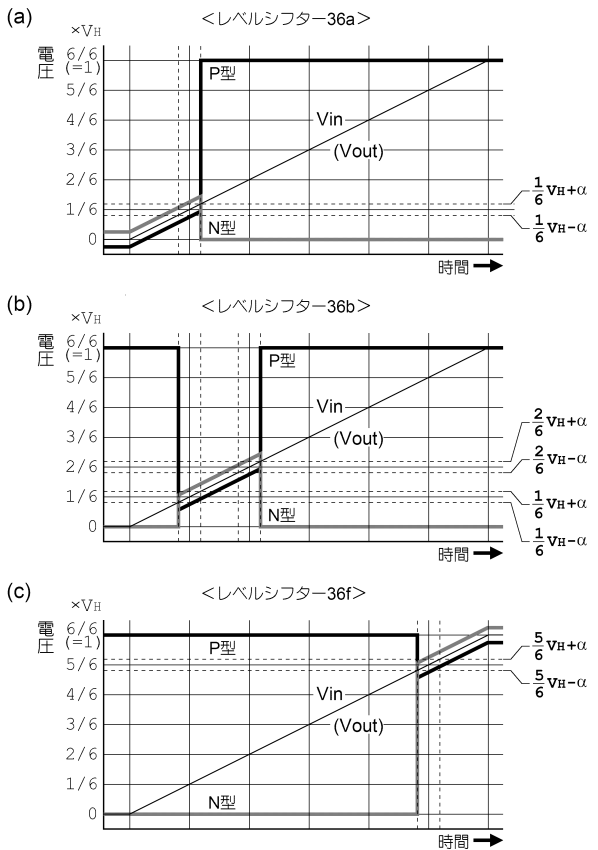
【図6】



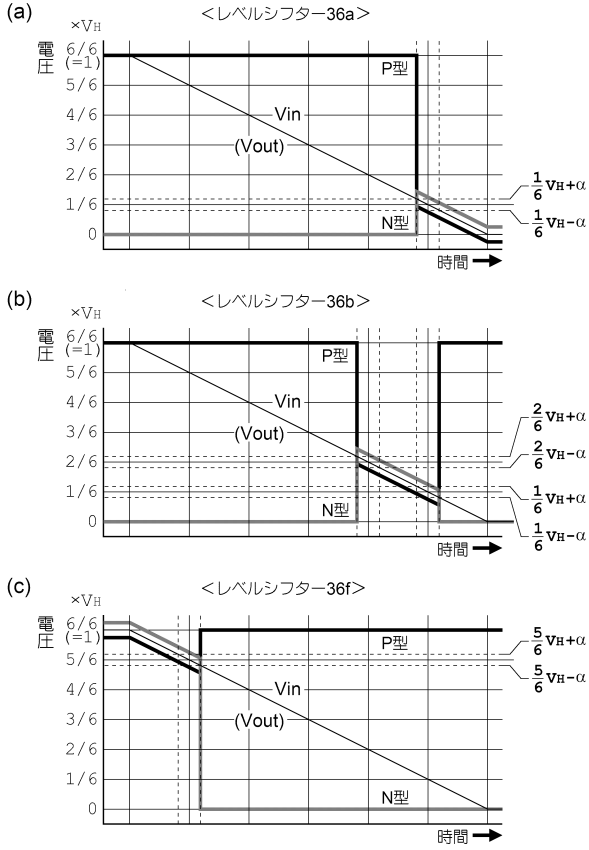
【図7】



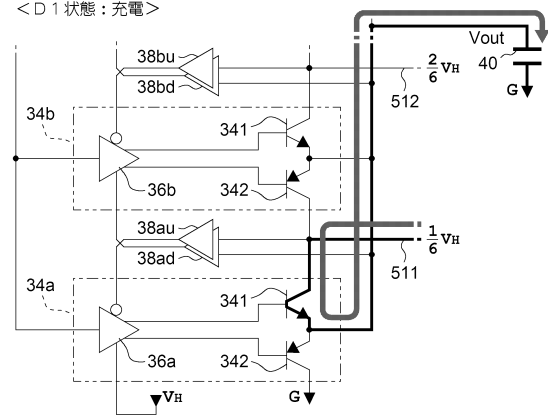
【図8】



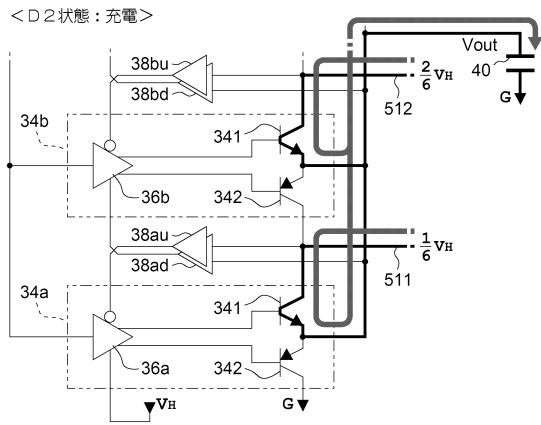
【図9】



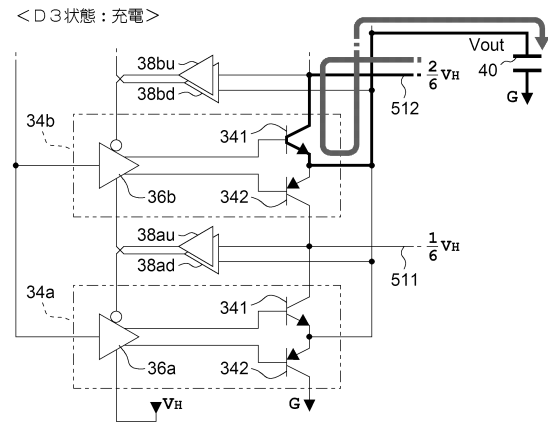
【図10】



【図11】

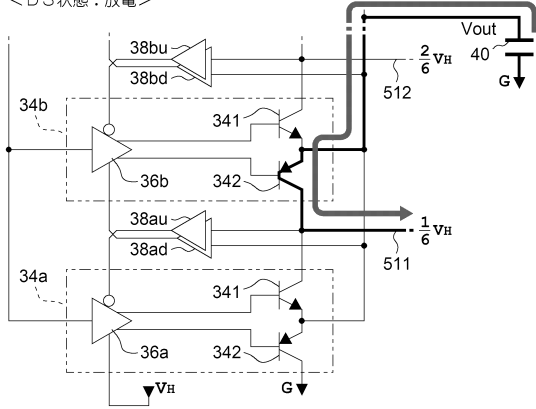


【図12】



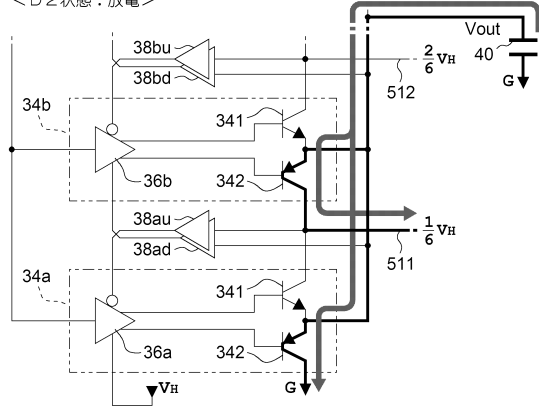
【図 13】

< D3 状態 : 放電 >



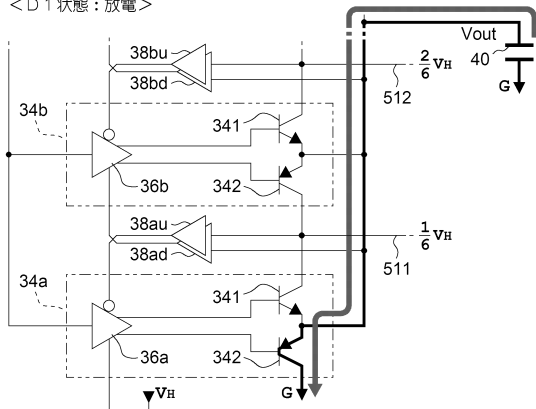
【図 14】

< D2 状態 : 放電 >

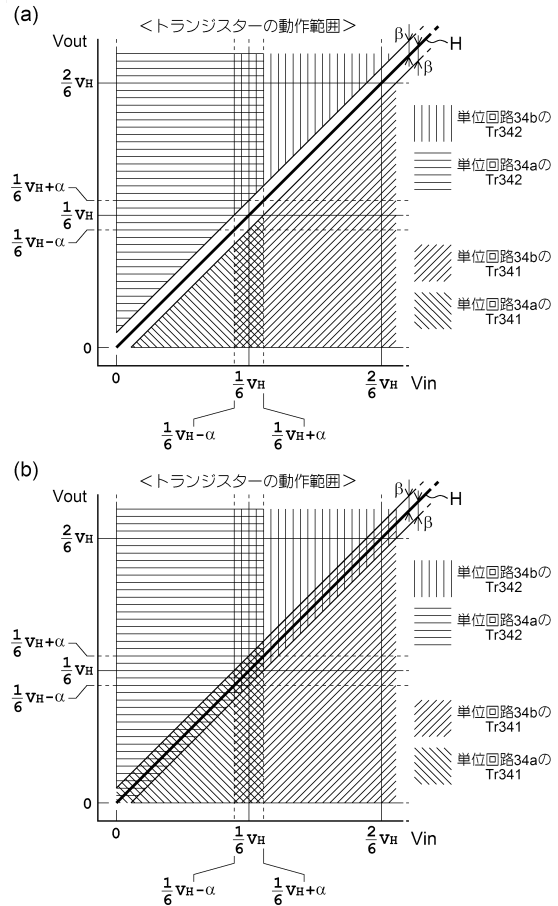


【図 15】

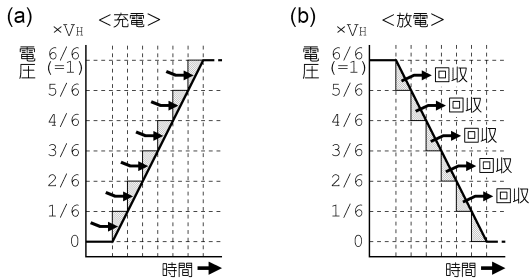
< D1 状態 : 放電 >



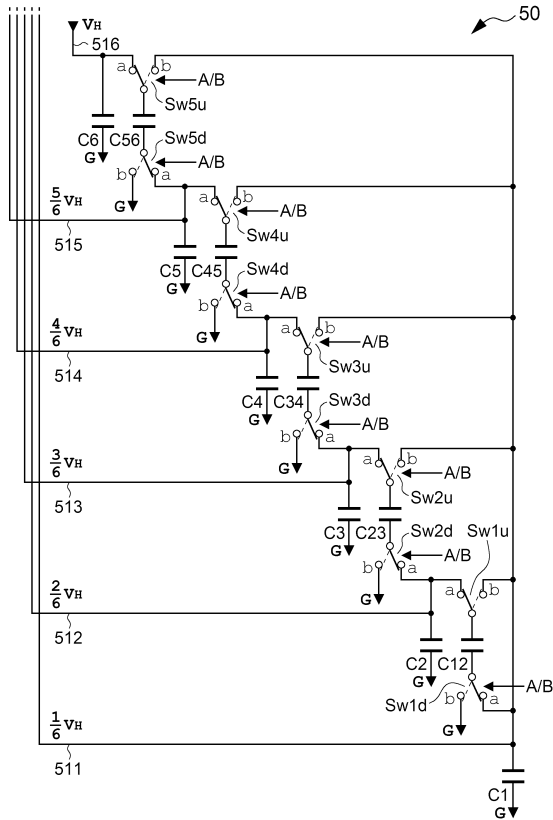
【図 17】



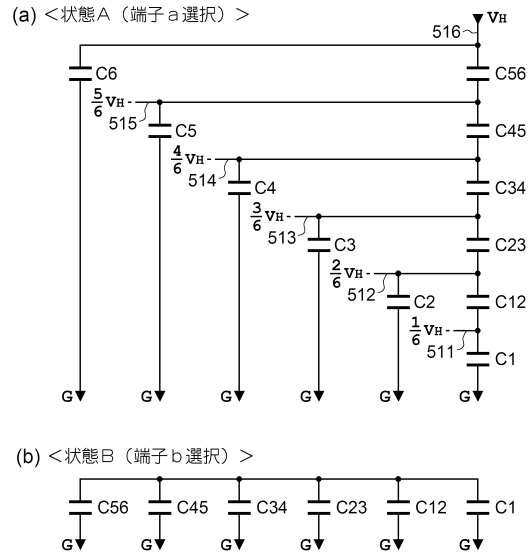
【図 16】



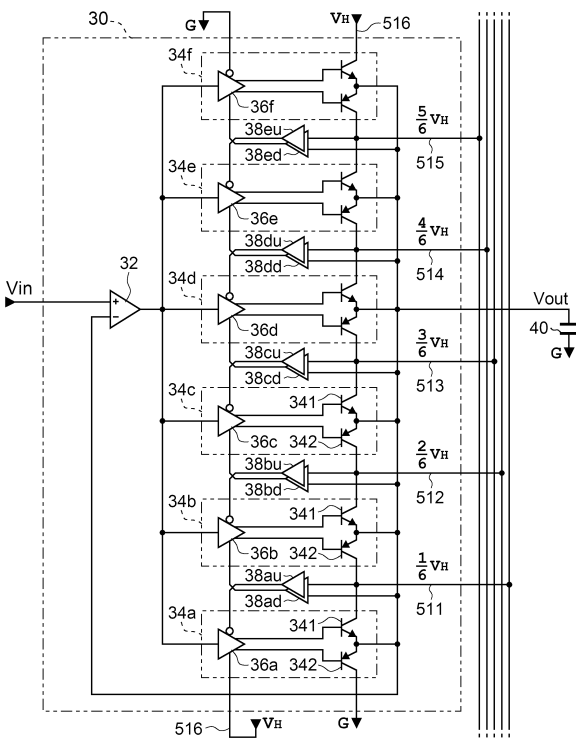
【図18】



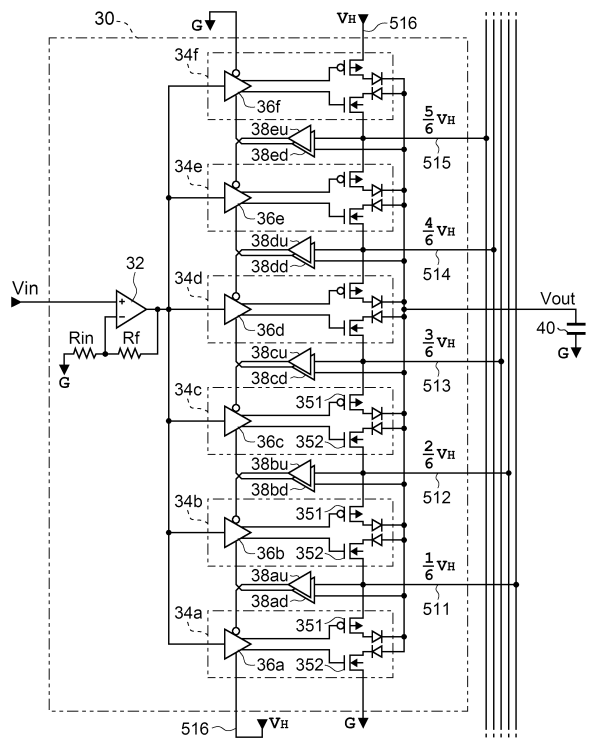
【図19】



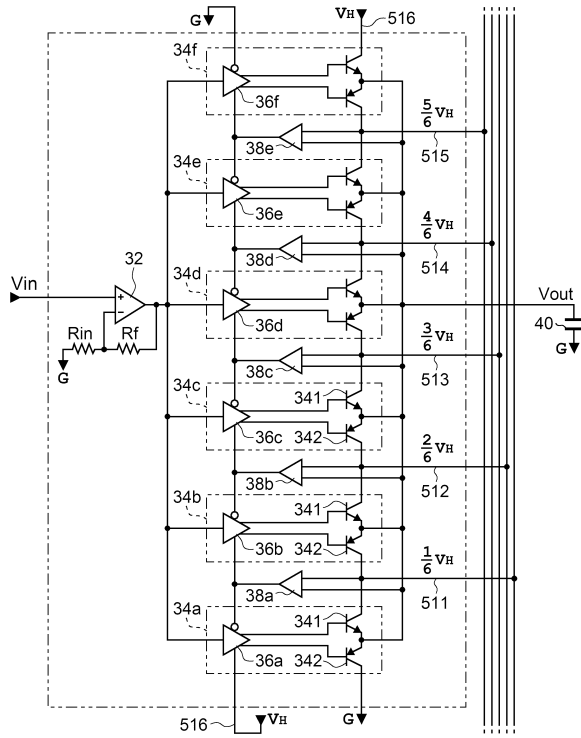
【図20】



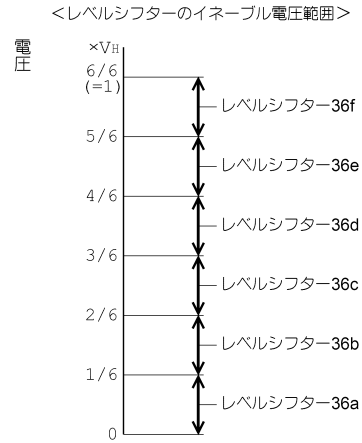
【図21】



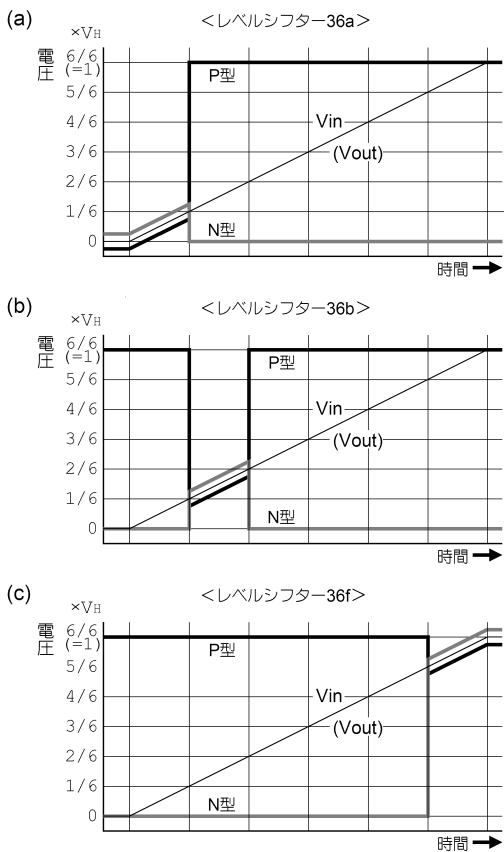
【図22】



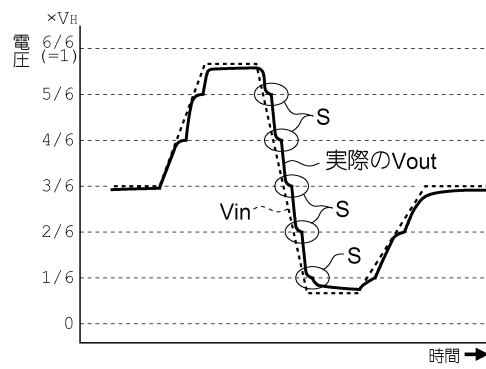
【図23】



【図24】



【図25】



---

フロントページの続き

(72)発明者 浅沼 利文

神奈川県横浜市西区みなとみらい2丁目3番3号 クイーンズタワーB 日立情報通信エンジニアリング株式会社内

審査官 有家 秀郎

(56)参考文献 特開2010-099980(JP,A)  
米国特許出願公開第2010/0103211(US,A1)  
特開2004-306395(JP,A)  
特開2002-103603(JP,A)  
特開2004-153411(JP,A)  
米国特許出願公開第2007/0296771(US,A1)  
特開2001-113695(JP,A)  
特開2008-132657(JP,A)  
特開2014-184569(JP,A)  
特表2005-526440(JP,A)  
特表2005-509306(JP,A)  
特開2012-187790(JP,A)  
特開2004-088430(JP,A)  
国際公開第2011/024307(WO,A1)  
特開2004-056463(JP,A)  
特開2007-096364(JP,A)  
特開2008-244716(JP,A)  
国際公開第2007/083671(WO,A1)

(58)調査した分野(Int.Cl., DB名)

B41J 2/01 - 2/215