(19) Deutsches Patent- und Markenamt

(10) **DE 10 2010 016 354 A1** 2010.10.21

(12) # Offenlegungsschrift

(21) Aktenzeichen: **10 2010 016 354.6**
(22) Anmeldetag: **07.04.2010**
(43) Offenlegungstag: **21.10.2010**

(51) Int Cl.[8]: ***H04W 56/00*** (2009.01)
H04L 7/02 (2006.01)

(30) Unionspriorität:
12/424,071 15.04.2009 US

(71) Anmelder:
General Electric Co., Schenectady, N.Y., US

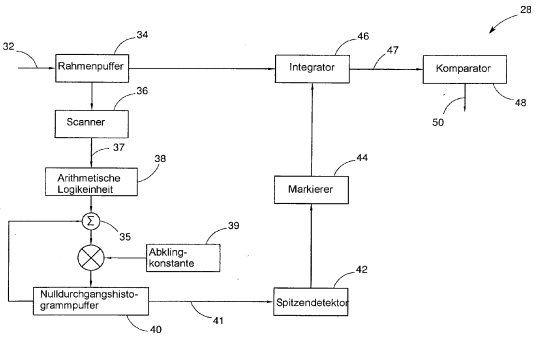
(74) Vertreter:
Rüger und Kollegen, 73728 Esslingen

(72) Erfinder:
Zinser, Richard Louis, Niskayuna, N.Y., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren und System zur Bilddetektion und -synchronisation**

(57) Zusammenfassung: Es wird ein Bitsynchronisationsverfahren vorgeschlagen. Das Verfahren enthält ein Puffern mehrerer Abtastwerte von einem Signalstrom, Scannen der gepufferten Abtastwerte nach Übergängen und Aktualisieren eines Nulldurchgangshistogrammpuffers beim Detektieren der Übergänge. Das Verfahren enthält ferner ein gleichzeitiges Detektieren wenigstens zweier Spitzenwerte anhand des aktualisierten Nulldurchgangshistogrammpuffers, Fixieren wenigsten zweier Grenzen von den detektierten Spitzenwerten und Integrieren der gepufferten Abtastwerte innerhalb der Grenzen. Schließlich enthält das Verfahren ein Erzeugen eines Ausgangssignals, das einen synchronisierten Bitstrom aufweist, aus den integrierten Abtastwerten.



Beschreibung

HINTERGRUND ZU DER ERFINDUNG

[0001] Der hierin offenbarte Gegenstand betrifft allgemein digitale Funkempfänger und insbesondere Bittaktrückgewinnungsverfahren und -systeme für derartige Empfänger.

[0002] In digitalen Kommunikationssystemen werden Übertragungssignale durch Modulation eines Trägersignals mit zu übertragenden digitalen Daten erzeugt. Die digitalen Daten werden gewöhnlich in Paketen übermittelt, wobei jedes Paket eine Anzahl von Datenbits enthält. Nachdem das übertragene Signal empfangen wird, bedarf das Signal einer Demodulation, um die Daten wiederzugewinnen.

[0003] Funkempfängerarchitekturen verwenden gewöhnlich Direktumwandlungsempfänger, die auch als Null-ZF-Empfänger bezeichnet werden, um die Demodulation eines empfangenen Signals durchzuführen. Es wird ein lokaler Oszillator, der auf der Trägersignalfrequenz arbeitet, verwendet, um das empfangene Signal herabzumischen, um In-Phase-(I-) und Qudratur-(Q-)Basisbandsignale zu erzeugen. Der Direktumwandlungsempfänger wandelt das ankommende Trägersignal unmittelbar ins Basisband, sowohl in die I- als auch in die Q-Komponente um, ohne irgendwelche Zwischenfrequenzen zu verwenden. Einen derartigen Umwandlungsempfänger realisiert ein Basisbandprozessor, der ein DC-Offset-Kompensationsmodul und ein Bitsynchronisationsmodul aufweisen kann.

[0004] Methoden zur Einrichtung einer Bitsynchronisation für einen Funkempfänger umfassen häufig ein Abtasten des Signals mit einer konstanten Frequenz und ein anschließendes Normieren des abgetasteten Signals. Die benachbarten normierten Abtastwerte werden verglichen, um die Positionen der Übergänge zwischen Signalpegeln zu erfassen. Die Positionen der Übergänge werden aufgezeichnet, und es wird ein Puffer oder Zähler, der jeder Position zugeordnet ist, inkrementiert. Für jedes empfangene Bit wird die Pufferstelle, die die meisten Übergänge enthält, ausgewählt, und der Bittaktgeber kann nachgestellt werden.

[0005] Eine weitere Möglichkeit, um Bits zu synchronisieren, besteht durch nulldurchgangsbasierte Synchronisationsalgorithmen. Jedoch haben derartige Verfahren einige Nachteile, wie beispielsweise eine Schwankung der Ausgabe, wenn Nulldurchgänge während jedes Bitzeitintervalls auftreten. Ferner weisen derartigen Methoden Bandbreitebeschränkungen auf, und Fehlanpassungen zwischen den Taktgebern des Senders und des Empfängers neigen dazu, die relativen Positionen des Nulldurchgangs im Laufe der Zeit driften zu lassen.

[0006] Folglich besteht ein Bedarf nach einem verbesserten Verfahren und System zur Bitdetektion und -synchronisation.

KURZE BESCHREIBUNG DER ERFINDUNG

[0007] Kurz gesagt, wird ein Bitsynchronisationsverfahren vorgeschlagen. Das Verfahren enthält ein Puffern mehrerer Abtastwerte von einem Signalstrom, Durchsuchen der gepufferten Abtastwerte nach einem Übergang und Aktualisieren eines Nulldurchgangshistogrammpuffers beim Erkennen des Übergangs. Das Verfahren enthält ferner ein Ermitteln wenigstens zweier Spitzenwerte gleichzeitig aus dem aktualisierten Nulldurchgangshistogrammpuffer, Fixieren wenigsten zweier Grenzen von den detektierten Spitzenwerten und Integrieren der gepufferten Abtastwerte zwischen den Grenzen. Schließlich enthält das Verfahren ein Erzeugen eines Ausgangssignals, das einen synchronisierten Bitstrom aufweist, anhand der integrierten Abtastwerte.

[0008] In einer Ausführungsform wird ein System zur Bitsynchronisation vorgeschlagen. Das System enthält einen Rahmenpuffer, um Abtastwerte von einem Eingangssignalstrom zu speichern, eine Scanneinrichtung, um Übergänge in dem Signalstrom zu detektieren, und eine arithmetische Logikeinheit sowie einen Summierer, um die Anzahl und Position der Übergänge zu verfolgen. Das System enthält ferner einen Nulldurchgangspuffer, um einen Wert, der zu der Anzahl von Übergängen proportional ist, entsprechend den Positionen der Abtastwerte in dem Framepuffer zu speichern, einen Spitzendetektor, um Spitzenwerte in dem Nulldurchgangshistogrammpuffer zu detektieren, und eine Markierungseinrichtung, um Grenzen von den detektierten Spitzenwerten zu definieren. Das System enthält ferner einen Integrator, um die Rahmenpufferabtastwerte zwischen den Grenzen zu integrieren, und einen Komparator, um aus den integrierten Abtastwerten einen synchronisierten Ausgangsbitstrom zu erzeugen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0009] Diese und weitere Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden besser verstanden, wenn die folgende detaillierte Beschreibung unter Bezugnahme auf die beigefügten Zeichnungen gelesen wird, in denen gleiche Bezugszeichen überall in den Zeichnungen gleiche Teile bezeichnen und in denen zeigen:

[0010] Fig. 1 ein Blockschaltbild eines beispielhaften digitalen Funkempfängers;

[0011] Fig. 2 ein Blockschaltbild eines Basisbandprozessors gemäß einer Ausführungsform, wie sie in dem System nach Fig. 1 implementiert ist;

[0012] Fig. 3 ein Blockschaltbild eines Bitdetektionssystems, das ein Nulldurchgangshistogramm implementiert, gemäß einem Aspekt der Erfindung.

[0013] Fig. 4 eine graphische Darstellung des Nulldurchgangshistogramms gemäß einer Ausführungsform der Erfindung, wie sie durch das System nach Fig. 3 implementiert ist;

[0014] Fig. 5 eine Bitdetektionssequenz gemäß einer Ausführungsform der Erfindung und

[0015] Fig. 6 ein Blockschaltbild eines Bitdetektionssystems, das ein Festkomma-Nulldurchgangshistogramm implementiert, gemäß einem Aspekt der Erfindung.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0016] Fig. 1 zeigt ein Blockschaltbild eines beispielhaften digitalen Funkempfängers **10**. Der digitale Funkempfänger **10** enthält ein Funkeingangsmodul (sog. Funk-Front-End-Modul) **12**, ein digitales Empfängermodul **14** und einen Basisbandprozessor **16**. Das Funkeingangsmodul **12** empfängt ein Funksignal, und der Basisbandprozessor **16** erzeugt ein demoduliertes digitales Ausgangssignal **32**.

[0017] Das Funkeingangsmodul **12** ist konfiguriert, um von einer Antenne **18** empfangene Signale zu verstärken. Das digitale Empfängermodul **14** enthält einen Analog/Digital-Wandler **20**, um die Signale von dem Funkeingangsmodul **20** in digitale Signale umzuwandeln. Das digitale Empfängermodul **14** enthält ferner einen digitalen Abwärtswandler **22** (DDC, Digital Down Converter), um ein digitalisiertes Signal, das auf einer Trägerfrequenz zentriert ist, in ein auf einer Nullfrequenz zentriertes Basisbandsignal umzusetzen. Zusätzlich zu der Abwärtswandlung dezimieren DDCs gewöhnlich auch die Abtastrate auf eine niedrigere Abtastrate, wodurch sie eine weitere Signalverarbeitung mittels Prozessoren mit geringerer Geschwindigkeit ermöglichen.

[0018] Fig. 2 zeigt ein Blockschaltbild eines Basisbandprozessors **16** nach Fig. 1. Der Basisbandprozessor **16** enthält einen Demodulator **24**, ein DC-Kompensationsmodul **26**, eine Bitsynchronisations- und Detektoreinheit **28** und ein Rahmensynchronisationsmodul **30**. In einer derzeit vorgesehenen Ausführungsform kann der Basisbandprozessor **16** auf jeder beliebigen digitalen Verarbeitungsplattform implementiert sein. Zu nicht beschränkenden Beispielen für digitale Verarbeitungsplattformen gehören Digitalsignalverarbeitungschips (DSP-Chips), im Feld programmierbare Anordnungen von Gattern oder anwendungsspezifische integrierte Schaltungen (ASICs). Der Demodulator **24** kann konfiguriert sein, um Frequenzschwankungen in dem Eingangssignal in eine Basisband-Signalform umzusetzen, deren Amplitude zu der Eingangssignalfrequenz proportional sein kann. Das DC-Kompensationsmodul **26** ist konfiguriert, um einen DC-Offset bzw. Gleichspannungsoffset in dem demodulierten Signal zu entfernen. Die Bitsynchronisations- und Detektoreinheit **28** und das Rahmensynchronisationsmodul **30** sind konfiguriert, um die Bitzeittaktinformation rückzugewinnen, um die Länge des Headers zu minimieren und die Stelle einer demarkierten Position innerhalb eines detektierten Bitstroms zu bestimmen.

[0019] In digitalen Empfängern kann der Empfang in kurzen Signalfolgen (auch als Bursts bezeichnet) erfolgen, die durch Zeitintervalle willkürlicher Länge voneinander getrennt sind. Bittakt- und Rahmensynchronisations-Rückgewinnungsalgorithmen beginnen an dem Anfang jedes Paketabtastwertes, so dass der Bitsynchronisationsheader folglich zu Beginn jedes Pakets übertragen wird. Um die Länge des Synchronisationsheaders zu minimieren und somit die Rechenbelastung zu reduzieren, kann es von Vorteil sein, die Bittaktinformation möglichst früh wiederzugewinnen.

[0020] Typische nulldurchgangsbasierte Synchronisationsalgorithmen weisen verschiedene Nachteile auf. Nulldurchgänge können gegebenenfalls nicht während jedes Bitzeitintervalls auftreten, und Bandbreitebeschränkungen können je nach dem Bitmuster eine Variation der Nulldurchgangsstellen hervorrufen. Ferner kann eine Fehlanpassung zwischen dem Sender- und dem Empfängertaktgeber bewirken, dass die relativen Positionen der Nulldurchgänge im Laufe der Zeit driften. Ausführungsformen, wie sie hierin beschrieben sind, verwenden schnell konvergierende, eine geringe Komplexität aufweisende, histogrammbasierte Algorithmen, die derartige Unzulänglichkeiten überwinden.

[0021] Fig. 3 zeigt ein Blockschaltbild eines Bitdetektionssystems **28**, das ein Nulldurchgangshistogramm implementiert, gemäß einem Aspekt der Erfindung. Das Bitdetektionssystem **28** enthält einen Rahmenpuffer **34**, um Abtastwerte von einem Eingangssignalstrom **32** zu speichern. In einer Ausführungsform ist der Rahmenpuffer **34** als ein First-In-First-Out-Puffer (FIFO-Puffer) konfiguriert. Ein Scanner **36** ist mit dem Rahmenpuffer gekoppelt, um Übergänge in dem Signalstrom **32** zu detektieren. In einer Ausführungsform weist der Scanner **36** einen Nulldurchgangsdetektor auf. Mit dem Scanner **36** ist eine arithmetische Logikeinheit (ALU, Arithmetic Logic Unit) **38** gekoppelt, um die Position der Übergänge in dem Signalstrom **32** zu verfolgen. Die arithmetische Logikeinheit **38** gibt eine festgelegte positive Konstante, wenn ein Übergang erfasst wird, und eine Null aus, wenn kein Übergang vorliegt. Zum Beispiel ist die festgelegte positive Konstante eine „1”, wenn ein Übergang detektiert wird. In einer Ausführungs-

form ist ein Summierer **35** mit der arithmetischen Logikeinheit **38** gekoppelt, um die Anzahl der detektierten Übergänge entsprechend ihren Positionen in dem Rahmenpuffer **34** zunehmend aufzuaddieren. Die Zähler der Anzahl von Übergängen, die für jede Position in dem Nulldurchgangshistogrammpuffer **40** gesondert gespeichert werden, bilden effektiv ein Histogramm der Nulldurchgangshistorie des Puffers **34**. Ein Spitzendetektor **42** ist mit dem Nulldurchgangshistogrammpuffer **40** gekoppelt und ist konfiguriert, um wenigstens zwei Spitzenwerte in dem Nulldurchgangshistogramm zu detektieren. Ein Markierer **44** ist mit dem Spitzendetektor **42** gekoppelt und konfiguriert, um zwei Grenzen entsprechend der Position der detektierten Spitzenwerte zu definieren. Ein Integrator **46** ist mit dem Rahmenpuffer **34** und dem Markierer **44** gekoppelt. Der Integrator **46** ist konfiguriert, um die Abtastwerte zwischen den Grenzen (wie durch den Markierer **44** definiert) aus dem Rahmenpuffer **34** zu integrieren (z. B. aufzusummieren). Mit dem Integrator **46** ist ein Komparator **48** gekoppelt, um aus den integrierten Abtastwerten **47** einen synchronisierten Ausgangsbitstrom **50** zu erzeugen.

[0022] In einer beispielhaften Funktionsweise empfängt der Rahmenpuffer **34** den Eingangssignalstrom **32** durch Einschieben mehrerer Abtastwerte, wobei die Anzahl der geschobenen Abtastwerte gleich der Anzahl von Abtastwerten pro Bit ist. Ferner speichert der Rahmenpuffer **34** mehrere Abtastwerte. In einer beispielhaften Ausführungsform beträgt die Anzahl von Abtastwerten pro Bit wenigstens drei Abtastwerte; somit würden drei Abtastwerte in einem Zeitpunkt in den Puffer eingeschoben werden. In einigen Ausführungsformen ist die Anzahl der Abtastwerte vorbestimmt, während in anderen Ausführungsformen die Anzahl von Abtastwerten variabel sein kann. Es kann erwähnt werden, dass, wenn die Abtastwerte in den Puffer eingeschoben werden, die Positionen der Nulldurchgänge (in Bezug auf den Anfang der Abtastwerte des Puffers) nahezu stationär sind. Der Scanner **36** durchsucht die Abtastwerte nach Übergängen und den Positionen der Übergänge innerhalb des Puffers **34**. Ein Übergang kann enthalten, dass die Bits in dem Abtastwert von einem digitalen „Low"-Zustand zu einem digitalen „High"-Zustand oder von einem digitalen „High" zu einem digitalen „Low" übergehen. Auf der Basis der Ausgabe **37** des Scanners **36** kann die arithmetische Logikeinheit **38** ein digitales „High", wenn ein Übergang detektiert wird, und null ausgeben, wenn kein Übergang detektiert wird. Ein nicht beschränkendes Beispiel für ein digitales „High"-Signal kann eine positive Spannung enthalten. Das Ausgabesignal **37** enthält ferner die Position des Übergangs relativ zu seiner Position in dem Puffer **34**. Die arithmetische Logikeinheit **38** zählt und speichert in Kombination mit dem Summierer **35** einen Wert, der zu der Anzahl von Übergängen proportional ist, entsprechend ihren Positionen, wie sie durch die Ausgabe **37** geliefert werden. In einer Ausführungsform addiert der Summierer **35** die Zählwerte kummulativ für jede Position auf. Sobald ein Übergang (Nulldurchgang) in den gepufferten Abtastwerten detektiert wird, wird eine zugehörige Stelle in dem Nulldurchgangshistogrammpuffer **40** um eine festgelegte positive Konstante inkrementiert. Der Wert der positiven Konstante ist entsprechend der Arithmetik gewählt, die in der arithmetischen Logikeinheit/Summierer/Histogrammpuffer-Schleife verwendet wird. In einer Gleitkommaarithmetik-Konfiguration kann beispielsweise ein Wert von 1,0 verwendet werden. Jedoch kann für eine Festkommaarithmetik-Konfiguration ein größerer Wert erforderlich sein und auf der Basis der Bitbreite der Konfiguration gewählt werden. Ferner wird jeder Wert in dem Nulldurchgangshistogramm **40** mit einer Abklingkonstante **39** multipliziert. Die Abklingkonstante kann beispielsweise zu 0,99, wenn irgendwelche Nulldurchgänge detektiert wurden, oder zu 1,0 (unverändert) festgelegt werden, wenn keine Nulldurchgänge in den gepufferten Abtastwerten vorhanden waren.

[0023] Die Ausführungsform nach Fig. 3 ergibt somit eine sich zyklisch wiederholende Schleife mit einem Scannen bzw. Durchsuchen der Abtastwerte nach Nulldurchgängen, Detektieren der Übergänge entsprechend ihren Positionen, Inkrementieren des Histogrammpuffers um eine festgelegte positive Konstante an der Stelle, die der Position der Übergänge entspricht, und Multiplizieren der Werte in dem Histogrammpuffer mit einer Abklingkonstante, um eine autoregressive Mittelungsschleife zu bilden. Nach einigen Iterationen können sich in dem Histogrammpuffer ausgeprägte Spitzenwerte herausbilden.

[0024] Fig. 4 zeigt eine graphische Darstellung des Nulldurchgangshistogramms gemäß einer Ausführungsform, wie sie in Fig. 3 implementiert ist. Das Histogramm **56** kann eine relative Abtastzeit (wie sie durch die Pufferposition repräsentiert ist) auf der horizontalen Achse **58** und einen Wert, der zu der Anzahl von Übergängen (von dem Histogrammpuffer **40** in Fig. 3) proportional ist, auf der vertikalen Achse **60** enthalten. Zu Beginn, wenn eine kleine Anzahl von Eingangsabtastwerten verarbeitet worden ist, kann die Amplitude der Kurve gegebenenfalls keine deutlichen Spitzen enthalten, wie dies durch die Bezugszeichen **61**, **62**, **63** veranschaulicht ist. In der veranschaulichten Ausführungsform können **61**, **62**, **63** Abtastanzahlen enthalten, die jeweils 10, 25 bzw. 50 Bits repräsentieren. Wenn im Laufe der Zeit mehrere Eingangsabtastwerte verarbeitet werden (**68**), können sich ausgeprägte Spitzen, wie beispielsweise bei **65**, **67**, zu entwickeln beginnen. Ferner können sich die Spitzen **64** und **66** herausbilden, nachdem eine deutliche Anzahl von Abtastwerten verarbeitet worden ist, z. B. nach etwa 300 Bits.

[0025] Erneut zurückkehrend zu Fig. 3 werden die positionsabhängigen Werte **41** von dem Nulldurch-

gangshistogrammpuffer **40** dem Spitzendetektor **42** zugeführt, der konfiguriert ist, um aus dem Histogramm **56** (nach Fig. 4) Spitzenwerte zu detektieren. In einer Ausführungsform ist der Spitzendetektor **42** konfiguriert, um wenigstens zwei Spitzen gleichzeitig zu detektieren. Es werden zwei Spitzen gleichzeitig detektiert, indem das Bitzeitintervall verwendet wird und die zwei Histogrammwerte addiert werden, die um eine Bitzeit voneinander beabstandet sind. Die Größte der Summen kann anschließend ausgewählt werden. Es ist vorteilhaft, zwei Spitzen gleichzeitig zu detektieren, um die Anzahl von Vergleichen für die Detektion zu reduzieren. Außerdem verbessert sich die Genauigkeit der Positionsdetektion, da die Summe aus den beiden Werten ein deutlich höheres Signal-Rausch-Verhältnis als irgendein einzelner Histogrammwert aufweist.

[0026] Fig. 5 veranschaulicht eine Bitdetektionssequenz gemäß einer Ausführungsform der Erfindung. Der Markierer **44** (nach Fig. 3) ist konfiguriert, um anhand der Position wenigstens zweier Spitzenwerte (die an dem Spitzendetektor **42** nach Fig. 3 detektiert werden) zwei Grenzen zu definieren. Die Grenzen **70**, **72** für die Abtastwerte definieren das Bitzeitintervall **74**, wie es durch die Grafik **76** veranschaulicht ist. Es kann erwähnt werden, dass das Bitzeitintervall **74** aus dem Abstand zwischen zwei Spitzen **64** und **66** von dem Nulldurchgangshistogramm **56** abgeleitet wird.

[0027] Auf der Basis der Anzahl der Abtastwerte pro Bit können ein oder mehrere Abtastwerte in dem Rahmenpuffer **34** dazu verwendet werden, den Wert des Bits zu detektieren. Wenn es zum Beispiel drei oder mehrere Abtastwerte pro Bit gibt, dann kann/können der/die Wert(e) des/der mittleren Abtastwerte(s) addiert und die Summe verwendet werden, um den Bitwert zu ermitteln. Die Verwendung mehrerer Abtastwerte, um den Bitwert zu ermitteln, kann das Funktionsverhalten in einer Umgebung mit geringem Signal-Rausch-Verhältnis (wie in der Grafik **78** veranschaulicht) deutlich verbessern. Zum Beispiel enthalten mittlere Abtastwerte Abtastwerte, die sich nicht benachbart zu den Nulldurchgängen befinden, wie dies in der Grafik **78** ersichtlich ist. In einer beispielhaften Ausführungsform führt der in Fig. 3 in Bezug genommene Integrator **46** die Operation der Detektion des Wertes des Bits, wie vorstehend beschrieben, aus.

[0028] Erneut zurückkehrend zu Fig. 3 erzeugt der Integrator **46** integrierte Abtastwerte **47** (wie in Fig. 5 angezeigt), die an den Komparator **48** angekoppelt werden können. Der Komparator **48** vergleicht die Abtastwerte **47** mit einem Schwellenwert. Ein nicht beschränkendes Beispiel für den Schwellenwert beträgt Null. In dieser Ausführungsform wird, wenn das Ergebnis des Vergleichs größer als der Schwellenwert ist, eine „1” aus dem Komparator ausgegeben; ansonsten wird eine „0” ausgegeben. Der Ausgangsbitstrom **50**, der einen synchronisierten Bitstrom enthält, kann an ein Rahmensynchronisationsmodul angekoppelt werden, um in dem digitalen Empfänger weiterverarbeitet zu werden.

[0029] In einer modifizierten Ausführungsform kann eine Festkomma-Mittelungsschleife die autoregressive Schleife nach Fig. 3 ersetzen. Fig. 6 zeigt ein Blockschaltbild eines Bitdetektionssystems, das ein Festkomma-Nulldurchgangshistogramm gemäß einem Aspekt der Erfindung implementiert. Die Arbeitsweise verschiedener Blöcke ist ähnlich wie bei dem System **28**, das im Zusammenhang mit Fig. 3 beschrieben ist. Jedoch wird in derartigen Konfigurationen die Abklingkonstante durch eine arithmetische Stellenverschiebung **82** und einen Subtrahierer **84** ersetzt. Die Kombination der Blöcke **82**, **84** kann die Funktion der Multiplikation mit einer festen Konstante, die kleiner als 1 ist, erfüllen. Der Block **82** zur arithmetischen Stellenverschiebung schiebt die Abtastwerte bitweise nach rechts. Wie allgemein bekannt ist, entsprechen arithmetische Stellenverschiebungen nach rechts einer Division einer Festkommazahl durch eine Potenz von 2. Wenn zum Beispiel die Ausgabe des Summierers **35** um sieben Bits nach rechts geschoben wird, ist dies das gleiche wie eine Division durch 128 (oder eine Multiplikation mit 0,0078125). Wenn die geschobene Zahl von dem ursprünglichen Abtastwert in dem Subtrahierer **84** subtrahiert wird, ist das Ergebnis gleich einer Multiplikation der Ausgabe des Summierers **35** mit 1,0 – 0,0078125 (0,9921875). Diese Operation wird durchgeführt, wenn irgendwelche Nulldurchgänge detektiert wurden, oder alternativ durch eine Multiplikation von 1,0 (unverändert) ersetzt, wenn keine Nulldurchgänge in den gepufferten Abtastwerten vorhanden waren.

[0030] Vorteilhafterweise ergeben derartige autoregressive und Festkomma-Mittelungstechniken einen schnell konvergierenden histogrammbasierten Algorithmus geringer Komplexität. Ferner sind derartige Algorithmen, wenn sie in frühen Stufen der Signalverarbeitung in digitalen Funkempfängern implementiert sind, bei der schnellen Rückgewinnung von Bittaktinformationen und der Minimierung der Länge der Overhead-Verarbeitung stromabwärts von Vorteil. Nulldurchgangsbasierte Histogramme reduzieren Fehler bei der Detektion, die ansonsten auftreten könnten, (1) wenn Übergänge nicht während jeder Bitperiode auftreten; (2) wenn Bandbreitebeschränkungen die Nulldurchgangspunkte veranlassen, je nach dem Bitmuster zu variieren; und (3) wenn eine Fehlanpassung zwischen den Taktgebern des Senders und des Empfängers auftritt, die ein Driften der relativen Positionen der Nulldurchgänge im Laufe der Zeit bewirken kann.

[0031] Während lediglich bestimmte Merkmale der Erfindung hierin veranschaulicht und beschrieben

worden sind, werden sich Fachleuten auf dem Gebiet viele Modifikationen und Veränderungen erschließen. Es ist deshalb zu verstehen, dass die beigefügten Ansprüche dazu bestimmt sind, all derartige Modifikationen und Veränderungen, sofern sie in den wahren Rahmen der Erfindung fallen, mit zu umfassen.

[0032] Es wird ein Bitsynchronisationsverfahren vorgeschlagen. Das Verfahren enthält ein Puffern mehrerer Abtastwerte von einem Signalstrom, Scannen der gepufferten Abtastwerte nach Übergängen und Aktualisieren eines Nulldurchgangshistogrammpuffers beim Detektieren der Übergänge. Das Verfahren enthält ferner ein gleichzeitiges Detektieren wenigstens zweier Spitzenwerte anhand des aktualisierten Nulldurchgangshistogrammpuffers, Fixieren wenigsten zweier Grenzen von den detektierten Spitzenwerten und Integrieren der gepufferten Abtastwerte innerhalb der Grenzen. Schließlich enthält das Verfahren ein Erzeugen eines Ausgangssignals, das einen synchronisierten Bitstrom aufweist, aus den integrierten Abtastwerten.

Bezugszeichenliste

10 Digitaler Funkempfänger
12 Funk-Eingangsmodul, Funk-Front-End-Modul
14 Zwischenfrequenzmodul
16 Basisbandprozessor
18 Antenne
20 Analog/Digital-Wandler
22 Digitaler Abtastwandler
24 Demodulator
26 DC-Kompensationsmodul
28 Bitdetektor/Bitdetektionssystem
30 Rahmensynchronisationsmodul
32 Eingangssignalstrom
34 Rahmenpuffer
35 Summierer
36 Scanner/Nulldurchgangsdetektor
37 Ausgabe des Scanners
38 Arithmetische Logikeinheit
39 Abklingkonstante
40 Nulldurchgangshistogramm
42 Spitzendetektor
44 Markierer
46 Integrator
47 Integrierte Abtastwerte
48 Komparator
50 Ausgabe, Ausgang
56 Histogramm/Nulldurchgangshistogramm
58 Abtastzeit auf der horizontalen Achse
60 Anzahl von Übergängen auf der vertikalen Achse
61 Spitzen für wenige Abtastwerte
62 Spitzen für wenige Abtastwerte
63 Spitzen für wenige Abtastwerte
64 Spitze
65 Spitzen für steigende Abtastanzahlen
66 Spitze
67 Spitzen für steigende Abtastanzahlen
68 Verlauf der Zeit
70 Grenze
72 Grenze
74 Abtastzeitintervall
76 Graphische Darstellung
78 Abtastwerte im Rahmenpuffer
82 Arithmetische Stellenverschiebung
84 Subtrahierer

Patentansprüche

1. Bitsynchronisationsverfahren, das aufweist:
Puffern mehrerer Abtastwerte von einem Signalstrom;
Durchsuchen der gepufferten Abtastwerte nach Übergängen;
Aktualisieren eines Nulldurchgangshistogrammpuffers bei der Detektion der Übergänge;
gleichzeitiges Ermitteln wenigstens zweier Spitzenwerte anhand des aktualisierten Nulldurchgangshistogrammpuffers;
Festsetzen wenigsten zweier Grenzen von den detektierten Spitzenwerten;
Integrieren der gepufferten Abtastwerte zwischen den Grenzen; und
Erzeugen eines Ausgangssignals, das einen synchronisierten Bitstrom aufweist, anhand der integrierten Abtastwerte.

2. Verfahren nach Anspruch 1, wobei das Puffern der Abtastwerte eine First-In-First-Out-(FIFO-)Operation aufweist.

3. Verfahren nach Anspruch 1, wobei das Aktualisieren des Nulldurchgangshistogrammpuffers ein Inkrementieren eines Wertes in dem Nulldurchgangshistogrammpuffer aufweist.

4. Verfahren nach Anspruch 3, wobei das Aktualisieren des Nulldurchgangshistogrammpuffers ferner ein Multiplizieren des Zählers in dem Nulldurchgangshistogramm mit einer Abklingkonstante beim Detektieren des Übergangs aufweist.

5. Verfahren nach Anspruch 1, das ferner ein Definieren eines Bitzeitintervalls durch gleichzeitige Detektion zweier Spitzenwerte aufweist.

6. System zur Bitsynchronisation, das aufweist:
einen Rahmenpuffer, um Abtastwerte von einem Eingangssignalstrom zu speichern;
einen Scanner, um Übergänge in dem Signalstrom zu detektieren;
eine arithmetische Logikeinheit und einen Summierer, um die Anzahl und Position der Übergänge zu verfolgen;
einen Nulldurchgangshistogrammpuffer, um einen Wert, der zu der Anzahl von Übergängen proportional

ist, entsprechend den Positionen zu speichern;
einen Spitzendetektor, um Spitzen in dem Nulldurchgangshistogrammpuffer zu detektieren;
einen Markierer, um Grenzen von den detektierten Spitzen zu definieren;
einen Integrator, um die Rahmenpufferabtastwerte zwischen den Grenzen zu integrieren;
einen Komparator, um einen synchronisierten Ausgangsbitstrom anhand der integrierten Abtastwerte zu erzeugen.

7. System nach Anspruch 6, wobei der Scanner, die arithmetische Logikeinheit und der Summierer für mehrere Abtastwerte parallel arbeiten.

8. System nach Anspruch 6, wobei der Spitzendetektor konfiguriert ist, um wenigstens zwei Spitzen gleichzeitig zu detektieren.

9. System nach Anspruch 6, wobei der Komparator konfiguriert ist, um die integrierten Abtastwerte mit einem Schwellenwert zu vergleichen.

10. System nach Anspruch 6, das ferner einen Multiplizierer aufweist, um eine Abklingkonstante mit den Werten in dem Nulldurchgangshistogramm zu multiplizieren.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

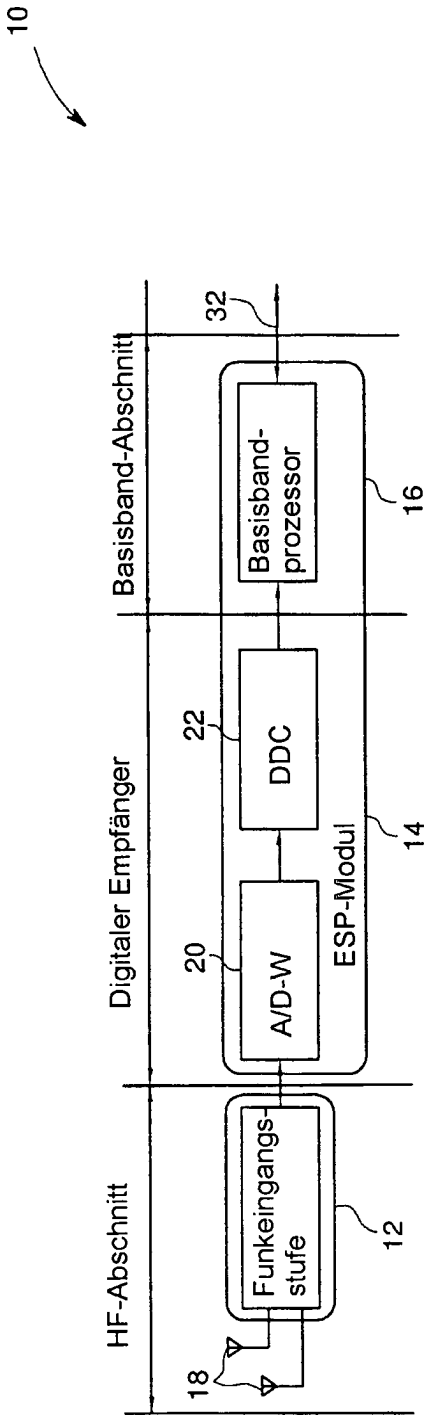


FIG. 1

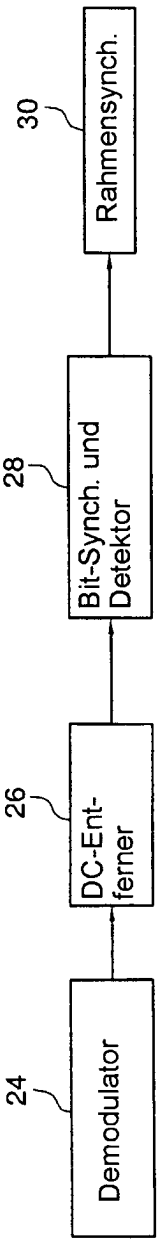


FIG. 2

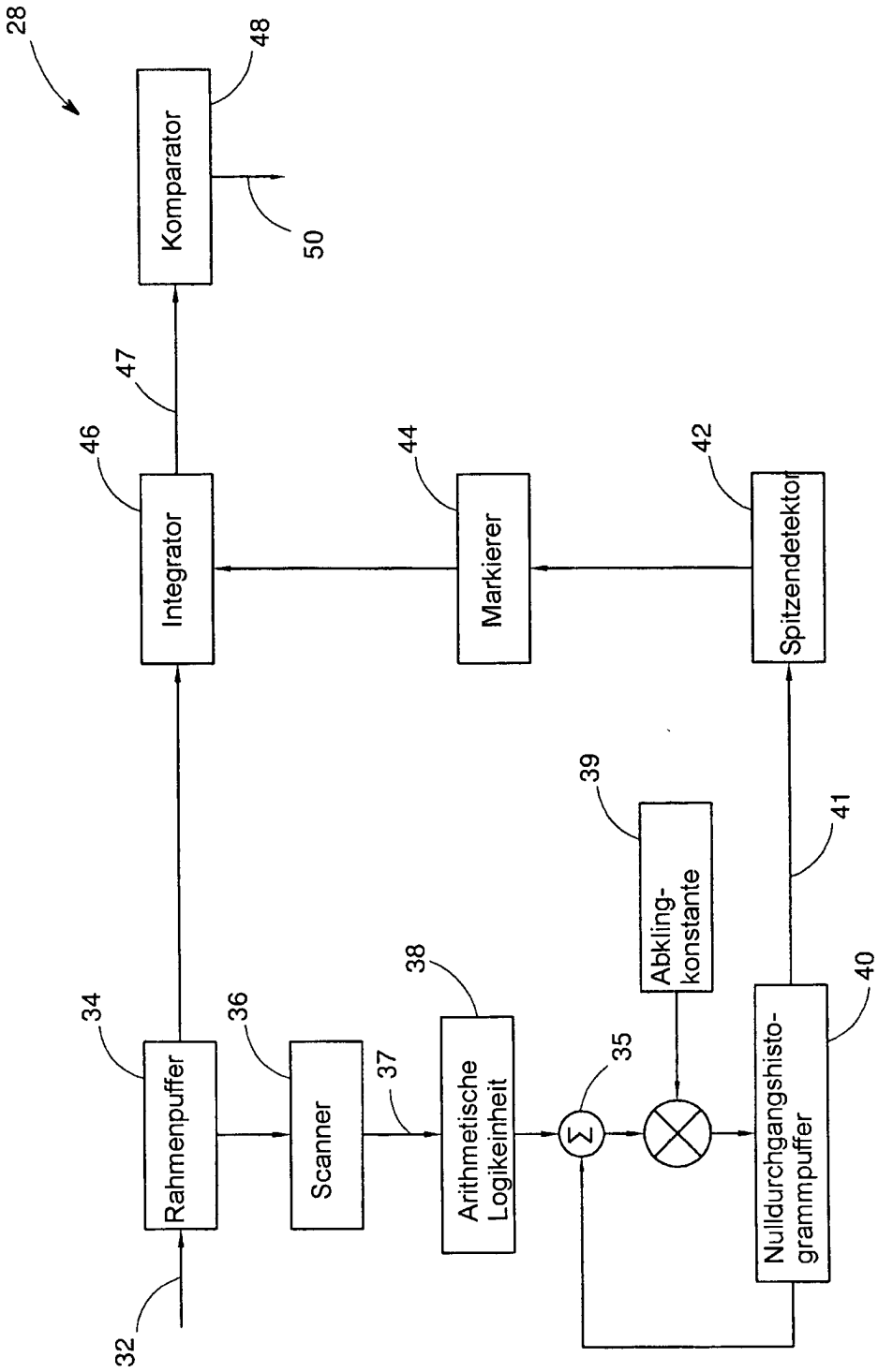

28
48
Komparator
50
47
46
Integrator
44
Markierer
42
Spitzendetektor
39
Abkling-
konstante
41
38
34
36
37
35
40
Rahmenpuffer
Scanner
Arithmetische
Logikeinheit
Σ
Nulldurchgangshisto-
grammpuffer
32

FIG. 3

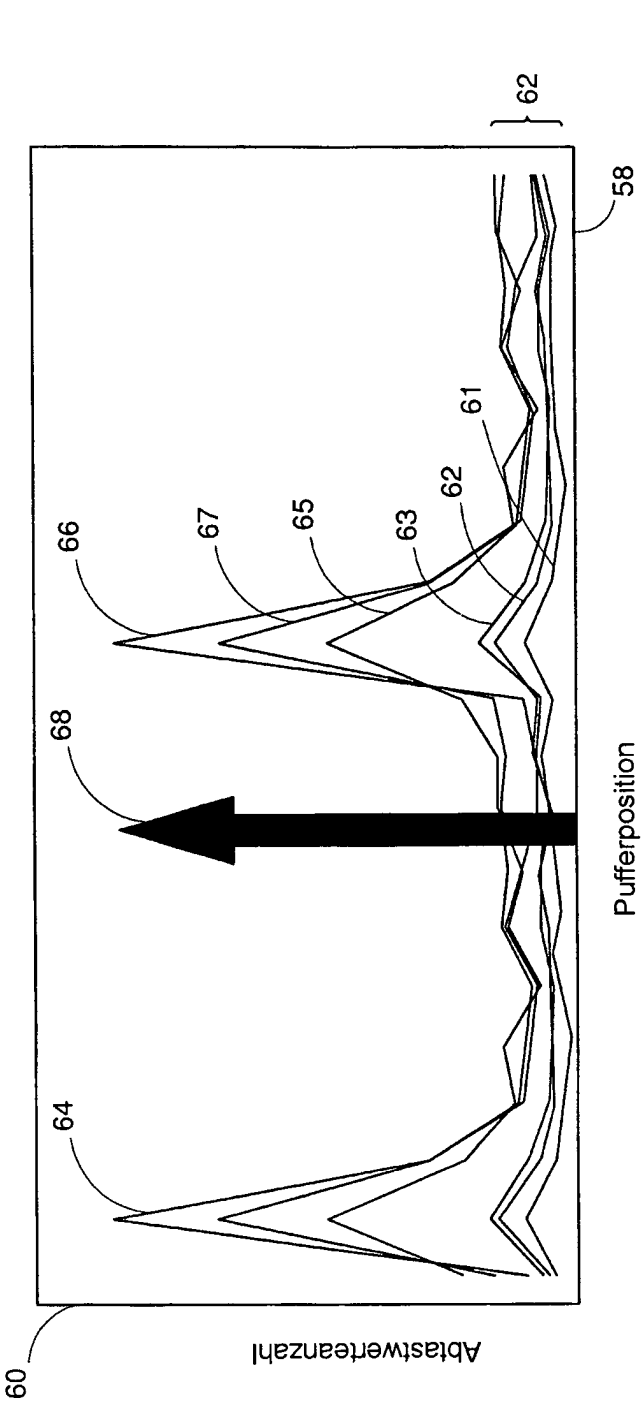

56
62
58
61
62
63
65
67
66
68
64
60
Ablastwertanzahl
Pufferposition

FIG. 4

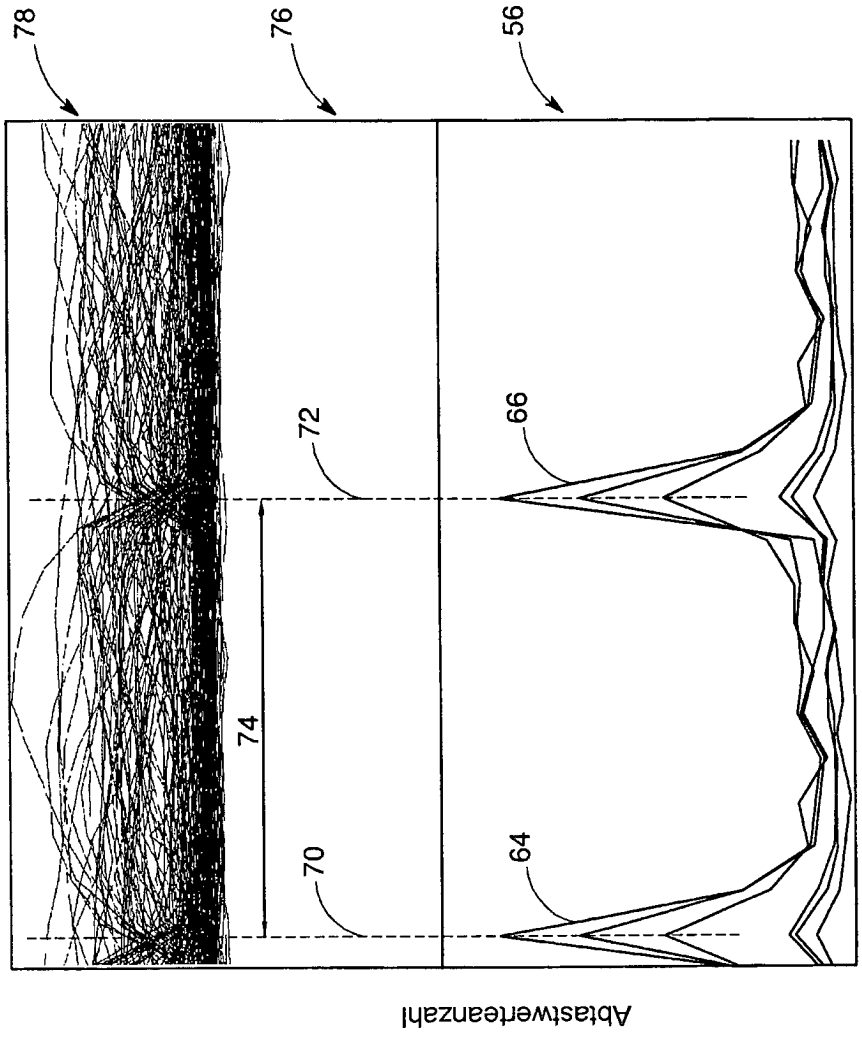


FIG. 5

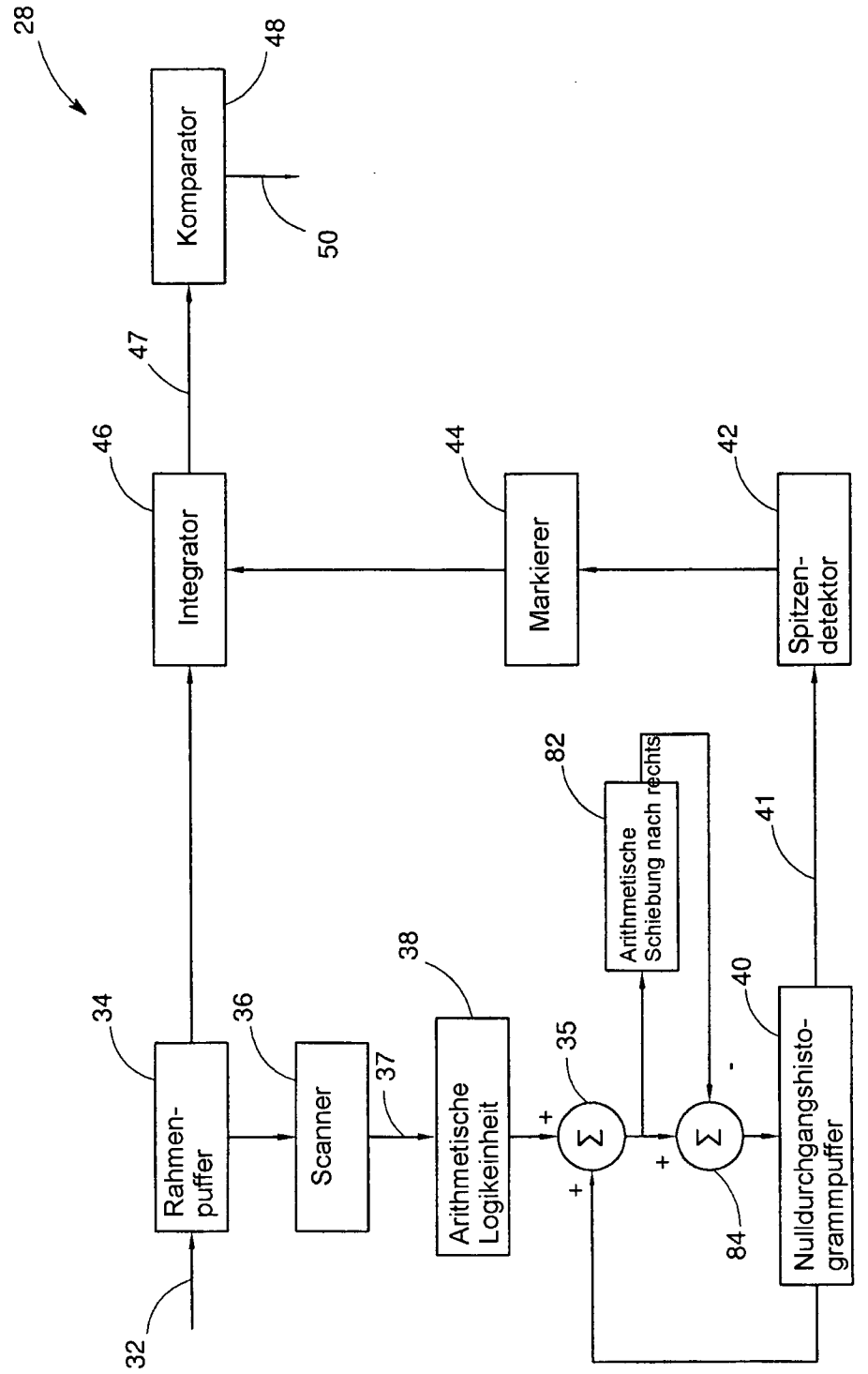

28
48
Komparator
50
47
46
Integrator
44
Markierer
42
Spitzen-
detektor
82
Arithmetische
Schiebung nach rechts
41
38
40
34
36
35
37
Rahmen-
puffer
Scanner
Arithmetische
Logikeinheit
+
+
+
-
84
Nulldurchgangshisto-
grammpuffer
32

FIG. 6