



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 10 2006 009 723 A1** 2007.09.06

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2006 009 723.8**

(22) Anmeldetag: **02.03.2006**

(43) Offenlegungstag: **06.09.2007**

(51) Int Cl.<sup>8</sup>: **H01L 21/60** (2006.01)  
**G01S 7/02** (2006.01)

(71) Anmelder:  
**Siemens AG, 80333 München, DE**

(72) Erfinder:  
**Schimetta, Gernot, 81541 München, DE;**  
**Tschernitz, Maximilian, Dr., 85354 Freising, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**US 59 94 648**

**US 55 64 181**

**US 52 55 431**

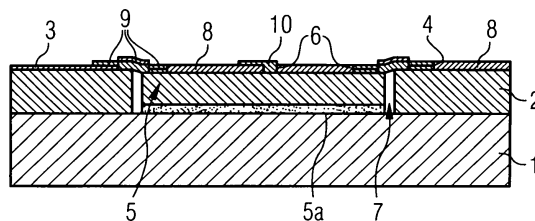
**US 47 83 695**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Herstellen und planaren Kontaktieren einer elektronischen Vorrichtung und entsprechend hergestellte Vorrichtung**

(57) Zusammenfassung: Es ist damit Aufgabe der vorliegenden Erfindung, elektronische Vorrichtungen, insbesondere Hochfrequenzmodule, auf kostengünstige Weise herzustellen, wobei elektronische Bauelemente (5) zuverlässig elektrisch kontaktiert werden und eine wirksame Potentialtrennung zwischen Ober- und Unterseite der elektronischen Bauelemente (5) erzeugt wird. Es wird ein elektronisches Bauelement (5) auf herkömmliche Weise auf einem Substrat (1) angeordnet. Im Anschluss wird eine zweite Schicht (8) derart aufgebracht, dass Kontaktflächen (6) und Kontaktstellen (4) frei zugänglich sind. Es werden elektrische Kontakte und elektrische Verbindungsleitungen (9) galvanisch erzeugt. Es werden mittels der zweiten Schicht (8) Brücken über einen Abstandsbereich (7) zwischen elektronischem Bauelement und einer ersten Schicht (2) erzeugt. Auf den Brücken sind Verbindungsleitungen (9) ausgebildet. Die zweite Schicht (8) kann wieder entfernt werden. Es können Hochfrequenzmodule kompakt erzeugt und mit Niederfrequenzkomponenten kombiniert werden.



## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen und planaren Kontaktieren einer elektronischen Vorrichtung, insbesondere eines Hochfrequenzmoduls.

**[0002]** Die Massenfertigung von Radarmodulen basierend auf Nacktchipverarbeitung, insbesondere für eine Betriebsfrequenz von 77 GHz, verwendet herkömmlicher Weise so genannte Drahtbondverfahren. Betriebsfrequenzen im Bereich von 77 GHz werden insbesondere für ein so genanntes Long Range Radar beispielsweise als Basis für longitudinale Fahrzeugsteuerung verwendet. Das herkömmliche Drahtbonden stellt lediglich eine geringe Prozesssicherheit der verwendeten Chipkontaktiertechnik bereit. Das herkömmliche Drahtbonden ist sehr kostenwirksam. Bei dem nachteiliger Weise seriellen Drahtbondprozess sind Drahtbonds beispielsweise von 0,3 mm bis 0,4 mm Länge mit einer Genauigkeit beispielsweise von etwa +/- 5% herzustellen. Aufgrund der zahlreichen Kontaktierstellen in einem herkömmlichen Radarmodul sind die Stückkosten sehr hoch. Deshalb weist die so genannte 77 beziehungsweise 79 GHz Radartechnologie trotz einiger Systemvorteile gegenüber Konkurrenztechnologien, wie beispielsweise LIDAR (dies beruht auf einem Abtasten der Umgebung mittels Laserstrahl) Nachteile auf. Die Kosten für die Herstellung (Assembly) bewirken den Großteil der Systemkosten. Es erscheint insbesondere für Europa ein Wechsel von der 24 GHz-Technologie auf eine 79 GHz-Technologie als notwendig. Auf diese Weise ergibt sich ein Bedarf an kostengünstigen Packaging-Lösungen. Monolithische Systeme, bei denen das gesamte Radar-Frontend auf einem Chip vereinigt ist, erscheinen ebenso in naher Zukunft als nicht verfügbar. Die Verwendung der so genannten Flip-Chip-Technik erscheint aufgrund der Anregung von Schwingungsmoden zwischen Chip und Substrat und einer schlechten Wärmespreizung als nachteilig. Eine Verwendung der herkömmlichen Surface Mount Technology (SMT) bei 24 GHz Radarmodulen ist aufgrund der verwendeten hohen Frequenzen ebenso nachteilig. Gemäß dem Stand der Technik werden gedünnte HF-Chips (Hochfrequenz-Chips) mittels eines elektrisch leitfähigen Klebstoffs mit hoher Genauigkeit auf eine Trägerplatte geklebt. Zu diesem Zweck ist aus der die Platte ganzflächig bedeckenden Isolationsfolie per Laser eine Öffnung beziehungsweise ein Fenster für den Chip geschnitten. Dieses Fenster ist geringfügig größer als der Chip, so dass sich ein schmaler umlaufender Spalt ergibt, der umlaufende Luftspalt sorgt für eine Potentialtrennung zwischen Chipoberseite und Chipunterseite (Masse) ohne parasitäre Kapazitäten. Chip und Isolationsfolie besitzen annähernd gleiche Dicke. Auf der Isolationsfolie befinden sich alle HF- (und NF-)Signalleitungen, und ebenso die Versorgungsleitungen. Gemäß dem herkömmlich verwendeten Drahtbondvorgang werden

Chippad und HF-Leitung miteinander verbunden. Direkte Chip-to-Chip Verbindungen können unter Umständen ebenfalls realisiert werden.

**[0003]** Gemäß dem Stand der Technik wird eine Isolierfolie auf eine Trägerplatte aufgebracht. Es wird mindestens ein Fenster für mindestens einen Chip in die Isolationsfolie gelasert. Ein gedünnter HF-Chip wird mittels eines Klebers in dem Fenster auf die Trägerplatte geklebt. Gemäß dem herkömmlichen Verfahren werden Kontaktflächen des Chips und elektrische Leitungen auf der Isolierfolie mittels Drahtbonden kontaktiert. Das herkömmliche Drahtbonden muss seriell ausgeführt werden und ist auf diese Weise sehr kostenwirksam und sehr langsam.

**[0004]** Es ist damit Aufgabe der vorliegenden Erfindung elektronische Vorrichtungen, insbesondere Hochfrequenzmodule, auf kostengünstige Weise herzustellen, wobei elektronische Bauelemente, wie dies beispielsweise Halbleiterchips und passive Bauteile (Kondensatoren, Widerstände, Induktivitäten) sind, zuverlässig elektrisch kontaktiert werden und eine wirksame Potentialtrennung zwischen Ober- und Unterseite der elektronischen Bauelemente erzeugt wird.

**[0005]** Die Aufgabe wird durch ein Verfahren gemäß dem Hauptanspruch und eine Vorrichtung gemäß dem Nebenanspruch gelöst.

**[0006]** Das Verfahren verwendet Substrate, die Kupfer und/oder Aluminium aufweisen. Ebenso können so genannte LTCC (Low Temperature Cofired Ceramic)-Substrate verwendet werden. Das Öffnen mindestens eines Fensters für mindestens ein elektronisches Bauelement, wie es beispielsweise ein (Halbleiter-)chip ist, in der ersten Schicht wird beispielsweise mittels Laser ausgeführt. In dieser Beschreibung wird im Folgenden „Halbleiterchip“ oder „Chip“ geschrieben, die als Beispiele für allgemein „elektronische Bauelemente“ anzusehen sind. Ein Fixieren eines Halbleiterchips innerhalb einer Öffnung beziehungsweise eines Fensters kann mittels eines Klebers ausgeführt werden. Die zweite Schicht dient insbesondere der elektrischen Isolierung. Die zweite Schicht überbrückt insbesondere den Abstandsreich.

**[0007]** Es werden die herkömmlichen extrem kurzen Bonddrähte durch beispielsweise galvanisch, mittels Dampfen oder Sputtern abgeschiedene Verbindungen ersetzt. Aufbringen von elektrisch leitendem Material kann galvanisch, mittels Dampfen oder Sputtern erfolgen. Als Träger von Brücken über die die Halbleiterchips oder Chips umlaufenden Luftspalte, beziehungsweise zur Isolation wird eine Kunststoffolie, insbesondere eine Polymerfolie, über den Halbleiterchip gespannt. Die Kontaktstellen des Halbleiterchips können mittels Photolithographie

oder mittels eines Laserprozesses geöffnet werden. Gemäß den beanspruchten Verfahren können elektronische Vorrichtungen, insbesondere Hochfrequenzmodule kostengünstig in Massenfertigungen erzeugt werden. Es werden parallele, stabile Prozesse zur Halbleiterchipkontaktierung geschaffen. Auf diese Weise werden Assembly-Kosten beziehungsweise Zusammenbaukosten wirksam reduziert. Ebenso vorteilhaft ist es, dass die Anzahl der Kontakte auf einem Modul keinen Einfluss auf die Kontaktierkosten hat. Diese ist lediglich von der Fläche eines Moduls abhängig. Es wird besonders vorteilhaft aufgrund der präziseren und kürzeren Abstände zwischen Halbleiterchip und Hochfrequenzleitungen auf dem Substrat eine höhere Signalintegrität bereitgestellt. Gemäß dem vorgeschlagenen Verfahren ist ein Kontaktieren von Bauteilen mit unterschiedlicher Höhe, beispielsweise von Kondensatoren und Halbleiterchips, ebenso möglich. Ebenso kann mittels der zweiten Schicht ein physikalischer und/oder chemischer Schutz für den Halbleiterchip bereitgestellt werden. Weitere Vorteile sind:

Das Öffnen der zweiten Schicht ist an jedem Punkt möglich. Ausgenommen ist lediglich der umlaufende Spalt um den Halbleiterchip. Auf diese Weise entfällt die Notwendigkeit der Positionierung von Bond-Kontaktflächen am Halbleiterchiprand. Es ist der Aufbau von sehr kompakten und auf diese Weise kostengünstigen Hochfrequenzmodulen möglich. Eine physikalische Grenze stellt lediglich die gegenseitige Beeinflussung von Hochfrequenzleitungen dar. Es können elektronische Vorrichtungen hergestellt werden, die beispielsweise die Integration von Antennen ermöglichen. Ebenso ist eine kostenwirksame Einkapselung der gesamten elektronischen Vorrichtung, insbesondere eines Hochfrequenzmoduls, möglich. Es können Hochfrequenzmodule mit erheblich reduzierten Abmessungen erzeugt werden. Auf diese Weise kann beispielsweise ein so genanntes Automotive Radar einfacher in ein Kraftfahrzeug integriert werden. Eine Integration ist beispielsweise in eine KFZ-Stoßstange möglich. Zudem können neue Einbauteile verwendet werden. Zudem ist es möglich, erfindungsgemäße Verfahren und erfindungsgemäße elektronische Vorrichtungen mit der so genannten Surface Mounted Device (SMD-)Technologie, insbesondere im Niederfrequenzteil, zu verwenden. Es können kleinere Bauteile unter der zweiten Schicht integriert werden, größere Bauelemente können im Anschluss daran montiert werden.

**[0008]** Gemäß einer vorteilhaften Ausgestaltung ist die zweite Schicht eine Kunststoffolie, die ganzflächig, beispielsweise mittels Tiefziehen oder Auflaminieren, aufgebracht wird. Diese Kunststoffolie wird über der mindestens einen Kontaktfläche des mindestens einen Halbleiterchips und der mindestens einen Kontaktstelle der mindestens einen elektrischen Leitung geöffnet. Das Öffnen kann beispielsweise mittels Laserablation (ein flächiges Öffnen) ausge-

führt werden. Es wird hiermit auf die WO 03/030247 Bezug genommen, die ein Verfahren zum planaren beziehungsweise flächigen Kontaktieren elektrischer Kontaktflächen eines Substrats und eine Vorrichtung aus einem Substrat mit elektrischen Kontaktflächen offenbart. Gemäß diesem Verfahren wird eine Folie aus elektrisch isolierendem Kunststoffmaterial auf die Oberfläche eines Substrats unter Vakuum derart auf laminiert, dass die Folie die Oberfläche mit der oder den Kontaktflächen eng anliegend bedeckt und auf dieser Oberfläche haftet. Ein Freilegen jeder zu kontaktierenden Kontaktfläche auf der Oberfläche erfolgt mittels Öffnen jeweiliger Fenster in der Folie. Abschließend erfolgt ein flächiges Kontaktieren jeder freigelegten Kontaktfläche mit einer Schicht aus elektrisch leitendem Material.

**[0009]** Gemäß einem weiteren Ausführungsbeispiel ist die zweite Schicht eine fotostrukturierte Schicht. Dabei wird die zweite Schicht als elektrisch isolierende Folie, insbesondere Kunststoffolie oder als Lack erzeugt. Mittels Photolithographie wird eine fotostrukturierbare Schicht, eine Kunststoffolie oder ein Lack, belichtet und entwickelt. Die fotostrukturierte Schicht ist derart erzeugt, dass Kontaktflächen und Kontaktstellen unbedeckt bleiben.

**[0010]** Gemäß einer weiteren vorteilhaften Ausgestaltung kann die zweite Schicht nach dem galvanischen Abscheiden wieder entfernt werden. Bei Verwendung einer Kunststoffolie beziehungsweise einer Folie aus elektrisch isolierendem Kunststoffmaterial kann die zweite Schicht mittels Laser entfernt werden. Bei Verwendung einer fotostrukturierten Schicht ist die Entfernung der zweiten Schicht auf besonders einfache und kostengünstige Weise mittels Verwendung einer chemischen Lösung ausführbar. Ist die zweite Schicht eine Folie aus elektrisch isolierendem Kunststoffmaterial, so kann diese Folie auf dem Halbleiterchip, bei entsprechender Halbleiterchippassivierung, auf der gesamten elektrisch aktiven Fläche mittels Laser abgetragen werden, falls dies entsprechend den Hochfrequenzbedingungen vorteilhafter ist. Es verbleibt lediglich ein Folienrahmen oder optional eine dünne Restschicht der Folie im elektrisch aktiven Halbleiterchipbereich.

**[0011]** Gemäß einer weiteren vorteilhaften Ausgestaltung umfasst ein galvanisches Abscheiden folgende Schritte. Ein ganzflächiges Aufbringen einer Galvanik-Grundmetallisierung kann mittels Sputtern (Kathodenzerstäubung) oder Aufdampfen ausgeführt werden. Dabei kann eine Grundmetallisierung eine Titanschicht sein, auf der eine Wolfram-Titan-Schicht angeordnet wird, auf der wiederum eine Kupferschicht aufgebracht wird. Dabei stellt die Wolfram-Titan-Schicht eine Diffusionsbarriere bereit. Bei einem herkömmlichen Sputtern wird in einer Vakuumkammer zwischen zwei plattenförmigen Elektroden angeordnetes Substrat mit beispielsweise Kupfer-

fer-Ionen beschossen. Gemäß einem zweiten Schritt erfolgt ein Aufbringen einer fotostrukturierten Abdeckschicht. Diese Abdeckschicht kann eine Folie oder ebenso eine Lackschicht sein. Eine Fotostrukturierung erfolgt mittels Photolithographie und den Verfahrensschritten Aufsprühen der Abdeckschicht, Belichten und Entwickeln der Abdeckschicht. Von der erzeugten Abdeckschicht unbedeckte, galvanisierbare Bereiche entsprechen elektrischen Verbindungsleitungen, Kontaktflächen und Kontaktstellen. Es folgt ein Galvanisieren der unbedeckten Bereiche. Hierbei wird die bisher erzeugte Anordnung in einen Elektrolyten eingetaucht. Dabei kann beispielsweise eine Schichtfolge Kupfer, Nickel und Gold erzeugt werden, wobei die Goldschicht die obere und die Kupferschicht die auf der Galvanik-Grundmetallisierung direkt aufgebraachte Schicht ist. Die Nickelschicht stellt eine Diffusionsbarriere bereit. Abschließend wird die Abdeckschicht entfernt. Dies kann insbesondere mittels einer chemischen Lösung ausgeführt werden. Es folgt ein Entfernen der nicht galvanisierten Galvanik-Grundmetallisierung. Dies kann beispielsweise mit einer sauren oder einer basischen Lösung durchgeführt werden.

**[0012]** Gemäß einer weiteren vorteilhaften Ausgestaltung sind die Höhe des mindestens einen Halbleiterchips und die Dicke der ersten Schicht annähernd gleich groß. Auf diese Weise kann auf einfache Weise ein Abstandsbereich zwischen Halbleiterchip und erster Schicht von der zweiten Schicht überbrückt werden.

**[0013]** Gemäß einer weiteren vorteilhaften Ausgestaltung ist die zweite Schicht lediglich eine Schicht mit hohem Dämpfungsfaktor, das heißt, es können ebenso kostengünstigere, aber unter Hochfrequenzbedingungen ungünstige Materialien verwendet werden. Dies ist möglich, da lediglich kurze Distanzen zwischen Halbleiterchipkontaktfläche und Hochfrequenzleitungen auf dem Modulsubstrat überbrückt werden müssen.

**[0014]** Gemäß einer weiteren vorteilhaften Ausgestaltung sind die Verbindungsleitungen als Verbindungsleitungen von Halbleiterchip zum Substrat, vom Halbleiterchip zu Halbleiterchip, von Halbleiterchip zu einem passiven Bauelement und/oder von passivem Bauelement zu passivem Bauelement erzeugt.

**[0015]** Gemäß einer weiteren vorteilhaften Ausgestaltung wird unter der zweiten Schicht mindestens ein Surface Mounted Device-Bauteil integriert. Dies ist besonders vorteilhaft bei der Verwendung einer Laminierfolie als zweite Schicht. Diese Folie kann auch über ein benachbartes, kostengünstiges Niederfrequenz-Basissubstrat, zum Beispiel ein Control-Board, ein Fensterausschnitt, das Hochfrequenzsubstrat, laminiert werden. Es können ebenso Über-

gänge zwischen Niederfrequenz- und Hochfrequenzbereiche eines Substrats beziehungsweise einer Platine im gleichen Prozess hergestellt werden. Die Verfahrenskosten erhöhen sich entsprechend der zusätzlich zu bearbeitenden Substratfläche. Es ist ebenso möglich Surface Mounted Device-Bauteile, die nicht unter die Folie integriert werden sollen, nachträglich auf die Folie aufzusetzen. Es erfolgt ein Öffnen der Kontaktierflächen mittels Laser nach dem Öffnen der Kontaktierflächen. Hierbei ist es besonders vorteilhaft, wenn das bisher hergestellte Modul an den Kontaktierflächen mit Lot versehen werden kann und dieses Lot in einem einzigen, gemeinsamen Aufheizprozess (Reflow) umgeschmolzen werden kann, ohne das zuvor hergestellte Modul zu beschädigen. Das heißt es muss eine gewisse Reflow-Fähigkeit vorhanden sein. Ist diese nicht gegeben, so können Klebetechniken, bei niedriger Temperatur schmelzende Lote, insbesondere eine Stufenlötlung, oder Selektiv-Lötverfahren, beispielsweise mittels Laser, eingesetzt werden.

**[0016]** Gemäß einer weiteren vorteilhaften Ausgestaltung wird die zweiten Schicht (**8**) geöffnet und mindestens ein surface mounted device (SMD)-Bauteil aufgesetzt. Das Aufsetzen kann auf die erste Schicht und/oder auf ein elektronisches Bauelement erfolgen.

**[0017]** Gemäß einer weiteren vorteilhaften Ausgestaltung wird nach dem Schritt des Galvanisierens auf der zweiten Schicht eine dritte Schicht aufgebracht. Diese dritte Schicht kann beispielsweise eine elektrisch isolierende Kunststoffolie sein. Diese kann ebenso metallisiert sein und als Elektromagnetic Compatibility (EMC)-Schutz verwendet werden. Die dritte Schicht kann ebenso eine hermetische Einkapselung erzeugen.

**[0018]** Gemäß einer weiteren vorteilhaften Ausgestaltung sind auf der zweiten Schicht weitere Leitungsebenen aufgebracht. Die weiteren Leitungsebenen können sequentiell aufgebracht werden. Es entstehen "vergrabene" (Hochfrequenz-)chips.

**[0019]** Gemäß einer weiteren vorteilhaften Ausgestaltung wird mittels Aufbringen von elektrisch leitendem Material auf die Kontaktfläche und/oder die Kontaktstelle ein verteiltes elektronisches Bauelement erzeugt. Diese Bauelemente können lediglich Flächenbereiche sein, die ein Hochfrequenzbauteil bilden. Konzentrierte Bauelemente sind im Unterschied dazu beispielsweise Kondensatoren.

**[0020]** Gemäß einer weiteren vorteilhaften Ausgestaltung ist die Verwendung ebenso von Folien als zweite Schichten möglich, die einen geringen Dämpfungsfaktor aufweisen. Damit sind die galvanisierten Verbindungsstrukturen ebenso für größere Bereiche um Halbleiterchips herum geeignet. Auf diese Weise

steht eine komplette neue Leitungsebene zur Verfügung, die eine höhere Integration und komplexere Hochfrequenzstrukturen ermöglicht. Dies betrifft beispielsweise die Verwendung von Mikrocoaxial-Leitungen.

**[0021]** Eine vorteilhafte Vorrichtung, insbesondere Hochfrequenzmodul, weist mindestens ein elektronisches Bauelement auf, dass auf einem Substrat und innerhalb mindestens eines Fensters einer ersten Schicht derart angeordnet ist, dass ein Abstandsbe- reich zwischen dem elektronischen Bauelement und erster Schicht und/oder zwischen benachbarten elek- tronischen Bauelementen erzeugt ist, wobei auf der ersten Schicht und/oder auf dem Substrat mindes- tens eine elektrische Leitung mit mindestens einer elektrischen Kontaktstelle und auf dem elektroni- schen Bauelement mindestens eine elektrische Kon- takfläche erzeugt sind, und weist eine zweite Schicht, auf dem elektronischen Bauelement, auf der ersten Schicht und über den Abstandsbereichen auf, wobei mindestens eine auf der zweiten Schicht ange- ordnete flächige beziehungsweise planare elektri- sche Verbindungsleitung durch Öffnungen in der zweiten Schicht Kontaktflächen, Kontaktflächen und Kontaktstellen, und/oder Kontaktstellen verbindend erzeugt ist.

**[0022]** Gemäß einer vorteilhaften Vorrichtung ist die über dem Abstandsbereich und unter einer elektri- schen Verbindungsleitung angeordnete zweite Schicht entfernt.

**[0023]** Gemäß einer weiteren vorteilhaften Vorrich- tung ist auf der zweiten Schicht und offenen Kontakt- flächen und/oder offenen Kontaktstellen mindestens ein verteiltes elektronisches Bauelement erzeugt. Diese Bauelemente können lediglich Flächenberei- che sein, die ein Hochfrequenzbauteil bilden. Kon- zentrierte Bauelement sind im Unterschied dazu bei- spielsweise Kondensatoren.

**[0024]** Die vorliegende Erfindung wird anhand von Ausführungsbeispielen in Verbindung mit den Figu- ren näher beschrieben: Es zeigen

**[0025]** [Fig. 1](#) ein erstes Ausführungsbeispiel einer erzeugten elektronischen Vorrichtung;

**[0026]** [Fig. 2](#) ein zweites Ausführungsbeispiel einer erzeugten elektronischen Vorrichtung;

**[0027]** [Fig. 3](#) eine Draufsicht auf ein drittes Ausfüh- rungsbeispiel einer erzeugten elektronischen Vor- richtung;

**[0028]** [Fig. 4](#) ein Blockschaltbild eines erfindungs- gemäßen Verfahrens.

**[0029]** [Fig. 1](#) zeigt ein erstes Ausführungsbeispiel

einer gemäß der vorliegenden Erfindung erzeugten elektronischen Vorrichtung. Ein Substrat ist mit dem Bezugszeichen **1** gekennzeichnet. Auf diesem Sub- strat **1** wurde eine erste Schicht **2** aufgebracht. Die erste Schicht **2** kann eine elektrisch isolierende Folie sein. Auf der ersten Schicht sind elektrische Leitun- gen **3** mit Kontaktstellen **4** erzeugt. Nach dem Öffnen der ersten Schicht **2** und der Erzeugung eines Fens- ters ist ein Halbleiterchip (bzw. passives Bauelement) **5** auf dem Substrat **1** fixiert worden. Der Halbleiter- chip **5** ist mittels eines Klebstoffs beziehungsweise Adhesivs **5a** auf dem Substrat **1** befestigt. Zwischen der ersten Schicht **2** und dem auf dem Klebemittel **5a** angeordneten Halbleiterchip **5** ist ein Abstandsbe- reich **7** beziehungsweise ein Spalt erzeugt. Der Halb- leiterchip **5** weist mindestens eine elektrische Kon- takfläche **6** auf. Diese befindet sich auf dem Halblei- terchip **5**, auf der dem Substrat **1** abgewandten Seite. Zwischen dem fixierten Halbleiterchip **5** und der erste Schicht **2** ist ein Abstandsbereich **7** beziehungsweise Spalt ausgebildet. Auf dem Halbleiterchip **5**, auf der ersten Schicht **2** und über dem Abstandsbereich **7** ist eine zweite Schicht **8** derart angeordnet, dass die Kontaktflächen **6** und die Kontaktstellen **4** frei zu- gänglich sind. Die zweite Schicht **8** kann eine elek- trisch isolierende Folie beispielsweise mit einer Dicke von 20 µm sein. Ebenso kann die zweite Schicht **8** eine fotostrukturierbare Folie oder ein fotostrukturier- barer Lack sein. Zwischen Kontaktflächen **6** des Halbleiterchips **5** und Kontaktstellen **4** der elektri- schen Leitungen auf der ersten Schicht **2** sind elektri- sche Verbindungsleitungen **9** aufgalvanisiert. [Fig. 1](#) zeigt ein gemäß einem erfindungsgemäßen Verfah- ren erzeugte elektronische Vorrichtung, wie bei- spielsweise ein Hochfrequenzmodul. Diese elektroni- sche Vorrichtung ist gemäß einem Verfahren gemäß [Fig. 4](#) hergestellt worden. [Fig. 10](#) zeigt ein so ge- nanntes verteiltes elektronisches Bauelement **10**. Dieses ist beispielsweise lediglich als Flächenbe- reich erzeugt, der hochfrequenztechnisch wirkt. Dies- ses Bauelement liegt auf der zweiten Schicht **8** auf.

**[0030]** [Fig. 2](#) zeigt ein weiteres Ausführungsbeispiel einer erfindungsgemäß hergestellten elektronischen Vorrichtung, insbesondere eines Hochfrequenzmo- duls. Gleiche Bezugszeichen zu [Fig. 1](#) zeigen glei- che Bestandteile der elektronischen Vorrichtung. Im Unterschied zu [Fig. 2](#) ist die zweite Schicht **8** entfernt worden. Die zweite Schicht **8** kann eine Kunststofffolie sein oder ein Lack. Gemäß dem Ausführungsbei- spiel gemäß [Fig. 1](#) bildet die zweite Schicht **8** über den Abstandsbereichen **7** einen Träger beziehungs- weise eine Brücke für die elektrischen Verbindungs- leitungen **9**. Die zweite Schicht **8** kann ebenso als elektrische Isolierung verwendet werden. Die zweite Schicht **8** kann über den Abstandsbereichen **7** als Di- elektri- ka angesehen werden. Damit ist der Potential- rennung zwischen Ober- und Unterseite des Halblei- terchips **5** eine dielektrische Komponente hinzuge- fügt. Die zweite Schicht **8** wirkt in diesem Bereich als

Dielektrika und damit kapazitiv. Damit ist die Potentialtrennung zwischen Ober- und Unterseite des Halbleiterchips **5** verschlechtert. Gemäß [Fig. 2](#) ist die zweite Schicht **8** über den Abstandsbereichen **7** entfernt. Damit ist die Potentialtrennung zwischen Ober- und Unterseite des Halbleiterchips **5** verbessert. Gemäß dem Ausführungsbeispiel gemäß [Fig. 1](#) ist die zweite Schicht **8** beibehalten, um einen Verfahrensschritt des Entfernens der zweiten Schicht **8** zu vermeiden. Dies ist kostengünstig. Zudem bewirkt die zweite Schicht **8** eine erhöhte mechanische Stabilität der elektrischen Verbindungsleitungen **9** über den Abstandsbereichen **7**. Gemäß dem Ausführungsbeispiel gemäß [Fig. 2](#) wird die Dielektrikaschicht, die durch die zweite Schicht **8** erzeugt wird, und unterhalb der Verbindungsleitung **9** über dem Abstandsbereich **7** angeordnet war, entfernt. Auf diese Weise ist die Potentialtrennung zwischen Ober- und Unterseite des Halbleiterchips **5** gegenüber dem Ausführungsbeispiel gemäß [Fig. 1](#) verbessert. Es ist ein weiterer Verfahrensschritt des Entfernens beziehungsweise lokalen Entfernens der zweiten Schicht **8** erforderlich. Im Unterschied zum Ausführungsbeispiel 2 ist die mechanische Stabilität der Brücken über den Abstandsbereichen **7** in [Fig. 1](#) verbessert.

**[0031]** Gemäß [Fig. 1](#) und [Fig. 2](#) ist die erste Schicht **2** als Polymerschicht ausgebildet. Ebenso ist der Halbleiterchip **5** ein Chip auf Gallium-Arsenit-(GaAs-), Silizium-Germanium-(SiGe-), Siliziumkarbid-(SiC-) oder Silizium-Basis. Die zweite Schicht **8** ist ebenso als Polymerschicht ausgebildet. Die Verbindungsleitungen **9** sind galvanisch erzeugt.

**[0032]** [Fig. 3](#) zeigt eine Draufsicht auf ein gemäß der erfindungsgemäßen Verfahren erzeugten elektronischen Vorrichtung. Es werden die gleichen Bezugszeichen gemäß [Fig. 1](#) und [Fig. 2](#) verwendet. Dabei sind die Kontaktflächen **6** des Halbleiterchips **5** mittels elektrischen Verbindungsleitungen **9** mit Kontaktstellen **4** elektronischer Leitungen **3** elektrisch verbunden. Die elektrischen Leitungen **3** können Signalleitungen und/oder elektrische Versorgungsleitungen sein.

**[0033]** [Fig. 4](#) zeigt ein Blockdiagramm eines erfindungsgemäßen Verfahrens zur Herstellung und Kontaktieren einer elektronischen Vorrichtung, insbesondere eines Hochfrequenzmoduls. Verfahrensschritt S1 bezeichnet das Aufbringen einer insbesondere der elektrischen Isolation dienenden ersten Schicht **2** auf einem Substrat **1**, wobei auf der ersten Schicht **2** mindestens eine elektrische Leitung **3** mit mindestens einer elektrischen Kontaktstelle **4** erzeugt ist. Verfahrensschritt S2 bezeichnet das Öffnen mindestens eines Fensters für mindestens einen (Halbleiter-)chip **5** in der ersten Schicht **2**. Verfahrensschritt S3 bezeichnet das Fixieren des (Halbleiter-)chips **5** innerhalb des Fensters auf dem Substrat **1**, wobei auf dem Halbleiterchip **5** mindestens eine elektrische

Kontaktfläche **6** und ein Abstandsbereich **7** zwischen Halbleiterchip **5** und erster Schicht **2** erzeugt sind. Verfahrensschritt S4 bezeichnet ein derartiges Anordnen einer zweiten Schicht **8** auf einem Halbleiterchip **5**, auf der ersten Schicht **2** und über dem Abstandsbereich **7**, dass die Kontaktflächen **6** und die Kontaktstellen **4** frei zugänglich sind. Verfahrensschritt S5 bezeichnet ein galvanisches Abscheiden von elektrisch leitendem Material auf die Kontaktflächen **6** und die Kontaktstellen **4** zum flächigen beziehungsweise planaren elektrischen Kontaktieren auf die zweite Schicht, insbesondere Kunststoffolie zum Erzeugen von elektrischen Verbindungsleitungen **9** zwischen Kontaktflächen **6** und Kontaktstellen **4**. Ein elektrisches Kontaktieren von Kontaktflächen **6** und Kontaktstellen **4** kann insbesondere mittels den folgenden Schritten ausgeführt werden: Auflaminieren einer zweiten Schicht **8** aus elektrisch isolierendem Kunststoffmaterial auf die Oberflächen der zweiten Schicht **8**, des Halbleiterchips **5** und über Abstandsbereiche **7** unter Vakuum, so dass die zweite Schicht **8**, die insbesondere eine Folie ist, die Oberflächen mit der oder den Kontaktflächen **6** beziehungsweise Kontaktstellen **4** eng anliegend bedeckt und auf dieser Oberfläche haftet. Anschließend erfolgt ein Freilegen jeder zu kontaktieren Kontaktfläche **6** und Kontaktstelle **4** auf der Oberfläche durch Öffnen jeweiliger Öffnungen in der zweiten Schicht **8** beziehungsweise der Folie **8**. Abschließend werden die freien Kontaktflächen **6** und Kontaktstellen **4** mit einer Schicht aus elektrisch leitendem Material flächig kontaktiert. Auf diese Weise erfolgt ein planares Kontaktieren und es werden elektrische Verbindungsleitungen **9** zwischen Kontaktflächen **6** und Kontaktstellen **4** erzeugt. In diesem Zusammenhang sei erneut auf die WO 03/030247 Bezug genommen, deren Inhalt vollständig zur Offenbarung dieser Anmeldung gehört.

**[0034]** Optional kann sich ein weiterer Verfahrensschritt S6 anschließen. Gemäß diesem Verfahrensschritt S6 wird die zweite Schicht **8** nach dem galvanischen Abscheiden gemäß S5 entweder mittels Laser oder mittels einer chemischer Lösung entfernt. Dabei ist das Entfernen mittels chemischer Lösung, z.B. organischer Lösungsmittel wie Aceton kostengünstig und in kurzer Zeit ausführbar.

**[0035]** Die gemäß den Ausführungsbeispielen gezeigten elektronischen Vorrichtungen beziehungsweise Verfahren sind lediglich als Beispiele anzusehen und schränken den Schutzbereich nicht ein. Gemäß der vorliegenden Erfindung kann eine Vielzahl von (Halbleiter-)chips **5**, elektrischen Kontaktflächen **6**, Kontaktstellen **4** und elektrischen Verbindungsleitungen **9** erzeugt sein beziehungsweise werden. Die Anzahl der (Halbleiter-)chips **5** ist ebenso nicht beschränkt. Der Begriff "mindestens" bedeutet eine Einzahzahl oder eine Mehrzahl von entsprechenden Bestandteilen. Hochfrequenz meint einen Frequenzbe-

reich größer als etwa 200 MHz.

### Patentansprüche

1. Verfahren zum Herstellen und planaren Kontaktieren einer elektronischen Vorrichtung, insbesondere eines Hochfrequenzmoduls, mit den Schritten

- Erzeugen mindestens ein elektronischen Bauelements (5), dass auf einem Substrat (1) und innerhalb mindestens eines Fensters einer ersten Schicht (2) derart angeordnet ist, dass ein Abstandsbereich (7) zwischen dem elektronischen Bauelement (5) und erster Schicht (2) und/oder zwischen benachbarten elektronischen Bauelementen (5) erzeugt ist, wobei auf der ersten Schicht (2) und/oder auf dem Substrat (1) mindestens eine elektrische Leitung (3) mit mindestens einer elektrischen Kontaktstelle (4) und auf dem elektronischen Bauelement (5) mindestens eine elektrische Kontaktfläche (6) erzeugt sind,
- derartiges Anordnen einer zweiten Schicht (8) auf dem elektronischen Bauelement (5), auf der ersten Schicht (2) und über dem Abstandsbereich (7), dass die Kontaktfläche (6) und die Kontaktstelle (4) frei zugänglich sind,
- Aufbringen von einem elektrisch leitendem Material auf die Kontaktfläche (6) und/oder die Kontaktstelle (4) zum flächigen beziehungsweise planaren elektrischen Kontaktieren und auf die zweite Schicht (8) zum Erzeugen mindestens einer elektrischen Verbindungsleitung (9) zwischen Kontaktflächen (6), über dem Abstandsbereich (7) zwischen Kontaktflächen (6) und Kontaktstellen (4), und/oder zwischen Kontaktstellen (4).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die zweite Schicht (8) eine Folie aus elektrisch isolierendem Kunststoffmaterial ist, die ganzflächig aufgebracht und über der Kontaktfläche (6) und der Kontaktstelle (4) geöffnet wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die zweite Schicht (8) eine fotostrukturierte Schicht ist, die derart aufgebracht wird, dass Kontaktfläche (6) und die Kontaktstelle (4) unbedeckt bleiben.

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, dass die zweite Schicht (8) nach dem galvanischen Abscheiden, insbesondere mittels Laser oder einer chemischen Lösung, beispielsweise einer organischen Lösung, entfernt wird.

5. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Aufbringen von elektrisch leitendem Material mittels galvanischem Abscheiden mit folgenden Schritten erfolgt:

- ganzflächiges Aufbringen einer Galvanikgrundmetallisierung auf der zweiten Schicht,

- Aufbringen einer fotostrukturierten Abdeckschicht, wobei von dieser unbedeckte, galvanisierbare Bereiche elektrischen Verbindungsleitungen (9), Kontaktflächen (6) und Kontaktstellen (4) entsprechen,
- Galvanisieren der unbedeckten Bereiche,
- Entfernen der Abdeckschicht,
- Entfernen der nicht galvanisierten Galvanikgrundmetallisierung.

6. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Höhe des elektronischen Bauelements (5) und die Dicke der ersten Schicht (2) annähernd gleich groß sind.

7. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die zweite Schicht (8) einen hohen Dämpfungsfaktor aufweist.

8. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Verbindungsleitungen (9) als Verbindungsleitungen von elektronischem Bauelement (5) zum Substrat (1), von elektronischem Bauelement (5) zu elektronischem Bauelement (5) oder von elektronischem Bauelement (5) zu einem passiven Bauelement erzeugt werden.

9. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 8, dadurch gekennzeichnet, dass unter der zweiten Schicht (8) mindestens ein surface mounted device (SMD)-Bauteil integriert wird.

10. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 3, 5 bis 9, dadurch gekennzeichnet, dass die zweiten Schicht (8) geöffnet wird und mindestens ein surface mounted device (SMD)-Bauteil aufgesetzt wird.

11. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 3, 5 bis 10, dadurch gekennzeichnet, dass nach dem Galvanisieren auf der zweiten Schicht eine dritte Schicht aufgebracht wird.

12. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 3, 5 bis 11, dadurch gekennzeichnet, dass mindestens eine weitere Leitungsebene auf der zweiten Schicht (8) aufgebracht wird.

13. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 12, dadurch gekennzeichnet, dass mittels Aufbringen von elektrisch leitendem Material auf die Kontaktfläche (6) und/oder die Kontaktstelle (4) ein verteiltes elektronisches Bauelement erzeugt wird.



14. Verfahren nach einem oder mehreren der vorangehenden Ansprüche 1 bis 13, dadurch gekennzeichnet, dass das Erzeugen des elektronischen Bauelements (5) auf dem Substrat (1) mit den Schritten erfolgt:

- Aufbringen einer ersten Schicht (2) auf einem Substrat (1), wobei auf der ersten Schicht (2) und/oder auf dem Substrat (1) mindestens eine elektrische Leitung (3) mit mindestens einer elektrischen Kontaktstelle (4) erzeugt ist,
- Öffnen mindestens eines Fensters für mindestens ein elektronisches Bauelement (5), insbesondere einen Halbleiterchip, in der ersten Schicht (2),
- Fixieren des elektronischen Bauelements (5) innerhalb des Fensters, auf dem Substrat (1), wobei auf dem elektronischen Bauelement (5) mindestens eine elektrische Kontaktfläche (6) und ein Abstandsbereich (7) zwischen dem elektronischen Bauelement (5) und erster Schicht (2) und/oder zwischen benachbarten elektronischen Bauelementen (5) erzeugt sind.

(4) mindestens ein verteiltes elektronisches Bauelement erzeugt ist.

Es folgen 2 Blatt Zeichnungen

15. Vorrichtung, insbesondere Hochfrequenzmodul, dadurch gekennzeichnet, dass es nach einem Verfahren nach einem oder mehreren der vorangehenden Ansprüche hergestellt wurde.

16. Vorrichtung, insbesondere Hochfrequenzmodul, gekennzeichnet durch mindestens ein elektronisches Bauelement (5), dass auf einem Substrat (1) und innerhalb mindestens eines Fensters einer ersten Schicht (2) derart angeordnet ist, dass ein Abstandsbereich (7) zwischen dem elektronischen Bauelement (5) und erster Schicht (2) und/oder zwischen benachbarten elektronischen Bauelementen (5) erzeugt ist, wobei auf der ersten Schicht (2) und/oder auf dem Substrat (1) mindestens eine elektrische Leitung (3) mit mindestens einer elektrischen Kontaktstelle (4) und auf dem elektronischen Bauelement (5) mindestens eine elektrische Kontaktfläche (6) erzeugt sind, und durch eine zweite Schicht (8), auf dem elektronischen Bauelement (5), auf der ersten Schicht (2) und über den Abstandsbereichen (7), wobei mindestens eine auf der zweiten Schicht (8) angeordnete flächige beziehungsweise planare elektrische Verbindungsleitung (9) durch Öffnungen in der zweiten Schicht (8) hindurch Kontaktflächen (6), Kontaktflächen (6) und Kontaktstellen (4), und/oder Kontaktstellen (4) verbindend erzeugt ist.

17. Vorrichtung nach Anspruch 16, dadurch gekennzeichnet, dass die über dem Abstandsbereich (7) und unter der elektrischen Verbindungsleitung (9) angeordnete zweite Schicht (8) entfernt ist.

18. Vorrichtung nach Anspruch 16 oder 17, dadurch gekennzeichnet, dass auf der zweiten Schicht (8) und Kontaktflächen (6) und/oder Kontaktstellen



FIG 1

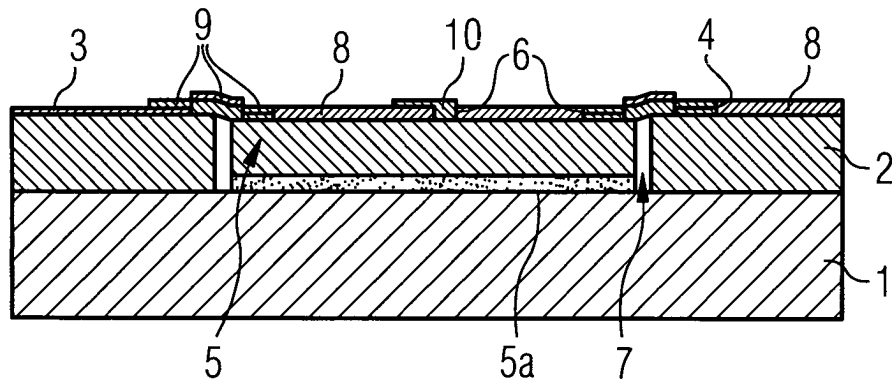


FIG 2

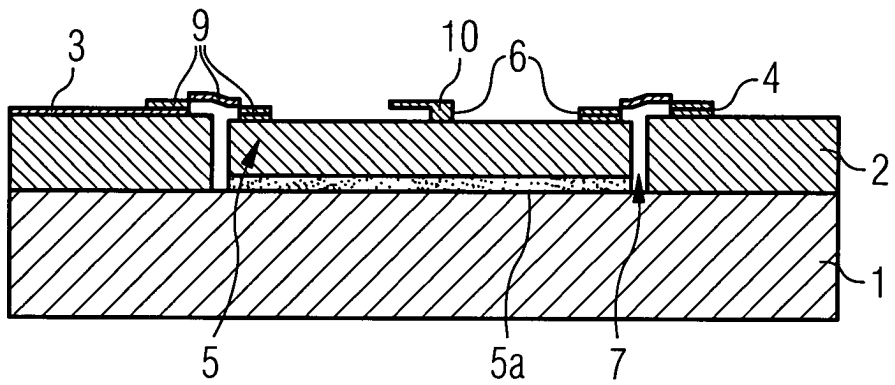


FIG 3

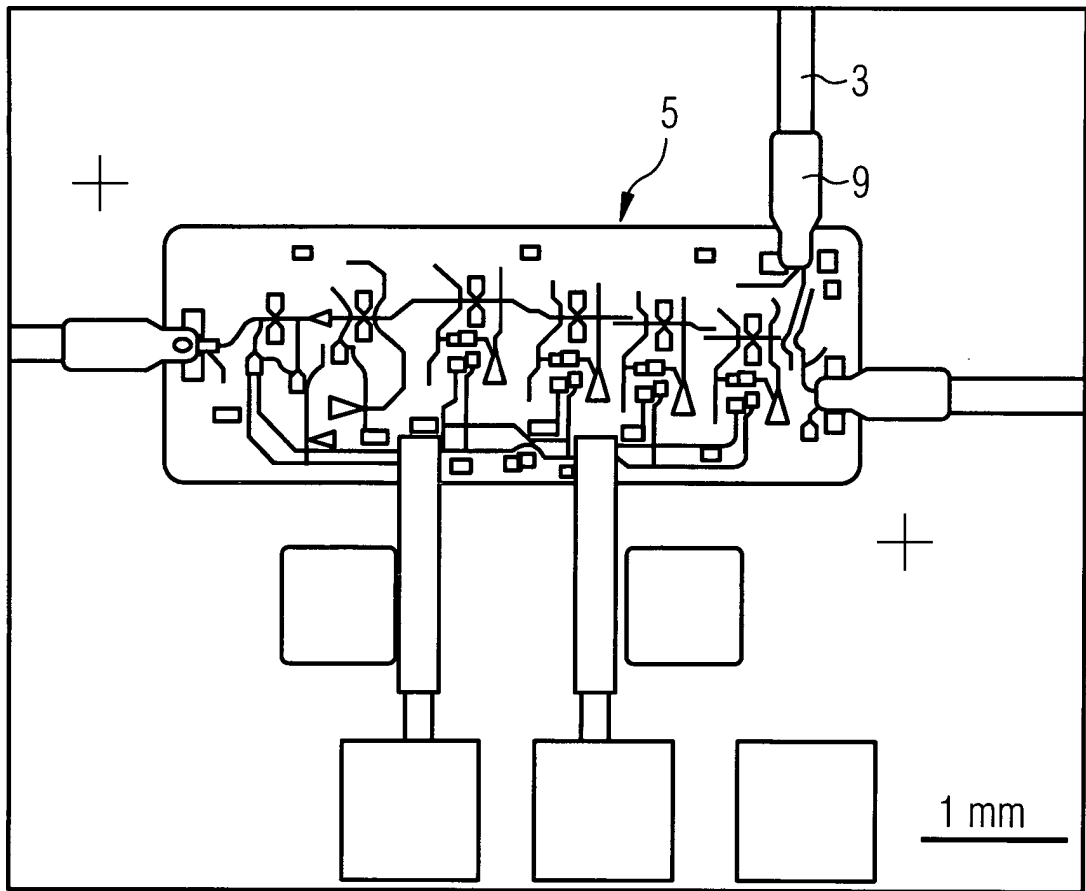


FIG 4

