(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4820978号
(P4820978)
(45)発行日　平成23年11月24日(2011.11.24)　(24)登録日　平成23年9月16日(2011.9.16)

(51)Int.Cl.　　F I
H01L 27/115 (2006.01)　　H01L 27/10 434
H01L 21/8247 (2006.01)　　H01L 29/78 371
H01L 29/788 (2006.01)
H01L 29/792 (2006.01)

請求項の数 2　(全 11 頁)

(21)出願番号　特願2000-362265 (P2000-362265)
(22)出願日　平成12年11月29日 (2000.11.29)
(65)公開番号　特開2001-189392 (P2001-189392A)
(43)公開日　平成13年7月10日 (2001.7.10)
審査請求日　平成14年11月29日 (2002.11.29)
審判番号　不服2008-26280 (P2008-26280/J1)
審判請求日　平成20年10月14日 (2008.10.14)
(31)優先権主張番号　09/451054
(32)優先日　平成11年11月30日 (1999.11.30)
(33)優先権主張国　米国 (US)

(73)特許権者　596092698
アルカテル－ルーセント　ユーエスエー　インコーポレーテッド
アメリカ合衆国　０７９７４　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００－７００
(74)代理人　100094112
弁理士　岡部　讓
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100096943
弁理士　臼井　伸一
(74)代理人　100101498
弁理士　越智　隆夫

最終頁に続く

(54)【発明の名称】半導体集積回路デバイスの製造方法

(57)【特許請求の範囲】
【請求項１】
動作用ポリシリコンランディングパッドに達する第１の自己整合接点ウィンドウ開口と、複数のポリシリコン製ランディングパッド間の活性領域に達する第２の自己整合接点ウィンドウ開口とを有する半導体集積回路デバイスの製造方法であって、
（ａ）半導体基板内にフィールド酸化物領域とそこから離間した活性領域とを形成するステップと、
（ｂ）前記フィールド酸化物領域の上にダミーのポリシリコンランディングパッドを形成するステップと、
（ｃ）前記ダミーのポリシリコンランディングパッドの上方に、動作用ポリシリコンランディングパッドを形成するステップと、
（ｄ）前記活性領域の部分の上に、上面にハードマスク酸化物、側面にシリコン酸化物製側壁スペーサを有する、複数のポリシリコン製ランディングパッドを形成するステップと、
（ｅ）全面に窒化シリコン層を堆積してライナーを形成するステップと、
（ｆ）全面にＰＳＧ酸化物またはＢＰＳＧからなる誘電体を形成するステップと、
（ｇ）シリコン窒化物に対してシリコン酸化物のエッチング選択性の少ない第１のエッチングにより、前記第１の自己整合接点ウィンドウ開口と、前記第２の自己整合接点ウィンドウ開口の上部部分とを形成するステップと、
（ｈ）シリコン窒化物に対するシリコン酸化物のエッチング選択性の大きい第２のエッ

チングを窒化シリコン層上で停止するまで行い、その後シリコン酸化物に対するシリコン窒化物のエッチング選択性の大きいエッチングにより前記窒化シリコン層を除去して、前記第２の自己整合接点ウィンドウ開口の下部部分を形成するステップと、
を有することを特徴とする半導体集積回路デバイスの製造方法。
【請求項２】
フローティングゲート製造プロセスの間に前記ダミーのポリシリコンランディングパッドを形成するステップ
をさらに有することを特徴とする請求項１記載の半導体集積回路デバイスの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体デバイスに関し、特に、メモリデバイスと論理デバイスに広く用いられる集積回路の自己整合接点とパッド構造の製造方法に関する。
【０００２】
【従来の技術】
自己整合接点とゲート形成技術は、集積回路の製造に用いられ、例えばフラッシュメモリデバイスとして用いられるＤＲＡＭとＳＲＡＭで、通常用いられる。これらの半導体メモリデバイスは、ポリシリコン、あるいは他の材料のプラグを受け入れ、セルトランジスタのソース領域をセルキャパシタの蓄積電極に接続する様々な接点ウィンドウを有する。この接点ウィンドウはまた、セルトランジスタのドレイン領域をビットラインに接続している。またこの種の半導体デバイスは、フローティングゲート構造を有し、そこにデータがフローティングゲート上でチャージ（電荷）の形態で記憶される。
【０００３】
接点電極は、小さな寸法でなければならず、好ましくは半導体デバイスを形成するのに用いられる露光ツールの解像度の限界より小さいのが好ましい。従来の接点ウィンドウの製造技術は、自己整合接点とも称し、ワードラインとゲート構造の間にあるソース／ドレイン領域にウィンドウ開口を形成するのに用いられる。自己整合の接点開口は、ワードライン構造間に存在するスペースよりも幅が広い。そのためこの自己整合接点ウィンドウ開口は、ソース／ドレイン領域の幅全体のみならず、絶縁層でキャップされたポリサイド製のゲート構造、あるいは他のゲート構造の上部表面の一部の露出部分を含む。
【０００４】
さらにまた、様々な特徴サイズおよび最小スペース、あるいは設計の許容度が半導体デバイスの電気的完全性を維持するために、半導体デバイス間で維持されている。例えば、金属接点を半導体デバイスの拡散領域内に形成する際の不整合は、接点と周囲のデバイス、例えばポリシリコンゲートとの間にスペースが必要とされ別の問題を引き起こす。金属接点が、例えば金属接点とゲートとの間で整合しない場合に起こるこの種の問題を回避するために、ランディングパッドが金属接点とその下の拡散領域との間に形成される。このランディングパッドは、ドープしたポリシリコン層から形成され、そしてこのポリシリコン層の上に珪化物層が形成され、シート抵抗を許容レベルまで減らしている。ランディングパッドにより通常セルの大きさが減少し、より大きな不整合の問題を緩和（解決）している。
【０００５】
様々な半導体デバイスの例、および自己整合接点および／またはランディングパッドを具備したデバイスの製造方法が、米国特許第５１６６７７１号、第５８２８１３０号、第５８６６４４９号、第５８９５９６１号、第５９０７７７９号、第５９２３９８８号の特許に開示されている。
【０００６】
前述したように自己整合接点の製造プロセスは、多くのＳＲＡＭとＤＲＡＭの製造技術で通常用いられている。しかしこのプロセスは、別のマスクおよびエッチングプロセスが、論理プロセスと適合性を有するようにする必要がある。酸化物に対し窒化物のエッチング

選択性が小さい第１回目のエッチングステップを実行し、スペーサが露出しなければならない場所に、第２回目のエッチングステップを実行する。かくして、ポリシリコンとシリコンの両方の上部に、接点ウィンドウ開口と、自己整合の接点ウィンドウ開口を同時に開けることは困難である。

【０００７】

【発明が解決しようとする課題】

本発明の目的は、例えばメモリデバイスのフローティングゲート製造プロセスにおいて、通常のウィンドウ開口と自己整合接点ウィンドウ開口を同時に開ける方法を提供することである。

【０００８】

【課題を解決するための手段】

本発明の方法によれば、１回のエッチングとレジストプロセスで済むように、実際のポリシリコン製のランニングパッドを隆起させるために、ポリシリコンプロセスにおいてフローティングゲートの形成プロセスの間、ダミーのランディングパッドを規定し、形成する。

【０００９】

本発明の半導体集積回路は、請求項１に記載した特徴を有する。すなわち、フィールド酸化物領域と、そこから離間した活性領域とを有するシリコン製基板と、フィールド酸化物領域と、活性領域にそれぞれ関連して、第１と第２の自己整合接点ウィンドウ開口内にそれぞれ形成された第１と第２の自己整合接点と、フィールド酸化物領域の上で、かつ前記第１自己整合接点ウィンドウ開口の下に形成されたダミーのポリシリコンランディングパッドと、ダミーのポリシリコンランディングパッドの上に形成された動作用ポリシリコンランディングパッドとを有することを特徴とする。

【００１０】

本発明の他の態様によれば、本発明は請求項２に記載した特徴を有する。すなわち、第２の自己整合接点ウィンドウ開口は、第１の自己整合接点エッチングステップの間に形成された第１上部部分と、第２自己整合接点エッチングステップの間に形成された第２下部部分とを有することを特徴とする。本発明は請求項３に記載した特徴を有する。すなわち、第１の自己整合接点ウィンドウ開口は、第１の自己整合接点エッチングステップの間に形成されることを特徴とする。本発明は請求項４に記載した特徴を有する。すなわち、自己整合接点エッチングステップの前に形成された窒化シリコン層をさらに有することを特徴とする。本発明は請求項５に記載した特徴を有する。すなわち、ダミーのポリシリコンランディングパッドは、フローティングゲート製造プロセスの間に形成されることを特徴とする。本発明は請求項６に記載した特徴を有する。すなわち、第２の自己整合接点ウィンドウ開口の下に配置された酸化物薄膜層をさらに有することを特徴とする。本発明は請求項７に記載した特徴を有する。すなわち、活性領域の部分の上に形成されたポリシリコンランディングパッドをさらに有することを特徴とする。本発明は請求項８に記載した特徴を有する。すなわち、活性領域の部分の上のポリシリコンランディングパッドの端部に形成された側壁スペーサをさらに有することを特徴とする。

【００１１】

本発明の方法によれば、本発明は請求項９に記載した特徴を有する。すなわち、ポリシリコンランディングパッドの端部に形成された側壁スペーサをさらに有することを特徴とする。

【００１２】

【発明の実施の形態】

本発明は、フローティングゲートを製造する際に、実際のポリシリコンパッドを隆起させるために、実際のポリーランディングパッド用のダミーランディングパッドと、自己整合接点ウィンドウ開口を形成するのに用いられる、ポリシリコンプロセスを提供するために利点がある。かくして、実際のポリシリコンがダミーのポリシリコンパッドにより隆起した場合には、２つの接点ウィンドウ開口を同時に形成できる。かくして、自己整合接点ウ

ィンドウ開口は、ポリーランディングパッドの上部内に形成され、自己整合接点用の第１エッチングステップの間に形成される。自己整合接点（self-aligned contat：ＳＡＣ）製造は、多くのＳＲＡＭとＤＲＡＭの技術とともに通常用いられる。しかし自己整合接点プロセスは、論理プロセスと適合できる余分のマスクとエッチングプロセスを必要とする。本発明の利点は、自己整合接点をＳＲＡＭおよび／またはＤＲＡＭメモリブロックと、フラッシュＦＦＬＡと、類似のメモリブロック用のチップ内で、余分のマスクとエッチングプロセスを用いずに行うことができるという点である。

【００１３】

本発明によれば、ダミーポリーランディングパッド特徴がフローティングゲートのマスクに追加される。このダミーポリーランディングパッドの上に、自己整合接点ウィンドウ開口用の実際のポリーランディングパッドが被せられる。このダミーポリーランディングパッドは、実際のポリランディングパッドを隆起させるためのものであり、実際のランディングパッドがダミーランディングパッドにより隆起したあと、ウィンドウ開口がこの実際のランディングパッドの上部に規定され、一方自己整合接点ウィンドウ開口が酸化物製の薄膜層の上部に形成される。窒化シリコン層が当業者に公知の方法で形成される。本発明の一態様においては、このダミーランディングパッドは、ダミーがフローティングゲートであるように絶縁された領域にフローティングゲート製造プロセスの時に形成される。

【００１４】

図１は、従来の自己整合接点の形成段階の素子の断面図を示し、集積回路のＭＯＳＦＥＴを形成するプロセスを用いて、ドープトシリコン製基板２６の上にＰ型とＮ型のウェル２０とフィールド酸化物領域２２、ゲート酸化物層２４を形成する。ゲート酸化物層２４の厚さは様々であるが、通常５０Åであり、他の厚さも選択できる。

【００１５】

ポリシリコン層を最初に低圧ＣＶＤ（low pressure chemical vapor deposition：ＬＰＣＶＤ）により形成され、Ｎ型不純物のような不純物が拡散ドープされて、所望のシート抵抗を達成する。このポリシリコン層３０ａ、ポリシリコン層３０ｂは、完成した半導体デバイスのゲートとして後で機能する。通常第１レベルの相互接続構造（図示せず）が、メモリアレイの周辺に配置され、そしてこれはポリシリコンのこの層から形成される。その後酸化物層３２ａ、酸化物層３２ｂを、ポリシリコン層上に成長し、その後、窒化シリコン層３４ａ、窒化シリコン層３４ｂをＬＰＣＶＤにより酸化物層３２ａ、酸化物層３２ｂの上に形成する。

【００１６】

その後ポリシリコン層３０ａ、ポリシリコン層３０ｂを公知のフォトマスキングとサンドイッチエッチング技術を用いて形成される。これらの技術は、窒化シリコン層と酸化シリコン層のプラズマエッチングと、ポリシリコン層のプラズマエッチングをするステップを含み、これらの層によりカバーされたポリシリコンゲートを形成する。

【００１７】

イオン注入によりＮ型とＰ型の薄くドープしたドレイン／ソース３６を形成する。このドレイン／ソース３６はウェルの導電型、あるいはウェルが存在しない場合には基板の導電型とは反対の導電型を有する。ＴＥＯＳを用いて酸化シリコン層のＣＶＤの後、反応性イオンエッチングを行って、二酸化シリコン製のゲート側壁スペーサ３８を形成する。酸化物層を熱的に成長させて、ソース領域とドレイン領域をキャップして、スペーサをより酸化物にするよう高密度化する。Ｎ型とＰ型のドレイン／ソース領域４０が、公知のマスクイオン注入により形成され、ドーパントノードはこれらの領域のcm^3あたりのドーパント元素の量である。窒化シリコン層４４をＣＶＤ等により堆積する。

【００１８】

当業者に公知の後続の処理ステップの間、ゲート接点領域が形成され、第１レジスト層２１と第２レジスト層２２が当業者の公知の技術により形成される。接点ウィンドウ開口が酸化物層と窒化物層により形成され、電気的接触がそれぞれのポリシリコン層３０ａ、ポリシリコン層３０ｂに対し行われる。ポリシリコン製の絶縁マスクを用いて、ポリシリコ

ン層３０ｂに接触するようにウィンドウ開口を形成することによりゲートを露出させる。この露出したポリシリコン層３０ｂは、ゲート以上の接点サイズを有し、かくして整合の許容度が緩やかとなる。マスクの整合が悪い場合でさえも、ゲートを露出するように酸化物層と窒化シリコン層をエッチングする間、ソース領域とドレイン領域の露出を第１レジスト層２１が阻止する。かくしてゲートへの電気的接触が、ソースまたはドレインとゲートとの間の短絡を引き起こさずに、ゲート下のトランジスタの活性チャネル領域の上で形成される。

【００１９】

プラズマエッチングによりレジスト層内に形成されたウィンドウ開口により露出した領域内で、酸化物が除去される場所のゲート接点を露出するために、複数回のエッチングステップが行われる。第１と第２のフォトレジスト層を除去した後、標準のウェットリン酸エッチングが行われる。厚い酸化物層を除去すると、ゲートの側上の酸化物のステップの高さが減少して、ポリシリコン製のゲート接点（図示せず）と、その上のポリシリコン層３０ｂが形成される。ソース領域とドレイン領域への接点が、埋め込まれた接点マスクを用いて形成され、そで、窒化シリコン層がゲートをカバーする酸化物の一部を除去した後、その場所でゲートを保護する。ポリシリコン層３０ａに接触するスペーサ酸化物と、保護用の窒化シリコン層により、ソースとドレインの接触接点用金属がその後堆積され、ゲート内のソースとドレインとの間の短絡を引き起こすことなくゲートを覆う。

【００２０】

ソースとドレインとポリシリコンゲート接点と相互接続構造により露出したシリコンは、スパッタチタン層を堆積し、その後急速熱アニールを用いることにより珪化物化され、これがその下のソースとドレインとゲート領域と相互接続構造を、後続の処理ステップの間保護する。スパッタチタン層と、酸化物製の厚膜層と、ポリシリコン層を含む他の層を追加することができる。図１とそれに関連した記載は、自己整合接点ウィンドウの半導体製造プロセスの一例であるが、本発明が改良しようとする自己整合接点を形成する従来技術を記載するものである。

【００２１】

半導体デバイスの電気的完全性を維持するために、半導体デバイス間である特徴サイズと最小のスペース、あるいは設計許容値を維持しなければならない。様々な拡散領域への金属接点を形成する際の不整合が、ゲート領域に接触する金属での不整合、あるいは他のスペースの問題が発生したときに、問題を生成することがある。かくして、ランディングパッドは金属製接点とその下の拡散領域との間に形成される。このランディングパッドは通常、ドープしたポリシリコン層から形成され、このドープしたポリシリコン層の上に珪化物層が形成されて、シート抵抗を許容レベルまで低下させる。このランディングパッドにより、セルが小型化され、不整合の問題を緩和できる。通常ランディングパッドは、ランディングパッドへの接点開口をエッチングする際には良好なエッチストップである。

【００２２】

さらにまた、自己整合接点を用いることにより、半導体チップの小型化および高性能化に寄与でき、さらにまた光リソグラフとドライエッチングのような半導体製造技術に対する前進がはかられる。自己整合接点の技術思想は、ワードラインとゲート構造との間のソース／ドレイン領域への開口を用いる。自己整合接点開口はワードライン構造間のスペースよりも幅が広くなる。自己整合接点開口内に露出したソース／ドレイン領域への金属構造は、ポリシリコン、または金属の珪化物－ポリシリコン（ポリサイド）層を用いて形成される。

【００２３】

図３Ａ、Ｂは、図２に示したフローティングゲートトランジスタ６４を用いたＮＡＮＤメモリ６０（図３Ａ）と、ＮＯＲセル６２のフラッシュメモリセルを示す。フローティングゲートトランジスタ６４は、フローティングゲート６６上のチャージ（電荷）の形態でデータを記憶し、プログラミングの容易さおよび長期にわたる電荷の保持のために二進情報記憶に有効である。フローティングゲートは通常、SiO_2製の絶縁層により包囲される

。多くの二進のアプリケーションにおいては情報の蓄積は、フローティングゲート６６上に大量の電荷を保持すること、あるいはフローティングゲート６６から電荷を除去することにより達成される。図２に示すように、ゼロ値用のフローティングゲート６６は、Ｎ＋ソース６８からフローティングゲート６６への電子の位相を示し、１の値に対しては電子の位相は、フローティングゲート６６からＮ＋ソース６８に行われる。フローティングゲートトランジスタ６４はそれぞれ、Ｎ＋ドレイン７０と、この実施例においてはＰ型基板７２と制御ゲート７４を有する。

【００２４】

図３Ａにおいては、ＮＡＮＤメモリ６０は、より高密度にするためにセルを直列に接続し、一方ＮＯＲセル６２は、より高速なアクセスのためにセルを並列に接続している。図３Ｂは、制御ゲートとフローティングゲートのワードライン７６とドレインとソースとビットライン７８を示す。

【００２５】

図４と図４Ａは、自己整合接点ウィンドウ開口を用いた従来の構造を示し、シリコン製基板９０は、ソース領域とドレイン領域（図示せず）を含む、フィールド酸化物領域９１ａとそれから離間した活性領域９１ｂと、フィールド酸化物領域９１ａの上に形成されたポリシリコン製ランディングパッド９２を有する。同図には通常のウィンドウ開口１００が示され、接点１００ａを有する。自己整合接点ウィンドウ開口１０２が図４Ｂの酸化物薄膜層１０３の上に形成され、１０２ａを含む。通常のウィンドウ開口１００、自己整合接点ウィンドウ開口１０２は、当業者の公知の方法により形成されたプラグを含む。通常のウィンドウ開口１００、自己整合接点ウィンドウ開口１０２は、酸化物製の側壁スペーサ１０５を有する。ハードマスク酸化物１０５ａと窒化シリコン層１０５ｂが形成されている。窒化シリコン層１０５ｂ、あるいはそれに類似して形成された層は、本発明にとって必須のものであり、ライナーを形成する。

【００２６】

自己整合接点ウィンドウ開口１０１は、第１の自己整合接点エッチングステップにより形成された第１上部部分１１０を有する。第２下部部分１１２は、第２回目の自己整合接点エッチングステップにより形成され、図に示した構造体を形成する。ポリシリコン製ランディングパッド構造１１４は、活性領域９１ｂの上に形成される。図４Ｂは、ポリシリコン製ランディングパッド９２と自己整合接点ウィンドウ開口１０２と通常のウィンドウ開口１００の平面図である。

【００２７】

図５Ａ、Ｂは、本発明の利点を示す図で、同図においてダミーランディングパッド１３０がフローティングゲート製造プロセスの間に形成される。その結果、通常のウィンドウ開口１００は、第１自己整合接点１３１ａを具備した第１自己整合接点ウィンドウ開口１３１として形成される。実際のポリシリコン製ランディングパッド１３２が、この第１の自己整合接点ウィンドウ開口に形成され、図４Ａに示す自己整合接点ウィンドウ開口に対応する第２の自己整合接点ウィンドウ１４０により持ち上げられる。図４Ａ、Ｂに示した構造体においては、自己整合接点エッチングプロセスは、２回のエッチングステップで実行され、第１回のステップは、酸化物に対し窒化物のエッチング選択性が少なく、単に誘電体を除去するものである。第２回のエッチングステップは、窒化シリコン層１０５ｂに対し酸化物とシリコンの優れたエッチング選択性を示さない。その理由はスペーサを保護する必要があるからである。かくして図４Ａ、Ｂの従来技術によれば、ポリシリコンの上部とシリコンの上部に通常のウィンドウ開口を形成すること、および同時に自己整合接点ウィンドウ開口を形成することは不可能である。

【００２８】

しかし、第１自己整合接点ウィンドウ開口１３１、第２の自己整合接点ウィンドウ１４０の両方が、本発明によれば、実際のポリーランディングパッドがダミーランディングパッド１３０により持ち上げられたときには同時に形成され、かくしてポリシリコン製のランディングパッドの上部の通常ウィンドウが、第１回の自己整合接点エッチングステップに

より形成される。第２の自己整合接点ウィンドウ１４０は、第１回のエッチングステップの間に形成された上部部分１４２と第２の下部部分１４４を有する。

【００２９】

図６に本発明の半導体集積回路デバイスを製造する基本的なステップを示すフローチャートが示されている。ブロック２００に示すように、ダミーのポリシリコンランディングパッドがまず形成される。その後、ポリゲート積層体、例えばゲート酸化物とポリシリコンとハードマスク酸化物が堆積される（２０２）。その後ポリゲートが、例えばゲートリソグラフ技術と、無線周波数プラズマエッチングにより形成される（２０４）。スペーサ用の酸化物がＴＥＯＳフィルムにより堆積される（２０６）。スペーサが無線周波数プラズマエッチングにより形成される（２０８）。窒化シリコンが、低圧ＣＶＤ、高密度プラズマ、あるいはＰＥＣＶＤで堆積される（２１０）。誘電体１が高密度プラズマ、ＰＳＧ酸化物、またはＢＰＳＧにより堆積される（２１２）。最後に、第１のウィンドウ自己整合接点エッチングが行われる（２１４）。

【００３０】

この自己整合接点ウィンドウエッチングは３つのステップから成り立っている。第１のエッチングステップは、窒化物に対し酸化物のエッチング選択性の少ないものであるが、第２のエッチングステップは、窒化物に対する酸化物のエッチング選択性が大きいものである。その理由は、このエッチングは、シリコン窒化物フィルム上で停止するからである。次にガスの組成をシリコン窒化物を除去するよう変更する。このエッチングは、シリコン酸化物に対するシリコン窒化物のエッチング選択性の大きいものである。上記の説明は、注入は自己整合接点プロセスとは無関係であるために、トランジスタの形成に必要とされる注入プロセスについては含んでいない。

【図面の簡単な説明】

【図１】メモリデバイスの自己整合接点を形成する従来のステップによる素子の断面図。

【図２】フローティングゲートトランジスタデバイスの断面図。

【図３】Ａ：ＮＡＮＤフラッシュメモリ回路の基本的素子の配線図。

Ｂ：ＮＯＲフラッシュメモリ回路の基本的素子の配線図。

【図４】Ａ：従来の自己整合接点構造の断面図。

Ｂ：従来の自己整合接点構造の平面図。

【図５】Ａ：フローティングゲート製造プロセス中にダミーランディングパッドが形成される、本発明の自己整合接点構造の断面図。

Ｂ：フローティングゲート製造プロセス中にダミーランディングパッドが形成される、本発明の自己整合接点構造の平面図。

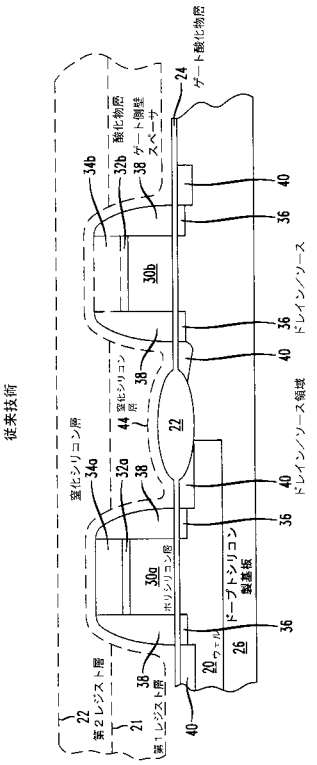
【図６】本発明の方法を表すフローチャート図。

【符号の説明】

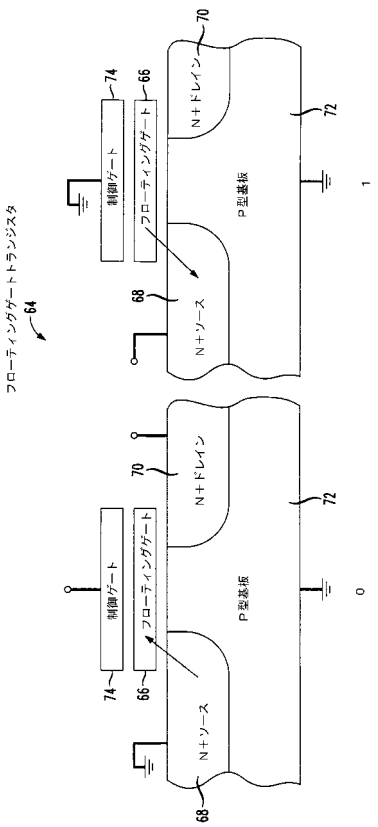
２０　ウェル
２１　第１レジスト層
２２　フィールド酸化物領域
２２　第２レジスト層
２４　ゲート酸化物層
２６　ドープトシリコン製基板
３０　ポリシリコン層
３２　酸化物層
３４　窒化シリコン層
３６　ドレイン／ソース
３８　ゲート側壁スペーサ
４０　ドレイン／ソース領域
４４　窒化シリコン層
６０　ＮＡＮＤメモリ
６２　ＮＯＲセル

６４　フローティングゲートトランジスタ
６６　フローティングゲート
６８　Ｎ＋ソース
７０　Ｎ＋ドレイン
７２　Ｐ型基板
７４　制御ゲート
７６　ワードライン
７８　ビットライン
９０　シリコン製基板
９１ａ　フィールド酸化物領域
９１ｂ　活性領域
９２　ポリシリコン製ランディングパッド
１００　通常のウィンドウ開口
１００ａ　接点
１０１　自己整合接点ウィンドウ開口
１０２　自己整合接点ウィンドウ開口
１０３　酸化物薄膜層
１０５　側壁スペーサ
１０５ａ　ハードマスク酸化物
１０５ｂ　窒化シリコン層
１１０　第１上部部分
１１２　第２下部部分
１１４　ポリシリコン製ランディングパッド構造
１３０　ダミーランディングパッド
１３１　第１自己整合接点ウィンドウ開口
１３１ａ　自己整合接点
１３２　実際のポリシリコン製ランディングパッド
１４０　第２の自己整合接点ウィンドウ
１４２　上部部分
１４４　下部部分
２００　ダミーのポリシリコン製ランディングパッドを形成する
２０２　ポリシリコン製ゲート積層構造を形成する
２０４　ポリシリコン製のゲートを形成する
２０６　スペーサ用酸化物を堆積する
２０８　スペーサを形成する
２１０　窒化シリコン層を堆積する
２１２　誘電体層１を堆積する
２１４　第１ウィンドウ自己整合接点エッチングを実行する

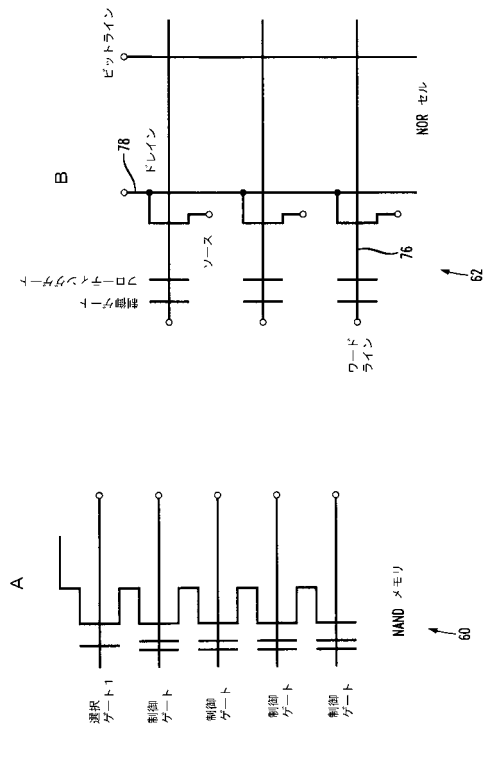
【図１】


従来技術
窒化シリコン膜
第２レジスト層
第１レジスト層
ポリシリコン層
ウェル
ドープトシリコン製基板
ドレインソース領域
ドレインソース
酸化物膜
ゲート側壁スペーサ
ゲート酸化物膜

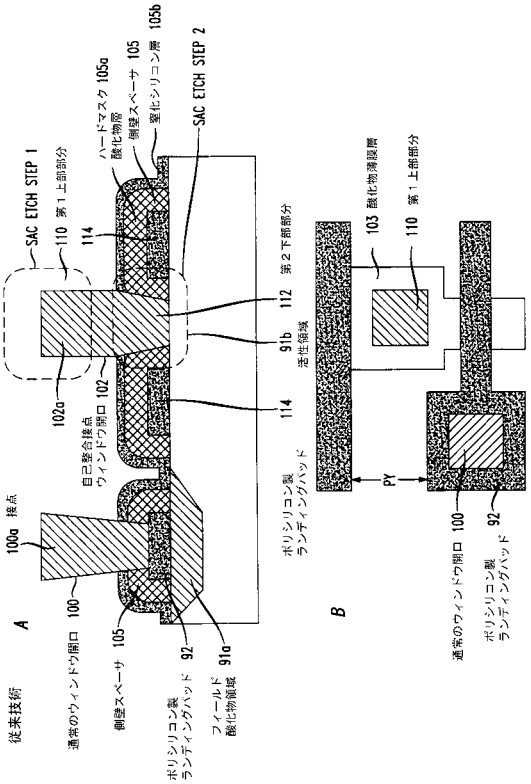
【図２】


フローティングゲートトランジスタ
制御ゲート
フローティングゲート
N+ソース
N+ドレイン
P型基板

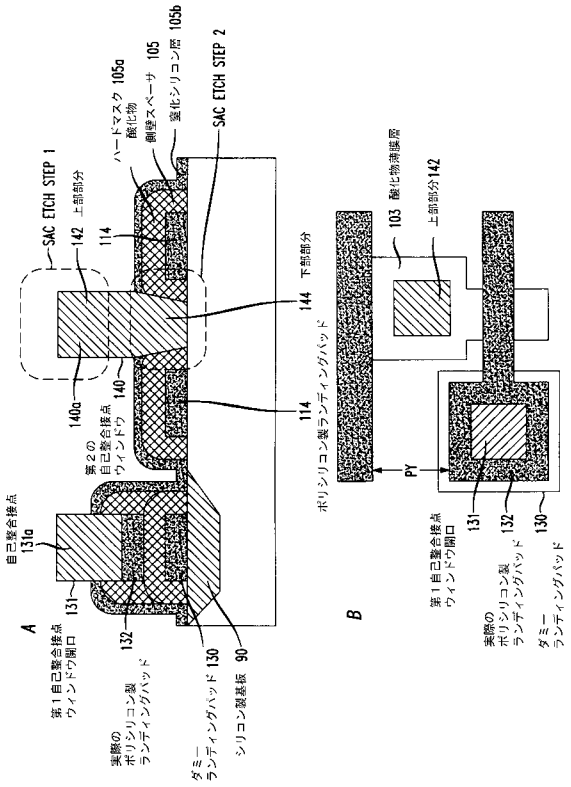
【図３】


A
B
NAND メモリ
NOR セル
選択ゲート1
制御ゲート
ビットライン
ドレイン
ソース
フローティングゲート
ワードライン

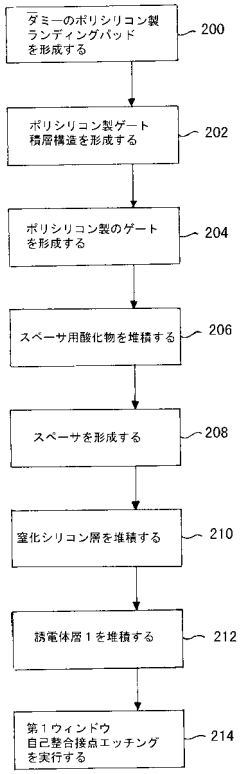
【図４】


従来技術
SAC ETCH STEP 1
SAC ETCH STEP 2
第１上部分
第２下部分
ハードマスク
酸化物膜
側壁スペーサ
窒化シリコン膜
自己整合接点
ウィンドウ開口
通常のウィンドウ開口
ポリシリコン製ランディングパッド
フィールド酸化物領域
活性領域
酸化物薄膜層
PY

【図５】


SAC ETCH STEP 1
SAC ETCH STEP 2
142 上部分
114
ハードマスク 105a
酸化物
側壁スペーサ 105
窒化シリコン層 105b
144 下部分
140a
140
第２の
自己整合接点
ウィンドウ
114
ポリシリコン製ランディングパッド
自己整合接点
131a
131
132
130
90
第１自己整合接点
ウィンドウ開口
実際の
ポリシリコン製
ランディングパッド
ダミー
ランディングパッド
シリコン製基板
A
B
103 酸化物薄膜層
上部分142
PY
第１自己整合接点
ウィンドウ開口
実際の
ポリシリコン製
ランディングパッド
ダミー
ランディングパッド

【図６】


ダミーのポリシリコン製
ランディングパッド
を形成する
200
ポリシリコン製ゲート
積層構造を形成する
202
ポリシリコン製のゲート
を形成する
204
スペーサ用酸化物を堆積する
206
スペーサを形成する
208
窒化シリコン層を堆積する
210
誘電体層１を堆積する
212
第１ウィンドウ
自己整合接点エッチング
を実行する
214

フロントページの続き

(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 スンムー チョイ
アメリカ合衆国、３２８３５ フロリダ、オーランド、ギルズ プレイス ストリート ７９２７

合議体
審判長 齋藤 恭一
審判官 小川 将之
審判官 近藤 幸浩

(56)参考文献 特開平５－２１８２１１（ＪＰ，Ａ）
特開平１１－１８６５２０（ＪＰ，Ａ）
特開平７－７４３２６（ＪＰ，Ａ）
特開平１０－３２２４６（ＪＰ，Ａ）
特開昭６２－１２２２３８（ＪＰ，Ａ）
特開平６－２２４１９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/788
H01L 29/792
H01L 27/115
H01L 21/8247