

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5161981号
(P5161981)

(45) 発行日 平成25年3月13日(2013.3.13)

(24) 登録日 平成24年12月21日(2012.12.21)

(51) Int.Cl.

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 1 2 O A
 G 1 1 C 13/00 1 2 O B
 G 1 1 C 13/00 1 5 O
 G 1 1 C 13/00 1 4 O
 G 1 1 C 13/00 1 1 O P

請求項の数 22 (全 62 頁)

(21) 出願番号 特願2010-542095 (P2010-542095)
 (86) (22) 出願日 平成21年12月7日(2009.12.7)
 (86) 国際出願番号 PCT/JP2009/070452
 (87) 国際公開番号 W02010/067768
 (87) 国際公開日 平成22年6月17日(2010.6.17)
 審査請求日 平成23年5月19日(2011.5.19)
 (31) 優先権主張番号 特願2008-315608 (P2008-315608)
 (32) 優先日 平成20年12月11日(2008.12.11)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 半澤 悟
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に向けて延伸する第1および第2グローバル・ワード線と、
 前記第1方向と直交する第2方向に向けて延伸し、第1グローバル・ビット線を含む複数のグローバル・ビット線と、
 前記第1グローバル・ビット線と前記第1および前記第2グローバル・ワード線の交点にそれぞれ設けられた第1および第2メモリタイルと、
 前記第1グローバル・ワード線によって制御される第1ワード線駆動回路と、
 前記第2グローバル・ワード線によって制御される第2ワード線駆動回路とを備え、
 前記第1および前記第2メモリタイルのそれぞれは、
 第1および第2ワード線を含んだ複数のワード線と、
 複数のビット線と、
 前記複数のビット線と前記第1グローバル・ビット線との接続を制御するビット線選択回路と、
 前記複数のワード線と前記複数のビット線の各交点にそれぞれ配置され、選択用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数のメモリセルとを含み、
 前記第1および前記第2メモリタイルに含まれる前記第1ワード線は、前記第1ワード線駆動回路に共通に接続され、
 前記第1および前記第2メモリタイルに含まれる前記第2ワード線は、前記第2ワード線駆動回路に共通に接続され、

10

20

書換え動作に伴い前記第 1 ワード線駆動回路が活性化された際、前記第 1 ワード線駆動回路の出力は、前記第 1 および前記第 2 メモリタイル内に含まれる前記第 1 ワード線に接続されたいずれか一つのメモリセルのみと前記ビット線選択回路とを介して前記第 1 グローバル・ビット線のみに接続され、書換え動作に伴い前記第 2 ワード線駆動回路が活性化された際、前記第 2 ワード線駆動回路の出力は、前記第 1 および前記第 2 メモリタイル内に含まれる前記第 2 ワード線に接続されたいずれか一つのメモリセルのみと前記ビット線選択回路とを介して前記第 1 グローバル・ビット線のみに接続されることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 および前記第 2 ワード線駆動回路は、共通の電圧供給線によって電源電圧が供給されていることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 記載の半導体装置において、

前記選択用のダイオードは、アノードが前記複数のワード線のいずれか 1 本に接続され、カソードが前記可変抵抗素子の一端に接続され、

前記可変抵抗素子の他端は、前記複数のビット線のいずれか 1 本に接続されることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 グローバル・ビット線は、第 2 グローバル・ビット線と第 3 グローバル・ビット線に分割され、

前記半導体装置は、さらに、書換え動作に伴い前記第 2 および前記第 3 グローバル・ビット線を制御する書換え回路を備え、

前記第 1 メモリタイルに含まれる前記複数のビット線の一部は、前記ビット線選択回路を介して前記第 2 グローバル・ビット線に接続され、

前記第 1 メモリタイルに含まれる前記複数のビット線の他の一部は、前記ビット線選択回路を介して前記第 3 グローバル・ビット線に接続され、

前記書換え回路は、書換え動作に伴い前記第 1 ワード線駆動回路または前記第 2 ワード線駆動回路が活性化された際には、前記第 2 グローバル・ビット線を書換え電流に駆動すると共に、前記第 3 グローバル・ビット線を前記第 1 ワード線駆動回路または前記第 2 ワード線駆動回路の出力電圧以上に設定し、

前記ビット線選択回路は、前記複数のビット線の一部の中の本を前記第 2 グローバル・ビット線に接続し、前記複数のビット線の他の一部の中の本を前記第 3 グローバル・ビット線に接続することを特徴とする半導体装置。

20

30

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 1 および前記第 2 メモリタイルのそれぞれは、さらに、制御信号に応じて前記複数のビット線に第 1 電圧を印加することで前記選択用のダイオードを逆バイアス状態にするビット線駆動回路を有することを特徴とする半導体装置。

40

【請求項 6】

第 1 方向に向けて延伸し、第 1 および第 2 グローバル・ワード線を含んだグローバル・ワード線群と、

前記第 1 方向と直交する第 2 方向に向けて延伸する第 1 および第 2 グローバル・ビット線と、

前記グローバル・ワード線群と前記第 1 および前記第 2 グローバル・ビット線の交点にそれぞれ設けられ、前記第 1 方向に隣接して配置された第 1 および第 2 メモリタイル群とを備え、

前記第 1 および前記第 2 メモリタイル群のそれぞれは、

前記第 2 方向で隣接して配置され、第 1 および第 2 メモリタイルを含む複数のメモリタ

50

イルと、

前記第 1 グローバル・ワード線によって制御される第 1 ワード線駆動回路および前記第 2 グローバル・ワード線によって制御される第 2 ワード線駆動回路を含んだワード線駆動回路群とを備え、

前記第 1 および前記第 2 メモリタイルのそれぞれは、

前記第 1 方向に向けて延伸し、第 1 および第 2 ワード線を含んだ複数のワード線と、

前記第 2 方向に向けて延伸する複数のビット線と、

前記複数のワード線と前記複数のビット線の交点にそれぞれ配置され、選択用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数のメモリセルと、

書換え動作の際に、前記複数のビット線の中のいずれか 1 本のみが、対応するグローバル・ビット線に接続されるように選択動作を行うビット線選択回路とを備え、

前記第 1 メモリタイル群の前記第 1 および前記第 2 メモリタイルに含まれる前記ビット線選択回路は、前記選択動作を行ったビット線を前記第 1 グローバル・ビット線に接続し、

前記第 2 メモリタイル群の前記第 1 および前記第 2 メモリタイルに含まれる前記ビット線選択回路は、前記選択動作を行ったビット線を前記第 2 グローバル・ビット線に接続し、

前記第 1 および前記第 2 メモリタイル群では、

前記第 1 ワード線駆動回路の出力が、前記第 1 メモリタイル内の前記第 1 ワード線と前記第 2 メモリタイル内の前記第 1 ワード線とに接続され、前記第 2 ワード線駆動回路の出力が、前記第 1 メモリタイル内の前記第 2 ワード線と前記第 2 メモリタイル内の前記第 2 ワード線とに接続され、前記第 1 および前記第 2 メモリタイル内の前記ビット線選択回路の一方が前記選択動作を行っている際には他方が前記選択動作を行わないように制御されることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記第 1 メモリタイル群に含まれる前記第 1 および前記第 2 ワード線駆動回路は、前記第 2 方向に向けて延伸する第 1 電圧供給線によって電源電圧が供給され、

前記第 2 メモリタイル群に含まれる前記第 1 および前記第 2 ワード線駆動回路は、前記第 2 方向に向けて延伸する第 2 電圧供給線によって電源電圧が供給されることを特徴とする半導体装置。

【請求項 8】

請求項 6 記載の半導体装置において、

前記選択用のダイオードは、アノードが前記複数のワード線のいずれか 1 本に接続され、カソードが前記可変抵抗素子の一端に接続され、

前記可変抵抗素子の他端は、前記複数のビット線のいずれか 1 本に接続されることを特徴とする半導体装置。

【請求項 9】

請求項 6 記載の半導体装置において、

前記第 1 および前記第 2 メモリタイルのそれぞれは、さらに、制御信号に応じて前記複数のビット線に第 1 電圧を印加することで前記選択用のダイオードを逆バイアス状態にするビット線駆動回路を有することを特徴とする半導体装置。

【請求項 10】

第 1 方向に向けて延伸する第 1 および第 2 グローバル・ワード線と、

前記第 1 方向と直交する第 2 方向に向けて延伸し、第 1 グローバル・ビット線を含む複数のグローバル・ビット線と、

前記第 1 グローバル・ビット線と前記第 1 および前記第 2 グローバル・ワード線の交点にそれぞれ設けられた第 1 および第 2 メモリタイルと、

前記第 1 グローバル・ワード線によって制御される第 1 ワード線駆動回路と、

前記第 2 グローバル・ワード線によって制御される第 2 ワード線駆動回路とを備え、

前記第 1 および前記第 2 メモリタイルのそれぞれは、
 第 1 および第 2 上層ワード線を含んだ複数の上層ワード線と、
 第 1 および第 2 下層ワード線を含んだ複数の下層ワード線と、
 複数の上層ビット線および複数の下層ビット線と、
 前記複数の上層ビット線および前記複数の下層ビット線と前記第 1 グローバル・ビット
 線との接続を制御するビット線選択回路と、

前記複数の上層ワード線と前記複数の上層ビット線の各交点にそれぞれ配置され、選択
 用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数の上層メモリセルと、
 前記複数の下層ワード線と前記複数の下層ビット線の各交点にそれぞれ配置され、選択
 用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数の下層メモリセルとを含み

10

、
 前記第 1 および前記第 2 メモリタイルに含まれる前記第 1 上層ワード線および前記第 1
 下層ワード線は、前記第 1 ワード線駆動回路に共通に接続され、

前記第 1 および前記第 2 メモリタイルに含まれる前記第 2 上層ワード線および前記第 2
 下層ワード線は、前記第 2 ワード線駆動回路に共通に接続され、

書換え動作に伴い前記第 1 ワード線駆動回路が活性化された際、前記第 1 ワード線駆動
 回路の出力は、前記第 1 および前記第 2 メモリタイル内に含まれる前記第 1 上層ワード線
 および前記第 1 下層ワード線に接続されたいずれか一つのメモリセルのみと前記ビット線
 選択回路とを介して前記第 1 グローバル・ビット線のみに接続され、書換え動作に伴い前
 記第 2 ワード線駆動回路が活性化された際、前記第 2 ワード線駆動回路の出力は、前記第
 1 および前記第 2 メモリタイル内に含まれる前記第 2 上層ワード線および前記第 2 下層ワ
 ード線に接続されたいずれか一つのメモリセルのみと前記ビット線選択回路とを介して前
 記第 1 グローバル・ビット線のみに接続されることを特徴とする半導体装置。

20

【請求項 1 1】

請求項 1 0 記載の半導体装置において、

前記第 1 および前記第 2 ワード線駆動回路は、共通の電圧供給線によって電源電圧が供
 給されていることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 0 記載の半導体装置において、

前記選択用のダイオードは、アノードが前記複数の上層ワード線または前記複数の下層
 ワード線のいずれか 1 本に接続され、カソードが前記可変抵抗素子の一端に接続され、

30

前記可変抵抗素子の他端は、前記複数の上層ビット線または前記複数の下層ビット線の
 いずれか 1 本に接続されることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 0 記載の半導体装置において、

前記ビット線選択回路は、

前記複数の上層ビット線か前記複数の下層ビット線かを選択する第 1 ビット線選択回路
 と、

前記第 1 ビット線選択回路によって選択された前記複数の上層ビット線または前記複数
 の下層ビット線の中のいずれか 1 本を前記第 1 グローバル・ビット線に接続する第 2 ビッ
 ト線選択回路とを有することを特徴とする半導体装置。

40

【請求項 1 4】

請求項 1 0 記載の半導体装置において、

前記第 1 および前記第 2 メモリタイルのそれぞれは、さらに、制御信号に応じて前記複
 数の上層ビット線および前記複数の下層ビット線に第 1 電圧を印加することで前記選択用
 のダイオードを逆バイアス状態にするビット線駆動回路を有することを特徴とする半導体
 装置。

【請求項 1 5】

請求項 1 0 記載の半導体装置において、

前記第 1 メモリタイルと前記第 2 メモリタイルは、1 つの半導体基板上で前記第 2 方向

50

に隣接して配置され、

前記第 1 および前記第 2 ワード線駆動回路は、前記半導体基板上で前記第 1 および前記第 2 メモリタイルに対して前記第 1 方向に隣接して形成され、

前記第 1 および前記第 2 メモリタイルのそれぞれは、

前記ビット線選択回路を構成するトランジスタが形成されるトランジスタ層と、

前記第 1 方向および前記第 2 方向に対して直交する方向となる第 3 方向において前記トランジスタ層の上層に位置するメモリセル層と、

前記第 3 方向において前記メモリセル層の上層に位置する配線層とを備え、

前記メモリセル層では、前記複数の上層メモリセルのそれぞれと前記複数の下層メモリセルのそれぞれとが前記第 3 方向において積層するように形成されることを特徴とする半導体装置。 10

【請求項 16】

請求項 15 記載の半導体装置において、

前記配線層には、前記第 1 メモリタイル内の前記複数の上層ワード線および前記複数の下層ワード線と、前記第 2 メモリタイル内の前記複数の上層ワード線および前記複数の下層ワード線とをそれぞれ接続するための、前記第 2 方向に延伸する複数の配線が形成されることを特徴とする半導体装置。

【請求項 17】

請求項 15 記載の半導体装置において、

前記配線層には、前記第 2 方向に延伸する電圧給電線が形成され、 20

前記電圧給電線は、前記半導体基板上で前記第 1 および前記第 2 メモリタイルと隣接して形成された前記第 1 および前記第 2 ワード線駆動回路にビアを介して接続され、それぞれに共通で電源電圧を供給することを特徴とする半導体装置。

【請求項 18】

第 1 方向に向けて延伸する第 1 グローバル・ワード線と、

前記第 1 方向と直交する第 2 方向に向けて延伸し、第 1 グローバル・ビット線および第 2 グローバル・ビット線を含んだ複数のグローバル・ビット線と、

前記第 2 方向で並んで配置され、それぞれが、複数のワード線、複数のビット線、および前記複数のワード線と前記複数のビット線の各交点に配置された複数のメモリセルを含んだ第 1 メモリブロックおよび第 2 メモリブロックと、 30

前記第 2 方向で前記第 1 メモリブロックと隣接して配置され、書換え動作の際に、前記第 1 メモリブロック内の前記複数のビット線の一部の中からいずれか 1 本を選択して前記第 1 グローバル・ビット線に接続し、更に、前記第 1 メモリブロック内の前記複数のビット線の一部の中からいずれか 1 本を選択して前記第 2 グローバル・ビット線に接続する第 1 ローカル・カラム・デコーダと、

前記第 2 方向で前記第 2 メモリブロックと隣接して配置され、書換え動作の際に、前記第 2 メモリブロック内の前記複数のビット線の一部の中からいずれか 1 本を選択して前記第 1 グローバル・ビット線に接続し、更に、前記第 2 メモリブロック内の前記複数のビット線の一部の中からいずれか 1 本を選択して前記第 2 グローバル・ビット線に接続する第 2 ローカル・カラム・デコーダと、 40

前記第 1 方向で前記第 1 メモリブロックおよび前記第 2 メモリブロックと隣接して配置され、前記第 1 グローバル・ワード線によって制御される第 1 ワード線駆動回路を含んだ共通セグメント・ワード線駆動回路とを備え、

前記複数のメモリセルのそれぞれは、選択用のダイオードおよび情報記憶用の可変抵抗素子を含み、

前記第 1 ワード線駆動回路の出力は、前記第 1 メモリブロック内の前記複数のワード線のいずれか 1 本と、前記第 2 メモリブロック内の前記複数のワード線のいずれか 1 本に共通で接続され、

書換え動作の際には、前記第 1 ローカル・カラム・デコーダと前記第 2 ローカル・カラム・デコーダのいずれか一方が前記選択の動作を行うことを特徴とする半導体装置。 50

【請求項 19】

請求項 18 記載の半導体装置において、

前記選択用のダイオードは、アノードが前記複数のワード線のいずれか 1 本に接続され、カソードが前記可変抵抗素子の一端に接続され、

前記可変抵抗素子の他端は、前記複数のビット線のいずれか 1 本に接続されることを特徴とする半導体装置。

【請求項 20】

第 1 方向に向けて延伸し、第 1 および第 2 グローバル・ワード線を含んだグローバル・ワード線群と、

前記第 1 方向と直交する第 2 方向に向けて延伸し、第 1 および第 2 グローバル・ビット線を含んだ複数のグローバル・ビット線と、 10

前記グローバル・ワード線群と前記第 1 および前記第 2 グローバル・ビット線の交点にそれぞれ配置され、前記第 1 方向に並んで配置された前記第 1 および第 2 メモリタイルと、

前記第 1 メモリタイルに隣接して配置された第 1 ワード線駆動回路群と、

前記第 2 メモリタイルに隣接して配置された第 2 ワード線駆動回路群とを備え、

前記第 1 および前記第 2 メモリタイルのそれぞれは、

第 1 および第 2 ワード線を含む複数のワード線と、

複数のビット線と、

前記複数のワード線と前記複数のビット線の交点にそれぞれ配置され、選択用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数のメモリセルと、 20

書換え動作の際に、前記複数のビット線の中のいずれか 1 本のみが、対応するグローバル・ビット線に接続されるように選択動作を行うビット線選択回路とを備え、

前記第 1 メモリタイルに含まれる前記ビット線選択回路は、前記選択動作を行ったビット線を前記第 1 グローバル・ビット線に接続し、

前記第 2 メモリタイルに含まれる前記ビット線選択回路は、前記選択動作を行ったビット線を前記第 2 グローバル・ビット線に接続し、

前記第 1 ワード線駆動回路群は、

前記第 1 グローバル・ワード線によって活性化された際に、前記第 1 メモリタイルに含まれる前記第 1 ワード線に接続された前記複数のメモリセルのいずれか一つのみと前記ビット線選択回路とを介して前記第 1 グローバル・ビット線のみ接続される第 1 ワード線駆動回路と、 30

前記第 2 グローバル・ワード線によって活性化された際に、前記第 1 メモリタイルに含まれる前記第 2 ワード線に接続された前記複数のメモリセルのいずれか一つのみと前記ビット線選択回路とを介して前記第 1 グローバル・ビット線のみ接続される第 2 ワード線駆動回路とを含み、

前記第 2 ワード線駆動回路群は、

前記第 1 グローバル・ワード線によって活性化された際に、前記第 2 メモリタイルに含まれる前記第 1 ワード線に接続された前記複数のメモリセルのいずれか一つのみと前記ビット線選択回路とを介して前記第 2 グローバル・ビット線のみ接続される第 3 ワード線駆動回路と、 40

前記第 2 グローバル・ワード線によって活性化された際に、前記第 2 メモリタイルに含まれる前記第 2 ワード線に接続された前記複数のメモリセルのいずれか一つのみと前記ビット線選択回路とを介して前記第 2 グローバル・ビット線のみ接続される第 4 ワード線駆動回路とを含むことを特徴とする半導体装置。

【請求項 21】

請求項 20 記載の半導体装置において、

前記選択用のダイオードは、アノードが前記複数のワード線のいずれか 1 本に接続され、カソードが前記可変抵抗素子の一端に接続され、

前記可変抵抗素子の他端は、前記複数のビット線のいずれか 1 本に接続されることを特 50

徴とする半導体装置。

【請求項 2 2】

請求項 2 1 記載の半導体装置において、

前記第 1 および前記第 2 メモリタイルのそれぞれは、さらに、制御信号に応じて前記複数のビット線に第 1 電圧を印加することで前記選択用のダイオードを逆バイアス状態にするビット線駆動回路を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、各メモリセルが抵抗値の差によって情報を記憶する記憶装置、代表的には、各メモリセルがカルコゲナイド材料の状態変化を利用して情報を記憶する相変化メモリ等の記憶装置を含む半導体装置に適用して有効な技術に関する。

10

【背景技術】

【0002】

例えば、非特許文献 1 および非特許文献 2 には、カルコゲナイド材料を記憶素子とし、ダイオードを選択素子とする相変化メモリに関して記載されている。カルコゲナイド材料としては、少なくともアンチモン (Sb) とテルル (Te) を含む Ge - Sb - Te 系や Ag - In - Sb - Te 系などが用いられる。

【0003】

図 5 1 は、非特許文献 1 の Fig. 2 に記載されたメモリコア構成からローカル・セル・アレイ LCA0 ~ LCA_n を抜粋した図である。ローカル・セル・アレイの各々は、ローカル・セル・アレイ LCA0 に代表されるように、(n + 1) 本のローカル・ビット線 LBL0 ~ LBL_n と、(n + 1) 本のワード線 WL0 ~ WL_n との交点に、相変化材料を用いた抵抗性記憶素子 R と選択用ダイオード D とが直列接続されたメモリセル MC00 ~ MC_{nn} が配置された構成となっている。

20

【0004】

ローカル・ビット線 LBL0 ~ LBL_n の各々は、NMOS トランジスタ MNYS0 ~ MNYS_n を介してグローバル・ビット線 GBL0 に接続される。MNYS0 ~ MNYS_n は、夫々のゲート電極に接続されたローカル・カラム選択信号 LY0 ~ LY_n によって制御される。すなわち、MNYS0 ~ MNYS_n の何れか一つが活性化されて導通することにより、LBL0 ~ LBL_n の何れか一つが GBL0 に電氣的に接続される。なお、LBL0 ~ LBL_n と接地電圧 VSS との間には、NMOS トランジスタ MND0 ~ MND_n が夫々挿入される。MND0 ~ MND_n は、夫々のゲート電極に接続されたローカル・ビット線放電信号 LBLDIS により制御される。

30

【0005】

図 5 2 は、非特許文献 2 の Fig. 6 に記載された読出し経路における回路ブロック図から、読出し動作において選択されたブロックを抜粋した図である。選択されたブロック BLOCK_i は、四つの入出力ブロック IO - block0 ~ IO - block3 で構成される。各入出力ブロックの上下には、ビット線とグローバル・ビット線 GBL との接続を制御する回路 (ローカル・カラム・デコーダ) LYDEC が配置される。また、各入出力ブロックの左右には、セクション・ワード線駆動回路 SWD が配置される。接地電圧にすべきワード線の電圧変動を抑えるために、セクション・ワード線駆動回路 SWD の各々は、左右の入出力ブロックに延伸されたワード線を夫々駆動する。なお、セクション・ワード線駆動回路 SWD の各々は、共通のメインワード線にて制御される。

40

【0006】

また、特許文献 1 の図 7 には、クロスポイントメモリにマルチバンク方式を採用した場合のブロック構成が示されている。同文献では、メモリセルが記憶素子以外の選択用素子を備えず、記憶素子が直接、メモリセル内でデータ線 (行選択線) とビット線 (列選択線) に接続されたメモリセルアレイ構成の半導体記憶装置のことをクロスポイントメモリと呼んでいる。特に、図 7 では、可変抵抗素子が記憶素子に用いられている。また、同文献

50

におけるマルチバンク方式とは、小規模のメモリセルアレイを1つのメモリバンクと称し、このメモリバンクを複数個、行方向及び列方向にマトリクス状に配置して、所望のメモリ容量（メモリセル数）を実現するものである。

【0007】

このメモリセルアレイでは、1本のデータ線及び1本のビット線に接続されるメモリセルの数は任意の値に制限される。このマルチバンク方式では、行方向に沿って配列した各バンクBKkのデータ線と同数の主データ線GDLiが、当該各バンクを横断して行方向に延伸し、バンク選択トランジスタBDkを介して、各データ線DLiに接続されている。また、列方向に沿って配列した各バンクのビット線と同数の主ビット線GBLjが、当該各バンクを縦断して列方向に延伸し、バンク選択トランジスタBBkを介して、各ビット線BLjに接続されている。ここで、iはデータ線番号を示し、jはビット線番号を示し、kはバンク番号を示す。バンクの各々においては、主データ線GDLiとデータ線DLi、及び、主ビット線GBLjとビット線BLjは、夫々同数で構成される。

10

【0008】

このような構成では、主データ線GDLiに接続するデータ線ドライバ10から供給される所定のデータ線電圧が、主データ線GDLiを介して、選択されたバンクのデータ線DLiに夫々供給される。また、主ビット線GBLjに接続するビット線ドライバ20から供給される所定のビット線電圧が、主ビット線GBLjを介して、選択されたバンクのビット線BLjに夫々供給される。よって、所望のメモリセルを選択することが可能となる。また、マルチバンク方式のクロスポイントメモリでは、選択されたバンクのみ、各データ線DLiと各ビット線BLjに所定の電圧が印加されて、電流が流れる。他の非選択のバンクには、当該電圧印加が行われず、電流消費もないため、低消費電力にも寄与する。

20

【0009】

また、特許文献1の図8には、一般的な仮想接地型のメモリセルアレイ構成のマスクROMにおいて、上記バンク（メモリセルアレイ）を複数配置した場合に、1つのバンク中のメモリセルを読み出す場合の電流経路、及び、同じバンク内にプリチャージ電圧を供給した場合の電流経路の一例が示されている。仮想接地型のメモリセルのメモリセルトランジスタにおけるドレインがビット線に、ソースが仮想接地線に接続され、ビット線及び仮想接地線が交互に夫々列方向に延伸している。ビット線を挟んで行方向に隣接するメモリセルはビット線を、仮想接地線を挟んで行方向に隣接するメモリセルは仮想接地線を、夫々共有している。メモリセルトランジスタのゲートは、行方向に延伸するワード線に接続されている。

30

【0010】

同図に示すマルチバンク方式では、各バンクのワード線は、対応するワード線同士が相互に接続されて共通のワード線ドライバで駆動される構成となっており、バンクの選択は、ビット線と仮想接地線で行われる。つまり、主ビット線と主仮想接地線が、列方向に配列する各バンクを縦断するように設けられ、各バンクでは、2本のビット線に対し1本の主ビット線が、2本の仮想接地線に対し1本の主仮想接地線が設けられる。1本の主ビット線は、異なるバンク選択線が夫々ゲート入力となっている2つのバンク選択トランジスタを介して、2本のビット線に各別に接続され、同様に、1本の主仮想接地線は、異なるバンク選択線が夫々ゲート入力となっている2つのバンク選択トランジスタを介して、2本の仮想接地線に各別に接続される。

40

【0011】

同図に例示する構成では、例えば、各バンクBK0～3内では、行方向に32個のメモリセル、及び、列方向に32個のメモリセルが夫々マトリクス状に配列されており、更に、バンクBK0～3も2×2のマトリクス状に配列されている。例えば、読み出し対象のメモリセルがバンクBK0内に存在する場合は、バンクBK1～3に接続されたバンク選択トランジスタの全てをオフすることによって、バンクBK0以外のバンクBK1～3には電流供給を行わず、消費電流の削減が実現可能な点は、クロスポイントメモリと同じで

50

ある。同図において、バンクB K 0内の読み出し対象の図中丸印で囲まれた選択メモリセルのメモリセル電流を読み出すためには、一方のバンク選択線を活性化して、一方のバンク選択トランジスタをオンにし、他方のバンク選択トランジスタをオフにする。実線矢印は、メモリセル電流経路を示している。ビット線選択用と仮想接地線選択用の夫々2本のバンク選択線の信号レベルは、選択メモリセルを読み出す際に決定される。よって、選択メモリセルから図中右側へ3本離れたビット線にはプリチャージ電圧が供給される。このプリチャージ電圧が供給される電流経路は、破線矢印にて示されている。

【0012】

さらに、特許文献1の図1には、同一行に配置された各バンクに接続する主データ線G D L mの本数が、各バンクのデータ線D L iの本数(8本)の半数となる4本であるマルチバンク方式の例が示されている。ここで、主データ線G D L mのmは主データ線番号である。主データ線G D L mには、夫々を個別に駆動し、所定のデータ線電圧を供給するデータ線ドライバ10が接続されている。主データ線とデータ線との間には、データ線選択トランジスタT D i kが配置される。データ線選択トランジスタT D i kは、そのゲートに接続されたバンクデータ選択線S D i kにより制御される。バンクデータ選択線S D i kを適切に制御することによって、バンクB K kの何れか一つが選択されると共に、一本の主データ線G D Lに対応する二本のデータ線D Lの何れか一方、又は両方が選択される。

10

【先行技術文献】

【特許文献】

20

【0013】

【特許文献1】特開2006-079756号公報

【非特許文献】

【0014】

【非特許文献1】「アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(IEEE International Solid-State Circuits Conference, Digest of Technical Papers)」、2007年2月、p. 472 - 473

【非特許文献2】「アイ・イー・イー・イー、ジャーナル・オブ・ソリッド・ステート・サーキット、第43巻、第1号(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 1,)」、2008年1月、p. 150 - 161

30

【発明の概要】

【発明が解決しようとする課題】

【0015】

本願発明者等は、本願に先立ち、カルコゲナイド材料からなる記録層とダイオードからなるメモリセルを用いた相変化メモリに関して検討を行った。その結果、主な課題の一つとして、メモリセルに電流を供給してアクセスを行う際に、その電流供給経路で生じるI Rドロップに伴い信頼性が低下する虞があることが判明した。また、主な課題の他の一つとして、高速化や大容量化に向けて更なる工夫が必要であることが判明した。

40

【0016】

例えば、特許文献1の図7に記載の可変抵抗素子からなるクロスポイントメモリでは、選択データ線上の非選択セルにおけるリーク電流を削減するために、データ線を階層化して、任意のバンクに配置されるデータ線のみ在所定のデータ線電圧を供給している。また、主データ線の本数を削減するために、同文献の図1では複数のデータ線毎に主データ線を設けている。このような構成を相変化メモリに適用した場合、データ線と主データ線との間に挿入されたデータ線選択トランジスタにおいて生じる電圧降下が問題になる。相変化メモリでは、書換え動作が前述したようにジュール熱を利用して行われるために、メモリセルに大きな電流を高精度で印加する必要がある。そのためには、メモリセルに十分な

50

電圧を印加する必要がある。この一方で、大きな電流を流すと、書換え電流経路に含まれる配線や選択トランジスタにおいて、電圧降下（IRドロップ）が発生する。このような動作条件は、トランジスタの微細加工や信頼性向上の妨げになる虞がある。よって、データ線選択トランジスタが不要となる給電方法が求められる。

【0017】

また、特許文献1の図8に記載された仮想接地型メモリセルアレイ構成のマスクROMでは、各バンクのワード線は、対応するワード線同士が、相互に接続して共通のワード線ドライバで駆動される構成となっている。ここで、マスクROMは三端子素子であるので、バンクの選択は、ビット線と仮想接地線で行われている。一方、この方式を可変抵抗素子からなる二端子メモリセルに適用する際には、特許文献1の図1のような構成とする必要があり、すなわち、データ線またはビット線の一方側からメモリセル読出し電流を供給し、さらにメモリセルを通りデータ線またはビット線の他方側に流すような制御を実現するために、複数のデータ線毎に主データ線を設け、データ線と主データ線との間に挿入したデータ線選択トランジスタにバンク選択機能を持たせる必要がある。このような構成では、データ線ドライバ10の数を削減することが出来る反面、データ線と主データ線との間にデータ線選択トランジスタが新たに必要になるので、前述したようなIRドロップの問題に加えて、周辺回路の面積削減効果も小さくなる虞がある。

【0018】

さらに、特許文献1の図1の構成では、前述したようにデータ線選択トランジスタを用いて、同一主データ線上にある複数のバンクから何れか一つのバンクが選択されて、当該バンク内のデータ線に所定のデータ線電圧が給電されている。このために、同時に書換え動作を行うセル数が制限されてしまい、データ転送速度を上げられず、高速化が困難となる虞がある。したがって、同時に書換え動作を行うセル数を増やせるようなメモリセルアレイ構成と制御方式を実現することが望まれる。また、特許文献1の図1の構成では、信頼性の観点でも問題がある。すなわち、読出し動作において、データ線ドライバ、またはビット線ドライバによって直接駆動することのない非選択データ線、或いは非選択ビット線が複数発生する。これらの非選択データ線及び非選択ビット線には、非選択のメモリセルを介して、間接的に当該読出し電圧（プリチャージ電圧）が供給される。しかし、このような給電方法では、電流が流れ込む非選択のメモリセルにおいて、記憶情報の誤書込みが起こる虞がある。よって、非選択のメモリセルに電流が流れ込まないような制御方式、或いはメモリセル構成が望ましい。

【0019】

一方、例えば、非特許文献1および非特許文献2に記載のPRAM（フェイズ・チェンジ・ランダム・アクセス・メモリ）チップでは、メモリセル面積がFの2乗の5.8倍に縮小されているにも拘らず、セル占有率が30%弱となっている。ここで、Fは最小加工寸法である。前述したように、図52に示した読出し経路における回路ブロック図では、各入出力ブロックの左右に、セクション・ワード線駆動回路SWDが配置されている。このような分散配置構成としたのは、接地電圧にすべきワード線の電圧変動を抑えるためである。しかし、PRAMでは、大きな電流をメモリセルに流してジュール熱を利用した書換え動作が行われるので、セクション・ワード線駆動回路SWDの面積が大きくなってしまふという本質的な課題がある。

【0020】

すなわち、セクション・ワード線駆動回路SWDを大きく設計することで、例えば、一つのセクション・ワード線駆動回路SWDで同時に複数のメモリセルを電流駆動することも可能となるが、このような構成が必ずしも高い面積効率を実現できるとは限らない。例えば、メモリセルの選択素子にダイオードを適用すると、メモリセルの配置間隔よりも、セクション・ワード線駆動回路SWDを構成する要素回路の配置間隔の方が大きくなり、セクション・ワード線駆動回路SWDの面積が相対的に大きくなってしまい、高集積化が図れない虞がある。さらに、PRAMをSSD（ソリッド・ステート・ドライブ）に適用する場合には、データ転送速度を上げるために、セクション・ワード線駆動回路SWDを

10

20

30

40

50

多数配置して、同時に書換え動作を行うセル数を増やさなければならない。すなわち、S S D用途のP R A Mでは、セクション・ワード線駆動回路S W Dの数は純増となる。したがって、セクション・ワード線駆動回路S W Dの配置方法に何らかの工夫が必要と考えられる。

【0021】

本発明は、このような問題を鑑みてなされたものであり、前記ならびに前記以外の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0022】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0023】

本実施の形態による半導体装置は、第1および第2グローバル・ワード線と、第1グローバル・ビット線を含む複数のグローバル・ビット線と、第1グローバル・ビット線と第1および第2グローバル・ワード線との交点にそれぞれ設けられた第1および第2メモリタイルと、第1および第2ワード線駆動回路とを有するものとなっている。第1および前記第2メモリタイルのそれぞれは、第1および第2ワード線を含む複数のワード線と、複数のビット線と、これらの交点にそれぞれ配置され、選択用のダイオードおよび情報記憶用の可変抵抗素子を含んだ複数のメモリセルと、複数のビット線と第1グローバル・ビット線との接続を制御するビット線選択回路とを備える。ここで、第1ワード線駆動回路は、第1グローバル・ワード線の制御に応じて第1および第2メモリタイルに含まれる第1ワード線を駆動し、第2ワード線駆動回路は、第2グローバル・ワード線の制御に応じて第1および第2メモリタイルに含まれる第2ワード線を駆動する。そして、書換え動作に伴い例えば第1ワード線駆動回路が活性化された際、第1ワード線駆動回路の出力は、第1および第2メモリタイルの第1ワード線に接続された複数のメモリセルのいずれか1つのみを介して第1グローバル・ビット線のみ接続される。

【0024】

このように、一つのワード線駆動回路が複数のメモリタイルのワード線で共有され、また、書換え動作等の際に一つのメモリセルのみを駆動するような構成とすることで、高集積化が図れ、また、書換え動作等におけるI Rドロップ等の影響を低減できる。

【発明の効果】

【0025】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すれば、カルコゲナイド材料を用いた相変化メモリにおいて、信頼性の向上や、高集積化が実現可能になる。

【図面の簡単な説明】

【0026】

【図1】本発明の実施の形態1による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。

【図2】図1に記載の相変化メモリのメモリセルアレイにおける制御信号の例を示す図である。

【図3】図1に記載の相変化メモリのメモリセルアレイにおけるメモリタイル及びワード線駆動回路の詳細な構成例を示す回路図である。

【図4】図1に記載の相変化メモリのメモリセルアレイにおけるグローバル・ワード線駆動回路群の構成例を示す回路図である。

【図5】図4の動作例を示す動作真理値表である。

【図6】図1に記載の相変化メモリのメモリセルアレイにおいて、Xアドレス信号により制御される信号の動作例を示す真理値表である。

【図7】図2に記載の相変化メモリのメモリセルアレイにおけるビット線制御回路群の詳細な構成例を示す回路図である。

10

20

30

40

50

【図 8】図 7 の動作例を示す動作真理値表である。

【図 9】図 1 に記載の相変化メモリのメモリセルアレイにおける書換え動作の動作例を示すタイミングチャートである。

【図 10】図 1 に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。

【図 11】図 1 に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。

【図 12】図 1 に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。

【図 13】本発明の実施の形態 2 による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。

【図 14】図 13 に記載の相変化メモリのメモリセルアレイにおけるメモリタイル及びワード線駆動回路群の詳細な構成例を示す回路図である。

【図 15】図 13 に記載の相変化メモリのメモリセルアレイにおいて、ビット線制御回路群に関する信号の動作例を示す真理値表である。

【図 16】図 13 に記載の相変化メモリのメモリセルアレイにおいて、グローバル・ワード線駆動回路に関する信号の動作例を示す真理値表である。

【図 17】図 13 に記載の相変化メモリのメモリセルアレイにおいて、読書き制御回路に関する信号の動作例を示す真理値表である。

【図 18】図 13 に記載の相変化メモリのメモリセルアレイにおける書換え動作の動作例を示すタイミングチャートである。

【図 19】図 13 に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その 1)

【図 20】図 13 に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その 2)

【図 21】図 13 に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。(その 1)

【図 22】図 13 に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。(その 2)

【図 23】図 13 に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その 1)

【図 24】図 13 に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その 2)

【図 25】本発明の実施の形態 3 による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。

【図 26】図 25 に記載の相変化メモリのメモリセルアレイにおけるメモリタイル及びワード線駆動回路群の詳細な構成例を示す回路図である。

【図 27】図 25 に記載の相変化メモリのメモリセルアレイにおけるビット線制御回路群に関する信号の動作例を示す真理値表である。(その 1)

【図 28】図 25 に記載の相変化メモリのメモリセルアレイにおけるビット線制御回路群に関する信号の動作例を示す真理値表である。(その 2)

【図 29】図 25 に記載の相変化メモリのメモリセルアレイにおける書換え動作の動作例を示すタイミングチャートである。

【図 30】図 25 に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その 1)

【図 31】図 25 に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その 2)

【図 32】図 25 に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。(その 1)

【図 33】図 25 に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状

10

20

30

40

50

態の導通状態の例を示す図である。(その2)

【図34】図25に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その1)

【図35】図25に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その2)

【図36】本発明の実施の形態4による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。

【図37】図36に記載の相変化メモリのメモリセルアレイにおけるメモリタイル及びワード線駆動回路群の詳細な構成例を示す回路図である。

【図38】図36に記載の相変化メモリのメモリセルアレイにおける書換え動作の動作例を示すタイミングチャートである。

【図39】図36に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その1)

【図40】図36に記載の相変化メモリのメモリセルアレイにおいて、待機状態の導通状態の例を示す図である。(その2)

【図41】図36に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。(その1)

【図42】図36に記載の相変化メモリのメモリセルアレイにおいて、全ビット非選択状態の導通状態の例を示す図である。(その2)

【図43】図36に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その1)

【図44】図36に記載の相変化メモリのメモリセルアレイにおいて、書換え状態の導通状態の例を示す図である。(その2)

【図45】本発明の実施の形態5による半導体装置において、そのメモリセルアレイの構造例を模式的に示す概念図である。

【図46】図45に記載の相変化メモリのメモリセルアレイにおいて、メモリタイルの断面構造例を示す図である。(その1)

【図47】図45に記載の相変化メモリのメモリセルアレイにおいて、メモリタイルの断面構造例を示す図である。(その2)

【図48】本発明の実施の形態6による半導体装置において、その回路ブロックの構成例を示す概略図である。

【図49】本発明の実施の形態7による半導体装置において、その回路ブロックの構成例を示す概略図である。

【図50】本発明の実施の形態8による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。

【図51】非特許文献1に記載のカルコゲナイド材料とダイオードを用いた相変化メモリにおけるローカル・セル・アレイの構成を示す図である。

【図52】非特許文献2に記載の相変化メモリにおいて、読出し動作で選択された回路ブロックの構成例を示す概略図である。

【発明を実施するための形態】

【0027】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。

【0028】

なお、実施の形態では、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一例としてMOS(Metal Oxide Semiconductor)トランジスタを用いる。

10

20

30

40

50

図面において、Pチャネル型MOSトランジスタ(PMOSトランジスタ)にはゲートに矢印の記号を付すことで、Nチャネル型MOSトランジスタ(NMOSトランジスタ)と区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

【0029】

(実施の形態1)

図1は、本発明の実施の形態1による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。このメモリセルアレイ構成の主要な特徴は、四つある。第一の特徴は、各アクセスサイクルにおいて、一つのワード線駆動回路WDが一つのメモリセルMCのみを駆動する構成となっている点にある。第二の特徴は、メモリセルアレイが、二つのメモリタイルMTと一つのワード線駆動回路群WDBKとで構成されるメモリタイル群MTBKを行列状に配置することで形成され、一つのワード線駆動回路WDが、二つのメモリタイルMTで共有して用いられている点にある。以下では、ワード線駆動回路WDと、後述するビット線選択回路BSLC及びビット線駆動回路BDRVによって区切られたメモリセルアレイを特にメモリタイルMTと呼ぶ。第三の特徴は、各メモリタイルMTが小規模(ここでは2行×2列)のメモリセルMCで構成されている点にある。第四の特徴は、ワード線駆動回路群WDBKに接続される電圧給電線(VAPL, VSPL)が、グローバル・ビット線GBLと並行に延伸している点にある。以下、これらの特徴を含めて、本実施の形態1の半導体装置の詳細について説明を行う。

【0030】

《メモリセルアレイの構成》

図1では、説明を簡単にするために、4個のメモリタイル群MTBK00~MTBK11が示されている。これら4個のメモリタイル群MTBK00~MTBK11は、二つのグローバル・ワード線群GWP0, GWP1と二本のグローバル・ビット線GBL0, GBL1との交点に、2行×2列の行列を形成するように配置される。メモリタイル群MTBK00~MTBK11の各々は、二つのメモリタイルMT0, MT1と一つのワード線駆動回路群WDBKとで構成される。二つのメモリタイルMT0, MT1の各々は、行列状(ここでは2行×2列)に配置されたメモリセルMC00~MC11を有する。例えば、メモリタイル群MTBK00に代表されるように、メモリタイルMT0内のメモリセルMC00~MC11は、二本のワード線WL000, WL001と二本のビット線BL000, BL001との各交点に配置される。また、メモリタイルMT1内のメモリセルMC00~MC11は、二本のワード線WL000, WL001と二本のビット線BL002, BL003との各交点に配置される。

【0031】

メモリタイルMT0, MT1の各々は、メモリセルMC00~MC11の両端に配置されたビット線選択回路BSLCとビット線駆動回路BDRVを有する。ビット線選択回路BSLCは、選択ビット線と対応するグローバル・ビット線とを接続するための制御回路である。ビット線駆動回路BDRVは、非選択ビット線に所定の電圧を供給するための制御回路である。

【0032】

ワード線駆動回路群WDBKは、メモリタイルMT0とMT1とが共有できるように、メモリタイルMT0とMT1の隣に配置される。ワード線駆動回路群WDBKは、2つのワード線駆動回路WD0, WD1を有する。これらワード線駆動回路WD0, WD1は、グローバル・ワード線群GWP0の電圧に応じてワード線WL000, WL001を夫々駆動する。ここで、グローバル・ワード線群GWP0は、グローバル・ワード線GWL00B, GWL01Bで構成され、ワード線駆動回路WD0は、GWL00Bの電圧に応じてワード線WL000を駆動し、ワード線駆動回路WD1は、GWL01Bの電圧に応じてワード線WL001を駆動する。なお、グローバル・ワード線群GWP1も同様に、グローバル・ワード線GWL10B, GWL11Bで構成される。これらグローバル・ワー

ド線群GWP0, GWP1は、グローバル・ワード線駆動回路群GWDBKによって制御される。

【0033】

ワード線WL000, WL001の夫々は、メモリタイルMT0とMT1の領域を、グローバル・ワード線群GWP0と並行するように延伸する。また、メモリタイルMT0とMT1の領域内を通過するワード線と直交するような配線(ワード線)が設けられる。このような配線構造により、メモリタイルMT0とMT1が同一のワード線駆動回路WDを共有することが可能となる。

【0034】

ワード線WLに与えられる電圧は、アレイ電圧給電線VAPL0, VAPL1と接地電圧給電線VSPL0, VSPL1とで供給される。これらの給電線は、グローバル・ビット線GBL0, GBL1と並行に配置される。このうち、アレイ電圧給電線VAPL0と接地電圧給電線VSPL0は、メモリタイル群MTBK00, MTBK10のワード線駆動回路群WDBK内におけるワード線駆動回路WD0, WD1に夫々接続される。他方の、アレイ電圧給電線VAPL1と接地電圧給電線VSPL1は、メモリタイル群MTBK01, MTBK11のワード線駆動回路群WDBK内におけるワード線駆動回路WD0, WD1に夫々接続される。

【0035】

アレイ電圧給電線VAPL0, VAPL1の電圧は、アレイ電圧選択回路VSLC0, VSLC1によって夫々制御される。アレイ電圧選択回路VSLC0, VSLC1は、読出し起動信号REと書換え起動信号WEの電圧レベルに応じて、アレイ読出し電圧VRDかアレイ書換え電圧VWTの何れか一方をアレイ電圧給電線VAPL0, VAPL1に夫々供給する。詳細は後述するが、図1に示したメモリセルアレイでは、グローバル・ワード線群GWP0, GWP1の信号電圧に応じてメモリタイル群MTBK00とMTBK01の組か、メモリタイル群MTBK10とMTBK11の組の何れか一方が選択されて、書換え動作または読出し動作が行われる。よって、アレイ電圧給電線VAPL0, VAPL1と接地電圧給電線VSPL0, VSPL1を、グローバル・ワード線群GWP0, GWP1と垂直方向、すなわちグローバル・ビット線GBL0, GBL1に並行な方向に配置することによって、電流の集中を回避することができる。すなわち、アレイ電圧給電線VAPL0, VAPL1に流れる電流量を一つのメモリセルMCを駆動するだけの値に制限することにより、アレイ電圧給電線VAPL0, VAPL1における寄生抵抗による電圧降下(IRドロップ)を抑制することができる。

【0036】

グローバル・ビット線GBL0, GBL1は、それぞれ、読書き回路RW0, RW1に接続される。読書き回路RW0, RW1内の読書き選択回路RWSLCは、前述の読出し起動信号REと書換え起動信号WEにて制御される。すなわち、読出し起動信号REと書換え起動信号WEの電圧レベルに応じて、グローバル・ビット線GBL0, GBL1に、センスアンプSAが書換え電流駆動回路WCDの何れか一方を接続する。

【0037】

《メモリタイル及びワード線駆動回路の具体的な構成》

図2には、図1に示したメモリセルアレイにおけるビット線選択回路BSLCとビット線駆動回路BDRVの制御信号が示されている。ビット線選択回路BSLCを制御するビット線選択信号BLS00~BLS13の電圧と、ビット線駆動回路BDRVを制御するビット線駆動信号BLS00B~BLS13Bの電圧の夫々は、ビット線制御回路群BCBKにて制御される。なお、同図では、図面を見易くするために、図1に示したアレイ電圧給電線VAPL0, VAPL1、接地電圧給電線VSPL0, VSPL1、アレイ電圧選択回路VSLC0, VSLC1が省略されている。

【0038】

メモリタイル群MTBK00, MTBK01において、メモリタイルMT0におけるビット線選択回路BSLCは、共通のビット線選択信号BLS00, BLS01によって制

10

20

30

40

50

御される。また、このメモリアルMT0におけるビット線駆動回路BDRVは、共通のビット線駆動信号BLS00B, BLS01Bによって制御される。ビット線選択信号BLS00とビット線駆動信号BLS00Bの組と、ビット線選択信号BLS01とビット線駆動信号BLS01Bの組は、夫々相補信号である。

【0039】

メモリアル群MTBK00, MTBK01において、メモリアルMT1におけるビット線選択回路BSLCは、共通のビット線選択信号BLS02, BLS03によって制御される。また、このメモリアルMT1におけるビット線駆動回路BDRVは、共通のビット線駆動信号BLS02B, BLS03Bによって制御される。ビット線選択信号BLS02とビット線駆動信号BLS02Bの組と、ビット線選択信号BLS03とビット線駆動信号BLS03Bの組は、夫々相補信号である。

10

【0040】

同様に、メモリアル群MTBK10, MTBK11において、メモリアルMT0におけるビット線選択回路BSLCは、共通のビット線選択信号BLS10, BLS11によって制御される。また、このメモリアルMT0におけるビット線駆動回路BDRVは、共通のビット線駆動信号BLS10B, BLS11Bによって制御される。ビット線選択信号BLS10とビット線駆動信号BLS10Bの組と、ビット線選択信号BLS11とビット線駆動信号BLS11Bの組は、夫々相補信号である。

【0041】

同様に、メモリアル群MTBK10, MTBK11において、メモリアルMT1におけるビット線選択回路BSLCは、共通のビット線選択信号BLS12, BLS13によって制御される。また、このメモリアルMT1におけるビット線駆動回路BDRVは、共通のビット線駆動信号BLS12B, BLS13Bによって制御される。ビット線選択信号BLS12とビット線駆動信号BLS12Bの組と、ビット線選択信号BLS13とビット線駆動信号BLS13Bの組は、夫々相補信号である。

20

【0042】

図3は、図1に示したメモリセルアレイにおける、メモリアルとワード線駆動回路群の具体的な構成の例を示している。同図では、代表例として、メモリアル群MTBK00におけるメモリアルMT0とワード線駆動回路群WDBKが示されている。メモリセルMC00~MC11の各々は、ダイオードDとカルコゲナイド材料からなる可変抵抗Rで構成され、これらがワード線 - ダイオードD - 可変抵抗R - ビット線の順で接続されている。このような接続順序とすると、通常、製造時においてもダイオードD - 可変抵抗Rの順番で形成されるため、この順番を逆にした場合と比較して製造時に可変抵抗Rに加わる熱負荷を低減することができる。

30

【0043】

ビット線選択回路BSLCは、NMOSトランジスタMNYS0, MNYS1で構成される。トランジスタMNYS0のドレイン電極又はソース電極の何れか一方はビット線BL000に、他方はグローバル・ビット線GBL0に接続される。また、トランジスタMNYS0のゲート電極には、ビット線選択信号BLS00が接続される。トランジスタMNYS1のドレイン電極又はソース電極の何れか一方はビット線BL001に、他方はグローバル・ビット線GBL0に接続される。また、トランジスタMNYS1のゲート電極には、ビット線選択信号BLS01が接続される。

40

【0044】

ビット線駆動回路BDRVは、NMOSトランジスタMNBD0, MNBD1で構成される。トランジスタMNBD0のドレイン電極又はソース電極の何れか一方はビット線BL000に、他方は前述したアレイ電圧給電線VAPL0から分岐したアレイ電圧給電線VAPL00に接続される。また、トランジスタMNBD0のゲート電極には、ビット線選択信号BLS00Bが接続される。トランジスタMNBD1のドレイン電極又はソース電極の何れか一方はビット線BL001に、他方はアレイ電圧給電線VAPL00に接続される。また、トランジスタMNBD1のゲート電極には、ビット線選択信号BLS01

50

Bが接続される。ここで、アレイ電圧給電線VAPL00は、読出し動作において読出し電圧VRD、書換え動作において書換え電圧VWTに駆動される。これらの動作電圧は、ワード線駆動回路WDの給電線(ここでは、アレイ電圧給電線VAPL0)と同じである。よって、アレイ電圧給電線VAPL00とアレイ電圧給電線VAPL0とを接続しても良い。

【0045】

ところで、図3の構成は、前述した図51の構成と異なり、ダイオードDのアノード(P側)がワード線に接続され、カソード(N側)が可変抵抗Rに接続されている。書換え動作において十分大きな電流を印加するためには、相変化材料を用いた可変抵抗には1V程度、ダイオードにはPN接合電圧以上(約1V以上)の電圧を印加する必要があるので、メモリセルにおける電圧降下は約2Vと見込まれる。したがって、ワード線からビット線の方向に電流を流すようにダイオードを挿入した方が、ビット線選択回路BSLCにおけるNMOSトランジスタMNYS0, MNYS0のドレイン及びソースに印加される電圧を抑制することが可能となる。すなわち、図51に示されたNMOSトランジスタMNYS0~MNYSnにおける基板バイアス効果を抑制することが可能となる。また、ゲート-ソース間の電圧の目減りを抑制することが可能となる。よって、図51の場合と比較して、NMOSトランジスタMNYS0, MNYS1の導通抵抗を低減することができ、IRドロップを低減することが可能となる。また、ゲート電圧を抑制することも可能となるので、メモリセルの電気特性によっては昇圧回路が不要となり、チップ面積を削減することもできる。さらに、図46および図47で後述するようなプロセス構造とした場合、ワード線に対してP側の膜を堆積する方が製造が容易となる利点もある。

【0046】

《ワード線駆動回路群の構成》

図3において、ワード線駆動回路群WDBKにおけるワード線駆動回路WD0, WD1の各々は、PMOSトランジスタMP80とNMOSトランジスタMN80とで構成される。ワード線駆動回路WD0に代表されるように、トランジスタMP80のドレイン電極又はソース電極の何れか一方がアレイ電圧給電線(ここでは、VAPL0)に、他方がワード線(ここでは、WL000)に接続される。また、トランジスタMP80のゲート電極には、グローバル・ワード線(ここでは、GWL00B)が接続される。また、トランジスタMN80のドレイン電極又はソース電極の何れか一方が接地電圧給電線(ここでは、VSPL0)に、他方がワード線(ここでは、WL000)に接続される。また、トランジスタMN80のゲート電極には、グローバル・ワード線(ここでは、GWL00B)が接続される。

【0047】

図4は、図1に示したグローバル・ワード線駆動回路群GWDBKの構成の例を示している。グローバル・ワード線駆動回路群GWDBKは、四つのグローバル・ワード線駆動回路GWD0~GWD3で構成される。グローバル・ワード線駆動回路GWD0~GWD3の各々は、Xデコード・アドレス信号DX00~11、電流印加信号XIJTCRG、放電信号DISCRGBに応じて、グローバル・ワード線GWL00B~GWL11Bを駆動する。グローバル・ワード線駆動回路GWD0~GWD3は、グローバル・ワード線駆動回路GWD0を代表例に説明すると、NOR回路NR90、インバータ回路IV90、NAND回路ND90とで構成される。NAND回路ND90の一方の入力端子にはXデコード・アドレス信号DX00が、他方の入力端子には電流印加信号XIJTCRGが夫々入力される。NOR回路NR90の一方の入力端子には、前述のNAND回路ND90の出力信号をインバータ回路IV90で反転した信号が、他方の入力端子には放電信号DISCRGBが夫々入力される。他のグローバル・ワード線駆動回路GWD1~GWD3も同様に、Xデコード・アドレス信号DX01~11と、共通の電流印加信号XIJTCRG及び放電信号DISCRGBとで制御される。

【0048】

図5は、図4に示したグローバル・ワード線駆動回路GWD0~GWD3のうち、グロ

10

20

30

40

50

ーバル・ワード線駆動回路GWD0の動作真理値表を示している。待機状態において、電流印加信号XIJTCRGが接地電圧VSS、放電信号DISCRGBが書換え電圧VWTに駆動されているので、グローバル・ワード線GWL00Bは接地電圧VSSに保持される。よって、図3に示したメモリアル群MTBK00内のワード線駆動回路群WDBKにおけるワード線駆動回路WD0のPMOSTランジスタMP80が導通することにより、ワード線WL000にはアレイ電圧給電線VAPL0と同じ電圧VAが供給される。ここで、VAは書換え電圧VWT、若しくは読出し電圧VRDである。

【0049】

次に、読出し動作或いは書換え動作が開始されると、電流印加信号XIJTCRGが接地電圧VSSに保持された状態で、書換え電圧VWTとなっていた放電信号DISCRGBが接地電圧VSSに駆動されることにより、接地電圧VSSとなっていたグローバル・ワード線GWL00Bが書換え電圧VWTに駆動される。よって、図3に示したメモリアル群MTBK00内のワード線駆動回路群WDBKにおけるワード線駆動回路WD0のNMOSTランジスタMN80が導通することにより、ワード線WL000は接地電圧VSSに放電される。なお、この放電動作はXデコード・アドレス信号DX00~11の電圧に依存せず、グローバル・ワード線駆動回路GWD0~GWD3に共通使用される放電信号DISCRGBによって、全ワード線において強制的に行われる。このような動作によって、メモリアル内の全メモリセルMC00~MC11は、一旦、非選択状態になる。

【0050】

さらに、Xアドレスのデコード動作が完了して、Xデコード・アドレス信号DX00~11の中から選択されたXデコード・アドレス信号DX00が書換え電圧VWTに駆動され、接地電圧VSSとなっていた電流印加信号XIJTCRGがVWTに駆動されると、書換え電圧となっていたグローバル・ワード線GWL00Bは接地電圧VSSに駆動される。よって、図3に示したメモリアル群MTBK00内のワード線駆動回路群WDBKにおけるワード線駆動回路WD0のPMOSTランジスタMP80が導通することにより、ワード線WL000にはアレイ電圧VAが供給される。なお、非選択状態に保持されたXデコード・アドレス信号DX01~11に対応するグローバル・ワード線では、放電状態が継続される。図6は、Xアドレス信号X0, X1とXデコード・アドレス信号DX00~11の関係をまとめたものである。同図では、理解を助けるために、読出し動作或いは書換え動作中におけるグローバル・ビット線GBL00~GBL11とワード線WL000~WL001の電圧も示されている。

【0051】

《ビット線制御回路群の構成》

図7は、図2に示したビット線制御回路群BCBKの構成の例を示している。ビット線制御回路群BCBKは、八つのビット線制御回路BLCTL0~BLCTL7で構成され、Yデコード・アドレス信号DY00~13と電流印加信号YIJTCRGに応じて、ビット線選択信号BLS00~BLS13及びビット線駆動信号BLS00B~BLS13Bを駆動する。ビット線制御回路BLCTL0~BLCTL7の各々は、ビット線制御回路BLCTL0を代表例に説明すると、NAND回路ND120とインバータ回路IV120とで構成される。NAND回路ND120の一方の入力端子にはYデコード・アドレス信号DY00が、他方の入力端子には電流印加信号YIJTCRGが夫々入力される。NAND回路ND120の出力信号をビット線駆動信号BLS00Bとする。また、NAND回路ND120の出力信号をインバータ回路IV120で反転した信号をビット線選択信号BLS00とする。他のビット線選択信号BLS01~BLS13及びビット線駆動信号BLS01B~BLS13Bも同様に、Yデコード・アドレス信号DY01~13と共通の電流印加信号YIJTCRGによって制御される。

【0052】

図8は、Xアドレス信号X1、Yアドレス信号Y0, Y1とYデコード・アドレス信号DY00~13の関係をまとめたものである。同図では、理解を助けるために、選択動作

10

20

30

40

50

中におけるビット線選択信号 $BLS00 \sim BLS13$ の電圧も示されている。八本のビット線選択信号 $BLS00 \sim BLS13$ の中から一本が活性化されるので、前述のグローバル・ワード線群 $GWP0$ によってメモリタイル群 $MTBK00, MTBK01$ の組、または、前述のグローバル・ワード線群 $GWP1$ によってメモリタイル群 $MTBK10, MTBK11$ の組の何れか一方が選択された時に、当該メモリタイル群内のメモリタイルからビット線が一本ずつ選択され、対応するグローバル・ビット線 $GBL0, GBL1$ に夫々接続される。

【0053】

《メモリセルアレイの動作》

以上の構成によるメモリセルアレイの動作を、図9～図12に従い説明する。図9には、図1に示したメモリタイル群 $MTBK00$ 内のメモリタイル $MT0$ におけるメモリセル $MC00$ において書換え動作を行う場合を仮定し、メモリセル $MC00$ に関する制御信号が示されている。以下では、簡単のためにメモリタイル群 $MTBK00$ に注目して、その動作を説明する。

【0054】

まず、待機状態において、放電信号 $DISCRGB$ が書換え電圧 VWT に保持されているので、グローバル・ワード線 $GWL00B, GWL01B$ は接地電圧 VSS に、ワード線 $WL000, WL001$ は書換え電圧 VWT に夫々駆動される。また、ビット線選択信号 $BLS00 \sim BLS03$ が接地電圧 VSS に、ビット線駆動信号 $BLS00B \sim BLS03B$ が書換え電圧 VWT に駆動されることにより、ビット線 $BL000, BL001$ は、書換え電圧 VWT 付近にまで駆動される。

【0055】

図10は、待機状態におけるメモリタイル群 $MTBK00$ の導通状態を示している。同図では簡略化のため、 MOS トランジスタがスイッチ記号で示されている。ワード線 $WL000, WL001$ には、ワード線駆動回路 $WD0, WD1$ 内の $PMOS$ トランジスタ $MP80$ を介して書換え電圧 VWT が供給されている。また、ビット線 $BL000, BL001$ は、ビット線駆動回路 $BDRV$ 内の $NMOS$ トランジスタ $MNBD0, MNBD1$ を介してアレイ電圧給電線 $VAPL00$ に接続される。アレイ電圧給電線 $VAPL00$ はアレイ電圧給電線 $VAPL0$ に接続されており、ビット線 $BL000 \sim BL003$ は書換え電圧 VWT 付近にまで駆動される。よって、メモリタイル $MT0, MT1$ におけるメモリセル $MC00 \sim MC11$ に印加される電圧は、ほぼ $0V$ となる。よって、この時のメモリセルには、電流が殆ど流れない。

【0056】

図9に戻って、次に、書換え動作が開始される。この時、書換え電圧 VWT にあった放電信号 $DISCRGB$ が接地電圧 VSS に駆動されて、接地電圧 VSS にあったグローバル・ワード線 $GWL00B, GWL01B$ が書換え電圧 VWT に駆動される。よって、書換え電圧 VWT にあったワード線 $WL000, WL001$ が接地電圧 VSS に駆動される。

【0057】

図11は、この状態におけるメモリタイル群 $MTBK00$ の導通状態を示している。ワード線 $WL000, WL001$ には、ワード線駆動回路 $WD0, WD1$ 内の $NMOS$ トランジスタ $MN80$ を介して接地電圧 VSS (ここでは $0V$) が供給されている。一方、ビット線 $BL000 \sim BL003$ は、引き続き書換え電圧 VWT 付近にまで駆動される。よって、メモリタイル $MT0, MT1$ におけるメモリセル $MC00 \sim MC11$ に印加される電圧は、およそ $-VWT$ となる。メモリセル内のダイオード D は、逆バイアス状態にあるので極めて微小な電流が流れることになるが、書換え動作に必要な電流に比べれば桁違いに小さな値であるので、記憶情報は保持される。このように、全メモリセル $MC00 \sim MC11$ を一旦、非選択状態にすることで、選択動作における予期しないバイアス状態による誤書込みを回避することができる。すなわち、例えば、レイアウト上の遠近差やノイズ等に伴う電位変動によって非選択メモリセルのダイオード D が意図せずに順バイアス状態

10

20

30

40

50

となるのを防止する。

【 0 0 5 8 】

再び図9に戻って、動作の説明を続ける。アドレス信号のデコードが完了すると、Xデコード・アドレス信号DX00が書換え電圧VWTに駆動される。また、接地電圧VSSであった電流印加信号XIJTCRGが書換え電圧VWTに駆動されると、書換え電圧VWTであったグローバル・ワード線GWL00Bが接地電圧VSSに駆動されることにより、接地電圧VSSであったワード線WL000に書換え電圧VWTが供給される。同様に、Yデコード・アドレス信号DY00が書換え電圧VWTに駆動されるのに続いて、接地電圧VSSであった電流印加信号YIJTCRGが書換え電圧VWTに駆動される。すると、書換え電圧VWTにあったビット線駆動信号BLS00Bが接地電圧VSS、接地電圧VSSにあったビット線選択信号BLS00が書換え電圧VWTに駆動される。

10

【 0 0 5 9 】

図12は、この状態におけるメモリタイル群MTBK00の導通状態を示している。ワード線WL000には、ワード線駆動回路WD0内のPMOSトランジスタMP80を介して書換え電圧VWTが供給されている。また、ビット線駆動回路BDRV内のNMOSトランジスタMNBD0がカットオフ状態になることにより、ビット線BL000とアレイ電圧給電線VAPL00との接続が遮断される。一方で、ビット線駆動回路BSLC内のNMOSトランジスタMNY50が導通状態になることにより、ビット線BL000は、グローバル・ビット線GBL0と接続され、書換え電流駆動回路WCDを介して接地電圧VSS付近に駆動される。よって、メモリタイルMT0内のメモリセルMC00に、書換え電圧VWTにほぼ等しい電圧が印加される。この時、メモリセルMC00に印加される電流IMC00は、書換え電流駆動回路WCDによって制御される。すなわち、可変抵抗Rを高抵抗状態に書換える場合は、図9に示すように、リセット電流IRSTが短時間印加される。反対に、可変抵抗Rを低抵抗状態に書換える場合は、リセット電流IRSTよりも小さなセット電流ISETが長時間印加される。

20

【 0 0 6 0 】

なお、ビット線BL001には、ビット線駆動回路BDRV内のNMOSトランジスタMNBD1からアレイ電圧給電線VAPL00を介して書換え電圧VWTが供給されているので、選択されたワード線WL000上のメモリセルMC01に印加される電圧は、0Vにほぼ等しい。よって、メモリセルMC01に流れる電流は無視できる値であるので、メモリセルMC01に記憶された情報は保持される。さらに、ワード線WL001がワード線駆動回路WD1内のMNOSトランジスタMN80を介して接地電圧給電線VSPLO接続されているので、選択されたビット線BL000上のメモリセルMC10に印加される電圧は0Vにほぼ等しい。よって、メモリセルMC10に流れる電流も無視できる値であり、メモリセルMC10に記憶された情報は保持される。なお、メモリタイルMT1内のメモリセルMC00, MC01に印加される電圧も、ビット線BL002, ビット線BL003には、ビット線駆動回路BDRVからアレイ電圧給電線VAPL01及びVAPL0を介して書換え電圧VWTが供給されているので、メモリタイルMT0内のメモリセルMC01と同様に0Vにほぼ等しい。

30

【 0 0 6 1 】

書換え電流の印加を終えると、書換え電圧VWTであった電流印加信号XIJTCRGが接地電圧VSSに駆動されることにより、接地電圧VSSであったグローバル・ワード線GWL00Bが書換え電圧VWTに駆動される。また、書換え電圧VWTであった電流印加信号YIJTCRGが接地電圧VSSに駆動されることにより、書換え電圧VWTであったビット線選択信号BLS00が接地電圧VSSに、接地電圧VSSであったビット線駆動信号BLS00Bが書換え電圧VWTに夫々駆動される。よって、図11に示したように、全メモリセルが再び非選択状態になる。

40

【 0 0 6 2 】

最後に、接地電圧VSSであった放電信号DISCRGBが書換え電圧VWTに駆動されることにより、書換え電圧VWTであったグローバル・ワード線GWL00B, GWL

50

01Bが接地電圧VSSに夫々駆動される。よって、接地電圧VSSであったワード線WL000, WL001が書換え電圧VWTに夫々駆動されて、図10に示した待機状態に戻る。

【0063】

以上では、簡単のためにメモリタイル群MTBK00に注目して、その動作を説明してきた。しかし、グローバル・ワード線GWL00B, GWL01Bやビット線選択信号BLS00~BLS03、ビット線駆動信号BLS00B~BLS03Bにより、メモリタイル群MTBK00と共に制御され、同時に活性化することが可能なメモリタイル群MTBK01においても、そのメモリタイルMT0内のメモリセルMC00に対して同時に書換え動作が行われることは、容易に理解できる。

10

【0064】

また、これまでは、書換え動作について説明してきたが、読出し動作においても同様の手順で選択動作が行われる。読出し動作の場合は、図10~図12に示したアレイ電圧給電線VAPL0, VAPL00, VAPL01の電圧を図1に記載のアレイ電圧選択回路VSLC0を用いて読出し電圧VRDに切り替えて、選択ワード線WL000に供給する電圧を読出し電圧VRDとする。また、図12において、書換え電流駆動回路WCDの代わりに図1に示したセンスアンプSAをグローバル・ビット線GBL0に接続する。さらに、図9に示した制御信号の駆動時間を適宜調整することにより、記憶情報すなわちメモリセル内の可変抵抗Rの値に応じた電流の検出動作が可能となる。

【0065】

《本実施の形態による効果》

最後に、これまで述べてきた構成と動作から得られる主要な五つの効果をまとめる。第一の効果として、各アクセスサイクルにおいて、一つのワード線駆動回路(例えば図12のWD0)が一つのメモリセル(例えば図12のMT0内のMC00)のみに電流を供給する構成とすることで、例えば複数のメモリセルに電流を供給するような構成と比べて、IRドロップの低減が実現可能となる。これにより、高精度な書換え並びに読み出し動作が行え、信頼性の向上が得られる。

20

【0066】

第二の効果として、一つのワード線駆動回路(例えばWD0)が二つのメモリタイル(例えばMT0, MT1)で共有されているため、高集積化(大容量化)が実現可能になる。すなわち、仮に、ワード線駆動回路を共有させずに、第一の効果で述べたような、ワード線駆動回路とメモリセルを1対1で対応させるような構成とすると、ワード線駆動回路の数が増大し、メモリセルアレイの面積が増大する虞がある。メモリセルアレイの面積は、相対的にワード線駆動回路群WDBKの面積に大きく依存することが予想されるため、共有構成とすることでワード線駆動回路群WDBKの面積を削減でき、大容量化に対応できる。

30

【0067】

第三の効果として、各メモリタイルMTが、小規模のメモリセルMCで構成されると共に対応する一本のグローバル・ビット線GBLに接続され、このメモリタイルMTが、グローバル・ワード線GWLが延伸する方向に複数配置されることで、同時に活性化されるメモリセル数(同時アクセス可能なグローバル・ビット線GBLの数)を維持することができる。これによって、半導体装置の高速化に対応可能になる。なお、第二の効果と関連して、高集積化を図るためにワード線側ではなくビット線側を共有するという考え方もあるが、この場合、同時アクセスの数が減り、高速化が図れない虞がある。また、各メモリタイルMTを小規模のメモリセルMCで構成すると、前述した高速化と共に、ワード線駆動回路に接続される負荷も低減でき、これによるIRドロップの改善効果も得られる。

40

【0068】

第四の効果として、アレイ電圧給電線VAPLへの電流の集中を回避し、配線における電圧降下(IRドロップ)やエレクトロ・マイグレーションの抑制が可能となる。この効果は、アレイ電圧給電線(例えば、アレイ電圧給電線VAPL0)が、グローバル・ビッ

50

ト線と並行するように配線され、このグローバル・ビット線の延伸方向に配置される複数のメモリアル群（例えば、MTBK00, MTBK10）内のワード線駆動回路群WDBKに給電を行うことで実現される。前述の1対1対応のメモリセル選択動作とこの配線方式によって、アレイ電圧給電線に流れる電流を選択されたメモリセル一個分の書換え電流または読出し電流に抑制することが可能となる。第五の効果として、前述したように、図51の構成と比較してダイオードDの向きを変更したことにより、IRドロップの低減等が可能となる。

【0069】

なお、これまでの説明では、グローバル・ビット線の延伸方向に隣接する二つのメモリアル群が、一つのワード線駆動回路を共有する構成が示されていたが、共有の仕方に対する制限は特にない。例えば、四つのメモリアル群にて、ワード線駆動回路を共有することも可能である。この場合は、チップ全体で見たワード線駆動回路の面積を、さらに1/4にまで削減することができる。また、本実施の形態では、各メモリアル群内にビット線駆動回路BDRVを設け、これによって、図11に示したダイオードDの逆バイアス状態や図12に示したメモリセルMC01等の0V状態を作り出したが、場合によっては、このビット線駆動回路BDRVを削減することも可能である。この場合、非選択のメモリセルに接続されるビット線はフローティング状態になるため、ワード線からグローバル・ビット線に至る電流経路は形成されず、理想的には非選択メモリセルに電流は殆ど流れない。また、選択メモリセルに接続されるビット線と同じビット線に接続されるメモリセル（例えば図12のMT0のMC10）も0V状態を維持できる。ただし、現実的にはフローティング状態が頻繁に生じると信頼性の低下が懸念されるため、信頼性を向上させるためにはビット線駆動回路BDRVを設ける方が望ましい。

【0070】

（実施の形態2）

本実施の形態2では、メモリセルアレイ構成の別の例を説明する。図13は、本発明の実施の形態2による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。このメモリセルアレイ構成の特徴は、メモリアル群MTの規模が図2に示したメモリアル群よりも大きくなり、4行×4列のメモリセルMC00～MC33を有する点にある。これに応じて、ビット線選択回路BSLCとビット線駆動回路BDRVの数が倍増されている。また、ワード線駆動回路群WDBKに含まれるワード線駆動回路WDの数も倍増されている。これらの相違点に注目しながら、本実施の形態について説明する。

【0071】

《メモリセルアレイの構成》

図13では、説明を簡単にするために、4個のメモリアル群MTBK00～MTBK11が示されている。これら4個のメモリアル群MTBK00～MTBK11は、二つのグローバル・ワード線群GWP0, GWP1と二つのグローバル・ビット線群GBP0, GBP1との交点に、2行×2列の行列を形成するように配置される。メモリアル群MTBK00～MTBK11の各々は、二つのメモリアル群MT0, MT1と一つのワード線駆動回路群WDBKとで構成される。二つのメモリアル群MT0, MT1の各々は、前述のように16個のメモリセルMC00～MC33を夫々有する。例えば、メモリアル群MTBK00に代表されるように、メモリアル群MT0内のメモリセルMC00～MC33は、四本のワード線WL000～WL003と四本のビット線BL000～BL003との各交点に配置される。また、メモリアル群MT1内のメモリセルMC00～MC33は、四本のワード線WL000～WL003と四本のビット線BL004～BL007との各交点に配置される。メモリセルMC00～MC33の各々は、図3で述べたように、ワード線-ダイオード-可変抵抗-ビット線の順に接続されている。

【0072】

メモリアル群MT0, MT1の各々は、メモリセルMC00～MC33の両端に配置されたビット線選択回路BSLC0, BSLC1とビット線駆動回路BDRV0, BDRV1を有する。例えば、メモリアル群MTBK00内のメモリアル群MT0の場合、ピッ

ト線選択回路BSLC0はビット線BL000, BL001を制御し、ビット線選択回路BSLC1はビット線BL002, BL003を制御する。これらのビット線選択回路BSLC0, BSLC1は、共通のビット線選択信号BLS00, BLS01により、夫々制御される。また、ビット線駆動回路BDRV0はビット線BL000, BL001を制御し、ビット線駆動回路BDRV1はビット線BL002, BL003を制御する。これらのビット線駆動回路BDRV0, BDRV1は、共通のビット線駆動信号BLS00B, BLS01Bにより、夫々制御される。

【0073】

同様に、メモリタイル群MTBK00内のメモリタイルMT1においては、ビット線選択回路BSLC0はビット線BL004, BL005を制御し、ビット線選択回路BSLC1はビット線BL006, BL007を制御する。これらのビット線選択回路BSLC0, BSLC1は、共通のビット線選択信号BLS02, BLS03により、夫々制御される。また、ビット線駆動回路BDRV0はビット線BL004, BL005を制御し、ビット線駆動回路BDRV1はビット線BL006, BL007を制御する。これらのビット線駆動回路BDRV0, BDRV1は、共通のビット線駆動信号BLS02B, BLS03Bにより、夫々制御される。以上で説明したビット線選択信号BLS00~BLS03及びビット線駆動信号BLS00B~BLS03Bの電圧の夫々は、ビット線制御回路群BCBKにて制御される。

【0074】

ワード線駆動回路群WDBKは、メモリタイルMT0とMT1とが共有できるように、メモリタイルMT0とMT1の隣に配置される。ワード線駆動回路群WDBKは、四つのワード線駆動回路WD0~WD3を有する。これらワード線駆動回路WD0~WD3は、グローバル・ワード線群GWP0の電圧に応じてワード線WL000~WL003を夫々駆動する。ここで、グローバル・ワード線群GWP0は、グローバル・ワード線GWL00B~GWL03Bで構成され、ワード線駆動回路WD0~WD3は、GWL00B~GWL03Bの電圧に応じてワード線WL000~WL003を夫々駆動する。なお、グローバル・ワード線群GWP1も同様に、グローバル・ワード線GWL10B~GWL13Bで構成される。これらグローバル・ワード線群GWP0, GWP1は、グローバル・ワード線駆動回路群GWDBKによって制御される。

【0075】

ワード線WL000~WL003の夫々は、メモリタイルMT0とMT1の領域を、グローバル・ワード線群GWP0と並行するように延伸する。また、メモリタイルMT0とMT1の領域内を通過するワード線と直交するような配線(ワード線)が設けられる。このような配線構造により、メモリタイルMT0とMT1の双方のワード線に同じ電圧を給電することが可能となる。なお、同図では、簡単のためにアレイ電圧給電線が省略されているが、図1と同様に、グローバル・ビット線と並行に設けられる。

【0076】

グローバル・ビット線群GBP0, GBP1の夫々には、読書き回路RWU0, RWU1が配置される。読書き回路RWU0, RWU1内の読書き選択回路RWUSLCは、グローバル・ビット線駆動信号群DEBS、読出し起動信号群REBSと書換え起動信号群WEBSにて制御される。これらの信号群は、読書き制御回路RWUCによって生成される。これらの信号群の電圧レベルに応じて、グローバル・ビット線群GBP0, GBP1に、センスアンプSA、書換え電流駆動回路WCD、アレイ電圧VAが適直接続される。

【0077】

《メモリタイルの具体的な構成》

図14は、図13に示したメモリセルアレイにおける、メモリタイルとワード線駆動回路群の具体的な構成の例を示している。同図では、代表例として、メモリタイル群MTBK00におけるメモリタイルMT0, MT1とワード線駆動回路群WDBKが示されている。メモリセルMC00~MC33の各々は、ダイオードDと可変抵抗Rが、図3の場合と同様に、ワード線-ダイオードD-可変抵抗R-ビット線の順に接続された構成となっ

10

20

30

40

50

ている。

【 0 0 7 8 】

メモリアルMT0内のビット線選択回路BSLC0, BSLC1のそれぞれは、図3に示したビット線選択回路BSLCと同様にNMOSTランジスタMNY S0, MNY S1で構成される。ビット線選択回路BSLC0, BSLC1におけるランジスタMNY S0のゲート電極には、共通でビット線選択信号BLS00が接続される。ビット線選択回路BSLC0, BSLC1におけるランジスタMNY S1のゲート電極には、共通でビット線選択信号BLS01が接続される。

【 0 0 7 9 】

メモリアルMT0内のビット線駆動回路BDRV0, BDRV1のそれぞれも、図3に示したビット線駆動回路BDRVと同様に、NMOSTランジスタMNB D0, MNB D1で構成される。ビット線駆動回路BDRV0, BDRV1におけるランジスタMNB D0のゲート電極には、共通でビット線駆動信号BLS00Bが接続される。ビット線駆動回路BDRV0, BDRV1におけるランジスタMNB D1のゲート電極には、共通でビット線駆動信号BLS01Bが接続される。

10

【 0 0 8 0 】

図15は、図13に示したビット線制御回路群BCBKに入力されるXアドレス信号X2およびYアドレス信号Y0, Y1と、ビット線選択信号BLS00~BLS13との関係をまとめた真理値表である。八本のビット線選択信号BLS00~BLS13の中から一本が選択的に活性化されるので、メモリアル群MTBK00, MTBK01の組、またはメモリアル群MTBK10, MTBK11の組の何れか一方が選択される。また、各メモリアル群からは、二本のビット線が選択されて、対応するグローバル・ビット線群に接続される。

20

【 0 0 8 1 】

《ワード線駆動回路群の構成》

ワード線駆動回路群WDBKにおけるワード線駆動回路WD0~WD3の各々は、図14に示すようにPMOSTランジスタMP80とNMOSTランジスタMN80とで構成される。ワード線駆動回路WD0~WD3の各々は、グローバル・ワード線群GWP0の構成要素であるグローバル・ワード線GWL00B~GWL03Bの電圧に応じて、ワード線WL000~WL003を駆動する。

30

【 0 0 8 2 】

図16は、図13に示したグローバル・ワード線駆動回路GWDBKに入力されるXアドレス信号X0, X1, X2と、グローバル・ワード線GWL00B~GWL03B, GWL10B~GWL13Bおよびワード線WL000~WL003, WL100~WL103の関係をまとめた真理値表である。なお、ワード線WL100~WL103は、図示はしないが、メモリアル群MTBK10内のワード線駆動回路群WDBKに接続されている。ワード線WL000~WL003, WL100~WL103の高電圧の値は、書換え動作における選択状態を仮定して、書換え電圧VWTとしている。図13のメモリアルレイでは、Xアドレス信号X0, X1, X2を用いて、八本のワード線WL000~WL003, WL100~WL103からの任意の一本が選択的に活性化される。

40

【 0 0 8 3 】

《読書き回路の構成》

読書き回路、特に読書き選択回路RWUSLCは読書き回路RWU0を代表例にすると、図14に示すように六つのNMOSTランジスタMN1900, MN1901, MN1910, MN1911, MN1920, MN1921で構成される。ランジスタMN1900, MN1901は、グローバル・ビット線群GBP0とアレイ電圧給電線VAPLとの接続を制御するランジスタである。アレイ電圧給電線VAPLには、動作に応じて読出し電圧VRD或いは書換え電圧VWTが供給される。ランジスタMN1900のドレイン電極又はソース電極の何れか一方がグローバル・ビット線群GBP0の構成要素であるグローバル・ビット線GBL00に、他方がアレイ電圧給電線VAPLに接続される

50

。また、トランジスタMN1900のゲート電極には、グローバル・ビット線駆動信号群DEBSの構成要素であるグローバル・ビット線駆動信号DE0が接続される。同様に、トランジスタMN1901のドレイン電極又はソース電極の何れか一方がグローバル・ビット線群GBP0の構成要素であるグローバル・ビット線GBL01に、他方がアレイ電圧給電線VAPLに接続される。また、トランジスタMN1901のゲート電極には、グローバル・ビット線駆動信号群DEBSの構成要素であるグローバル・ビット線駆動信号DE1が接続される。

【0084】

トランジスタMN1910, MN1911は、グローバル・ビット線群GBP0とセンスアンプSAとの接続を制御するトランジスタである。トランジスタMN1910のドレイン電極又はソース電極の何れか一方がグローバル・ビット線GBL00に、他方がセンスアンプSAに接続される。また、トランジスタMN1910のゲート電極には、読出し信号群REBSの構成要素である読出し起動信号RE0が接続される。同様に、トランジスタMN1911のドレイン電極又はソース電極の何れか一方がグローバル・ビット線GBL01に、他方がセンスアンプSAに接続される。また、トランジスタMN1911のゲート電極には、読出し起動信号群REBSの構成要素である読出し起動信号RE1が接続される。

10

【0085】

トランジスタMN1920, MN1921は、グローバル・ビット線群GBP0と書換え電流駆動回路WCDとの接続を制御するトランジスタである。トランジスタMN1920のドレイン電極又はソース電極の何れか一方がグローバル・ビット線GBL00に、他方が書換え電流駆動回路WCDに接続される。また、トランジスタMN1920のゲート電極には、書換え起動信号群WEBSの構成要素である書換え起動信号WE0が接続される。同様に、トランジスタMN1921のドレイン電極又はソース電極の何れか一方がグローバル・ビット線GBL01に、他方が書換え電流駆動回路WCDに接続される。また、トランジスタMN1921のゲート電極には、書換え起動信号群WEBSの構成要素である書換え起動信号WE1が接続される。

20

【0086】

図17は、図13に示した読書き制御回路RWUCに入力される読出し起動信号RE、書換え起動信号WE、およびYアドレス信号Y1と、グローバル・ビット線駆動信号群DEBS、読出し起動信号群REBS、および書換え起動信号群WEBSとの関係をまとめた真理値表である。待機状態において、グローバル・ビット線駆動信号群DEBSは書換え電圧VWTに保持される。また、読出し起動信号群REBS及び書換え起動信号群WEBSは接地電圧VSSに保持される。よって、トランジスタMN1900, MN1901のみが導通することにより、グローバル・ビット線群GBP0, GBP1がアレイ電圧VA(読出し電圧VRDまたは書換え電圧VWT)に駆動される。

30

【0087】

書換え動作においては、書換え起動信号WEが論理値“1”となることにより、YアドレスY1に応じて、グローバル・ビット線駆動信号DE0, DE1の一方が接地電圧VSS、書換え起動信号WE0, WE1の一方が書換え電圧VWTに夫々駆動される。よって、トランジスタMN1900, MN1901の何れか一方がカットオフ状態、トランジスタMN1910, MN1911の何れか一方が導通状態となる。よって、グローバル・ビット線群GBP0, GBP1の各々において、何れか一方のグローバル・ビット線が書換え電流駆動回路WCDに接続される。このような制御により、図14及び図15の説明で述べたように、任意のメモリアル群から選択されてグローバル・ビット線群に接続された任意の二本のビット線のうち、一方のビット線には待機状態と同じアレイ電圧VA(ここでは書換え電圧VWT)を供給し、他方のビット線を書換え電流駆動回路WCDに接続することが可能となる。

40

【0088】

同様に、読出し動作においては、読出し起動信号REが論理値“1”となることにより

50

、YアドレスY1に応じて、グローバル・ビット線駆動信号の一方が接地電圧VSS、読出し起動信号の一方が書換え電圧VWTとなる。よって、トランジスタMN1900、MN1901の何れか一方がカットオフ状態、トランジスタMN1920、MN1921の何れか一方が導通状態となる。よって、グローバル・ビット線群GBP0、GBP1の各々において、何れか一方のグローバル・ビット線がセンスアンプSAに接続される。このような制御により、図14及び図15の説明で述べたように、任意のメモリタイル群から選択されてグローバル・ビット線群に接続された任意の二本のビット線のうち、一方のビット線には待機状態と同じアレイ電圧VA（ここでは読出し電圧VRD）を供給し、他方のビット線をセンスアンプSAに接続することが可能となる。

【0089】

以上のように、ビット線の選択機能をメモリタイル内のビット線選択回路BSLCと読書き回路RWU内の読書き選択回路RWUSLCに分散させることにより、メモリタイル内のビット線選択回路BSLC（ならびにビット線駆動回路BDRV）を制御するための信号（すなわち、ビット線選択信号やビット線駆動信号）の数を抑制することが可能となる。配線数が抑制されることにより、配置されるトランジスタの密度が向上し、ビット線選択回路BSLC（ならびにビット線駆動回路BDRV）の面積を削減することが可能となる。

【0090】

より具体的には、図13における1つのメモリタイル群MTBKを4行×8列構成のメモリセルアレイとみなすと、八本のビット線から一本を選択する際には、通常は八個のトランジスタ（ここでは、ビット線選択回路BSLC0、BSLC1内に含まれる計八個のNMOSTランジスタ）を個別に制御するために八本の選択信号が必要である。なお、ここでは、説明を簡単にするためビット線駆動回路BDRVの駆動信号は考慮しない。しかし、図13の構成例では、例えば、ビット線選択回路BSLC0、BSLC1内の各トランジスタMNY50がビット線選択信号BLS00を共有するように、二つのトランジスタがビット線選択信号を共有して、一旦、二本のビット線（ここでは、ビット線BL000、BL002）を選択する。次いで、二本の選択ビット線にそれぞれ対応する二本のグローバル・ビット線（ここでは、グローバル・ビット線GBL00、GBL01）を、読書き選択回路RWUSLCにて選択的にアレイ電圧給電線、センスアンプ、書換え電流駆動回路に接続する。

【0091】

このような制御方式により、図13に示したように、各メモリタイル群MTBKの中には四本の選択信号（ビット線選択信号BLS00～BLS01）を設ければよく、各メモリタイルMTに着目すると、選択信号の配線を二本設ければよい。このように各メモリタイルMT毎の選択信号の配線数が削減されることにより、配置されるトランジスタの密度が向上する。さらに、選択機能の一部を読書き選択回路RWUSLCに担わせることで、前述した配線数の削減に加えて、各メモリタイルMTにおける、ビット線選択に伴うトランジスタ数の増加も抑制されるため、ビット線選択回路BSLC（同様にビット線駆動回路BDRV）の面積を削減することができる。これらによって、高集積化が実現可能となる。

【0092】

《メモリセルアレイの動作》

以上の構成によるメモリセルアレイの動作を、図18～図24に従い説明する。図18には、図13に示したメモリタイル群MTBK00内のメモリタイルMT0におけるメモリセルMC00において書換え動作を行う場合を仮定し、メモリセルMC00に関する制御信号が示されている。以下では、簡単のためにメモリタイル群MTBK00に注目して、図9との相違点を中心に動作を説明する。

【0093】

まず、待機状態において、放電信号DISCRGBが書換え電圧VWTに保持されているので、グローバル・ワード線GWL00B～GWL03Bは接地電圧VSSに、ワード

10

20

30

40

50

線WL000～WL003は書換え電圧VWTに夫々駆動される。また、ビット線選択信号BLS00～BLS03が接地電圧VSSに、ビット線駆動信号BLS00B～BLS03Bが書換え電圧VWTに駆動されることにより、ビット線BL000～BL007は、書換え電圧VWT付近にまで駆動される。よって、図19と図20に示すように、メモリタイル群MTBK00内のメモリタイルMT0, MT1におけるメモリセルMC00～MC33に印加される電圧は、ほぼ0Vとなる。この時、メモリセルには、電流が殆ど流れない。

【0094】

図18に戻って、次に、書換え動作が開始される。始めに、図9と同様に書換え電圧VWTにあった放電信号DISCRGBが接地電圧VSSに駆動されることにより、書換え電圧VWTにあったワード線WL000～WL003が接地電圧VSSに駆動される。よって、図21、図22に示すように、メモリタイルMT0, MT1内の全メモリセルMC00～MC33が一旦、非選択状態になる。

10

【0095】

再び図18に戻って、動作の説明を続ける。アドレス信号のデコードが完了すると、接地電圧VSSであったワード線WL000に書換え電圧VWTが供給される。また、接地電圧VSSにあったビット線選択信号BLS00が書換え電圧VWTに駆動される。さらに、接地電圧VSSにあった書換え起動信号WE(図13の読書き制御回路RWUCへの入力)が書換え電圧VWTに駆動されることにより、書換え電圧VWTにあったグローバル・ビット線駆動信号DE0が接地電圧VSSに、接地電圧VSSにあった書換え起動信号WE0が書換え電圧VWTに夫々駆動される。

20

【0096】

図23と図24は、この状態におけるメモリタイル群MTBK00内のメモリタイルMT0, MT1の導通状態を示している。ワード線WL000には、ワード線駆動回路WD0内のPMOSTランジスタMP80を介して書換え電圧VWTが供給されている。また、メモリタイルMT0内のビット線駆動回路BDRV0, BDRV1内のNMOSTランジスタMNB0が夫々カットオフ状態になることにより、ビット線BL000, BL002とアレイ電圧給電線VAPL00との接続が遮断される。一方で、メモリタイルMT0内のビット線駆動回路BSLC0, BSLC1内のNMOSTランジスタMNY50が夫々導通状態になることにより、ビット線BL000, BL002は、グローバル・ビット線GBL00, GBL01と夫々接続される。このうち、ビット線BL000は、NMOSTランジスタMN1920から書換え電流駆動回路WCDを介して接地電圧VSS付近に駆動される。よって、メモリタイルMT0内のメモリセルMC00に、書換え電圧VWTにほぼ等しい電圧が印加される。また、ビット線BL002は、NMOSTランジスタMN1901からアレイ電圧給電線VAPLを介して書換え電圧VWT付近に駆動される。よって、メモリタイルMT0内のメモリセルMC02には、0Vにほぼ等しい電圧が印加される。すなわち、メモリセルMC02は非選択状態となる。

30

【0097】

書換え電流の印加を終えると、書換え電圧VWTであった電流印加信号XIJTCRGが接地電圧VSSに、書換え電圧VWTであった電流印加信号YIJTCRGが接地電圧VSSに、書換え電圧VWTであった書換え起動信号WEが接地電圧VSSに夫々駆動される。よって、図21と図22に示したように、全メモリセルが再び非選択状態になる。さらに、接地電圧VSSであった放電信号DISCRGBが書換え電圧VWTに駆動されることにより、図19と図20に示した待機状態に戻る。

40

【0098】

以上では、簡単のためにメモリタイル群MTBK00内に注目して、その動作を説明してきた。グローバル・ワード線GWL00B～GWL03Bや、ビット線選択信号BLS00～BLS03およびビット線駆動信号BLS00B～BLS03Bにより、メモリタイル群MTBK00と共に制御されるメモリタイル群MTBK01においても、メモリタイルMT0内のメモリセルMC00に同様の書換え動作が行われることは、容易に理解で

50

きる。

【0099】

また、これまでは、書換え動作について説明してきたが、読出し動作においても同様の手順で選択動作が行われる。読出し動作の場合は、図19～図24に示したアレイ電圧給電線VAPL0、VAPL00、VAPL01の電圧を、図1に記載したのと同様のアレイ電圧選択回路VSLC0を用いて読出し電圧VRDに切り替え、選択ワード線WL000に供給する電圧を読出し電圧VRDとする。また、図23において、書換え電流駆動回路WCDの代わりにセンスアンプSAをグローバル・ビット線GBL00に接続する。さらに、図18に示した制御信号の駆動時間を適宜調整することにより、記憶情報すなわちメモリセル内の可変抵抗の値に応じた電流の検出動作が可能となる。

10

【0100】

《本実施の形態による効果》

最後に、これまで述べてきた構成と動作から得られる効果をまとめる。本実施の形態2の半導体装置を用いると、実施の形態1で述べた各種効果に加えて、次のような効果が得られる。すなわち、ビット線の選択機能をメモリタイル内のビット線選択回路BSLCと読書き回路内の読書き選択回路RWUSLCに分散させることにより、メモリタイル内でビット線を選択するための各種制御信号(ここでは、ビット線選択信号、ビット線駆動信号)の数を抑制することが可能になる。配線数が削減されることにより、配置されるトランジスタの密度が向上し、ビット線選択回路BSLC(ビット線駆動回路BDRV)の面積を削減することが可能となる。よって、高集積のメモリセルアレイを実現することができる。

20

【0101】

なお、これまでの説明では、グローバル・ビット線方向に隣接する二つのメモリタイルが、一つのワード線駆動回路を共有する構成が示されていたが、共有の仕方に対する制限は特にはない。例えば、四つのメモリタイルにて、ワード線駆動回路を共有することも可能である。この場合は、チップ全体で見たワード線駆動回路の面積を、さらに1/4にまで削減することができる。また、説明を簡単にするために、4行×8列のメモリセルを有するメモリタイル構成について説明してきたが、メモリセル数に関する制限は特にはない。例えば、メモリタイル構成が4行×16列に倍増された場合においても、ビット線選択回路等の数を倍増することによって、同様の選択動作を行うことが可能である。

30

【0102】

(実施の形態3)

本実施の形態3では、メモリセルアレイ構成のさらに別の例を説明する。図25は、本発明の実施の形態3による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。このメモリセルアレイ構成の特徴は、二つのメモリセルが同軸上に積み重ねられた、所謂積層型のメモリセルアレイ構成を用いている点にある。例えば、メモリタイル群MTBK00内のメモリタイルMT0において、メモリセルMC00U、MC00Lは同軸上に積み重ねられたメモリセル対である。ここで、メモリセルMC00Uが上層、メモリセルMC00Lが下層に形成されている。添え字“U”は上層、添え字“L”は下層を示す記号である。同様に、メモリセルMC01U、MC01Lがメモリセル対を成す。また、メモリセルMC10U、MC10Lがメモリセル対を成す。さらに、メモリセルMC11U、MC11Lがメモリセル対を成す。したがって、このメモリタイルは、一層当たり2行×2列のメモリセルが二つ積み重ねられた構成である。これに応じて、メモリタイルには、層選択機能が追加されている。これらの相違点に注目しながら、本実施の形態について説明する。

40

【0103】

《メモリセルアレイの構成》

図25では、説明を簡単にするために、4個のメモリタイル群MTBK00～MTBK11が示されている。これら4個のメモリタイル群MTBK00～MTBK11は、二つのグローバル・ワード線群GWP0、GWP1と二本のグローバル・ビット線GBL0、

50

GBL1との交点に、2行×2列の行列を形成するように配置される。メモリアル群MTBK00~MTBK11の各々は、二つのメモリアルMT0, MT1と一つのワード線駆動回路群WDBKとで構成される。二つのメモリアルMT0, MT1の各々は、前述のように八個のメモリアルMC00U~MC11U, MC00L~MC11Lを夫々有する。

【0104】

例えば、メモリアル群MTBK00に代表されるように、メモリアルMT0内のメモリアルMC00U~MC11Uは、二本のワード線WL000, WL001と二本のローカル・ビット線LBL000U, LBL001Uとの各交点に配置される。また、メモリアルMC00L~MC11Lは、二本のワード線WL000, WL001と二本のローカル・ビット線LBL000L, LBL001Lとの各交点に配置される。よって、例えばメモリアル対MC00U, MC00Lのように、同軸上に積み重ねられたメモリアル対のワード線(ここでは、ワード線WL000)は共通である。同様に、メモリアルMT1内のメモリアルMC00U~MC11Uは、二本のワード線WL000, WL001と二本のローカル・ビット線LBL002U, LBL003Uとの各交点に配置される。また、メモリアルMC00L~MC11Lは、二本のワード線WL000, WL001と二本のローカル・ビット線LBL002L, LBL003Lとの各交点に配置される。

【0105】

メモリアルMT0, MT1の各々は、メモリアルMC00U~MC11U, MC00L~MC11Lの両端に配置されたローカル・ビット線選択回路LSLC0, LSLC1、ビット線選択回路BSLC、およびローカル・ビット線駆動回路LDRV0, LDRV1を有する。例えば、メモリアル群MTBK00内のメモリアルMT0の場合、ローカル・ビット線選択回路LSLC0はローカル・ビット線LBL000UとLBL000Lの一方を選択し、ローカル・ビット線選択回路LSLC1はローカル・ビット線LBL001UとLBL001Lの一方を選択する。また、ビット線選択回路BSLCは、ローカル・ビット線選択回路LSLC0の出力信号であるビット線BL000と、ローカル・ビット線選択回路LSLC1の出力信号であるビット線BL001の何れか一方を選択する。

【0106】

同様に、メモリアル群MTBK00内のメモリアルMT1においては、ローカル・ビット線選択回路LSLC0はローカル・ビット線LBL002UとLBL002Lの一方を選択し、ローカル・ビット線選択回路LSLC1はローカル・ビット線LBL003UとLBL003Lの一方を選択する。また、ビット線選択回路BSLCは、ローカル・ビット線選択回路LSLC0の出力信号であるビット線BL002と、ローカル・ビット線選択回路LSLC1の出力信号であるビット線BL003の何れか一方を選択する。

【0107】

ワード線駆動回路群WDBKは、図3と同様に、メモリアルMT0とMT1とが共有できるように、メモリアルMT0とMT1の隣に配置される。ワード線駆動回路群WDBKは、二つのワード線駆動回路WD0, WD1を有する。これらワード線駆動回路WD0, WD1は、グローバル・ワード線群GWP0の電圧に応じてワード線WL000, WL001を夫々駆動する。ここで、グローバル・ワード線群GWP0は、グローバル・ワード線GWL00B, GWL01Bで構成される。よって、ワード線駆動回路WD0, WD1は、グローバル・ワード線GWL00B, GWL01Bの電圧に応じてワード線WL000, WL001を夫々駆動する。なお、グローバル・ワード線群GWP1も同様に、グローバル・ワード線GWL10B, GWL11Bで構成される。これらグローバル・ワード線群GWP0, GWP1は、グローバル・ワード線駆動回路群GWDBKによって制御される。

【0108】

ワード線WL000, WL001の夫々は、メモリアルMT0とMT1の領域を、グローバル・ワード線群GWP0と並行するように延伸する。また、メモリアルMT0と

10

20

30

40

50

MT1の領域内を通過するワード線と直交するような配線(ワード線)が設けられる。このような配線構造により、メモリタイルMT0とMT1の双方のワード線に同じ電圧を給電することが可能となる。なお、同図では、簡単のためにアレイ電圧給電線が省略されているが、図1と同様に、グローバル・ビット線と並行に設けられる。

【0109】

グローバル・ビット線GBL0, GBL1の夫々には、図1に示したのと同じように、読書き回路RW0, RW1が配置される。これら読書き回路RW0, RW1の各々は、センスアンプSA、書換え電流駆動回路WCD、および読書き選択回路RWSLCで構成される。センスアンプSAは、メモリタイルから選択されたメモリセルの記憶情報を弁別するための回路である。書換え電流駆動回路WCDは、記憶情報に応じてメモリセルに印加する電流を制御するための回路である。読書き選択回路RWSLCは、センスアンプSA若しくは書換え電流駆動回路WCDの何れか一方をグローバル・ビット線に接続するための回路である。

10

【0110】

《メモリタイルの具体的な構成》

図26は、図25に示したメモリセルアレイにおける、メモリタイルとワード線駆動回路群の具体的な構成の例を示している。同図では、代表例として、メモリタイル群MTBK00におけるメモリタイルMT0, MT1とワード線駆動回路群WDBKが示されている。メモリセルMC00U~MC11U, MC00L~MC11Lの各々は、ダイオードDと可変抵抗Rが、前述した図3と同様に、ワード線-ダイオードD-可変抵抗R-ローカル・ビット線の順に接続された構成となっている。

20

【0111】

ローカル・ビット線選択回路LSLC0は、上層のメモリセルMC00U, MC10Uが接続されるローカル・ビット線LBL000Uか、下層のメモリセルMC00L, MC10Lが接続されるローカル・ビット線LBL000Lかの何れか一方を選択して、ビット線BL000に接続する回路である。また、ローカル・ビット線選択回路LSLC1は、上層のメモリセルMC01U, MC11Uが接続されるローカル・ビット線LBL001Uか、下層のメモリセルMC01L, MC11Lが接続されるローカル・ビット線LBL001Lかの何れか一方を選択して、ビット線BL001に接続する回路である。これらのローカル・ビット線選択回路LSLC0, LSLC1のそれぞれは、NMOSトランジスタMNL S0, MNL S1で構成される。

30

【0112】

ローカル・ビット線選択回路LSLC0内のトランジスタMNL S0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Uに、他方がビット線BL000に接続される。ローカル・ビット線選択回路LSLC0内のトランジスタMNL S1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Lに、他方がビット線BL000に接続される。ローカル・ビット線選択回路LSLC1内のトランジスタMNL S0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Uに、他方がビット線BL001に接続される。ローカル・ビット線選択回路LSLC1内のトランジスタMNL S1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Lに、他方がビット線BL001に接続される。

40

【0113】

ローカル・ビット線選択回路LSLC0, LSLC1における各トランジスタMNL S0のゲート電極には、共通でローカル・ビット線選択信号LS00が接続される。また、ローカル・ビット線選択回路LSLC0, LSLC1における各トランジスタMNL S1のゲート電極には、共通でローカル・ビット線選択信号LS01が接続される。

【0114】

ローカル・ビット線駆動回路LDRV0は、上層のメモリセルMC00U, MC10Uが接続されるローカル・ビット線LBL000Uと、下層のメモリセルMC00L, MC10Lが接続されるローカル・ビット線LBL000Lを選択的にアレイ電圧供給線VA

50

PL00に接続する回路である。また、ローカル・ビット線駆動回路LDRV1は、上層のメモリセルMC01U, MC11Uが接続されるローカル・ビット線LBL001Uと、下層のメモリセルMC01L, MC11Lが接続されるローカル・ビット線LBL001Lを選択的にアレイ電圧供給線VAPL00に接続する回路である。これらのローカル・ビット線駆動回路LDRV0, LDRV1のそれぞれは、NMOSTランジスタMNLD0, MNLD1で構成される。

【0115】

ローカル・ビット線駆動回路LDRV0内のランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV0内のランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Lに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV1内のランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV1内のランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Lに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV0, LDRV1におけるランジスタMNLD0のゲート電極には、ローカル・ビット線駆動信号LS00Bが接続される。ローカル・ビット線駆動回路LDRV0, LDRV1におけるランジスタMNLD1のゲート電極には、ローカル・ビット線駆動信号LS01Bが接続される。これらローカル・ビット線駆動信号LS00B, LS01Bは、ローカル・ビット線選択信号LS00, LS01の反転信号である。このような構成において、ローカル・ビット線選択回路LSLC0, LSLC1とローカル・ビット線駆動回路LDRV0, LDRV1は、層選択機能を実現する。

【0116】

ビット線選択回路BSLCは、図3に示したビット線選択回路BSLCと同様に、NMOSTランジスタMNY S0, MNY S1で構成される。ランジスタMNY S0のドレイン電極又はソース電極の何れか一方がビット線BL000に、他方がグローバル・ビット線GBL0に接続される。また、ランジスタMNY S0のゲート電極には、ビット線選択信号BLS00が接続される。ランジスタMNY S1のドレイン電極又はソース電極の何れか一方がビット線BL001に、他方がグローバル・ビット線GBL0に接続される。また、ランジスタMNY S1のゲート電極には、ビット線選択信号BLS01が接続される。

【0117】

図27は、図25に示したビット線制御回路群BCBKに入力されるXアドレス信号X1およびYアドレス信号Y0, Y2と、ローカル・ビット線選択信号LS00~LS13との関係をまとめた真理値表である。Xアドレス信号X1は、選択するグローバル・ワード線群を示す。すなわち、Xアドレス信号X1が論理値“0”の時にグローバル・ワード線群GWP0が選択され、メモリタイル群MTBK00, MTBK01の組が選択される。一方、Xアドレス信号X1が論理値“1”の時にグローバル・ワード線群GWP1が選択され、メモリタイル群MTBK10, MTBK11の組が選択される。

【0118】

Yアドレス信号Y0は、ローカル・ビット線が接続されるメモリセルが形成された層を示す。すなわち、Yアドレス信号Y0が論理値“0”の時に上層を選択する。一方、Yアドレス信号Y0が論理値“1”の時に下層を選択する。また、Yアドレス信号Y2は、メモリタイル群におけるメモリタイルを選択するためのアドレスである。Yアドレス信号Y2が論理値“0”の時にメモリタイルMT0を選択する。一方、Yアドレス信号Y2が論理値“1”の時にメモリタイルMT1を選択する。

【0119】

以上のアドレス割付けから、ローカル・ビット線選択信号LS00は、メモリタイル群

10

20

30

40

50

MTBK00, MTBK01内のメモリアルMT0における上層のローカル・ビット線LBL000U, LBL001Uの接続を制御するのに用いられる。ローカル・ビット線選択信号LS01は、メモリアル群MTBK00, MTBK01内のメモリアルMT0における下層のローカル・ビット線LBL000L, LBL001Lの接続を制御するのに用いられる。ローカル・ビット線選択信号LS02は、メモリアル群MTBK00, MTBK01内のメモリアルMT1における上層のローカル・ビット線LBL002U, LBL003Uの接続を制御するのに用いられる。ローカル・ビット線選択信号LS03は、メモリアル群MTBK00, MTBK01内のメモリアルMT1における下層のローカル・ビット線LBL002L, LBL003Lの接続を制御するのに用いられる。同様に、ローカル・ビット線選択信号LS10~LS13は、メモリアル群MTBK10, MTBK11におけるローカル・ビット線の選択に用いられる。

10

【0120】

図28は、図25に示したビット線制御回路群BCBKに入力されるXアドレス信号X1およびYアドレス信号Y1, Y2と、ビット線選択信号BLS00~BLS13との関係をまとめた真理値表である。Yアドレス信号Y1は、ビット線を選択するためのアドレス信号である。メモリアル群MTBK00内のメモリアルMT0を例にすると、Yアドレス信号Y1が論理値“0”の時には偶数番目のビット線が選択される。例えば、ビット線選択信号BLS00によって、メモリアル群MTBK00, MTBK01内のメモリアルMT0におけるビット線BL000が選択される。また、ビット線選択信号BLS02によって、メモリアル群MTBK00, MTBK01内のメモリアルMT1におけるビット線BL002が選択される。一方、Yアドレス信号Y1が論理値“1”の時には奇数番目のビット線が選択される。例えば、ビット線選択信号BLS01によって、メモリアル群MTBK00, MTBK01内のメモリアルMT0におけるビット線BL001が選択される。また、ビット線選択信号BLS03によって、メモリアル群MTBK00, MTBK01内のメモリアルMT1におけるビット線BL003が選択される。同様に、ビット線選択信号BLS10~BLS13は、メモリアル群MTBK10, MTBK11におけるビット線の選択に用いられる。

20

【0121】

《メモリセルアレイの動作》

以上の構成によるメモリセルアレイの動作を、図29~図35に従い説明する。図29には、図25に示したメモリアル群MTBK00内のメモリアルMT0におけるメモリセルMC00Uにおいて書換え動作を行う場合を仮定し、メモリセルMC00Uに関する制御信号が示されている。以下では、簡単のためにメモリアル群MTBK00に注目して、図9との相違点を中心に動作を説明する。

30

【0122】

まず、待機状態において、放電信号DISCRGBが書換え電圧VWTに保持されているので、グローバル・ワード線GWL00B, GWL01Bは接地電圧VSSに、ワード線WL000, WL001は書換え電圧VWTに夫々駆動される。また、ローカル・ビット線選択信号LS00~LS03が接地電圧VSSに、ローカル・ビット線駆動信号LS00B~LS03Bが書換え電圧VWTに駆動されることにより、ローカル・ビット線LBL000U~LBL003U, LBL000L~LBL003Lは、書換え電圧VWT付近にまで駆動される。なお、ビット線選択信号BLS00~BLS03は接地電圧VSSに保持される。よって、図30と図31に示すように、メモリアル群MTBK00内の両メモリアルMT0, MT1におけるメモリセルMC00U~MC11U, MC00L~MC11Lに印加される電圧は、ほぼ0Vとなる。この時、メモリセルには、電流が殆ど流れない。

40

【0123】

図29に戻って、次に、書換え動作が開始される。始めに、書換え電圧VWTにあった放電信号DISCRGBが接地電圧VSSに駆動されることにより、図32と図33に示すように、メモリアル群MTBK00内のメモリアルMT0, MT1におけるメモリ

50

セルMC00U～MC11U，MC00L～MC11Lが一旦、非選択状態になる。続いて、再び図29に戻って、アドレス信号のデコードが完了すると、接地電圧VSSであったワード線WL000に書換え電圧VWTが供給される。また、接地電圧VSSにあったローカル・ビット線選択信号LS00とビット線選択信号BLS00が書換え電圧VWTに、書換え電圧VWTにあったローカル・ビット線駆動信号LS00Bが接地電圧VSSに駆動される。

【0124】

図34と図35は、この状態におけるメモリタイル群MTBK00内のメモリタイルMT0，MT1の導通状態を示している。ワード線WL000には、ワード線駆動回路WD0内のPMOSTランジスタMP80を介して書換え電圧VWTが供給されている。また、メモリタイルMT0内のローカル・ビット線駆動回路LDRV0，LDRV1内の各NMOSTランジスタMNL0が夫々カットオフ状態になることにより、ローカル・ビット線LBL000U，LBL001Uとアレイ電圧給電線VAPL00との接続が遮断される。一方で、メモリタイルMT0内のローカル・ビット線選択回路LSLC0のNMOSTランジスタMNL0とビット線選択回路BSLCのNMOSTランジスタMNY0が夫々導通状態になることにより、ビット線BL000はグローバル・ビット線GBL0から書換え電流駆動回路WCDを介して接地電圧VSS付近に駆動される。よって、メモリタイルMT0内のメモリセルMC00Uに、書換え電圧VWTにほぼ等しい電圧が印加される。

【0125】

また、ローカル・ビット線選択回路LSLC1ではNMOSTランジスタMNL0が導通状態になるが、ビット線選択回路BSLCのNMOSTランジスタMNY1がカットオフ状態に保持されるので、ビット線BL001は浮遊状態となる。よって、メモリセルMC01UとMC11Uに印加される電圧は、順バイアス状態となるメモリセルMC01U内のダイオードDと逆バイアス状態となるメモリセルMC11U内のダイオードDに流れる電流が等しくなるような値となる。この時、双方のメモリセルに流れる電流は、逆バイアス状態にあるメモリセルMC11U内のダイオード電流で律則される。この状態での電流は、書換え動作に必要な電流よりも桁違いに小さいので、双方のメモリセルに記憶されていた情報は保持される。なお、メモリタイル群MTBK00内のメモリタイルMT1は、図35に示すように、図34に示したメモリタイルMT0のローカル・ビット線LBL000L，LBL001Lと同様の状態に保持される。

【0126】

再び図29に戻って、書換え電流の印加を終えると、書換え電圧VWTであった電流印加信号XIJTCRGが接地電圧VSSに、書換え電圧VWTであった電流印加信号YIJTCRGが接地電圧VSSに夫々駆動される。よって、図32と図33に示したように、全メモリセルが再び非選択状態になる。さらに、接地電圧VSSであった放電信号DISCRGBが書換え電圧VWTに駆動されることにより、図30と図31に示した待機状態に戻る。

【0127】

以上では、簡単のためにメモリタイル群MTBK00に注目して、その動作を説明してきた。しかし、グローバル・ワード線GWL00B，GWL01B、ビット線選択信号BLS00～BLS03、ローカル・ビット線選択信号LS00～LS03、およびローカル・ビット線駆動信号LS00B～LS03Bにより、メモリタイル群MTBK00と共に制御されるメモリタイル群MTBK01においても、メモリタイルMT0内のメモリセルMC00Uに同様の書換え動作が行われることは、容易に理解できる。

【0128】

また、これまでは、書換え動作について説明してきたが、読出し動作においても同様の手順で選択動作が行われる。読出し動作の場合は、図30～図35に示したアレイ電圧給電線VAPL0，VAPL00の電圧を図1に記載したのと同様のアレイ電圧選択回路VSLC0を用いて読出し電圧VRDに切り替えて、選択ワード線WL000に供給する電

10

20

30

40

50

圧を読み出し電圧VRDとする。また、図34において、書換え電流駆動回路WCDの代わりにセンスアンプSAをグローバル・ビット線GBL0に接続する。さらに、図29に示した制御信号の駆動時間を適宜調整することにより、記憶情報すなわちメモリセル内の可変抵抗の値に応じた電流の検出動作が可能となる。

【0129】

《本実施の形態による効果》

最後に、これまで述べてきた構成と動作から得られる効果をまとめる。本実施の形態3の半導体装置を用いると、実施の形態1で述べた各種効果に加えて、更に次のような三つの効果を得ることができる。第一の効果として、メモリセルを積層して、単位面積あたりのメモリセル数を増加したことにより、集積度が向上し、小面積で大容量のメモリセルアレイを実現することが可能となる。第二の効果として、積層したメモリセルに接続されたワード線を共有することで、ワード線駆動回路の面積が抑制され、集積度の向上が図れる。第三の効果として、メモリセルを積層した場合のローカル・ビット線の選択機能をメモリタイル内のローカル・ビット線選択回路LSLCおよびローカル・ビット線駆動回路LDRVと、ビット線選択回路BSLCとに分散させることにより、ビット線を選択するための各種制御信号（ここでは、ローカル・ビット線選択信号、ローカル・ビット線駆動信号、ビット線選択信号）の数を抑制することが可能になる。この効果は、次段落や実施の形態4で述べるように、図25に示した（2行×2列）×2層構成のメモリタイルを拡張したメモリタイルにおいてより効力を発揮する。よって、ここでは、メモリタイルの基本構成を説明するのに留めることにする。

【0130】

なお、これまでの説明では、グローバル・ビット線方向に隣接する二つのメモリタイルが、一つのワード線駆動回路を共有する構成が示されていたが、共有の仕方に対する制限は特はない。例えば、四つのメモリタイルにて、ワード線駆動回路を共有することも可能である。この場合は、チップ全体で見たワード線駆動回路の面積を、さらに1/4にまで削減することができる。また、説明を簡単にするために、（2行×2列）×2層のメモリセルを有するメモリタイル構成について説明してきたが、メモリセルの積層数に関する制限は特はない。例えば、メモリタイル構成が（2行×2列）×4層に倍増された場合においても、ローカル・ビット線選択回路（ローカル・ビット線駆動回路）及びビット線選択回路を拡張することによって、同様の選択動作を行うことが可能である。

【0131】

（実施の形態4）

本実施の形態4では、メモリセルアレイ構成のさらに別の例を説明する。図36は、本発明の実施の形態4による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。このメモリセルアレイ構成の特徴は、図25に示したメモリセルアレイ構成と比べると、メモリタイルの規模が（2行×2列）×2層から（2行×4列）×2層に拡張されて、複数のビット線選択回路を用いて選択動作を行っている点にある。ワード線駆動回路群WDBKなどのロウ系回路構成は、図25に示した構成と同じである。また、グローバル・ビット線群GBP0、GBP1と、読書き回路RWU0、RWU1の構成は、前述した図13に示した構成と同様である。よって、以下では、図25との相違点に注目しながら、本実施の形態について説明する。

【0132】

《メモリセルアレイの構成》

図26では、説明を簡単にするために、4個のメモリタイル群MTBK00～MTBK11が示されている。これら4個のメモリタイル群MTBK00～MTBK11は、二つのグローバル・ワード線群GWP0、GWP1と二つのグローバル・ビット線群GBP0、GBP1との交点に、2行×2列の行列を形成するように配置される。メモリタイル群MTBK00～MTBK11の各々は、二つのメモリタイルMT0、MT1と一つのワード線駆動回路群WDBKとで構成される。二つのメモリタイルMT0、MT1の各々は、16個のメモリセルMC00U～MC13U、MC00L～MC13Lを夫々有する。

【 0 1 3 3 】

例えば、メモリタイル群MTBK00に代表されるように、メモリタイルMT0内のメモリセルMC00U~MC13Uは、二本のワード線WL000, WL001と四本のローカル・ビット線LBL000U~LBL003Uとの各交点に配置される。また、メモリセルMC00L~MC13Lは、二本のワード線WL000, WL001と四本のローカル・ビット線LBL000L~LBL003Lとの各交点に配置される。よって、例えばMC00UおよびMC00Lのように、同軸上に積み重ねられたメモリセル対のワード線(ここでは、ワード線WL000)は共通である。

【 0 1 3 4 】

メモリタイルMT0, MT1の各々は、メモリセルMC00U~MC13U, MC00L~MC13Lの両端に配置されたローカル・ビット線選択回路LSLC0~LSLC3、ビット線選択回路BSLC0, BSLC1、およびローカル・ビット線駆動回路LDRV0~LDRV3を有する。例えば、メモリタイル群MTBK00内のメモリタイルMT0の場合、ローカル・ビット線選択回路LSLC0はローカル・ビット線LBL000U, LBL000Lを、ローカル・ビット線選択回路LSLC1はローカル・ビット線LBL001U, LBL001Lを、ローカル・ビット線選択回路LSLC2はローカル・ビット線LBL002U, LBL002Lを、ローカル・ビット線選択回路LSLC3はローカル・ビット線LBL003U, LBL003Lを夫々制御する。

【 0 1 3 5 】

ビット線選択回路BSLC0は、ローカル・ビット線選択回路LSLC0の出力信号であるビット線BL000と、ローカル・ビット線選択回路LSLC1の出力信号であるビット線BL001の何れか一方を選択する。同様に、ビット線選択回路BSLC1は、ローカル・ビット線選択回路LSLC2の出力信号であるビット線BL002と、ローカル・ビット線選択回路LSLC3の出力信号であるビット線BL003の何れか一方を選択する。また、ローカル・ビット線駆動回路LDRV0はローカル・ビット線LBL000U, LBL000Lを、ローカル・ビット線駆動回路LDRV1はローカル・ビット線LBL001U, LBL001Lを、ローカル・ビット線駆動回路LDRV2はローカル・ビット線LBL002U, LBL002Lを、ローカル・ビット線駆動回路LDRV3はローカル・ビット線LBL003U, LBL003Lを夫々制御する。

【 0 1 3 6 】

《メモリタイルの具体的な構成》

図37は、図36に示したメモリセルアレイにおける、メモリタイルとワード線駆動回路群の具体的な構成の例を示している。同図では、代表例として、メモリタイル群MTBK00におけるメモリタイルMT0, MT1とワード線駆動回路群WDBKが示されている。メモリセルMC00U~MC13U, MC00L~MC13Lの各々は、ダイオードDと可変抵抗Rが、ワード線-ダイオードD-可変抵抗R-ローカル・ビット線の順に接続された構成となっている。

【 0 1 3 7 】

メモリタイルMT0内のローカル・ビット線選択回路LSLC0は、上層のメモリセルMC00U, MC10Uが接続されるローカル・ビット線LBL000Uか、下層のメモリセルMC00L, MC10Lが接続されるローカル・ビット線LBL000Lかの何れか一方を選択して、ビット線BL000に接続する回路である。また、ローカル・ビット線選択回路LSLC1は、上層のメモリセルMC01U, MC11Uが接続されるローカル・ビット線LBL001Uか、下層のメモリセルMC01L, MC11Lが接続されるローカル・ビット線LBL001Lかの何れか一方を選択して、ビット線BL001に接続する回路である。ローカル・ビット線選択回路LSLC2は、上層のメモリセルMC02U, MC12Uが接続されるローカル・ビット線LBL002Uか、下層のメモリセルMC02L, MC12Lが接続されるローカル・ビット線LBL002Lかの何れか一方を選択して、ビット線BL002に接続する回路である。また、ローカル・ビット線選択回路LSLC3は、上層のメモリセルMC03U, MC13Uが接続されるローカル・ビ

10

20

30

40

50

ット線 L B L 0 0 3 U か、下層のメモリセル M C 0 3 L , M C 1 3 L が接続されるローカル・ビット線 L B L 0 0 3 L かの何れか一方を選択して、ビット線 B L 0 0 3 に接続する回路である。

【 0 1 3 8 】

これらのローカル・ビット線選択回路 L S L C 0 ~ L S L C 3 は、図 2 6 に示したローカル・ビット線選択回路 L S L C と同様に、N M O S トランジスタ M N L S 0 , M N L S 1 で構成される。メモリタイル M T 0 内のローカル・ビット線選択回路 L S L C 0 内のトランジスタ M N L S 0 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 0 U に、他方がビット線 B L 0 0 0 に接続される。ローカル・ビット線選択回路 L S L C 0 内のトランジスタ M N L S 1 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 0 L に、他方がビット線 B L 0 0 0 に接続される。ローカル・ビット線選択回路 L S L C 1 内のトランジスタ M N L S 0 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 1 U に、他方がビット線 B L 0 0 1 に接続される。ローカル・ビット線選択回路 L S L C 1 内のトランジスタ M N L S 1 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 1 L に、他方がビット線 B L 0 0 1 に接続される。

10

【 0 1 3 9 】

同様に、ローカル・ビット線選択回路 L S L C 2 内のトランジスタ M N L S 0 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 2 U に、他方がビット線 B L 0 0 2 に接続される。ローカル・ビット線選択回路 L S L C 2 内のトランジスタ M N L S 1 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 2 L に、他方がビット線 B L 0 0 2 に接続される。ローカル・ビット線選択回路 L S L C 3 内のトランジスタ M N L S 0 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 3 U に、他方がビット線 B L 0 0 3 に接続される。ローカル・ビット線選択回路 L S L C 3 内のトランジスタ M N L S 1 のドレイン電極又はソース電極の何れか一方がローカル・ビット線 L B L 0 0 3 L に、他方がビット線 B L 0 0 3 に接続される。

20

【 0 1 4 0 】

メモリタイル M T 0 内のローカル・ビット線選択回路 L S L C 0 ~ L S L C 3 におけるトランジスタ M N L S 0 のゲート電極には、共通でローカル・ビット線選択信号 L S 0 0 が接続される。また、ローカル・ビット線選択回路 L S L C 0 ~ L S L C 3 におけるトランジスタ M N L S 1 のゲート電極には、共通でローカル・ビット線選択信号 L S 0 1 が接続される。

30

【 0 1 4 1 】

メモリタイル M T 0 内のローカル・ビット線駆動回路 L D R V 0 は、上層のメモリセル M C 0 0 U , M C 1 0 U が接続されるローカル・ビット線 L B L 0 0 0 U と、下層のメモリセル M C 0 0 L , M C 1 0 L が接続されるローカル・ビット線 L B L 0 0 0 L を選択的にアレイ電圧供給線 V A P L 0 0 に接続する回路である。また、ローカル・ビット線駆動回路 L D R V 1 は、上層のメモリセル M C 0 1 U , M C 1 1 U が接続されるローカル・ビット線 L B L 0 0 1 U と、下層のメモリセル M C 0 1 L , M C 1 1 L が接続されるローカル・ビット線 L B L 0 0 1 L を選択的にアレイ電圧供給線 V A P L 0 0 に接続する回路である。さらに、ローカル・ビット線駆動回路 L D R V 2 は、上層のメモリセル M C 0 2 U , M C 1 2 U が接続されるローカル・ビット線 L B L 0 0 2 U と、下層のメモリセル M C 0 2 L , M C 1 2 L が接続されるローカル・ビット線 L B L 0 0 2 L を選択的にアレイ電圧供給線 V A P L 0 0 に接続する回路である。また、ローカル・ビット線駆動回路 L D R V 3 は、上層のメモリセル M C 0 3 U , M C 1 3 U が接続されるローカル・ビット線 L B L 0 0 3 U と、下層のメモリセル M C 0 3 L , M C 1 3 L が接続されるローカル・ビット線 L B L 0 0 3 L を選択的にアレイ電圧供給線 V A P L 0 0 に接続する回路である。

40

【 0 1 4 2 】

これらのローカル・ビット線駆動回路 L D R V 0 ~ L D R V 3 は、図 2 6 に示したロー

50

カル・ビット線駆動回路LDRVと同様に、NMOSトランジスタMNLD0, MNLD1で構成される。メモリアルMT0におけるローカル・ビット線駆動回路LDRV0内のトランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV0内のトランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL000Lに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV1内のトランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV1内のトランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL001Lに、他方がアレイ電圧供給線VAPL00に接続される。

10

【0143】

同様に、ローカル・ビット線駆動回路LDRV2内のトランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL002Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV2内のトランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL002Lに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV3内のトランジスタMNLD0のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL003Uに、他方がアレイ電圧供給線VAPL00に接続される。ローカル・ビット線駆動回路LDRV3内のトランジスタMNLD1のドレイン電極又はソース電極の何れか一方がローカル・ビット線LBL003Lに、他方がアレイ電圧供給線VAPL00に接続される。

20

【0144】

メモリアルMT0内のローカル・ビット線駆動回路LDRV0~LDRV3におけるトランジスタMNLD0のゲート電極には、共通でローカル・ビット線駆動信号LS00Bが接続される。ローカル・ビット線駆動回路LDRV0~LDRV3におけるトランジスタMNLD1のゲート電極には、共通でローカル・ビット線駆動信号LS01Bが接続される。これらローカル・ビット線駆動信号LS00B, LS01Bは、ローカル・ビット線選択信号LS00, LS01の反転信号である。このような構成において、ローカル・ビット線選択回路LSLC0~LSLC3とローカル・ビット線駆動回路LDRV0~LDRV3は、層選択機能を実現する。

30

【0145】

メモリアルMT0内のビット線選択回路BSLC0, BSLC1のそれぞれは、図3に示したビット線選択回路BSLCと同様に、NMOSトランジスタMNY S0, MNY S1で構成される。ビット線選択回路BSLC0において、トランジスタMNY S0のドレイン電極又はソース電極の何れか一方がビット線BL000に、他方がグローバル・ビット線GBL00に接続される。また、トランジスタMNY S0のゲート電極には、ビット線選択信号BLS00が接続される。トランジスタMNY S1のドレイン電極又はソース電極の何れか一方がビット線BL001に、他方がグローバル・ビット線GBL00に接続される。また、トランジスタMNY S1のゲート電極には、ビット線選択信号BLS01が接続される。

40

【0146】

同様に、ビット線選択回路BSLC1において、トランジスタMNY S0のドレイン電極又はソース電極の何れか一方がビット線BL002に、他方がグローバル・ビット線GBL01に接続される。また、トランジスタMNY S0のゲート電極には、ビット線選択信号BLS00が接続される。トランジスタMNY S1のドレイン電極又はソース電極の何れか一方がビット線BL003に、他方がグローバル・ビット線GBL01に接続される。また、トランジスタMNY S1のゲート電極には、ビット線選択信号BLS01が接続される。

【0147】

50

以上で説明した、ローカル・ビット線選択信号LS00～LS03は、図27に示した真理値表のように制御される。但し、図27の真理値表を図25のメモリセルアレイに適用する場合、アドレスY0によって、偶数番目のローカル・ビット線か奇数番目のローカル・ビット線の何れか一方が選択されていた。しかし、図36のメモリセルアレイに適用する場合、アドレスY0が論理値“0”の時に上層のローカル・ビット線が選択され、アドレスY0が論理値“1”の時に下層のローカル・ビット線が選択される。また、ビット線選択信号BLS00～BLS03は、図28に示した真理値表のように制御される。さらに、読書き制御回路RWUCに入力される読出し起動信号RE、書換え起動信号WE、およびYアドレス信号Y1と、グローバル・ビット線駆動信号群DEBS、読出し起動信号群REBS、および書換え起動信号群WEBSとの関係は、図17に示した真理値表と同じである。

10

【0148】

《メモリセルアレイの動作》

以上の構成によるメモリセルアレイの動作を、図38～図44に従い説明する。図38には、図36に示したメモリタイル群MTBK00内のメモリタイルMT0におけるメモリセルMC00Uにおいて書換え動作を行う場合を仮定し、メモリセルMC00Uに関する制御信号が示されている。以下では、簡単のためにメモリタイル群MTBK00に注目して、図29との相違点を中心に動作を説明する。

【0149】

まず、待機状態において、放電信号DISCRGBが書換え電圧VWTに保持されているので、グローバル・ワード線GWL00B、GWL01Bは接地電圧VSSに、ワード線WL000、WL001は書換え電圧VWTに夫々駆動される。また、ローカル・ビット線選択信号LS00～LS03が接地電圧VSSに、ローカル・ビット線駆動信号LS00B～LS03Bが書換え電圧VWTに駆動されることにより、ローカル・ビット線LBL000U～LBL007U、LBL000L～LBL007Lは、書換え電圧VWT付近にまで駆動される。なお、ビット線選択信号BLS00～BLS03は接地電圧VSSに保持される。よって、図39と図40に示すようにメモリタイル群MTBK00内のメモリタイルMT0、MT1におけるメモリセルMC00U～MC13U、MC00L～MC13Lに印加される電圧は、ほぼ0Vとなる。この時、メモリセルには、電流が殆ど流れない。

20

30

【0150】

図38に戻って、次に、書換え動作が開始される。始めに、書換え電圧VWTにあった放電信号DISCRGBが接地電圧VSSに駆動されることにより、図41と図42に示すように、メモリタイル群MTBK00内のメモリタイルMT0、MT1の全メモリセルMC00U～MC13U、MC00L～MC13Lが一旦、非選択状態になる。次に、再び図38に戻って、アドレス信号のデコードが完了すると、接地電圧VSSであったワード線WL000に書換え電圧VWTが供給される。また、接地電圧VSSにあったローカル・ビット線選択信号LS00とビット線選択信号BLS00が書換え電圧VWTに、書換え電圧VWTにあったローカル・ビット線駆動信号LS00Bが接地電圧VSSに駆動される。

40

【0151】

図43と図44は、この状態におけるメモリタイル群MTBK00内のメモリタイルMT0、MT1の導通状態を示している。ワード線WL000には、ワード線駆動回路WD0内のPMOSTランジスタMP80を介して書換え電圧VWTが供給されている。また、メモリタイルMT0におけるローカル・ビット線駆動回路LDRV0～LDRV3内のNMOSTランジスタMNLD0が夫々カットオフ状態になることにより、ローカル・ビット線LBL000U～LBL003Uは、アレイ電圧給電線VAPL00との接続が夫々遮断される。

【0152】

ここで、ローカル・ビット線選択回路LSLC0のNMOSTランジスタMNLS0と

50

ビット線選択回路BSLC0のNMOSTランジスタMNYS0が夫々導通状態になることにより、ビット線BL000はグローバル・ビット線GBL00に接続される。同様に、ローカル・ビット線駆動回路LSLC2のNMOSTランジスタMNL S0とビット線駆動回路BSLC1のNMOSTランジスタMNYS0が夫々導通状態になることにより、ビット線BL002はグローバル・ビット線GBL01に接続される。このうち、ビット線BL000（ローカル・ビット線LBL000U）は、NMOSTランジスタMN1920から書換え電流駆動回路WCDを介して接地電圧VSS付近に駆動される。よって、メモリタイルMT0内のメモリセルMC00Uに、書換え電圧VWTにほぼ等しい電圧が印加される。一方、ビット線BL002（ローカル・ビット線LBL002U）は、NMOSTランジスタMN1901からアレイ電圧給電線VAPLを介して書換え電圧VWT付近に駆動される。よって、メモリタイルMT0内のメモリセルMC02Uには、0Vにほぼ等しい電圧が印加され、メモリセルMC02Uは非選択状態となる。また、このローカル・ビット線LBL002Uの書換え電圧VWTへの駆動に伴い、非選択のワード線WL001に接続されたメモリタイルMT0内のメモリセルMC12Uは、負の書換え電圧（-VWT）が印加され、非選択状態となる。

【0153】

さらに、前述したローカル・ビット線選択回路LSLC0内のランジスタMNL S0の導通に伴い、ローカル・ビット線選択回路LSLC1のランジスタMNL S0も導通状態となるが、ビット線選択回路BSLC0のランジスタMNYS1がカットオフ状態に保持されるので、ローカル・ビット線LBL001Uは浮遊状態となる。よって、メモリセルMC01U，MC11Uに印加される電圧は、ワード線選択に伴い順バイアス状態となるメモリセルMC01U内のダイオードDと、ワード線非選択に伴い逆バイアス状態となるメモリセルMC11U内のダイオードDとに流れる電流が等しくなるような値となる。この時、双方のメモリセルに流れる電流は、逆バイアス状態にあるメモリセルMC11U内のダイオード電流で律則される。この電流は、記憶情報が保持される程度の値であるので、無視して構わない。

【0154】

同様に、ローカル・ビット線選択回路LSLC3のランジスタMNL S0も導通状態となるが、ビット線選択回路BSLC1のランジスタMNYS1がカットオフ状態に保持されるので、ローカル・ビット線LBL003Uも浮遊状態となる。よって、メモリセルMC03U，MC13Uに印加される電圧は、順バイアス状態となるメモリセルMC03U内のダイオードDと逆バイアス状態となるメモリセルMC13U内のダイオードDに流れる電流が等しくなるような値となる。この時、双方のメモリセルに流れる電流は、逆バイアス状態にあるメモリセルMC13U内のダイオード電流で律則される。この電流も、記憶情報が保持される程度の値であるので、無視して構わない。なお、メモリタイルMT1内の状態は、図44に示すように、図43に示したメモリタイルMT0におけるローカル・ビット線LBL001L，LBL003L上のメモリセルと同じ状態に保持される。

【0155】

再び図38に戻って、書換え電流の印加を終えると、書換え電圧VWTであった電流印加信号XIJTCRGが接地電圧VSSに、書換え電圧VWTであった電流印加信号YIJTCRGが接地電圧VSSに夫々駆動される。よって、図41と図42に示したように、全メモリセルが再び非選択状態になる。さらに、接地電圧VSSであった放電信号DISCRGBが書換え電圧VWTに駆動されることにより、図39と図40に示した待機状態に戻る。

【0156】

以上では、簡単のためにメモリタイル群MTBK00内に注目して、その動作を説明してきた。しかし、グローバル・ワード線GWL00B，GWL01Bや、ビット線選択信号BLS00～BLS03、ローカル・ビット線選択信号LS00～LS03、およびローカル・ビット線駆動信号LS00B～LS03Bにより、メモリタイル群MTBK00

10

20

30

40

50

と共に制御されるメモリタイル群MTBK01においても、同様の動作が行われることは、容易に理解できる。

【0157】

また、これまでは、書換え動作について説明してきたが、読出し動作においても同様の手順で選択動作が行われる。読出し動作の場合は、図39～図44に示したアレイ電圧給電線VAPL0, VAPL00の電圧を図1に記載したのと同様のアレイ電圧選択回路VSLC0を用いて読出し電圧VRDに切り替えて、選択ワード線WL000に供給する電圧を読出し電圧VRDとする。また、図43において、書換え電流駆動回路WCDの代わりにセンスアンプSAをグローバル・ビット線GBL00に接続する。さらに、図38に示した制御信号の駆動時間を適宜調整することにより、記憶情報すなわちメモリセル内の可変抵抗の値に応じた電流の検出動作が可能となる。

10

【0158】

《本実施の形態による効果》

最後に、これまで述べてきた構成と動作から得られる効果をまとめる。本実施の形態4の半導体装置を用いると、実施の形態3で述べた各種効果に加えて、更に次のような効果を得ることができる。すなわち、メモリセルを積層した場合の大規模なメモリタイルにおいて、ローカル・ビット線の選択機能を、メモリタイル内のローカル・ビット線駆動回路LDRV、ローカル・ビット線選択回路LSLC、およびビット線選択回路BSLCに加えて、読書き回路内の読書き選択回路RWUSLCに分散させることにより、メモリタイル内でローカル・ビット線を選択するための各種制御信号（ここでは、ローカル・ビット線駆動信号、ローカル・ビット線選択信号、ビット線選択信号）の数を抑制することが可能になる。

20

【0159】

より具体的には、図36における一つのメモリタイル群MTBKを(2行×8列)×2層構成のメモリセルアレイとみなすと、十六本のローカル・ビット線から一本を選択する際には、通常は、十六個のトランジスタ(すなわち、メモリタイルMT0, MT1内のローカル・ビット線選択回路LSLC0～LSLC3内に含まれる計十六個のNMOSTランジスタ)を個別に制御するために十六本の選択信号が必要である。なお、ここでは、説明を簡単にするためビット線駆動回路BDRVの駆動信号は考慮しない。

【0160】

しかし、本実施の形態では、例えば、ローカル・ビット線選択回路LSLC0～LSLC3内のトランジスタMNLS0がローカル・ビット線選択信号LS00を共有するように、四つのトランジスタがローカル・ビット線選択信号を共有することで、一旦、四本のローカル・ビット線選択信号(LS00～LS03)により十六本の中から四本のローカル・ビット線(ここでは、ローカル・ビット線LBL000U～LBL003U)を選択する。次に、この選択した四本のローカル・ビット線(すなわちビット線BL000～BL003に該当)の中から、四本の選択信号を用いて一本を選択するのではなく、二本のビット線選択信号(BLS00, BLS01)を用いてビット線選択回路BSLC0, BSLC1を介して二本を選択する。この選択された二本のビット線は、それぞれ二本のローカル・ビット線(GBL00, GBL01)に接続され、この二本のローカル・ビット線は、読書き回路内の読書き選択回路RWUSLCにて何れか一方が選択される。その結果、図36に示したように、一つのメモリタイル群の中には八本の選択信号(ローカル・ビット線選択信号LS00～LS03、ビット線選択信号BLS00～BLS03)を設ければよく、一つのメモリタイルMTに着目すると、選択信号の配線を四本設ければよい。

30

40

【0161】

このように、各メモリタイルMT毎の配線数が削減されることにより、配置されるトランジスタの密度が向上する。さらに、選択機能の一部を読書き選択回路RWUSLCに担わせることで、前述した配線数の削減に加えて、各メモリタイルMTにおける、ビット線選択に伴うトランジスタ数の増加も抑制されるため、ローカル・ビット線選択回路LSL

50

C (同様にローカル・ビット線駆動回路LDRV)及びビット線選択回路BSLCの面積を削減することができる。これらによって、高集積化が実現可能となる。

【0162】

なお、これまでの説明では、グローバル・ビット線方向に隣接する二つのメモリタイルが、一つのワード線駆動回路を共有する構成が示されていたが、共有の仕方に対する制限は特にはない。例えば、四つのメモリタイルにて、ワード線駆動回路を共有することも可能である。この場合は、チップ全体で見たワード線駆動回路の面積を、さらに1/4にまで削減することができる。また、説明を簡単にするために、(2行×4列)×2層のメモリセルを有するメモリタイル構成について説明してきたが、メモリセルの積層数に関する制限は特にはない。例えば、メモリタイル構成が(2行×4列)×4層に倍増された場合においても、ローカル・ビット線選択回路(ローカル・ビット線駆動回路)及びビット線選択回路を拡張することによって、同様の選択動作を行うことが可能である。

【0163】

(実施の形態5)

本実施の形態5では、図25に示したメモリセルアレイの構造の例を説明する。図45は、本発明の実施の形態5による半導体装置において、そのメモリセルアレイの構造例を模式的に示す概念図である。ここでは、図25に示したメモリセルアレイ内のメモリタイル群MTBK00を例として説明する。このメモリセルアレイ構造の特徴は、CMOS集積回路層CML、メモリセル層MCL、グローバル配線層GLの積層構造になっている点にある。

【0164】

CMOS集積回路層CMLは、シリコン基板上にCMOS集積回路技術を用いて形成したローカル・ビット線選択回路LSLC0, LSLC1、ローカル・ビット線駆動回路LDRV0, LDRV1、ビット線選択回路BSLC、ワード線駆動回路群WDBKで構成される。メモリセル層MCLには、図26に示したようなダイオードと相変化材料を用いた可変抵抗素子を有するメモリセルが積層されている。

【0165】

図45では、点A～点Hで囲まれたメモリセル群MCBK0に、メモリタイルMT0内のメモリセルMC00U～MC11U, MC00L～MC11Lが形成される。また、点A'～点H'で囲まれたメモリセル群MCBK1に、メモリタイルMT1内のメモリセルMC00U～MC11U, MC00L～MC11Lが形成される。CMOS集積回路層CMLに形成されたローカル・ビット線選択回路LSLC0, LSLC1、ローカル・ビット線駆動回路LDRV0, LDRV1、ビット線選択回路BSLC, ワード線駆動回路群WDBKを覆うように、これらのメモリセル群MCBK0, MCBK1を形成することにより、単位面積あたりのメモリセル密度を向上させることができる。同図では、後述するようにワード線の接続と各回路ブロック面積の比率を考慮して、メモリセル群MCBK0, MCBK1が、CMOS集積回路層CMLに形成されたローカル・ビット線選択回路LSLC0, LSLC1、ローカル・ビット線駆動回路LDRV0, LDRV1、ビット線選択回路BSLCを覆うように形成された例が示されている。

【0166】

CMOS集積回路層CMLに形成されたローカル・ビット線選択回路LSLC0, LSLC1、ローカル・ビット線駆動回路LDRV0, LDRV1、ビット線選択回路BSLC、ワード線駆動回路群WDBKと、メモリセル層MCLに形成されたメモリセル群MCBK0は、例えばメモリタイルMT0のように、ローカル・ビット線LBL000U, LBL001U, LBL000L, LBL001Lやワード線WL000, WL001で接続される。これらの配線は、各層における金属配線と、多層配線を接続するための所謂ビアとで形成される。グローバル配線層GLには、制御信号や電源の配線が形成される。同図には、説明を簡単にするために、メモリタイル群内の二つのメモリタイルMT0, MT1に跨るワード線WL000, WL001の接続形態(配線トポロジー)の例が示されている。すなわち、メモリタイルMT0, MT1内のワード線WL000, WL001はグ

10

20

30

40

50

ローカル・配線層GLにおいて、ローカル・ビット線LBL000U及びLBL000Lと並行に形成された金属配線を含んでいる。

【0167】

図46は、図45に示したメモリセルアレイにおける、ローカル・ビット線LBL000U及びLBL000L（すなわち、Y方向）に沿った断面構造例を示している。ローカル・ビット線選択回路LSLC0、ローカル・ビット線駆動回路LDRV0、ビット線選択回路BSLCは、P型シリコン基板100上に形成されたPウェル領域101内に夫々形成される。103は、NMOSトランジスタのゲート電極となるポリシリコン層である。カッコ内の記号は、ローカル・ビット線選択回路LSLC0、ローカル・ビット線駆動回路LDRV0、ビット線選択回路BSLCに入力される制御信号を示している（以下で説明するデバイス番号に添えられているカッコ内の記号も、同様に、各回路ブロックの入出力信号である）。104は、NMOSトランジスタのソース電極またはドレイン電極となるN+拡散層領域である。105は、トランジスタ間の通電を遮断するための素子分離用の酸化物である。

10

【0168】

201、202の各々は、CMOS集積回路層CMLに形成された第一、第二のタングステン層である。これらのタングステン層は、CMOS集積回路層CMLに形成された各回路ブロックの接続に用いられる。また、211~214の各々は、メモリセル層MCLに形成された第三~第六のタングステン層である。211に示した第三のタングステン層は、下層のメモリセル（例えば、メモリセルMC00L）におけるワード線（例えば、WL000）に用いられる。212に示した第四のタングステン層は、下層のメモリセル（例えば、メモリセルMC00L）におけるローカル・ビット線（例えば、LBL000L）に用いられる。213に示した第五のタングステン層は、上層のメモリセル（例えば、メモリセルMC00U）におけるワード線（例えば、WL000）に用いられる。214に示した第六のタングステン層は、上層のメモリセル（例えば、メモリセルMC00U）におけるローカル・ビット線（例えば、LBL000U）に用いられる。さらに、221、222の各々は、グローバル配線層GLに形成された第七、第八のタングステン層である。これらのタングステン層は、例えば、同一メモリタイル群内のメモリタイルに形成されるワード線（ここでは、ワード線WL000）の接続に用いられる。

20

【0169】

300は、第一のタングステン層とN+拡散層とを接続するためのコンタクトである。301は、第二のタングステン層と第一のタングステン層とを接続するための第一のビアである。302は、第三のタングステン層と第二のタングステン層とを接続するための第二のビアである。303は、第五のタングステン層と第三のタングステン層とを接続するための第三のビアである。305は、第八のタングステン層と第七のタングステン層とを接続するための第五のビアである。311は、第四のタングステン層と第三のタングステン層とを接続するための第六のビアである。312は、第六のタングステン層と第五のタングステン層とを接続するための第七のビアである。なお、同図には示されていないが、他の領域では、第七のタングステン層と第五のタングステン層とを接続するための第四のビアが用いられる。

30

40

【0170】

メモリセルは、例えばメモリセルMC10Uのように、ワード線WL001となるタングステン層（ここでは213）とローカル・ビット線LBL000Uとなるタングステン層（ここでは214）の間に、柱状に形成される。400は、PNダイオードのP層、401はPNダイオードのN層、402はカルコゲナイド材料層である。また、500はPNダイオードとカルコゲナイド材料層との間のパツファ層となる第九のタングステン層、501はカルコゲナイド材料層とローカル・ビット線との間のパツファ層となる第十のタングステン層である。

【0171】

図47は、図45に示したメモリセルアレイにおける、ワード線WL000（すなわち

50

、X方向)に沿った断面構造例を示している。この方向には、ワード線駆動回路群WDBKのPMOSTランジスタが形成されるNウェル領域(102)が含まれる。PMOSTランジスタのソース電極は、第七のタングステン層と第五のタングステン層とを接続するための第四のビア(304)を介して、グローバル配線層GLの第八のタングステン層で形成されたアレイ電圧給電線VAPL0に接続される。

【0172】

以上のような構成により、本実施の形態5によるメモリセルアレイは、メモリセルの集積度を向上させることができる。すなわち、メモリセルをCMOS集積回路層の上部に形成することにより、メモリセル形成に必要な占有面積を大幅に削減することができる。また、メモリタイル上空のグローバル配線層にて複数のメモリタイルに跨るワード線を接続することにより、面積増加を抑えながら、ワード線同士を接続することができる。さらに、メモリセル群を、ローカル・ビット線選択回路LSLC0、LSLC1、ローカル・ビット線駆動回路LDRV0、LDRV1、ビット線選択回路BSLCの上空に形成することにより、ワード線駆動回路群WDBK上空の領域が開放されるので、面積増加を抑えながら、ワード線駆動回路群WDBKとグローバル配線層GLに形成されたアレイ電圧給電線とを接続することができる。ここで、実施の形態4等で述べたように、ビット線関連の選択信号(ローカル・ビット線選択信号、ローカル・ビット線駆動信号、ビット線選択信号)の配線数を低減すると、図46等から判るように、ローカル・ビット線駆動回路LDRV、ビット線選択回路BSLC、およびローカル・ビット線選択回路LSLCの面積が低減され、より高集積化が可能となる。

【0173】

なお、これまでの説明では、CMOS集積回路層CMLとグローバル配線層GLの各々には、二つのタングステン層が形成されていた。しかし、配線層数の限定はない。配線層数を増やせば、各回路ブロック内外の配線が容易になる。逆に、配線層数を減らせば、製造コストを削減することが可能となる。また、グローバル配線層GLに形成される配線の材料は、タングステンに限定されず、種々の材料を導入することができる。例えば、アレイ電圧給電線VAPL00用に銅配線層を追加することにより、アレイ電圧給電線VAPL00の抵抗を低減することが可能となる。よって、配線における電圧降下が抑制されることにより、低電圧動作を実現することができる。

【0174】

(実施の形態6)

本実施の形態6は、図52に示した回路ブロックを進化させて、セグメント・ワード線駆動回路SWDを共有する場合の回路ブロック構成の例について説明する。図48は、本発明の実施の形態6による半導体装置において、その回路ブロックの構成例を示す概略図である。同図の特徴は、グローバル・ビット線方向に隣接する入出力ブロックが、共通セグメント・ワード線駆動回路CNSWDを共有する点にある。

【0175】

同図には、八つの入出力ブロックで構成されたブロックDBLOCK1__iが示されている。八つの入出力ブロックのうち、グローバル・ビット線(GBL)に沿って上下に配置された四対の入出力ブロックの左右に、共通セグメント・ワード線駆動回路CNSWD010~CNSWD014が配置される。すなわち、第一の入出力ブロック対である入出力ブロックIO-block00と入出力ブロックIO-block10の左右には、共通セグメント・ワード線駆動回路CNSWD010、CNSWD011が配置される。第二の入出力ブロック対である入出力ブロックIO-block01と入出力ブロックIO-block11の右側には、共通セグメント・ワード線駆動回路CNSWD012が配置される。第三の入出力ブロック対である入出力ブロックIO-block02と入出力ブロックIO-block12の右側には、共通セグメント・ワード線駆動回路CNSWD013が配置される。第四の入出力ブロック対である入出力ブロックIO-block03と入出力ブロックIO-block13の右側には、共通セグメント・ワード線駆動回路CNSWD014が配置される。

【0176】

共通セグメント・ワード線駆動回路CNSWD010～CNSWD014の各々において、メインワード線MWLとワード線WLとの交点に、ワード線WLを駆動する回路が配置される。そして、ワード線WLが上段の入出力ブロックIO-block00～IO-block03と、下段の入出力ブロックIO-block10～IO-block13の夫々に延伸される。メインワードドライバMWDによって、メインワード線MWLが活性化されて、ワード線WLが選択されると、上段の入出力ブロックIO-block00～IO-block03と下段の入出力ブロックIO-block10～IO-block13に含まれるワード線WL上のメモリセルに、接地電圧VSSが印加される。この時、上段の入出力ブロックIO-block00～IO-block03に配置されるローカル・カラム・デコーダLYDEC00U～LYDEC03U及びLYDEC00L～LYDEC03Lか、下段の入出力ブロックIO-block10～IO-block13に配置されるローカル・カラム・デコーダLYDEC10U～LYDEC13U及びLYDEC10L～LYDEC13Lの何れか一方を活性化することにより、上段の入出力ブロックIO-block00～IO-block03に含まれるワード線WL上のメモリセルか、下段の入出力ブロックIO-block10～IO-block13に含まれるワード線WL上のメモリセルの何れか一方をグローバル・ビット線GBLに接続することが可能となる。

10

【0177】

以上で述べたように、グローバル・ビット線に沿った二つの入出力ブロックが共通セグメント・ワード線駆動回路を共有することにより、共通セグメント・ワード線駆動回路の面積を半減させることが可能となる。ここで、選択されるメモリセル数が図51に示した構成と同数となるので、一度に書換え動作を行えるセル数は維持される。また、上段の入出力ブロックIO-block00～IO-block03に配置されるローカル・カラム・デコーダLYDEC00U～LYDEC03U及びLYDEC00L～LYDEC03Lか、下段の入出力ブロックIO-block10～IO-block13に配置されるローカル・カラム・デコーダLYDEC10U～LYDEC13U及びLYDEC10L～LYDEC13Lの何れか一方を活性化することにより、任意のメモリセル選択が実現される。よって、1D-1R型相変化メモリのセル占有率向上と書換えデータ転送速度の向上を両立することができる。

20

30

【0178】

なお、同図に示したメモリセルは、相変化材料を用いた可変抵抗と選択用のダイオードで構成される。仮に非選択ワード線や非選択ビット線がフローティング状態となっても、当該非選択ワード線や非選択ビット線上の非選択メモリセルへの電流流入は、ダイオードによって抑制される。よって、誤書込みを抑制することが可能となり、信頼度の高い、高集積、高速の相変化メモリを実現することができる。

【0179】

また、図48には、グローバル・ビット線方向に隣接する二つの入出力ブロックが、共通セグメント・ワード線駆動回路CNSWDを共有する構成が示されていたが、共有の仕方に対する制限は特にない。例えば、グローバル・ビット線方向に隣接する四つの入出力ブロックにて、共通セグメント・ワード線駆動回路CNSWDを共有することも可能である。この場合は、チップ全体で見た共通セグメント・ワード線駆動回路の面積を、図52に示した構成と比べて1/4に削減することができる。

40

【0180】

(実施の形態7)

本実施の形態7では、前述した図48の変形例について説明する。図49は、本発明の実施の形態7による半導体装置において、その回路ブロックの構成例を示す概略図である。図49に示すブロックDBLOCK2__iの大きな特徴は、入出力ブロックIO-block00～IO-block13が、入出力ブロックIO-blockP00～IO-blockP13に置き換えられている点にある。より具体的には、メモリセルにおいて

50

、選択用ダイオードの極性が図48と比べて逆になっている点にある。すなわち、選択用ダイオードを介した可変抵抗への電流経路が、ワード線 - ダイオード - 可変抵抗 - ビット線の順に形成される。

【0181】

この様な変更に伴い、共通セグメント・ワード線駆動回路CNSWD010～CNSWD014がCPSWD010～CPSWD014に入れ換えられている。共通セグメント・ワード線駆動回路CPSWD010～CPSWD014は、選択ワード線に高電圧を供給する。この高電圧は電源電圧であっても良いし、メモリセルの電気特性に合わせて接地電圧とは異なる任意の電圧でも良い。ここで、任意の電圧は、読出し動作と書換え動作とで異なる電圧に設定される場合もあり得る。

10

【0182】

このような構成によると、実施の形態6と同様の効果を得ると共に、ローカル・コラム・デコーダLYDEC00U～LYDEC03U及びLYDEC00L～LYDEC03LとLYDEC10U～LYDEC13U及びLYDEC10L～LYDEC13Lが導通時の抵抗を低減することが可能となる。すなわち、書換え動作において十分大きな電流を印加するためには、相変化材料を用いた可変抵抗には1V程度、ダイオードにはPN接合電圧以上(約1V以上)の電圧を印加する必要があるので、メモリセルにおける電圧降下は約2Vと見込まれる。したがって、ワード線からビット線の方に電流を流すようにダイオードを挿入した方が、ローカル・コラム・デコーダLYDECにおけるトランジスタのドレイン及びソースに印加される電圧を抑制することが可能となる。すなわち、図51に示されたNMOSTランジスタMNY S0～MNY Snにおける基板バイアス効果を抑制することが可能となる。また、ゲート・ソース間の電圧の目減りを抑制することが可能となる。よって、NMOSTランジスタMNY S0～MNY Snが導通時の抵抗を低減することができる。また、ゲート電圧を抑制することも可能となるので、メモリセルの電気特性によっては昇圧回路が不要となり、チップ面積を削減することもできる。

20

【0183】

なお、図49には、グローバル・ビット線方向に隣接する二つの入出力ブロックが、共通セグメント・ワード線駆動回路CPSWDを共有する構成が示されていたが、共有の仕方に対する制限は特にない。例えば、グローバル・ビット線方向に隣接する四つの入出力ブロックにて、共通セグメント・ワード線駆動回路CPSWDを共有することも可能である。この場合は、チップ全体で見た共通セグメント・ワード線駆動回路の面積を、さらに1/4にまで削減することができる。

30

【0184】

(実施の形態8)

本実施の形態8では、ワード線駆動回路の別の配置の例を説明する。図50は、本発明の実施の形態8による半導体装置において、そのメモリセルアレイの構成例を示す概略図である。このメモリセルアレイ構成の特徴は、実施の形態1でも述べたように二つある。第一の特徴は、多分割したメモリセルアレイ(メモリタイル)毎にワード線駆動回路WDを配置し、各アクセスサイクルにおいて、一つのワード線駆動回路WDが一つのメモリセルMCのみを駆動する構成となっている点にある。第二の特徴は、各メモリタイルMTが小規模(ここでは2行×2列)のメモリセルMCで構成されている点にある。

40

【0185】

図50では、説明を簡単にするために、4個のメモリタイルMT00～MT11が示されている。これら4個のメモリタイルMT00～MT11は、二つのグローバル・ワード線群GWP0, GWP1と二本のグローバル・ビット線GBL0, GBL1との交点に、2行×2列の行列を形成するように配置される。メモリタイルMT00～MT11の各々は、メモリセルMC00～MC11を有する。これらのメモリセルMC00～MC11は、例えばメモリタイルMT00に示すように、二本のワード線WL000, WL001と二本のビット線BL000, BL001との各交点に配置される。メモリセルMC00～MC11の各々は、図3等に示したように、ワード線 - ダイオード - 可変抵抗 - ビット線

50

の順に接続されている。

【0186】

メモリタイルMT00～MT11の各々は、メモリセルMC00～MC11の両端に夫々配置されたビット線選択回路BSLCとビット線駆動回路BDRVを有する。ビット線選択回路BSLCは、選択ビット線と対応するグローバル・ビット線とを接続するための制御回路である。ビット線駆動回路BDRVは、非選択ビット線に所定の電圧を供給するための制御回路である。

【0187】

これら4個のメモリタイルMT00～MT11の隣には、対応するワード線駆動回路群WDBK00～WDBK11が夫々配置される。ワード線駆動回路群WDBK00～WDBK11の各々は、例えばワード線駆動回路群WDBK00のように、2つのワード線駆動回路WD0, WD1を有する。これらワード線駆動回路WD0, WD1は、グローバル・ワード線群GWP0の電圧に応じてワード線WL000, WL001を夫々駆動する。ここで、グローバル・ワード線群GWP0は、グローバル・ワード線GWL00B, GWL01Bで構成される。よって、ワード線駆動回路WD0, WD1は、グローバル・ワード線GWL00B, GWL01Bの電圧に応じてワード線WL000, WL001を夫々駆動する。なお、グローバル・ワード線群GWP1も同様に、グローバル・ワード線GWL10B, GWL11Bで構成される。これらグローバル・ワード線群GWP0, GWP1は、グローバル・ワード線駆動回路群GWDBKによって制御される。

【0188】

グローバル・ビット線GBL0, GBL1には、読書き回路RW0, RW1が夫々接続される。これら読書き回路RW0, RW1の各々は、センスアンプSA、書換え電流駆動回路WCD、読書き選択回路RWSLCで構成される。センスアンプSAは、メモリタイルから選択されたメモリセルの記憶情報を弁別するための回路である。書換え電流駆動回路WCDは、記憶情報に応じてメモリセルに印加する電流を制御するための回路である。読書き選択回路RWSLCは、センスアンプSA若しくは書換え電流駆動回路WCDの何れか一方をグローバル・ビット線に接続するための回路である。

【0189】

このような構成において、ワード線駆動回路の各々は、一つのメモリセルを書き換えるのに必要な電流を駆動するような大きさに設計されている。すなわち、一つのメモリタイルから一つのメモリセルを選択して書換え動作や読出し動作を行う。このような制御により、一つのワード線駆動回路で複数のメモリセルを駆動する場合と比べて、IRドロップの低減が可能となり、また、ワード線及びビット線に流れる電流のデータパターン依存性を軽減することが可能となる。すなわち、ワード線駆動回路における電圧降下の変動や、ワード線及びビット線における電圧変動が抑制されることにより、動作マージンが拡大されて、信頼度の高い動作を実現することができる。

【0190】

さらに、各メモリタイルMTが、小規模のメモリセルMCで構成されると共に対応する一本のグローバル・ビット線GBLに接続され、このメモリタイルMTが、グローバル・ワード線GWLが延伸する方向に複数配置されることで、同時に活性化されるメモリセル数(同時アクセス可能なグローバル・ビット線GBLの数)を維持することができる。これによって、半導体装置の高速化に対応可能になる。また、各メモリタイルMTを小規模のメモリセルMCで構成すると、前述した高速化と共に、ワード線駆動回路に接続される負荷も低減でき、これによるIRドロップの改善効果も得られる。

【0191】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、積層するメモリセルは二層に限定されず、それ以下またはそれ以上(例えば、一層や四層)でも良い。また、本実施の形態の半導体装置は、単体メモリ・チップに限らず、オンチップ・メモリのインタフェースに適用すること

10

20

30

40

50

も可能である。さらに、本実施の形態では、記憶素子にカルコゲナイド材料を用いた相変化メモリを前提にしていたが、本実施の形態の概念は、記憶素子の材料は限定されず、相変化メモリに限らず、磁気抵抗ランダム・アクセス・メモリや抵抗性メモリなど、可変抵抗を用いた様々な半導体メモリに適用することも可能である。

【産業上の利用可能性】

【0192】

本実施の形態による半導体装置は、相変化メモリ内のメモリセルアレイが、ローカル・ビット線駆動回路、ローカル・ビット線選択回路及びビット線選択回路、ワード線駆動回路群によって区切られた複数のメモリタイルにて構成される。各メモリタイルは、積層されたメモリセルで構成される。同軸上に積層されたメモリセルを駆動するためのワード線駆動回路は、共通である。また、グローバル・ビット線方向に配置された複数のメモリタイルがワード線駆動回路を共有する。以上により、ワード線駆動回路の面積が抑制されるので、メモリタイルの密度が向上する。すなわち、相変化メモリの集積度を向上させることが可能となり、チップ面積或いは製造コストを抑制することができる。よって、高集積、大容量の相変化メモリを用いた半導体装置を低コストで実現するのに適している。

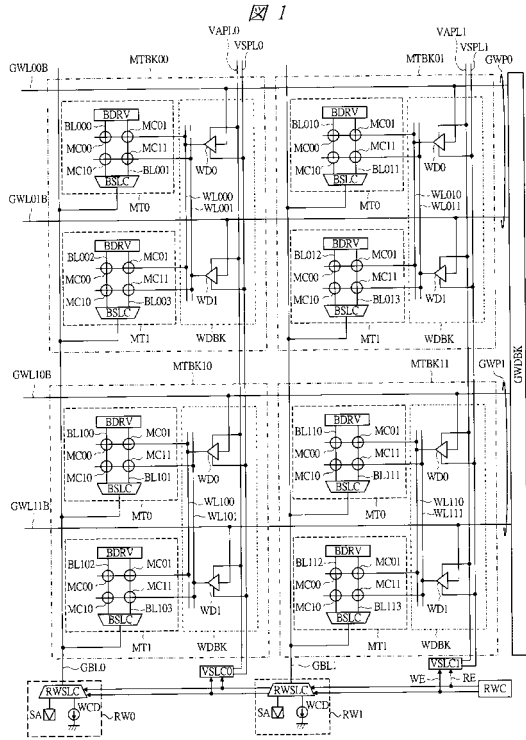
【符号の説明】

【0193】

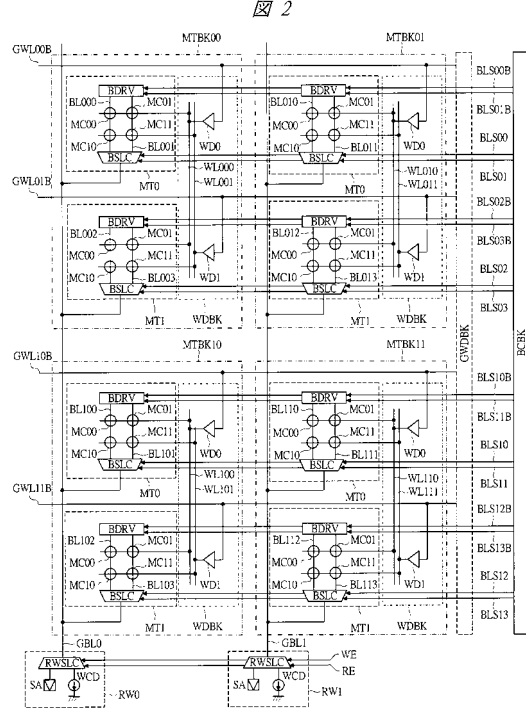
100	P型シリコン基板	
101	Pウェル領域	
102	Nウェル領域	20
103	ポリシリコン層	
104	N+拡散層領域	
105	素子分離用の酸化物	
201, 202, 211~214, 221, 222, 500, 501	タングステン層	
300	コンタクト	
301~305, 311, 312	ビア	
400	PNダイオードのP層	
401	PNダイオードのN層	
402	カルコゲナイド材料層	
BCBK	ビット線制御回路群	30
BDRV	ビット線駆動回路	
BL	ビット線	
BLCTL	ビット線制御回路	
BLOCK _i	選択されたブロック	
BLS	ビット線選択信号	
BLS _{nB}	ビット線駆動信号	
BSLC	ビット線選択回路	
CML	CMOS集積回路層	
D	選択用ダイオード	
DE	グローバル・ビット線駆動信号	40
DEBS	グローバル・ビット線駆動信号群	
DISCRGB	放電信号	
DX	Xデコード・アドレス信号	
DY	Yデコード・アドレス信号	
GBL	グローバル・ビット線	
GBP	グローバル・ビット線群	
GL	グローバル配線層	
GWD	グローバル・ワード線駆動回路	
GWDBK	グローバル・ワード線駆動回路群	
GL _{nB}	グローバル・ワード線	50

GWP	グローバル・ワード線群	
IV	インバータ回路	
IO-block	入出力ブロック	
LBL	ローカル・ビット線	
LBLDIS	ローカル・ビット線放電信号	
LCA	ローカル・セル・アレイ	
LDRV	ローカル・ビット線駆動回路	
LS	ローカル・ビット線選択信号	
LSLC	ローカル・ビット線選択回路	
LSnB	ローカル・ビット線駆動信号	10
LY	ローカル・カラム選択信号	
LYDEC	ローカル・カラム・デコーダ	
MC	メモリセル	
MCK	メモリセル群	
MCL	メモリセル層	
MN, MNYS, MNBD, MND, MNLS, MNLD	NMOSトランジスタ	
MP	PMOSトランジスタ	
MT	メモリタイル	
MTBK	メモリタイル群	
MWD	メインワードドライバ	20
ND	NAND回路	
NR	NOR回路	
R	抵抗性記憶素子	
RE	読出し起動信号	
REBS	読出し起動信号群	
RWC, RWUC	読書き制御回路	
RW, RWU	読書き回路	
RWUSLC	読書き選択回路	
SA	センスアンプ	
SWD	セクション・ワード線駆動回路	30
CNSWD, CPSWD	共通セグメント・ワード線駆動回路	
VA, VAPL	アレイ電圧(アレイ電圧給電線)	
VRD	読出し電圧	
VSLC	アレイ電圧選択回路	
V SPL	接地電圧給電線	
VWT	書換え電圧	
WCD	書換え電流駆動回路	
WD	ワード線駆動回路	
WDBK	ワード線駆動回路群	
WE	書換え起動信号	40
WEBS	書換え起動信号群	
WL	ワード線	
X	Xアドレス信号	
XIJTCRG, YIJTCRG	電流印加信号	
Y	Yアドレス信号	

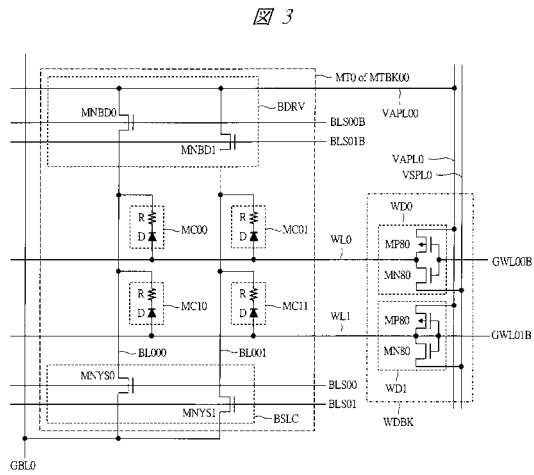
【 図 1 】



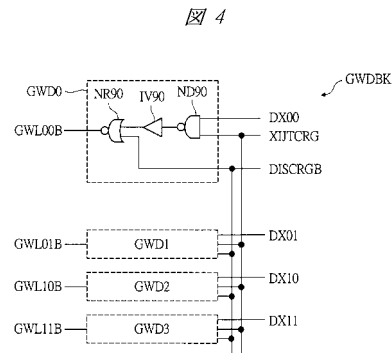
【 図 2 】



【 図 3 】



【 図 4 】

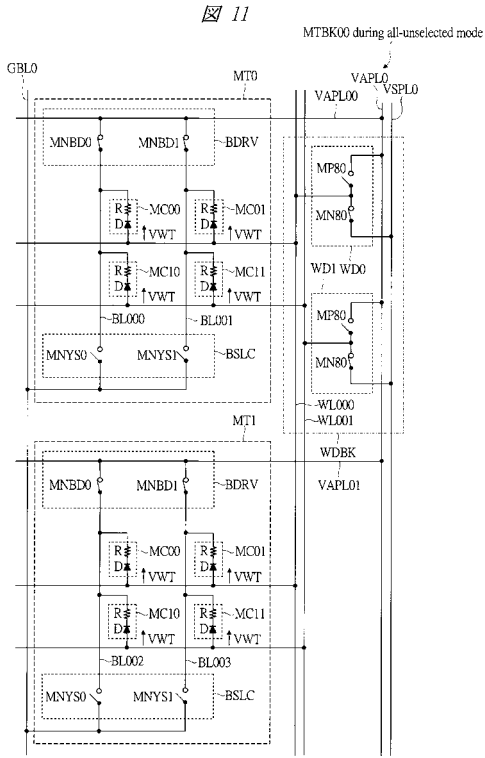


【 図 5 】

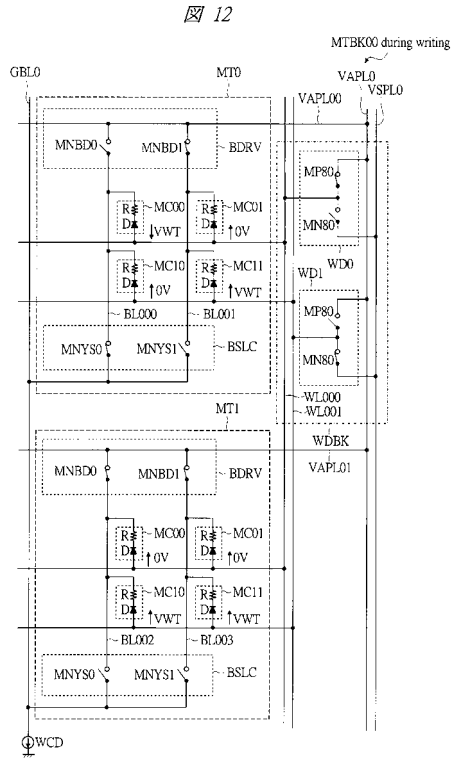
図 5

State	DX00	XITCRG	DISCRGB	GWL00B	WL000
Standby	Don't care	VSS	VWT	VSS	VA (= VWT or VRD)
All unselected	Don't care	VSS	VSS	VWT	VSS
Selected	VWT	VWT	VSS	VSS	VA (= VWT or VRD)

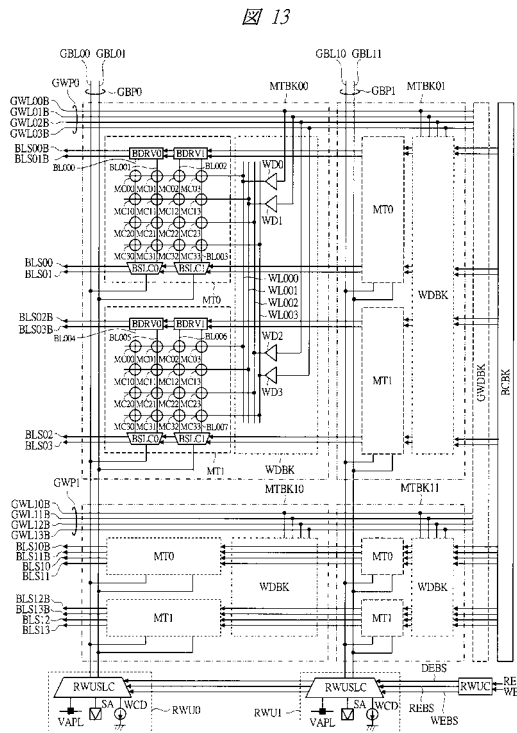
【図11】



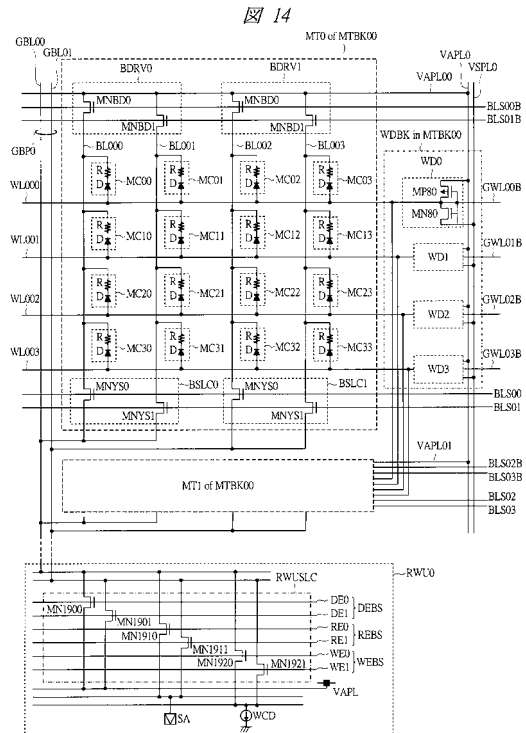
【図12】



【図13】



【図14】



【 15 】

15

X2	Y1	Y0	BLS									
			00	01	02	03	10	11	12	13		
0	0	0	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
	1	0	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS
1	0	0	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	
	1	0	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	

【 16 】

16

X2	X1	X0	GWL.B													WL												
			00	01	02	03	10	11	12	13	000	001	002	003	100	101	102	103										
0	0	0	VSS	VWT	VWT	VWT	VWT	VWT	VWT	VWT	VWT	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
		1	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
	1	0	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
		1	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
1	0	0	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
		1	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
	1	0	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				
		1	VWT	VWT	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS				

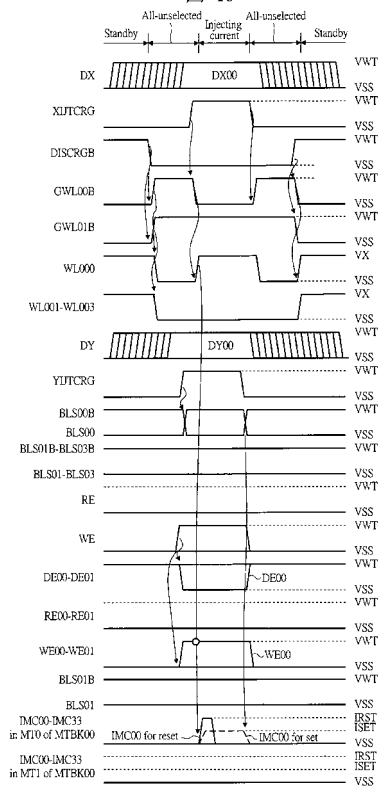
【 17 】

17

	WE	RE	Y1	DE		WE		RE	
				0	1	0	1	0	1
Standby	0	0	0	VWT	VWT	VSS	VSS	VSS	VSS
			1	VWT	VWT	VSS	VSS	VSS	VSS
Write	1	0	0	VSS	VWT	VWT	VSS	VSS	VSS
			1	VWT	VSS	VSS	VWT	VSS	VSS
Read	0	1	0	VSS	VWT	VSS	VSS	VWT	VSS
			1	VWT	VSS	VSS	VSS	VSS	VWT

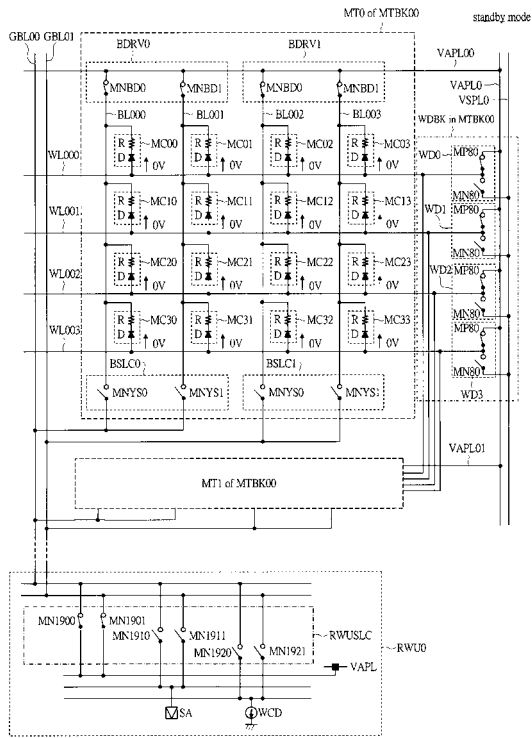
【 18 】

18



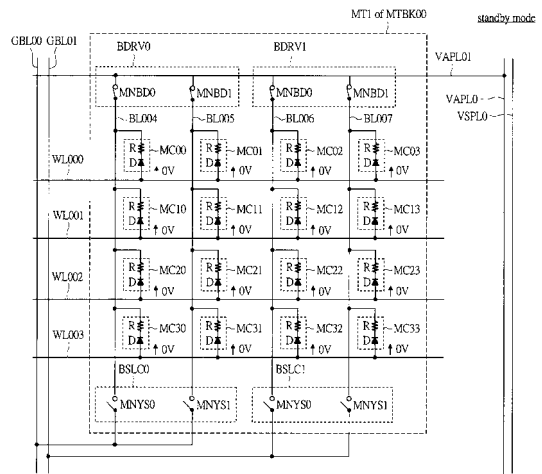
【 図 19 】

図 19



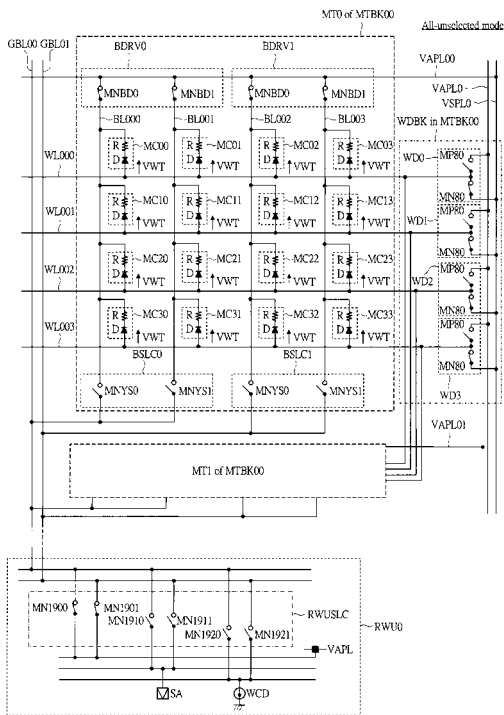
【 図 20 】

図 20



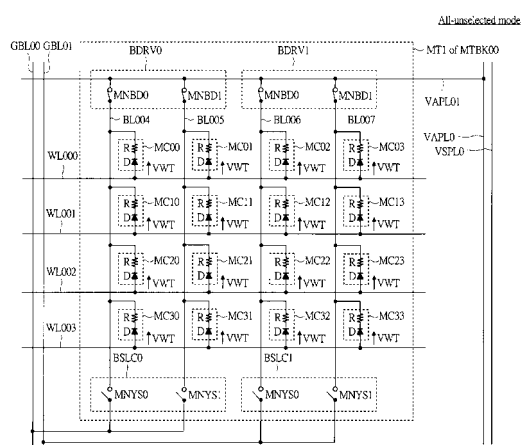
【 図 21 】

図 21



【 図 22 】

図 22



【 図 2 7 】

図 27

X1	Y2	Y0	LS										
			00	01	02	03	10	11	12	13			
0	0	0	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
	1	0	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS
1	0	0	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	
	1	0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS

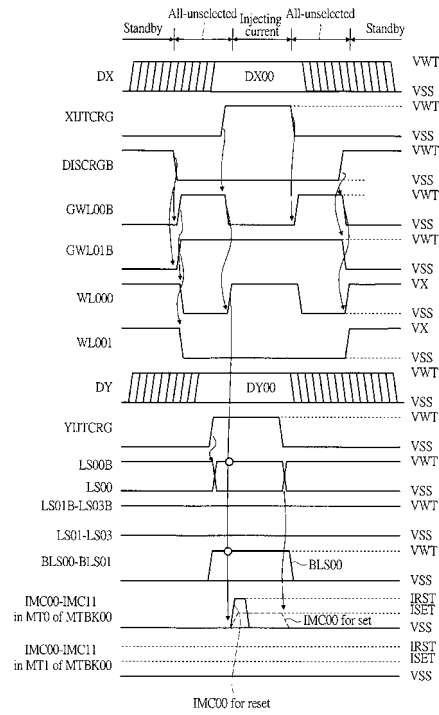
【 図 2 8 】

図 28

X1	Y2	Y1	BLS									
			00	01	02	03	10	11	12	13		
0	0	0	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
	1	0	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS	VSS
		1	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	VSS	VSS
1	0	0	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	VSS	
	1	0	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS	
		1	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VWT	VSS	VSS

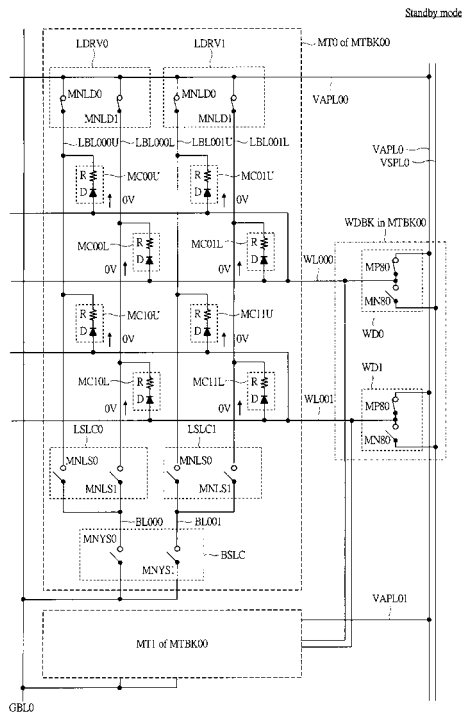
【 図 2 9 】

図 29



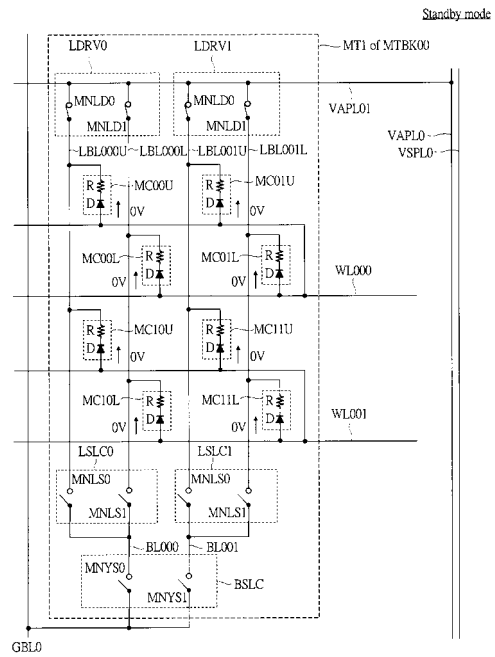
【 図 3 0 】

図 30



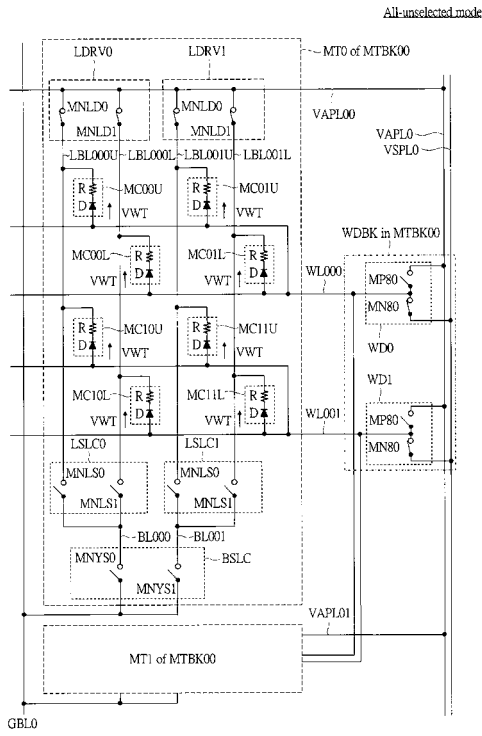
【 図 3 1 】

図 31



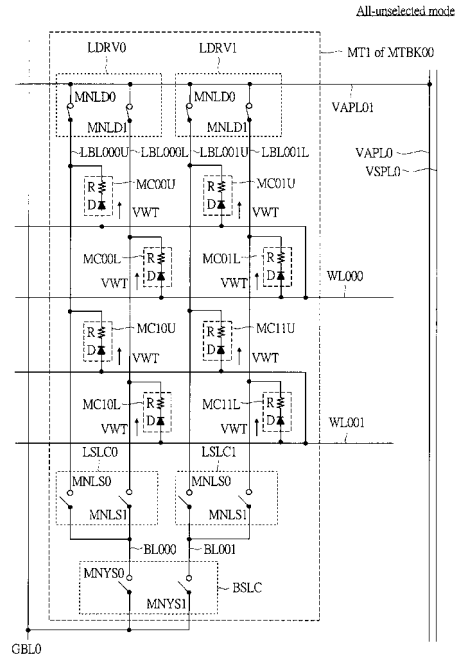
【 図 3 2 】

図 32



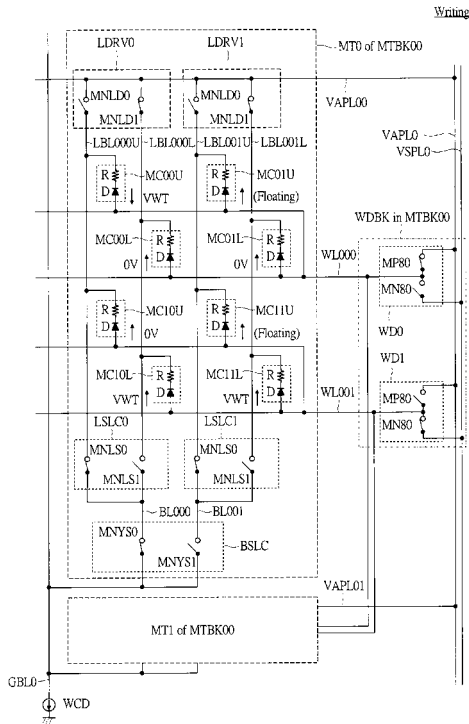
【 図 3 3 】

図 33



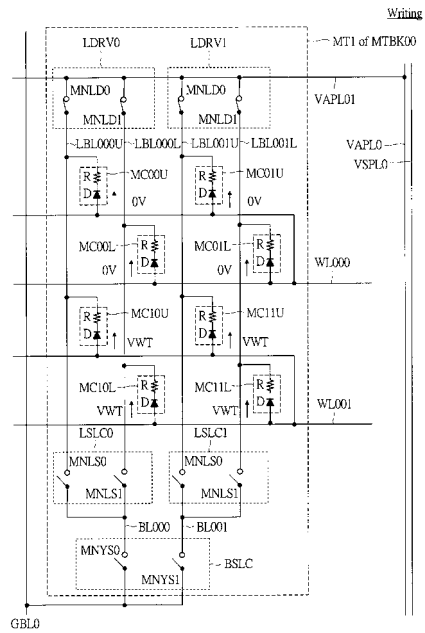
【 図 3 4 】

図 34

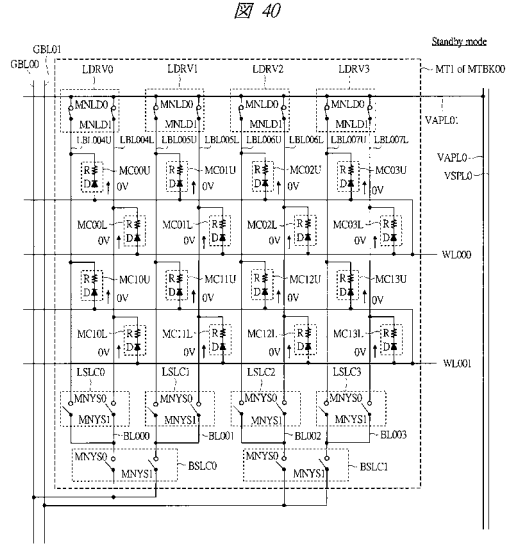


【 図 3 5 】

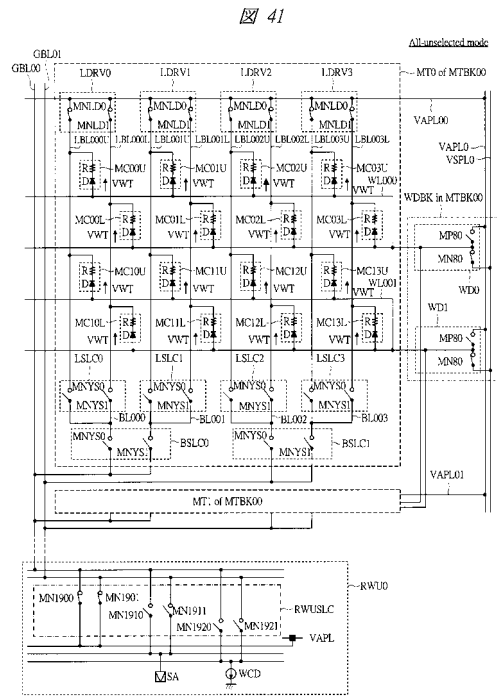
図 35



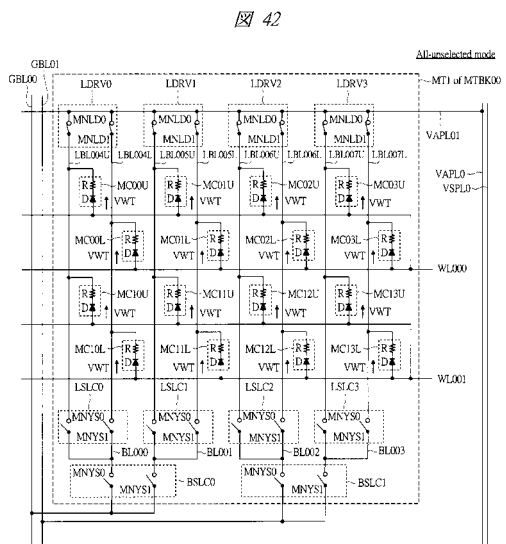
【 図 4 0 】



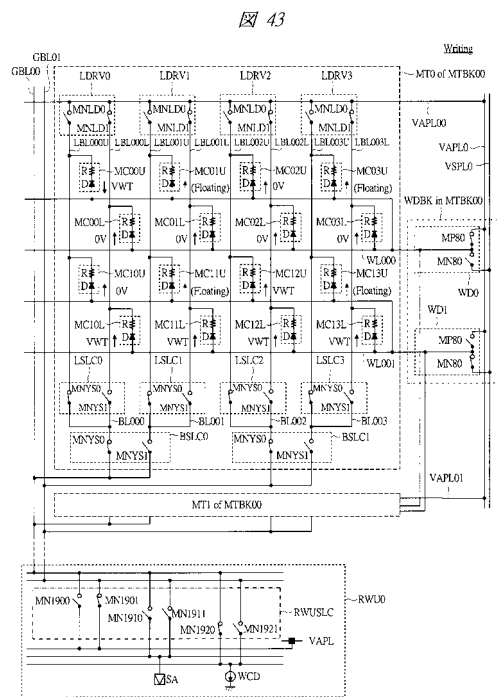
【 図 4 1 】



【 図 4 2 】



【 図 4 3 】



フロントページの続き

- (56)参考文献 特開2005 - 353257 (JP, A)
特開2006 - 4479 (JP, A)
特開2006 - 79756 (JP, A)
特開2006 - 269062 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 13/00