



(12) 发明专利

(10) 授权公告号 CN 101252148 B

(45) 授权公告日 2011.08.17

(21) 申请号 200810007252.1

(22) 申请日 2008.02.20

(30) 优先权数据

10-2007-0018271 2007.02.23 KR

10-2007-0018259 2007.02.23 KR

(73) 专利权人 高丽大学校产学协力团
地址 韩国首尔

(72) 发明人 金相植 尹昌俊 郑东英 廉东赫

(74) 专利代理机构 北京北翔知识产权代理有限公司 11285

代理人 杨勇

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

H01L 29/40 (2006.01)

H01L 29/41 (2006.01)

H01L 29/423 (2006.01)

H01L 29/417 (2006.01)

H01L 29/51 (2006.01)

H01L 27/115 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

H01L 21/8247 (2006.01)

(56) 对比文件

JP 特开 2007-43088 A, 2007.02.15, 全文.

US 6690059 B1, 2004.02.10, 全文.

CN 1812118 A, 2006.08.02, 全文.

审查员 李晓明

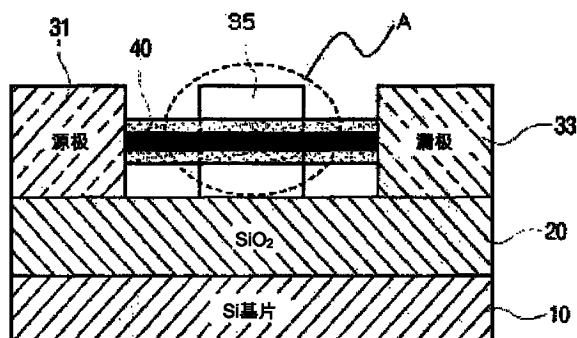
权利要求书 3 页 说明书 11 页 附图 13 页

(54) 发明名称

非易失性电子存储器件及其制作方法

(57) 摘要

本发明涉及非易失性 (nonvolatile memory) 电子器件 (electronic device) 及其制作方法, 使纳米粒子 (nanoparticle) 吸附到纳米线表面上的穿隧层上, 在该纳米线 (nanowire) 表面沉积有穿隧层 (Tunneling layer)。而且, 通过构成使用为电荷迁移通道 (charge transport channel) 的半导体 (semiconductor) 纳米线和使用为电荷陷入层 (charge trapping layer) 半导体纳米粒子, 使得经由纳米线转移的电荷通过栅压 (gate) 穿隧至纳米粒子上, 再根据栅压变化从纳米粒子穿隧至纳米线上。本发明涉及根据如上所述的纳米线和纳米粒子的特点采用能够以低电压运行并且能够加快运行速度的纳米线和纳米粒子的非易失性电子存储器件及其制作方法。



1. 一种具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,包括:

源极与漏极,设置在基片上方;

半导体纳米线合成体,使上述源极与漏极悬浮于上述基片上方或者吸附在上述基片上;

栅电极,包覆上述半导体纳米线合成体,设置在上述源极与漏极之间的基片上方,

其中上述半导体纳米线合成体包括:

半导体纳米线;

在上述半导体纳米线表面形成的穿隧层;

由以包覆上述穿隧层表面的方式被吸附的纳米粒子构成的电荷陷入层;

在上述电荷陷入层表面形成的绝缘层。

2. 如权利要求1所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,用纳米碳管或有机管来替代上述半导体纳米线。

3. 如权利要求1所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,上述半导体纳米线是从 Si、Ge、GaN、BN、InP、GaAs、GaP、Si₃N₄、SiO₂、SiC、ZnO、Ga₂O₃ 中任选的一种成分或从其混合物构成的群集中选择。

4. 如权利要求1所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,上述纳米粒子是从 HgTe、HgSe、HgS、CdTe、CdSe、CdS、ZnTe、ZnSe、ZnS、ZnO、PbTe、PbSe、PbS、Ag、Au、Pt、Ti、Co、W、Ni、Fe 中任选的一种成分。

5. 如权利要求1所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,上述纳米粒子具有核壳结构:

核,从 HgTe、HgSe、HgS、CdTe、CdSe、CdS、ZnTe、ZnSe、ZnS、ZnO、PbTe、PbSe、PbS、Ag、Au、Pt、Ti、Co、W、Ni、Fe 中任选的一种成分;

壳,在上述核表面,由 SiO₂ 氧化物或 TiO₂ 氧化物,或者能隙大于核的半导体纳米粒子组成。

6. 如权利要求1所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征是,上述穿隧层以及绝缘层是从 Al₂O₃、HfO₂、SiO₂、MgO、ZrO₂、BaO、SrTiO₃、La₂O₃、HfSiO₄、ZrSiO₄、CaO、LaAlO₃、SrO、Ca 以及有机绝缘材料中任选的一种材料组成。

7. 一种具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,包括以下几个过程:

形成半导体纳米线合成体,

其中上述半导体纳米线合成体通过以下几个过程形成:

采用溅射、CVD 以及原子层沉积法中的一个方法,在半导体纳米线表面形成穿隧层;

在上述穿隧层表面形成电荷陷入层的纳米粒子吸附过程;

通过原子层沉积法在上述纳米粒子表面形成绝缘层,

或者,上述半导体纳米线合成体通过以下几个过程形成:

将核壳结构的纳米粒子吸附到半导体纳米线表面;

采用溅射、CVD 以及原子层沉积法中的一个方法,在上述核壳结构的纳米粒子表面形成绝缘层;

采用光刻法或电子束光刻方式在纳米线中央形成栅电极；

将上述半导体纳米线合成体或栅电极结构的试剂涂在被覆以 SiO_2 的硅半导体基片、玻璃基片和塑料基片中的任一基片上；

在上述一基片上，采用光刻法或电子束光刻方式，在上述半导体纳米线两端形成源极和漏极。

8. 一种具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，包括以下几个过程：

在半导体基片上涂一层 HMDS，并在上述 HMDS 上设置半导体纳米线；

在具有上述半导体纳米线的 HMDS 层上部的上述半导体纳米线两端形成源极和漏极；

采用溅射、CVD 以及原子层沉积法中的一个方法形成包覆上述半导体纳米线的穿隧层；

包覆上述穿隧层，并在上述穿隧层表面粘附与上述半导体纳米线不同成分的金属纳米粒子，从而形成电荷陷入层；

采用溅射、CVD 以及原子层沉积法中的一个方法，在上述电荷陷入层表面形成绝缘层；

在上述源极和漏极之间的上述绝缘层上设置栅电极。

9. 如权利要求 8 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，上述半导体纳米线是通过热蒸发方式在基片上生长而成。

10. 如权利要求 8 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，上述半导体纳米线是对半导体基片进行蚀刻而成的。

11. 如权利要求 8 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，上述电荷陷入层的形成包括以下几个过程：

通过热沉积方式，在上述穿隧层表面涂一层金属纳米薄膜；

用快速热处理机对上述金属纳米薄膜进行加热，从而形成金属纳米粒子。

12. 如权利要求 11 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，上述金属纳米薄膜的涂层厚度为 2 ~ 10nm 之间。

13. 如权利要求 11 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，上述金属纳米粒子是在 250℃ ~ 450℃ 温度下对上述金属纳米薄膜进行加热而成的。

14. 一种具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法，其特征是，包括以下几个过程：

采用溅射、CVD 以及原子层沉积法中的一个方法，在生长在基片上的半导体纳米线表面形成穿隧层；

将作为电荷陷入层的纳米粒子吸附在上述半导体纳米线表面的穿隧层上；

采用溅射、CVD 以及原子层沉积法中的一个方法，在形成上述电荷陷入层的纳米粒子表面形成绝缘层；

在半导体基片上涂上一层 HMDS，并在上述 HMDS 表面设置依次形成上述穿隧层、电荷陷入层以及绝缘层的上述半导体纳米线；

在上述半导体纳米线所在的 HMDS 层上部的上述半导体纳米线两端形成源极和漏极；

在上述源极和漏极之间的上述绝缘层上设置栅电极。

15. 如权利要求 14 所述的具有纳米线通道和纳米粒子-浮栅节点的粒子非易失性电子存储器件制作方法,其特征是,上述半导体纳米线是在由 Si 或 Al_2O_3 物质构成的基片上生长而成的。

16. 如权利要求 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述纳米粒子的吸附包括以下几个过程:

将具有上述纳米线的基片浸泡在分散水溶液中,利用超声波对上述纳米线进行分散;

对上述纳米线分散水溶液与含纳米粒子的分散水溶液进行混合;

利用超声波,将上述纳米粒子吸附到上述纳米线表面;

17. 如权利要求 16 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述分散水溶液是从蒸馏水、乙醇、甲醇以及丙酮中任选的一种。

18. 如权利要求 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述纳米粒子的吸附是将上述半导体纳米线浸泡在含有纳米粒子的溶液中,从而吸附纳米粒子。

19. 如权利要求 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,吸附上述纳米粒子的过程是,采用 LPCVD 方法,在上述半导体纳米线表面沉积 Si 层后,用湿刻技术生成多晶硅纳米粒子。

20. 如权利要求 8 或 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述源极与漏极的形成包括以下几个过程:

涂布第一光刻胶,利用光刻法形成多个第一空隙;

在上述第一空隙及第一光刻胶上沉积金属层,清除上述第一光刻胶与上述 HMDS 层,同时上述半导体纳米线两端形成源极和漏极。

21. 如权利要求 8 或 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述穿隧层与绝缘层是通过原子层沉积法,从 Al_2O_3 、 HfO_2 、 SiO_2 中任选一种来形成的。

22. 如权利要求 21 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述穿隧层与绝缘层采用 Al_2O_3 形成,构成 Al_2O_3 的 Al 和 O 的初级粒子则采用三甲基铝和 H_2O 。

23. 如权利要求 21 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述穿隧层厚度为 5 ~ 30nm 之间。

24. 如权利要求 21 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述绝缘层厚度为 10 ~ 60nm 之间。

25. 如权利要求 8 或 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述半导体纳米线是采用纳米碳管或有机管来替代上述半导体纳米线。

26. 如权利要求 8 或 14 所述的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作方法,其特征是,上述栅电极的形成包括以下几个过程:

将第二光刻胶涂在上述绝缘层和具有上述源极与漏极的基片上,利用光刻法在上述源极与漏极之间形成第二空隙;

在上述第二空隙与第二光刻胶上沉积金属层,清除上述第二光刻胶,从而形成栅电极。

非易失性电子存储器件及其制作方法

技术领域

[0001] 本发明是关于非易失性电子存储器件及其制作方法,具体是关于用纳米线和纳米粒子制作而成的非易失性电子存储器件及其制作方法。其中,纳米线表面涂有穿隧层,使纳米粒子吸附于上述纳米线表面的穿隧层上,从而构成具有电荷迁移通道作用的上述半导体纳米线,以及具有电荷陷入层作用的上述半导体纳米粒子。通过纳米线转移的电荷,根据栅压穿隧至纳米粒子上,再根据栅压变化从纳米粒子穿隧至纳米线上,从而在低电压状态下既可以运行也能够加速运行。

背景技术

[0002] 在半导体领域,以主导经济、产业发展的 DRAM 为主的存储器市场,随着数码相机、手机等移动通信业务以及 IT 技术的发展,需要更多的存储器产品。

[0003] 尤其是闪存(快闪存储器)市场,近年来随着其需求量的增加而逐年保持增长势头,不久之后将占据大部分存储器市场。为了保证近年来发展神速的 IT 设备性能,当务之急,应提高弥补闪存缺点的信息储存能力,同时要对运行速度良好的低价位、下一代非易失性存储器技术进行研究。

[0004] 它将成为今后经济、产业发展的成长动力,如果我们放慢这类技术的开发速度,便难以满足国际需求。解决当前闪存结构问题的纳米线浮栅存储器件,直接采用现有工艺,短期内即可实现商用,因此应尽早开展相关研究。

[0005] 当前的闪存产品需要高工作电压,当 cell 大小变小时引发诸多问题,在调整大小方面有其局限性。目前,闪存的 program/erase 电压在 10V 以上,高于 CMOS 驱动电压。

[0006] 因为在 program 时由于应用 Channel-Hot-Electron(CHE)而电子移向浮栅(floating gate),erase 时根据 high-field-assisted tunneling(Fowler-Nordheim tunneling)而再次放电,电压要求高于直接穿隧时(3-4V)的电压。

[0007] 于是,为了做到直接穿隧的同时要加快 program/erase 速度,就要形成超薄氧化膜,而此时作为穿隧层的 SiO_2 薄膜的特点极为重要。

[0008] 实际上, SiO_2 薄膜的缺陷形成了漏电路径,所以很难防止浮栅的漏电。要解决这些问题,最重要的是解决穿隧层的缺陷问题。

[0009] 目前,闪存的集成度优于 DRAM,作为大容量存储媒介,闪存产品备受瞩目,但是要保证发展神速的 IT 设备性能,当务之急,要开发出具有卓越的信息储存能力以及在低电压状态下也能快速运行的低价位、下一代非易失性存储器。

[0010] 为了增加闪存容量,应缩小存储单元的大小,为此要使穿隧层的厚度最小化,因为厚度越小,program/erase 电压越低。

[0011] 然而,目前闪存的 program/erase 电压为 9~12V 左右,远远超过了 CMOS 以及 DRAM 驱动电压。在如此高的电压之下,经过几次 program/erase,即可破坏本就极薄的穿隧层,使浮栅的电荷外漏至通道,从而丧失其应有的功能。

[0012] 现有闪存器件的电荷陷入层由不间断薄膜构成。当部分穿隧层被破坏时,电荷陷

入层中的电荷会通过受损的穿隧层流入通道,至此产生很多漏电流。

[0013] program/erase 次数越多,穿隧层的受损越严重,致使器件的使用寿命缩短。

[0014] 为了解决这些问题,通常会形成更厚的穿隧层和绝缘层,但是这样会降低器件的集成度,同时 program/erase 也需要高电压。

发明内容

[0015] 本发明的目的是解决前述的现有存储器上存在的问题,同时提供纳米线-纳米粒子电子存储器件及其制作方法。在包覆纳米线的穿隧层表面形成包覆上述纳米线和穿隧层的纳米粒子,从而构成纳米线-纳米粒子存储器件。此时,利用纳米线缩小用于转移电荷的通道,提高集成度,同时采用电荷转移能力高的纳米线,加强通道特性。另外,将纳米粒子作为电荷陷入层使用,使器件在低栅压之下也能够转移,同时减少穿隧层及绝缘层厚度,提高器件的集成度。

[0016] 本发明的目的是提供纳米线-纳米粒子电子存储器件及其制作方法。将非易失性存储器件的门电路结构,从现有的一维平面(planar)结构改成 top(顶介)、omega(底介)、圆柱形(cylindrical)等结构,根据门电路结构的变化,使器件的 on/off 特性、subthreshold swing(亚阈值摆幅)效应及移动性(mobility)最大化,使其具有更快速的运行特性及低电压,同时将器件的制作工艺改为 bottom-up(自底向上)方式,这种制作工艺比现有的 top-down(自上而下)方式更简单,制作费用也低。

[0017] 【发明的构成】

[0018] 为了达到前述目的,本发明的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件,其特征具体如下:

[0019] 具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件包括:设置在基片上方的源极与漏极;使上述源极与漏极悬浮于上述基片上方或者吸附在上述基片上的半导体纳米线合成体;包覆上述纳米线合成体,并设置在上述源极与漏极之间的基片上方的栅电极。

[0020] 其中,上述半导体纳米线合成体包括:半导体纳米线;在上述半导体纳米线表面形成的穿隧层;由以包覆上述穿隧层表面的方式被吸附的纳米粒子构成的电荷陷入层;以及在上述电荷陷入层表面形成的绝缘层。

[0021] 而且,用纳米碳管或有机管替代上述半导体纳米线。

[0022] 同时,上述半导体纳米线是从 Si、Ge、GaN、BN、InP、GaAs、GaP、Si₃N₄、SiO₂、SiC、ZnO、Ga₂O₃ 中任选的一种成分或由其混合物构成的群集中选择。

[0023] 上述纳米粒子是从 HgTe、HgSe、HgS、CdTe、CdSe、CdS、ZnTe、ZnSe、ZnS、PbTe、PbSe、PbS、Ag、Au、Pt、Co、W、Ni、Fe 中任选的一种成分。

[0024] 上述纳米粒子还具有核壳结构。其中,核是从 HgTe、HgSe、HgS、CdTe、CdSe、CdS、ZnTe、ZnSe、ZnS、ZnO、PbTe、PbSe、PbS、Ag、Au、Pt、Ti、Co、W、Ni、Fe 中任选的一种成分;壳是在上述核表面,由 SiO₂ 氧化物或 TiO₂ 氧化物,或者能隙大于核的半导体纳米粒子组成。

[0025] 上述穿隧层以及绝缘层是从 Al₂O₃、HfO₂、SiO₂、MgO、ZrO₂、BaO、SrTiO₃、La₂O₃、HfSiO₄、ZrSiO₄、CaO、LaAlO₃、SrO、CaO 以及有机绝缘材料中任选的一种材料组成。

[0026] 本发明的具有纳米线通道和纳米粒子-浮栅节点的非易失性电子存储器件制作

方法,其特征是包括以下几个过程:

[0027] 形成半导体纳米线合成体,

[0028] 其中上述半导体纳米线合成体通过以下几个过程形成:

[0029] 采用溅射、CVD 以及原子层沉积法中的一个方法,在半导体纳米线表面形成穿隧层;

[0030] 在上述穿隧层表面形成电荷陷入层的纳米粒子吸附过程;

[0031] 通过原子层沉积法在上述纳米粒子表面形成绝缘层,

[0032] 或者,上述半导体纳米线合成体通过以下几个过程形成:

[0033] 将核壳结构的纳米粒子吸附到半导体纳米线表面;

[0034] 采用溅射、CVD 以及原子层沉积法中的一个方法,在上述核壳结构的纳米粒子表面形成绝缘层;

[0035] 采用光刻法或电子束光刻方式在纳米线中央形成栅电极;

[0036] 将上述半导体纳米线合成体或栅电极结构的试剂涂在被覆以 SiO_2 的硅半导体基片、玻璃基片和塑料基片中的任一基片上;

[0037] 在上述一基片上,采用光刻法或电子束光刻方式,在上述半导体纳米线两端形成源极和漏极。

[0038] 本发明另一个实施例的非易失性电子存储器件制作方法,其特征是包括以下几个过程:在硅、半导体、玻璃以及塑料基片中的一个基片上涂一层 HMDS (Hexamethyldisilazane),并在上述 HMDS 层上设置半导体纳米线;在具有上述半导体纳米线的 HMDS 层上部的上述半导体纳米线两端形成源极和漏极;采用原子层沉积法、溅射、CVD 中的一个方法形成包覆上述半导体纳米线的穿隧层;包覆上述穿隧层,并在上述穿隧层表面粘附与上述半导体纳米线不同成分的金属纳米粒子,从而形成电荷陷入层;采用原子层沉积法、溅射、CVD 中的一个方法,在上述电荷陷入层表面形成绝缘层;在上述源极和漏极之间的上述绝缘层上设置栅电极。

[0039] 其中,上述半导体纳米线是通过热蒸发方式在基片上生长而成。

[0040] 而且,上述半导体纳米线是对半导体基片进行蚀刻而成的。

[0041] 另外,上述电荷陷入层的形成包括以下几个过程:通过热沉积方式,在上述穿隧层表面涂一层金属纳米薄膜;用快速热处理机 (RTA) 对上述金属纳米薄膜进行加热,从而形成金属纳米粒子。

[0042] 上述金属纳米薄膜的涂层厚度为 2 ~ 10nm 之间。

[0043] 上述金属纳米粒子是在 250℃ ~ 450℃ 温度下对上述金属纳米薄膜进行加热而成的,加热时间为 5-30 秒之间。

[0044] 本发明另一个实施例的非易失性电子存储器件制作方法,其特征是包括以下几个过程:采用原子层沉积法、溅射、CVD 中的一个方法,在生长在半导体、玻璃以及塑料基片中的一个基片上的半导体纳米线表面形成穿隧层;将作为电荷陷入层的纳米粒子吸附在上述半导体纳米线表面的穿隧层上;采用原子层沉积法、溅射、CVD 中的一个方法,在形成上述电荷陷入层的纳米粒子表面形成绝缘层;在半导体、玻璃以及塑料基片中的一个基片上涂一层 HMDS (Hexamethyldisilazane),并在上述 HMDS 层表面设置依次形成上述穿隧层、电荷陷入层以及绝缘层的上述半导体纳米线;在具有上述半导体纳米线的 HMDS 层上部的上述

半导体纳米线两端形成源极和漏极；在上述源极和漏极之间的上述绝缘层上设置栅电极。

[0045] 其中，上述半导体纳米线是在由 Si 或 Al_2O_3 物质构成的基片上生长而成的。

[0046] 而且，上述纳米粒子的吸附包括以下几个过程：将具有上述纳米线的基片浸泡在分散水溶液中，利用超声波对上述纳米线进行分散；对上述纳米线分散水溶液与含纳米粒子的分散水溶液进行混合；利用超声波，将上述纳米粒子吸附到上述纳米线表面。

[0047] 其中，上述分散水溶液是从蒸馏水、乙醇、甲醇以及丙酮中任选的一种。

[0048] 另外，上述纳米粒子的吸附是将上述半导体纳米线浸泡在含有纳米粒子的溶液中，从而吸附纳米粒子。

[0049] 吸附上述纳米粒子的过程是，采用 LPCVD 方法，在上述半导体纳米线表面沉积 Si 层后，用湿刻技术 (wet etching) 生成多晶硅 (poly-Si) 纳米粒子。

[0050] 上述源极与漏极的形成包括以下几个过程：涂布第一光刻胶，利用光刻法形成多个第一空隙；在上述第一空隙及第一光刻胶上沉积金属层，清除上述第一光刻胶与上述 HMDS 层，从而在上述半导体纳米线两端形成源极和漏极。

[0051] 上述穿隧层与绝缘层是通过原子层沉积法，从 Al_2O_3 、 HfO_2 、 SiO_2 中任选一种物质来形成的。

[0052] 其中，上述穿隧层与绝缘层用 Al_2O_3 形成，构成 Al_2O_3 的 Al 和 O 的初级粒子则采用三甲基铝和 H_2O 。

[0053] 上述穿隧层厚度为 5 ~ 30nm 之间。

[0054] 上述绝缘层厚度为 10 ~ 60nm 之间。

[0055] 上述半导体纳米线是采用纳米碳管 (CNT) 或有机管替代上述半导体纳米线。

[0056] 另外，上述栅电极的形成包括以下几个过程：将第二光刻胶涂在上述绝缘层和具有上述源极与漏极的基片上，利用光刻法在上述源极与漏极之间形成第二空隙；在上述第二空隙与第二光刻胶上沉积金属层，清除上述第二光刻胶，从而形成栅电极。

附图说明

[0057] 图 1 是本发明纳米线 - 纳米粒子非易失性电子存储器件的概念图。

[0058] 图 2 是本发明最佳实施例的纳米线 - 纳米粒子非易失性电子存储器件截面图。

[0059] 图 3 是对上述图 2 中“A”部分进行放大的截面图。

[0060] 图 4 是根据本发明的最佳实施例，涂于各种纳米线表面的圆柱形 Al_2O_3 氧化膜的透射电子显微镜 (Transmission Electron Microscope: TEM) 照片。

[0061] 图 5 是根据本发明的实施例，HgTe 纳米粒子吸附于 ZnO 纳米线表面绝缘层的透射电子显微镜 (TEM) 结构图。

[0062] 图 6 是根据本发明的实施例，采用 core-shell (核壳) 结构的纳米粒子形成的半导体纳米线合成体截面图。

[0063] 图 7a ~ 图 7g 是本发明第二实施例的纳米线 - 纳米粒子非易失性电子存储器件制作工艺图。

[0064] 图 8a 是根据本发明的第二实施例，由具有绝缘层 (即电荷通道层) 的纳米线，以及吸附在上述纳米线上的纳米粒子 (即电荷陷入层) 组成的纳米线 - 绝缘材料 - 纳米粒子结构的透射电子显微镜 (TEM) 照片。

[0065] 图 8b 是根据本发明的第二实施例制作而成的纳米线-纳米粒子非易失性电子存储器件平面照片。

[0066] 图 9 是根据本发明的第二实施例制作而成的纳米线-纳米粒子非易失性电子存储器件的电气特性曲线图。

[0067] 图 10a ~ 图 10g 是本发明第三实施例的纳米线-纳米粒子非易失性电子存储器件制作工艺图。

[0068] 图 11 是根据本发明的第三实施例,通过超声波处理吸附 Au 纳米粒子的 Si 纳米线 TEM 照片。

[0069] 图 12 是根据本发明的第三实施例,用混合液吸附 CdTe 纳米粒子的 ZnO 纳米线 TEM 照片。

[0070] 图 13 是根据本发明的第三实施例,用化学蚀刻法对硅层进行蚀刻形成的 poly-Si(多晶硅)层沉积在 ZnO 纳米线表面的扫描电子显微镜(scanning Electron Microscope;SEM)照片。

[0071] 图 14 是本发明第三实施例的纳米线-纳米粒子非易失性电子存储器件的电气特性曲线图。

[0072] * 附图主要部分的符号说明 *

[0073]	10 :基片	20 :绝缘膜
[0074]	31 :源极	33 :漏极
[0075]	35 :栅电极	40 :半导体纳米线合成体
[0076]	41 :半导体纳米线	42 :穿隧层
[0077]	43 :电荷陷入层	44 :绝缘层
[0078]	51,53 :第一光刻胶(photoresist)	52,54 :第二光刻胶
[0079]	60 :超声波水槽	

具体实施方式

[0080] 下面结合附图及实施例对本发明的内容及效果进行详细说明。

[0081] 图 1 是本发明纳米线-纳米粒子非易失性电子存储器件的概念图,图 2 是本发明最佳实施例的纳米线-纳米粒子非易失性电子存储器件截面图,图 3 是对上述图 2 中“A”部分进行放大的截面图。

[0082] 从图 1 ~ 图 3 来看,本发明的纳米线-纳米粒子非易失性电子存储器件,其结构如下:源极与漏极 31、33,设置在半导体、玻璃或塑料基片 10 上方;半导体纳米线合成体 40,使上述源极与漏极 31、33 悬浮于上述半导体、玻璃或塑料基片 10 上方,或者吸附在上述基片上部;栅电极 35,包覆上述纳米线合成体 40,设置在上述源极与漏极 31、33 之间以及硅基片 10 上方。

[0083] 其中,上述纳米线合成体 40 由半导体纳米线 41;包覆上述半导体纳米线 41 的穿隧层 42;吸附于上述穿隧层 42 表面的纳米粒子构成,也包括包覆上述穿隧层的电荷陷入层 43,以及包覆上述电荷陷入层 43 的绝缘层 44。

[0084] 下面结合实施例对本发明的制作方法进行详细说明。

[0085] < 实施例 1>

[0086] 本发明第一实施例的纳米线-纳米粒子非易失性电子存储器件的制作方法,实施以下几个过程:形成半导体纳米线合成体;利用光刻法 (photolithography) 或电子束光刻 (e-beam lithography) 方式,在上述半导体纳米线合成体的纳米线中央设置栅电极;将具有上述纳米线合成体/栅电极结构的试剂涂在具有 SiO_2 的硅基片、半导体基片、玻璃及塑料基片上;在上述基片上方,利用光刻法或电子束光刻方式,在上述纳米线两端设置源极和漏极。

[0087] 其中,半导体纳米线合成体的形成又包括以下几个过程:利用以原子层沉积法涂在半导体纳米线表面的绝缘材料 (insulating material)、有机绝缘材料 (organic insulating material) 以及用溅射 (sputter)、Chemical vapor deposition (CVD) 涂覆的绝缘层形成穿隧层;将具有电荷陷入层的纳米粒子吸附到上述穿隧层表面;在上述纳米粒子上涂覆通过原子层沉积法 (Atomic layer Deposition) 形成的绝缘层、有机绝缘材料以及用溅射形成的绝缘层。

[0088] 上述半导体纳米线是从 ZnO 、 GaN 、 SiC 、 SnO_2 、 GaP 、 BN 、 InP 、 Si_3N_4 、 GaAs 、 Si 中任选的一种纳米线,或者从用其混合物构成的群集中选择的半导体纳米线。

[0089] 上述穿隧层是 Al_2O_3 , 上述 Al 和 O 的初级粒子为 TMA (Trimethylaluminum) 和 H_2O , 厚度约 1 ~ 10nm 左右,均匀沉积,在上述半导体纳米线上具有厚度均匀的 omega 形态以及圆柱形态。

[0090] 上述穿隧层为 SiO_2 , 厚度约 1 ~ 10nm 左右,均匀沉积,在上述半导体纳米线上具有厚度均匀的 omega 形态以及圆柱形态。

[0091] 上述穿隧层为有机绝缘层,厚度约 1 ~ 10nm 左右,均匀沉积,在上述半导体纳米线上具有厚度均匀的 omega 形态以及圆柱形态。

[0092] 另外,上述电荷陷入层可能是从 HgTe 、 HgSe 、 HgS 、 CdTe 、 CdSe 、 CdS 、 ZnTe 、 ZnSe 、 ZnS 、 PbTe 、 PbSe 、 PbS 、 Au 、 Pt 、 Co 、 W 、 Ni 、 Fe 中任选的一种纳米粒子,或者是从通过 CVD 或溅射或 Evaporator (蒸发器) 形成的 Si 、 Au 、 Pt 、 Co 、 W 、 Ni 、 Fe 中任选的一种纳米粒子。

[0093] 对于按照前述的制作方法制作而成的纳米线-纳米粒子非易失性电子存储器件,进一步说明如下。

[0094] 用通过电炉 (furnace) 或 CVD 方法生长的纳米线、通过蚀刻法 (etching) 在半导体基片上蚀刻而成的纳米线等合成的 ZnO 、 GaN 、 Si 、 GaAs 等半导体纳米线上,沉积厚度均匀的、通过原子层沉积法形成的绝缘材料、采用有机物的有机绝缘材料以及通过溅射、CVD 方法形成的绝缘层,并在上述半导体纳米线上形成各种形态的穿隧层,比如只沉积于纳米线上方的 top 形态,在大部分纳米线上均匀沉积的 omega 形态以及在整个纳米线上均匀沉积的圆柱形态等。图 4 是用这种方法形成的各种半导体纳米线上 Al_2O_3 氧化膜的透射电子显微镜照片。

[0095] 将具有穿隧层的半导体纳米线浸泡在通过化学湿法制作而成的 HgTe 、 CdTe 等半导体或者 Au 、 Co 、 Ni 等金属纳米粒子所分散的溶媒中,几秒~几分钟取出干燥,并在纳米线周围吸附纳米粒子从而形成电荷陷入层。图 5 是 HgTe 纳米粒子吸附在 ZnO 纳米线周围的透射电子显微镜照片。

[0096] 接着,在具有穿隧层和电荷陷入层的半导体纳米线上涂覆通过原子层沉积法形成的绝缘层、有机绝缘材料以及通过溅射形成的绝缘层,从而形成 15 ~ 30nm 厚度的绝缘层。

[0097] 然后,用光刻法或电子束光刻法在半导体纳米线合成体中央形成栅电极。

[0098] 对于通过以上方式形成的半导体纳米线合成体 / 栅电极结构的试剂,用乙醇或甲醇等溶媒分散后,通过溶媒 dropping(滴下)、旋涂 (spincoating)、LB 等方法,涂覆于具有 SiO_2 的硅基片、具有绝缘层的半导体基片、玻璃基片或塑料基片 (未图示) 上。

[0099] 接着,在上述硅基片上方,用光刻法或电子束光刻方式,在半导体纳米线两端形成源极和漏极,从而完成纳米线 - 纳米粒子非易失性电子存储器件的制作。

[0100] 图 6 是利用 core-shell 结构的纳米粒子的纳米线 - 纳米粒子非易失性电子存储器件截面图。

[0101] 如图 6 所示,本发明的非易失性电子存储器件具有核壳 (core-shell) 结构,其中,核 (core) 431 是通过化学湿法制作而成的、从 HgTe 、 HgSe 、 HgS 、 CdTe 、 CdSe 、 CdS 、 ZnTe 、 ZnSe 、 ZnS 、 PbTe 、 PbSe 、 PbS 、 Au 、 Pt 、 Co 、 W 、 Ni 、 Fe 中任选一种成分的纳米粒子;壳 (shell) 432 是 SiO_2 氧化物或 TiO_2 氧化物或能隙 (energy gap) 大于核 (core) 431 的半导体纳米粒子。

[0102] 上述核壳结构,在半导体纳米线周围不形成穿隧层,将 HgTe/CdTe 、 Au/SiO_2 等 core-shell 结构的纳米粒子直接吸附到半导体纳米线上,并经过上述实施例 1 这样的后续工程来制作非易失性电子存储器件。

[0103] < 实施例 2 >

[0104] 下面参照图 7a ~ 图 7g 对本发明第二实施例的纳米线 - 纳米粒子非易失性电子存储器件制作工艺进行说明。

[0105] 从图 7a 来看,为了提高第一光刻胶 51 的粘附性,在硅、半导体、玻璃或塑料基片 10 上形成 HMDS (Hexamethyldisilazane; 六甲基二硅氮烷) 膜 21,将半导体纳米线 (nanowire) 41 撒在 HMDS 膜上面,然后涂第一光刻胶 51,经过曝光以及显像过程,在纳米线周围形成厚度在几 μm ~ 几十 nm 左右的电极用抗蚀图形 (resist pattern)。换言之,通过光刻法形成后述的源极与漏极所在的第一空隙 (未图示)。同时,在上述硅基片、半导体基片、玻璃或塑料基片 10 与上述 HMDS 膜 21 之间还能形成采用 SiO_2 及绝缘材料的绝缘膜 20。

[0106] 其中,上述半导体纳米线 41 设置在上述 HMDS (Hexamethyldisilazane) 膜 21 上,看情况可以采用纳米碳管或有机管来替代上述半导体纳米线。上述半导体纳米线 41 最好是从 Si 、 Ge 、 GaN 、 BN 、 InP 、 GaAs 、 GaP 、 Si_3N_4 、 SiO_2 、 SiC 、 ZnO 、 Ga_2O_3 中任选的一种成分。

[0107] 上述半导体纳米线 41 是通过热蒸发方式在硅基片上生长而成。上述半导体纳米线 41 在水溶液中分散后,撒在上述 HMDS (Hexamethyldisilazane) 膜 21 上。

[0108] 之后,在上述第一空隙及第一光刻胶 51 上沉积金属层后,清除上述第一光刻胶 51 以及上述 HMDS (Hexamethyldisilazane) 膜 21。于是,在半导体纳米线 41 两端形成如图 7b 所示的源极 31 和漏极 33。形成上述源极与漏极 31、33 的金属层,可以依次沉积钛 (Ti)、金 (Au) 来完成。

[0109] 接着形成如图 7c ~ 7e 所示的半导体纳米线合成体 40,具体如下:

[0110] 如图 7c 所示,形成包覆上述半导体纳米线 41 的穿隧层 42。上述穿隧层 42 是从 Al_2O_3 、 HfO_2 、 SiO_2 以及有机绝缘材料中任选的一种,通过原子层沉积法、CVD、溅射等方法形成。此时,表面沉积有上述穿隧层 42 的上述半导体纳米线 41 具有 omega 形态及圆柱形态。

[0111] 如上所述,通过原子层沉积法形成上述穿隧层 42 时,如果采用氧化铝 (Al_2O_3) 形成上述穿隧层 42 的,则使用 TMA (Trimethylaluminum) 和 H_2O 作为组成氧化铝的铝 (Al) 和氧

(O) 的初级粒子。

[0112] 形成包覆上述半导体纳米线 41 的上述穿隧层 42 后,如图 7d 所示,形成包覆上述穿隧层 42 的电荷陷入层 43。形成上述电荷陷入层 43 的过程,就是在上述穿隧层 42 表面吸附与上述半导体纳米线 41 不同成分的金属纳米粒子的过程。

[0113] 使金属纳米粒子吸附到上述穿隧层 42 表面,从而形成上述电荷陷入层 43 的过程,首先通过热沉积法在上述穿隧层 42 表面涂一层金属纳米薄膜。之后,利用快速热处理机 (RTA) 对上述金属纳米薄膜进行加热,从而形成金属纳米粒子。再由上述金属纳米粒子形成储存电荷的电荷陷入层 43。

[0114] 通过热沉积法涂于上述穿隧层 42 表面的上述金属纳米薄膜的厚度,最好是 2nm ~ 10nm 左右,在 250℃ ~ 450℃ 的温度下对具有上述厚度的金属纳米薄膜进行加热,过 5 秒 ~ 30 秒之后即可形成金属纳米粒子。此时,表面沉积有上述穿隧层 42 和电荷陷入层 43 的上述半导体纳米线 41 呈现圆柱形。如上所述,对于具有形成电荷陷入层 43 的金属纳米粒子的纳米线,用扫描电子显微镜拍下的照片如图 8a 所示。

[0115] 为了包覆上述穿隧层 42 而具有上述金属纳米粒子的电荷陷入层 43 形成之后,如图 7e 所示,又形成包覆上述电荷陷入层 43 的绝缘层 44。

[0116] 上述绝缘层 44 是从 Al_2O_3 、 HfO_2 、 SiO_2 、有机绝缘材料中任选一种,并通过原子层沉积法、CVD、溅射等方法形成。此时,表面沉积有上述穿隧层 42、电荷陷入层 43 以及绝缘层 44 的上述半导体纳米线 41 呈现圆柱形。

[0117] 如上所述,通过原子层沉积法形成上述绝缘层 44 时,如果采用氧化铝 (Al_2O_3) 形成上述绝缘层 44 的,则使用 TMA (Trimethylaluminum) 和 H_2O 作为构成氧化铝的铝 (Al) 和氧 (O) 的初级粒子。

[0118] 沉积上述氧化铝形成上述绝缘层 44 的过程,是在 250℃ ~ 300℃ 温度下完成 200 ~ 400 圈 (cycle) 的涂覆过程。根据原子层沉积法 (ALD) 的自控机制,氧化铝以 10nm ~ 60nm 左右的厚度均匀沉积在电荷陷入层 43 表面。

[0119] 如图 7f 所示,在上述半导体纳米线合成体 40 和上述源极与漏极 31、33 所在的硅基片 1

[0120] 0 上涂第二光刻胶 52,通过光刻法,在上述源极与漏极 31、33 之间形成具有后述的栅电极 35 的第二空隙 (未图示)。

[0121] 之后,在上述第二空隙及上述第二光刻胶 52 上沉积金属层,清除上述第二光刻胶 52,即可在上述源极与漏极 31、33 之间形成栅电极 35,具体见图 7g。形成上述栅电极 35 的金属层,可以依次沉积钛 (Ti)、金 (Au) 来完成。

[0122] 图 8b 是按照以上过程制作而成的本发明纳米线 - 纳米粒子非易失性电子存储器件平面照片。如图 8b 所示,在源极与漏极 31、33 之间有纳米线 41 及栅电极 35。在上述纳米线 41 表面依次沉积穿隧层 42、电荷陷入层 43 以及绝缘层 44,其中,上述电荷陷入层 43 采用与上述纳米线 41 不同成分的金属纳米粒子。

[0123] 下面结合图 9 说明按照图 7a ~ 图 7g 的过程制作而成的纳米线 - 纳米粒子非易失性电子存储器件的电气特性。

[0124] 如图 9 所示,对栅电极施加正电压时,流过纳米线的电荷进行穿隧,并储存于电荷陷入层中,反之,施加负电压时,储存在电荷陷入层中的电荷重新流到纳米线。

[0125] 另外,栅压越高,流过纳米线通道和电荷陷入层的电荷量越多,进一步增加电流的变化幅度。

[0126] < 实施例 3>

[0127] 下面结合图 10a ~ 图 10g 对本发明第三实施例的纳米线 - 纳米粒子非易失性电子存储器件制作方法进行说明。

[0128] 纳米线制作方法有两种:一种是在基片上生长半导体纳米线。这种方法在现有方法中任选一种即可。但是,用来生长上述半导体纳米线的基片,最好采用 Si 或 Al_2O_3 等物质。另一种是采用光刻法或电子束光刻方式在半导体基片上形成图案后,通过蚀刻法对半导体基片进行蚀刻,从而制作出厚度与宽度均匀的纳米线。

[0129] 如上所述,在基片上生长半导体纳米线之后,利用原子层沉积法、CVD、溅射等方法,在上述半导体纳米线表面形成穿隧层 42,穿隧层 42 材料从 Al_2O_3 、 HfO_2 、 SiO_2 以及有机绝缘材料中任选一种。

[0130] 如上所述,对半导体基片进行蚀刻制作纳米线之后,将上述半导体纳米线转移至半导体基片、玻璃基片或塑料基片上进行排列。接着,利用原子层沉积法、CVD、溅射等方法,在纳米线表面形成穿隧层 42,穿隧层 42 材料从 Al_2O_3 、 HfO_2 、 SiO_2 以及有机绝缘材料中任选一种。

[0131] 上述穿隧层 42 选择氧化铝 (Al_2O_3)、 HfO_2 、 SiO_2 中的一个,是通过原子层沉积法形成的。此时,表面沉积有上述穿隧层 42 的上述半导体纳米线 41 呈现圆柱形。

[0132] 如上所述,通过原子层沉积法形成上述穿隧层 42 时,如果采用氧化铝 (Al_2O_3) 形成上述穿隧层 42 的,则使用 TMA (Trimethylaluminum) 和 H_2O 作为构成氧化铝的铝 (Al) 和氧 (O) 的初级粒子。

[0133] 沉积上述氧化铝形成上述穿隧层 42 的过程,是在 $250^\circ\text{C} \sim 300^\circ\text{C}$ 温度下经过 100 ~ 200 cycle 的涂覆过程来完成的,根据原子层沉积法 (ALD) 的自控机制,氧化铝以 5nm ~ 30nm 左右的均匀厚度沉积在半导体纳米线 41 表面。

[0134] 经过以上过程,在半导体纳米线 41 表面形成穿隧层 42 后,实施下一步,即,将构成电荷陷入层 43 的纳米粒子吸附到上述半导体纳米线 41 表面的穿隧层 42 上。

[0135] 将纳米粒子吸附到半导体纳米线表面的过程可以采用以下三种方法。

[0136] 从图 10a 来看,第一种方法是将半导体纳米线 41 粘附于其表面的基片 40a 浸泡在分散水溶液中,利用超声波对上述半导体纳米线 41 进行分散。此时,上述穿隧层 42 就沉积在上述半导体纳米线 41 表面。

[0137] 接着,在分散水溶液中浸泡即将吸附到上述穿隧层 42 表面的纳米粒子,再用超声波进行分散。上述纳米粒子是用来作为电荷陷入层 43 的。之后,在超声波水槽中对上述纳米线分散水溶液和上述纳米粒子分散水溶液进行混合,再用超声波使上述纳米粒子吸附到上述纳米线表面。用以分散上述纳米线以及纳米粒子的分散水溶液,最好是选择蒸馏水、乙醇、甲醇以及丙酮中的一个。

[0138] 图 11 是 Si 纳米线和 Au 纳米粒子异型接合的纳米材料的透射电子显微镜照片 (TEM)。具体如下:将分散在甲醇中的 Si 纳米线和 0.01M 的 HAuCl_4 溶液混合,用超声波予以稳定之后进行热处理,即可在 Si 纳米线表面形成如上所述的 Au 纳米粒子。如图 11 所示, Si 纳米线表面粘附有 Au 纳米粒子, Au 直径约 8 ~ 15nm,整体大小均匀。

[0139] 第二种方法比较简单,在含有纳米粒子的溶液中浸泡半导体纳米线,即可吸附纳米粒子。图 12 是将 ZnO 纳米线浸泡在含有 CdTe 纳米粒子的溶液中,经过异型接合而成的纳米材料透射电子显微镜照片。据图 13 显示,CdTe 纳米粒子均匀粘附在 ZnO 纳米线表面。

[0140] 第三种方法是通过热沉积、CVD、溅射等方法,在经过生长的纳米线表面涂上薄薄的 poly-Si 后进行蚀刻,使 Si 纳米粒子沉积到纳米线表面。图 16 是对通过低压化学气相沉积法 (low pressure chemical vapor deposition) 在 ZnO 纳米线表面生长而成的 poly-Si 层进行蚀刻的 poly-Si 纳米粒子。

[0141] 按照以上过程,将纳米粒子吸附到上述纳米线表面的穿隧层 42 上,然后只对上述纳米线进行分离。这样,即可获得依次形成穿隧层 42 和由纳米粒子构成的电荷陷入层 43 的半导体纳米线 41,具体见图 10b。图 10b 中的半导体纳米线是被分离的无数纳米线中的一个。

[0142] 接着,在上述电荷陷入层 43 表面形成绝缘层 44,具体见图 10c。

[0143] 上述绝缘层 44 是从氧化铝 (Al₂O₃)、HfO₂、SiO₂ 中任选的一种物质,是采用原子层沉积法形成的。此时,表面沉积有上述穿隧层 42、电荷陷入层 43 以及绝缘层 44 的上述半导体纳米线 41 呈现圆柱形。

[0144] 如上所述,通过原子层沉积法形成上述绝缘层 44 时,如果采用氧化铝 (Al₂O₃) 构成上述绝缘层 44 的,则使用 TMA (Trimethylaluminum) 和 H₂O 作为构成氧化铝的铝 (Al) 和氧 (O) 的初级粒子。

[0145] 沉积上述氧化铝形成上述绝缘层 44 的过程是,在 250℃~300℃ 温度下进行 200~400cycle 的涂布过程来完成的,根据原子层沉积法 (ALD) 的自控机制,氧化铝以 10nm~40nm 左右的厚度均匀沉积在电荷陷入层 43 表面。

[0146] 通过以上过程,在半导体纳米线 41 表面依次形成穿隧层 42、电荷陷入层 43 以及绝缘层 44 之后,如图 10d 所示,为了提高第一光刻胶 53 的粘附性,在硅基片 10 上形成 HMDS (Hexamethyldisilazane) 膜 21,并将半导体纳米线 (nanowire) 41 撒在 HMDS 膜上,接着涂上第一光刻胶 53,经过曝光以及显像之后,在纳米线周围形成电极用抗蚀图形,其宽度约几 μm~几十 nm。换言之,利用光刻法形成具有后述的源极与漏极的第一空隙 (未图示)。同时,上述硅基片 10 和上述 HMDS 膜 21 之间还能形成 SiO₂ 绝缘膜 20。

[0147] 其中,在上述 HMDS (Hexamethyldisilazane) 膜 21 上形成上述半导体纳米线 41,看情况可以采用纳米碳管或有机管来替代上述半导体纳米线。上述半导体纳米线 41 最好是从 Si、Ge、GaN、InP、GaAs、GaP、Si₃N₄、SiO₂、SiC、ZnO、Ga₂O₃ 中任选的一种成分。另外,上述半导体纳米线 41 还可以通过热蒸发方式在硅基片上生长而成。

[0148] 接着,在上述第一空隙及第一光刻胶 53 上沉积金属层后,清除上述第一光刻胶 53 以及上述 HMDS (Hexamethyldisilazane) 膜 21。于是,即可在表面依次沉积有穿隧层 42、电荷陷入层 43 以及绝缘层 44 的半导体纳米线 41 两端形成源极 31 与漏极 33,具体见图 10e。形成上述源极与漏极 31、33 的金属层是依次沉积钛 (Ti) 和金 (Au) 来完成。

[0149] 如上所述,在上述半导体纳米线 41 两端形成源极 31 和漏极 33 后,如图 10f 所示,在上述半导体纳米线合成体 40 和具有上述源极与漏极 31、33 的硅基片 10 上涂第二光刻胶 54,利用光刻法在上述源极与漏极 31、33 之间形成具有后述的栅电极 35 的第二空隙 (未图示)。

[0150] 接着,在上述第二空隙及上述第二光刻胶 54 上沉积金属层,清除上述第二光刻胶 54,即可在上述源极与漏极 31、33 之间形成栅电极 35,具体见图 10g。具有上述栅电极 35 的金属层是依次沉积钛 (Ti) 和金 (Au) 来形成的。

[0151] 下面结合图 14,对根据图 10a ~ 图 10g 制作而成的纳米线 - 纳米粒子非易失性电子存储器件的电气特性进行说明。

[0152] 图 14 的上图为在栅压的变化之下,随着漏极与源极之间的电压变化而发生变化的电流扫描图;下图为在栅压的变化之下,电流值根据所施加的电压方向发生变化的存储效应。

[0153] 【发明的效果】

[0154] 本发明提供具有纳米线通道和纳米粒子 - 浮栅节点的非易失性电子存储器件及其制作方法。根据本发明,半导体纳米线表面具有穿隧层,而纳米粒子则吸附到纳米线表面的穿隧层上,从而构成纳米线 - 纳米粒子存储器件,其中,上述半导体纳米线作为电荷迁移通道,与上述半导体纳米线不同成分的纳米粒子则作为电荷陷入层,以此缩小电荷迁移通道,提高集成度,同时采用电荷转移能力高的纳米线,加强通道特性。另外,用纳米粒子作为电荷陷入层,器件在低工作电压(栅压)之下也可以工作,同时减少穿隧层与绝缘层厚度,从而提高器件集成度。

[0155] 本发明还提供纳米线 - 纳米粒子电子存储器件及其制作方法。非易失性存储器件的门电路结构从现有的一维平面(planar)结构改为 top、omega、cylindrical 等结构,根据门电路结构变化,将器件的 on/off 特点、subthreshold swing 效应以及 mobility 最大化,使其具有更快的运行特点以及低工作电压,电子器件的制作工艺则采用 bottom-up 方式,这种工艺要比现有的 top-down 方式更方便,所需费用也少。

[0156] 另外,纳米线的制作方法有热生长方式以及蚀刻法等;将纳米粒子吸附到纳米线表面的方法有:纳米粒子快速热处理法、纳米线 - 纳米粒子溶液混合法、超声波处理法、添加纳米粒子 - 离子后热处理法、对纳米线施加电压以吸附纳米粒子、电喷设备的双喷嘴使用法、化学蚀刻法等等。

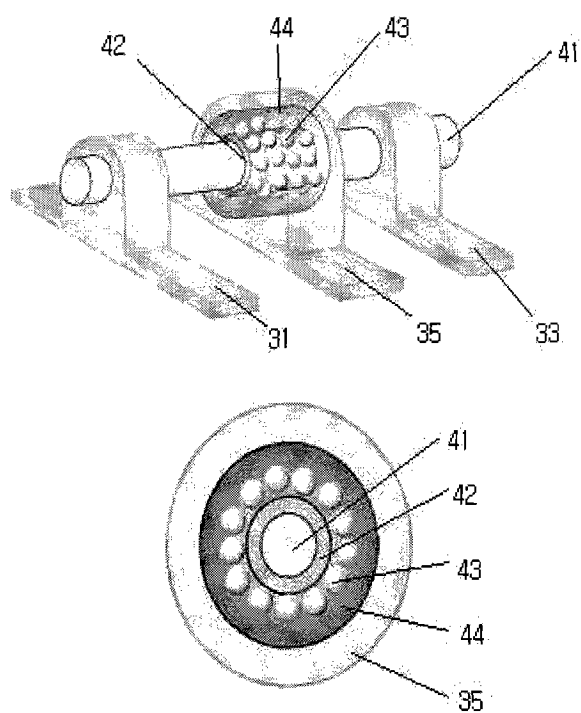


图1

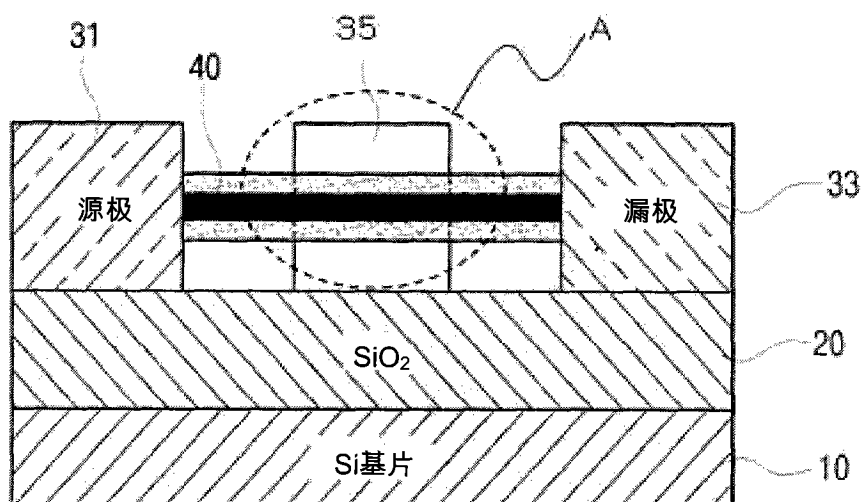


图2

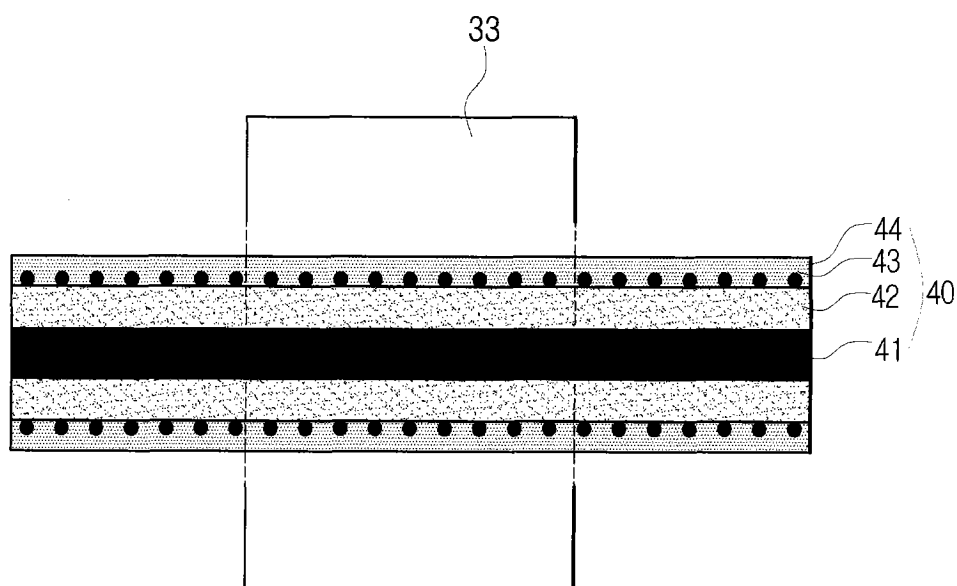


图3

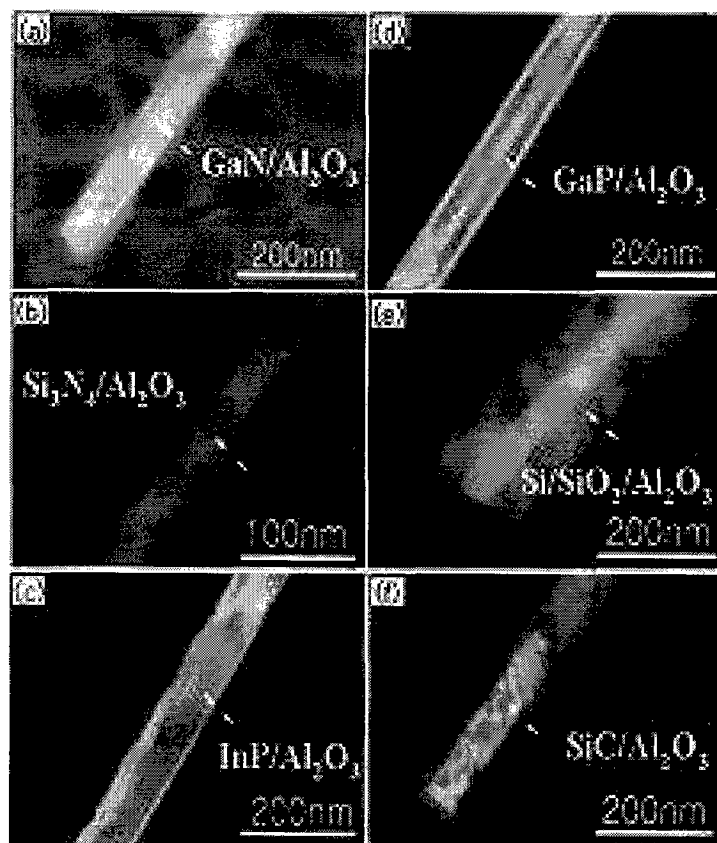


图4

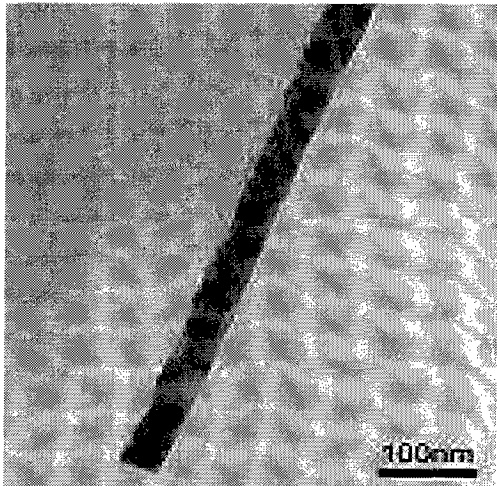


图5

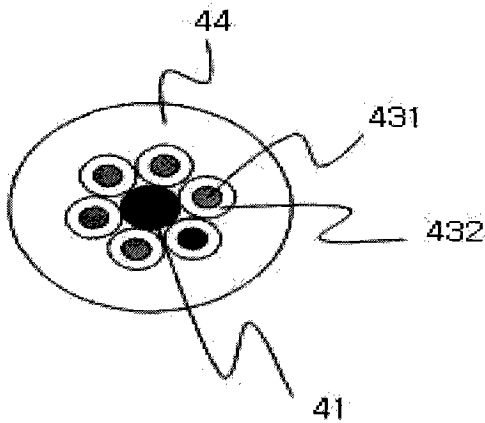


图6

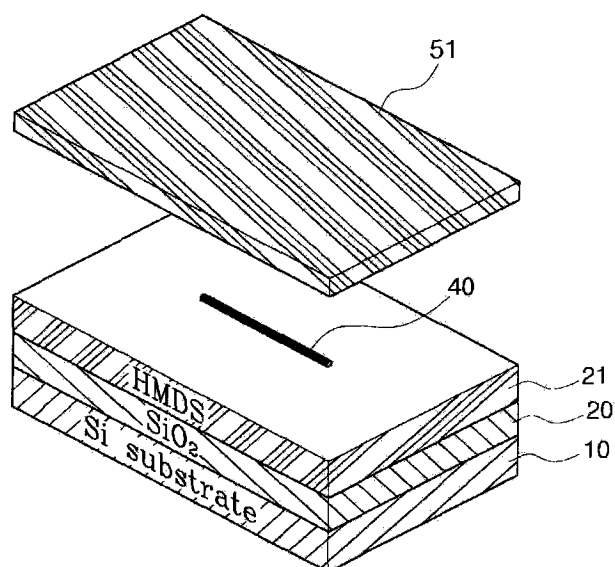


图7a

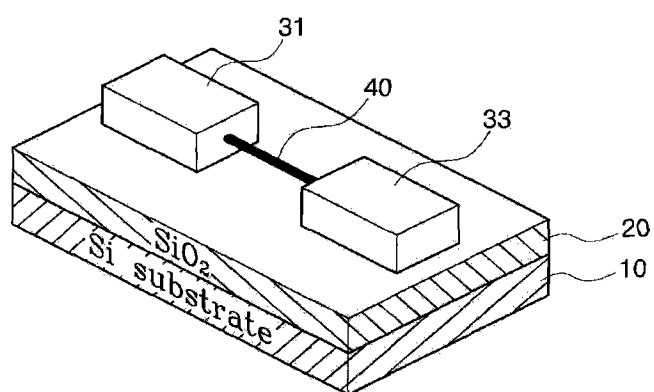


图7b

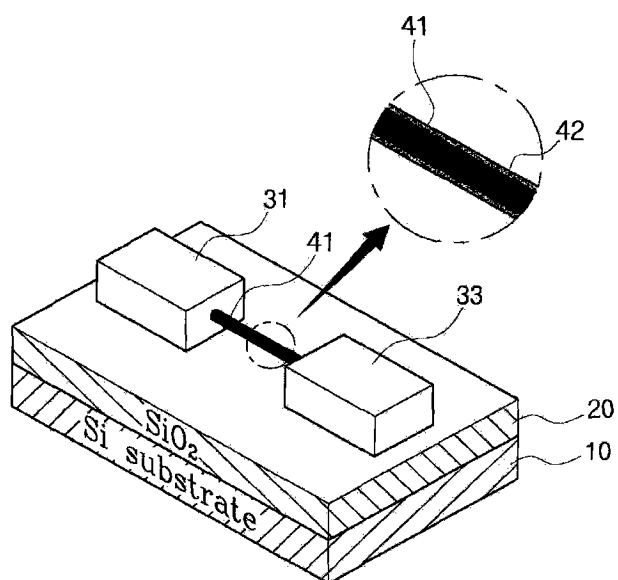


图7c

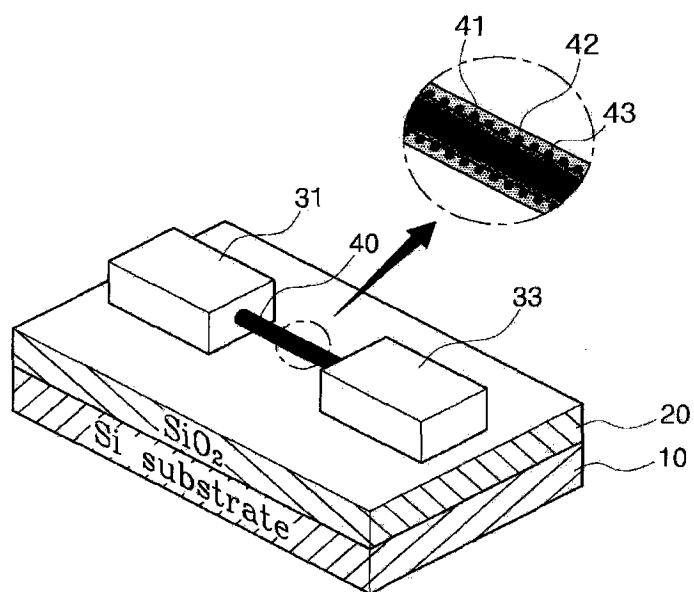


图7d

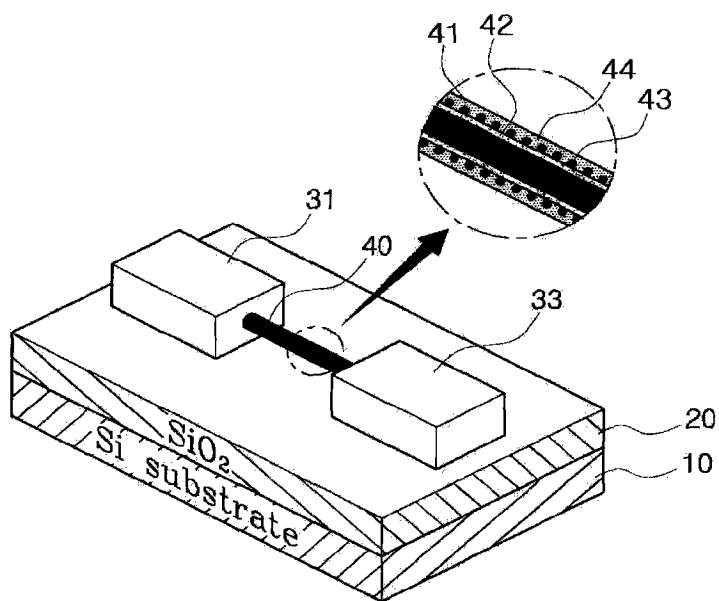


图7e

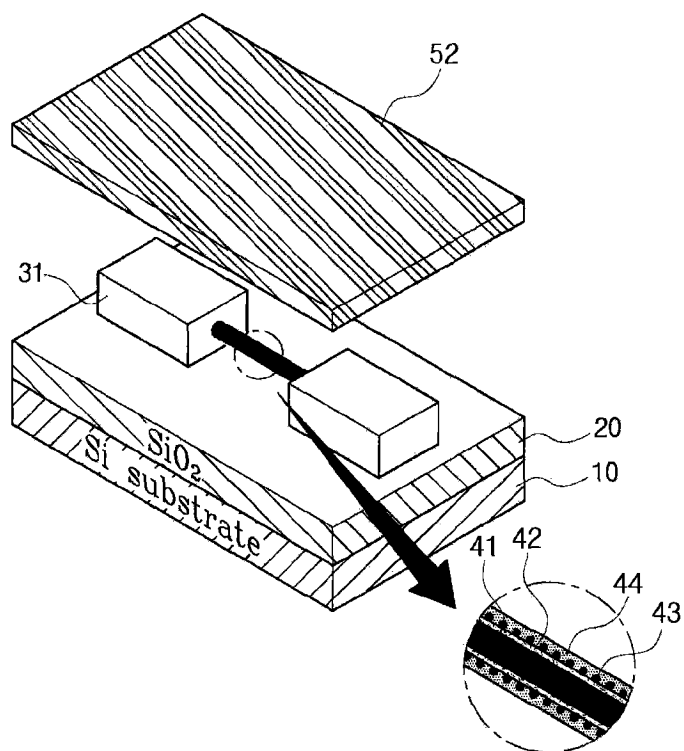


图7f

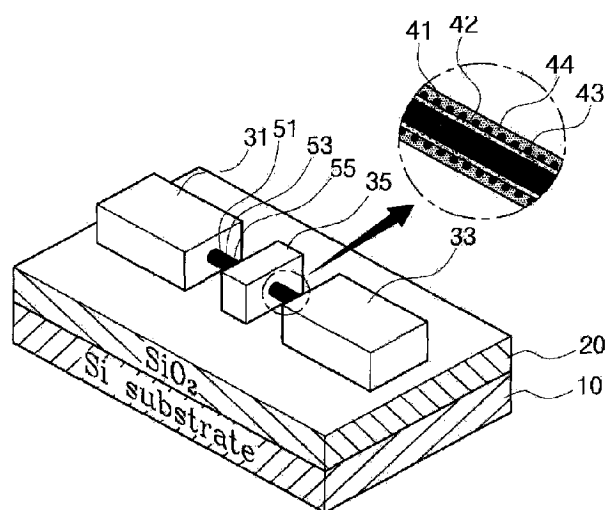


图7g

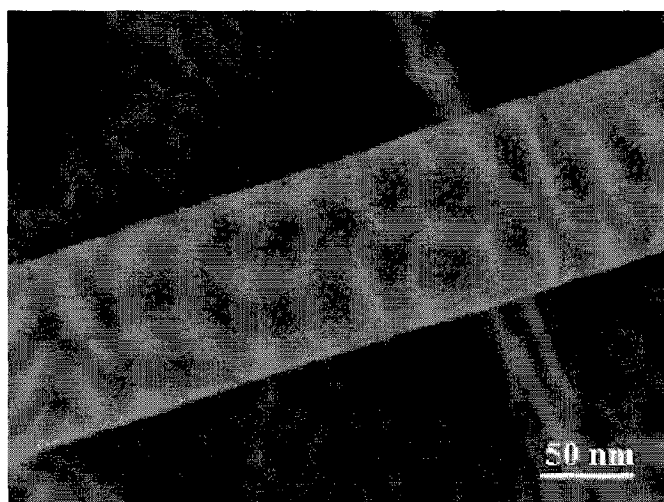


图8a

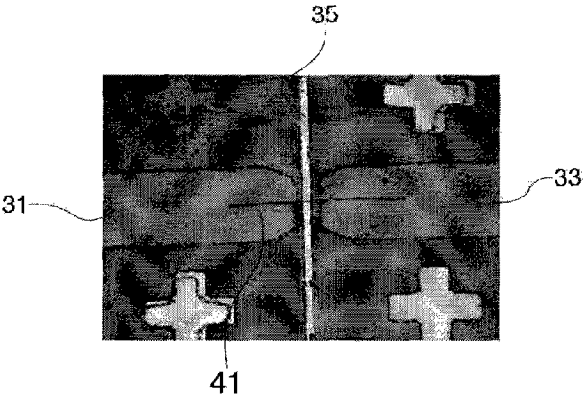


图8b

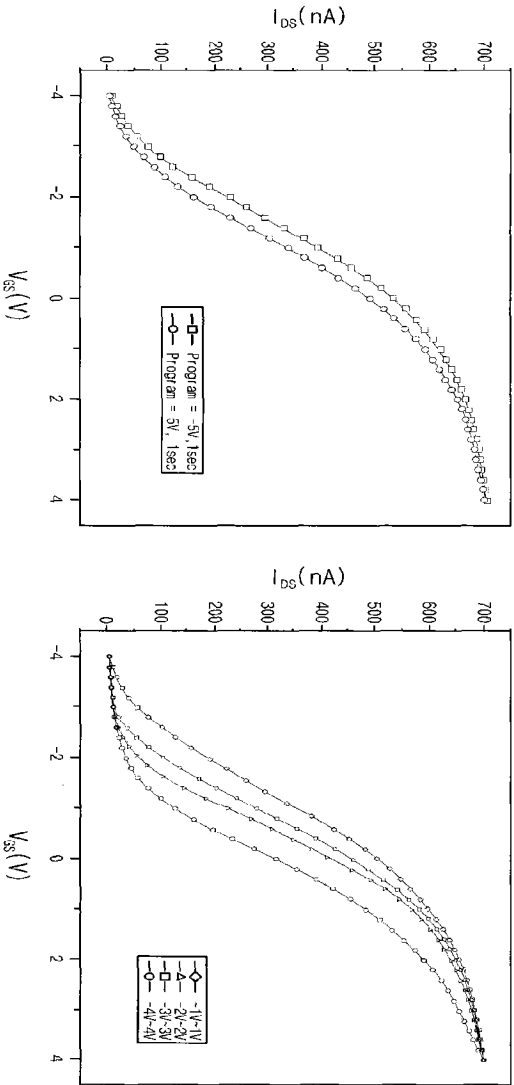


图9

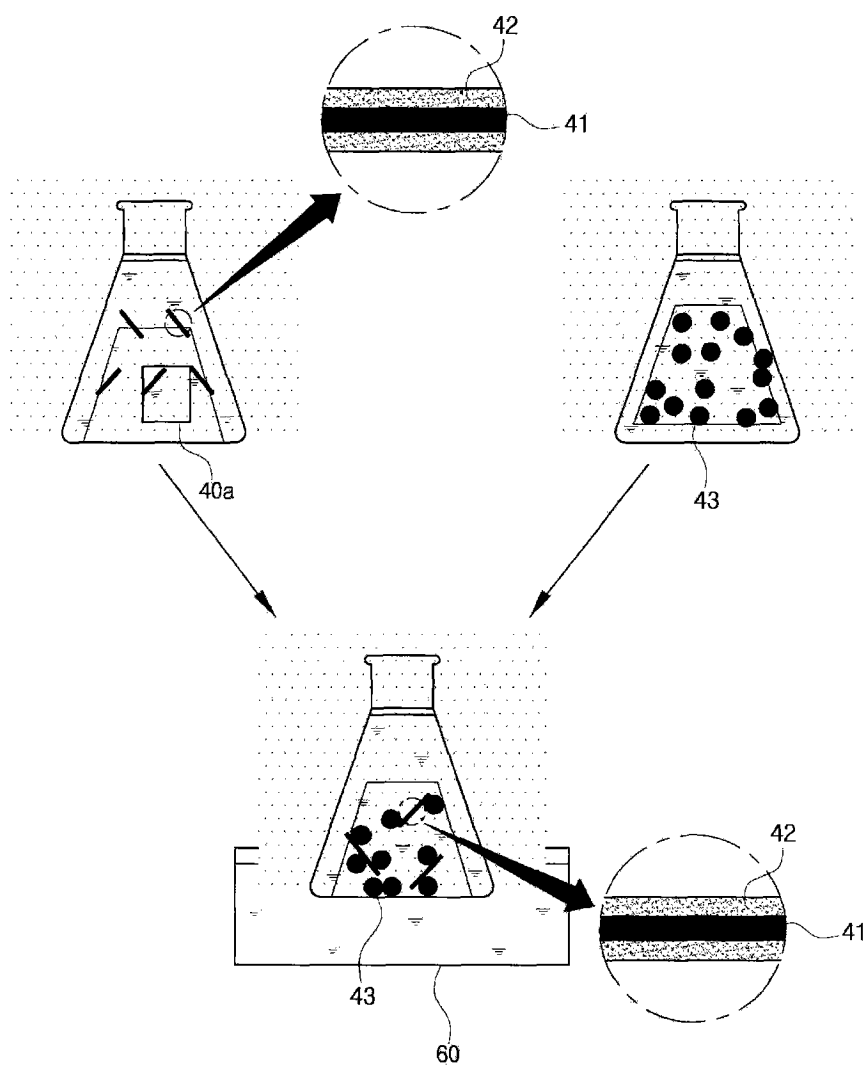


图10a

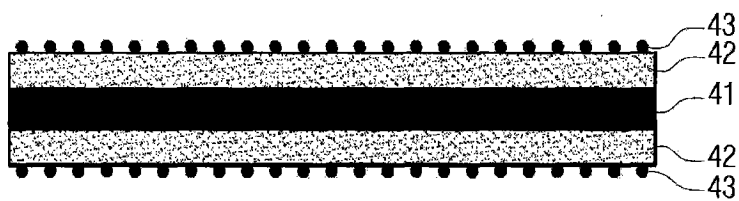


图10b

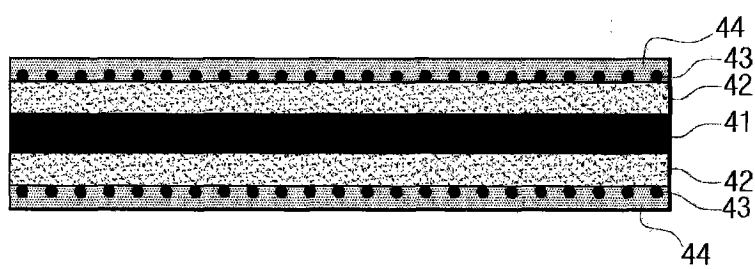


图10c

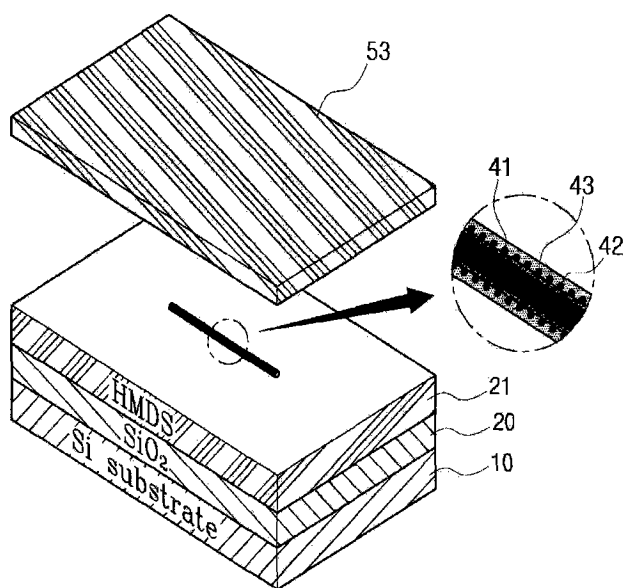


图10d

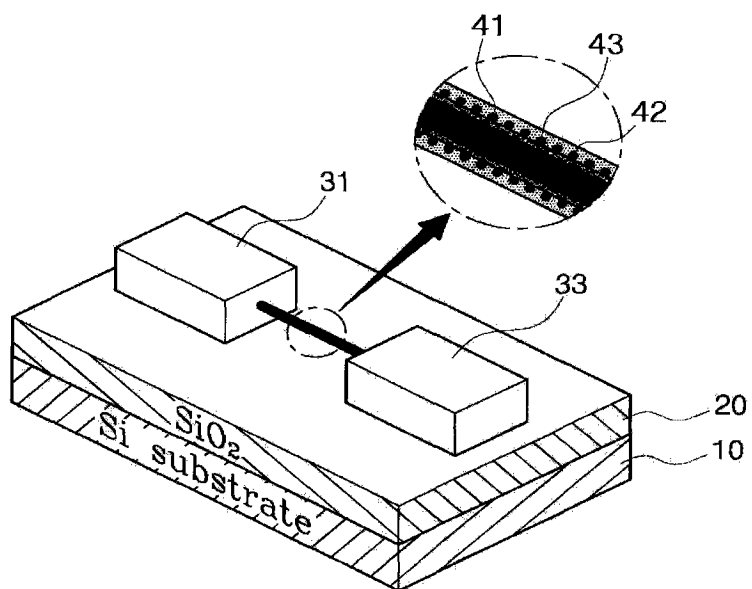


图10e

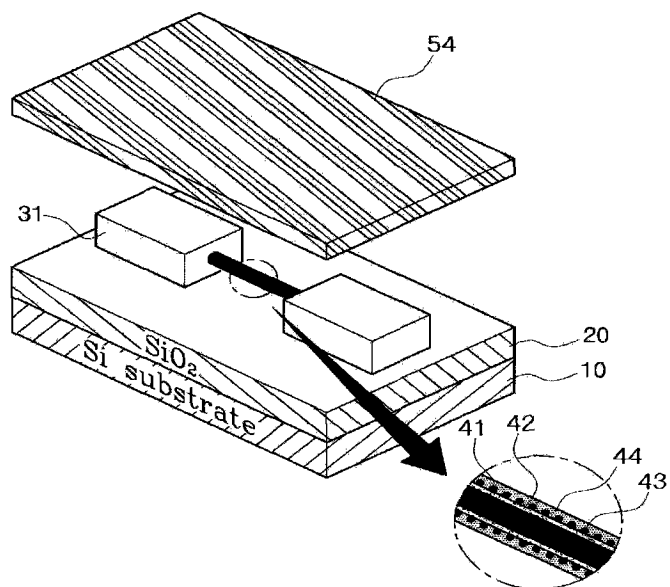


图10f

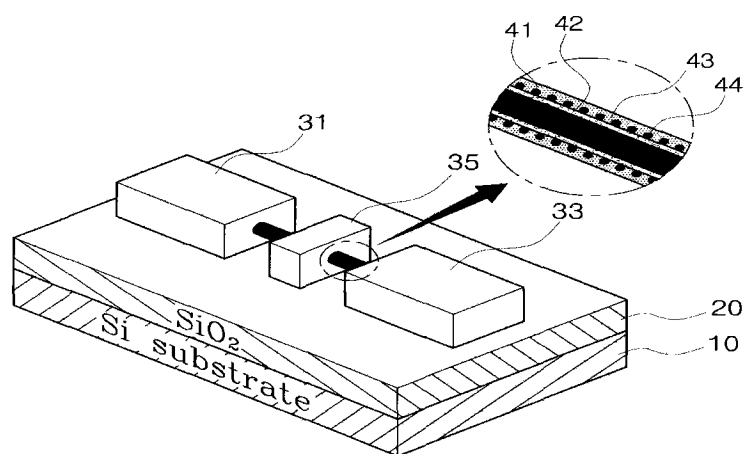


图10g

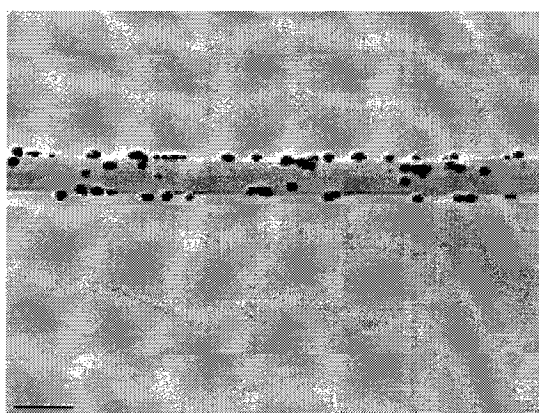


图11

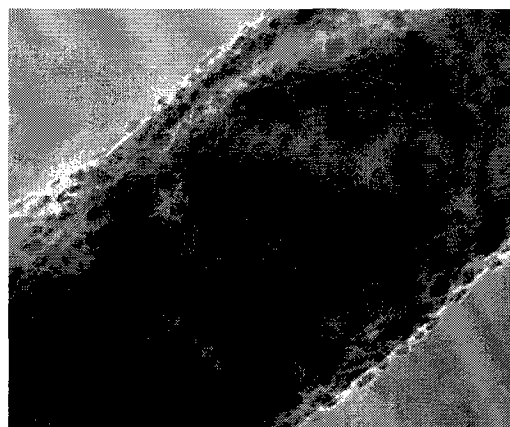


图12

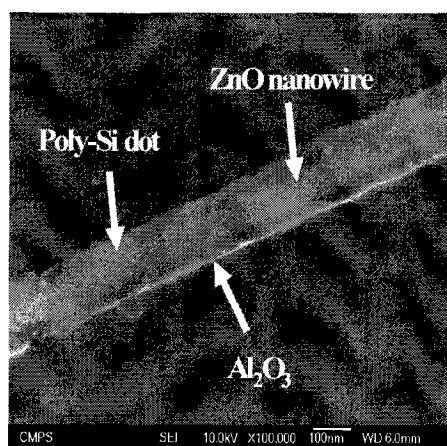


图13

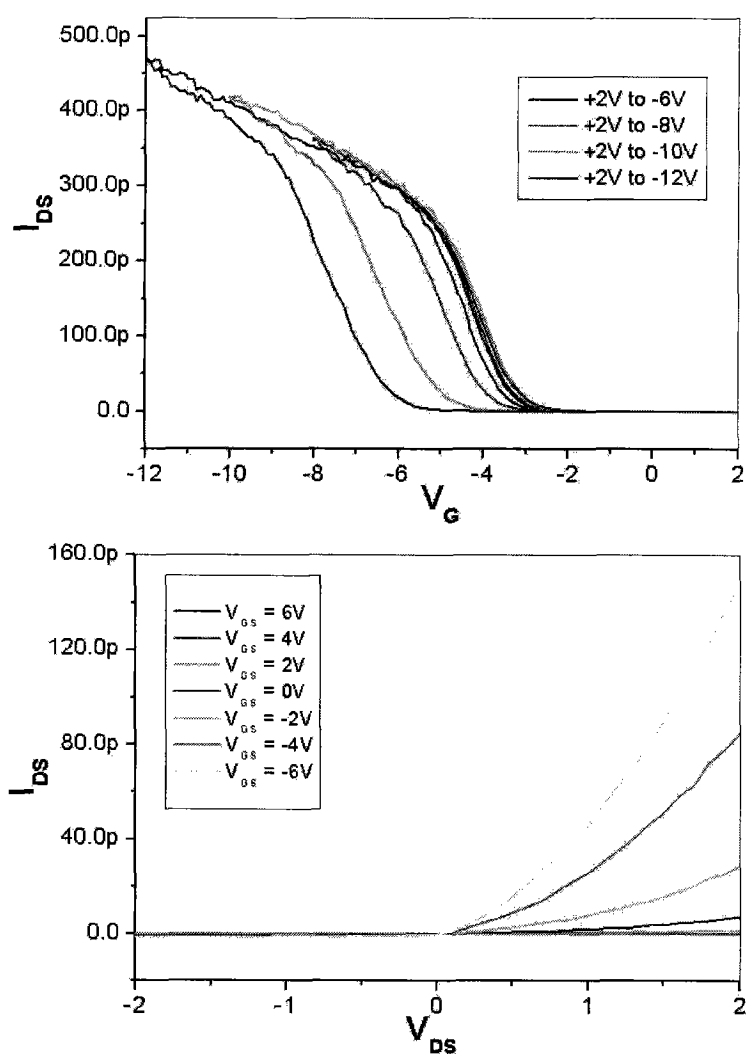


图14