



(12) 发明专利

(10) 授权公告号 CN 101529790 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 200780039238. 3

H04L 7/10(2006. 01)

(22) 申请日 2007. 09. 21

H04L 7/033(2006. 01)

(30) 优先权数据

60/846, 177 2006. 09. 21 US

(85) PCT国际申请进入国家阶段日

2009. 04. 21

(86) PCT国际申请的申请数据

PCT/US2007/020526 2007. 09. 21

(87) PCT国际申请的公布数据

W02008/036413 EN 2008. 03. 27

(73) 专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72) 发明人 迈克尔·C·W·科尔恩 阿兰·盖里

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 冯玉清

(56) 对比文件

EP 0738057 A2, 1996. 10. 16,

EP 0738057 A2, 1996. 10. 16,

EP 1434382 A1, 2004. 06. 30,

EP 1434382 A1, 2004. 06. 30,

US 2002144189 A1, 2002. 10. 03,

US 2005169413 A1, 2005. 08. 04,

审查员 白坦

(51) Int. Cl.

H04L 7/04(2006. 01)

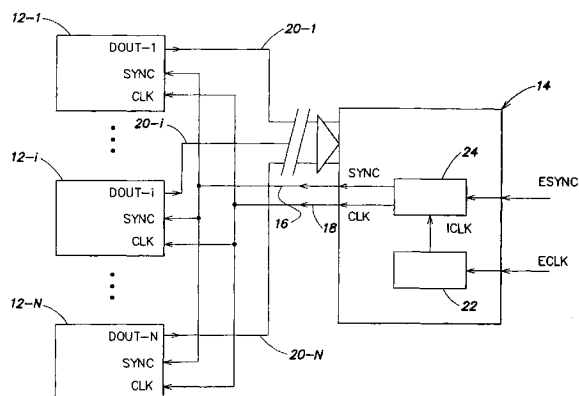
权利要求书2页 说明书9页 附图7页

(54) 发明名称

串行数字数据通信接口

(57) 摘要

一种用于从数据发送器 12 到数据接收器 14 的数据发送的串行协议和接口, 其中传播延迟可以多达数个时钟循环之久并且可以缓慢地变化。数据接收器向数据发送器提供时钟。由接收器或者发送器提供的同步信号以由时钟控制的传送速率来启动数据传输的帧。同步信号协调被称为帧长度的预定数目的数据位跟随其后的数据报头的发送。数据接收器使用报头位以确定用以对后续数据位进行采样的时间。限制帧的长度以提供传播延迟线路特征尚未改变到足以造成位错误的充分可能性。该系统在各帧的开头重新同步。



1. 一种用于数据发送器与数据接收器之间二进制数据信号串行通信的方法,所述二进制数据信号在代表第一二进制值的第一逻辑电平与代表第二二进制值的第二逻辑电平之间变化,所述方法包括:

将时钟信号通过时钟信道从所述数据接收器发送到所述数据发送器,所述时钟信号具有预定时钟周期;

将同步信号通过同步信道从所述数据接收器发送到所述数据发送器;

响应于所述同步信号来初始化包括报头码和报头码之后多个数据位的帧的发送,所述报头码和所述数据位中的每一位具有至少三倍于预定时钟周期的信号宽度;

在所述数据接收器通过数据信道接收所述帧中的所述二进制数据信号,所述接收包括:

基于所述预定时钟周期对所述数据信道上的所述报头码的第一报头位进行多次采样,

确定所述帧中在所述第一报头位之后的数据位的数据位采样时间,所确定的数据位采样时间是基于读取第一报头位的时钟选择的,以保证所述采样尽可能靠近位的中心进行;以及

在所述数据接收器在所述数据位采样时间检测每个所述数据位的逻辑值。

2. 根据权利要求 1 所述的方法,其中所述数据发送器响应于检测到的表示帧初始化请求的通过所述同步信道发送的所述同步信号的逻辑电平的改变,来初始化帧的发送。

3. 根据权利要求 2 所述的方法,其中所述数据发送器在检测到通过所述同步信道发送的所述同步信号的逻辑电平的进一步改变时终止所述帧的发送。

4. 根据权利要求 1 所述的方法,其中所述二进制数据信号包括在所述报头码内或者之后的编码帧长度。

5. 根据权利要求 1 所述的方法,其中所述接收包括:

对表明检测到所述第一报头位的样本的总数目进行计数;以及

响应于所述计数,基于以下两个规则之一为所述帧中的其余数据位建立采样时间:在与所述第一报头位的第二检测对应的时间进行采样;以及在与所述第一报头位的倒数第二检测对应的时间进行采样。

6. 根据权利要求 1 所述的方法,其中所述接收包括:

产生多个主时钟,所述主时钟分别相移预定相位且分别具有与由所述二进制数据信号的宽度确定的数据位速率相等的时钟速率;

按照每个所述主时钟对所述二进制数据信号进行采样;以及

选择所述主时钟之一作为所述帧中的所述第一报头位之后的所述数据位的采样时钟,并且按照所选择的主时钟对所述数据位进行采样。

7. 根据权利要求 1 所述的方法,还包括以下步骤:

从外部源接收被称为外部时钟信号的时钟信号;

确定所述外部时钟信号的时钟速率是否超过预定最小速率,如果超过所述预定最小速率则将所述外部时钟信号再现为用于在所述数据接收器中使用的内部时钟信号,否则通过生成速率超过所述预定最小速率的时钟信号来产生用于在所述数据接收器中使用的内部时钟信号;以及

在产生向所述数据发送器发送的所述时钟信号时使用所述内部时钟信号。

8. 一种数据接收器,用于从数据发送器接收包括以数据位速率发送的一个或者多个报头位和一个或者多个数据位的帧中的二进制信号的串行通信,并且用于将接收的所述二进制信号解码成二进制数据以确定发送的所述位,所述数据接收器包括:

时钟生成器,通过时钟信道向所述数据发送器提供预定时钟速率的时钟信号;

同步信号源,通过同步信道向所述数据发送器提供用于启动帧的同步信号;

状态机,通过数据信道接收所述串行通信、多次检测所述报头码的第一报头位、确定用于对所述串行通信进行采样以对其数据位进行解码的数据位采样时间以保证所述采样尽可能靠近位的中心进行,并且在所述数据位采样时间对接收的所述串行通信的逻辑电平进行采样,以及提供对应数据位值,

其中所述状态机通过基于读取第一报头位的时钟从有限多个潜在采样时间之中选择采样时间,来确定数据位采样时间,以便在最接近于接收的位值的标称中部进行采样。

9. 根据权利要求 8 所述的数据接收器,其中所述时钟生成器以所述数据发送器在所述串行通信的二进制信号中发送位的所述数据位速率的至少三倍速率来提供所述时钟信号。

10. 根据权利要求 8 所述的数据接收器,其中所述同步信号源通过改变所述同步信号逻辑电平来从所述数据发送器请求帧。

11. 根据权利要求 8 所述的数据接收器,其中所述同步信号源通过将所述同步信号从第一逻辑电平改变成第二逻辑电平来从所述数据发送器请求帧,并且还包括将所述同步信号从所述第二逻辑电平改变成所述第一逻辑电平来请求所述帧的终止。

12. 根据权利要求 8 所述的数据接收器,其中所述状态机适于以所述预定时钟速率对接收的所述串行通信进行采样、对检测到所述第一报头位的次数进行计数,并且基于以下两个规则之一确定所述数据位采样时间:在与所述第一报头位的第二检测对应的时间进行采样;以及在与所述第一报头位的倒数第二检测对应的时间进行采样。

13. 根据权利要求 8 所述的数据接收器,其中为了检测所述报头码,所述状态机适于通过对时钟速度与所述数据位速率相等的主时钟进行相移来产生附加时钟、按照每个时钟对所述二进制数据信号进行采样,以及基于以下两个规则之一选择所述主时钟或者所述附加时钟之一来指定所述数据位采样时间:在与所述第一报头位的第二检测对应的时间进行采样;以及在与所述第一报头位的倒数第二检测对应的时间进行采样。

串行数字数据通信接口

[0001] 相关申请的交叉引用

[0002] 本申请根据 35USC119(e) 条款要求于 2006 年 9 月 21 日提交的标题为“Digital Data Communication For Data Converters”的临时申请第 60/846177 号的优先权,其内容通过引用而结合于此。

技术领域

[0003] 本发明涉及串行通信接口领域并涉及一种用于在发送与接收设备之间的信道中存在传播延迟的情况下在它们之间提供高速率数据发送的方法。

背景技术

[0004] 一般而言,数据发送器(即具有数字数据输出的设备)通常需要以高速率并且通常通过串行通信信道向其它设备(即数据接收器)递送数字数据。用于设备之间通信的时钟速率(速度)常常充分地高以至于存在传播延迟问题。未知、可变或者过度的传播延迟对同步接收器和发送器、维持同步以及关于可靠地发送数字数据提出挑战。在这样的环境中使用的串行通信协议以及用于实施这样的协议的装置和方法必须结合一种在发送器与接收器之间的容许传播延迟的同步方法。另外,该装置和方法必须容许在信号生成时的信号离散和变化。

[0005] 目前,用于分立芯片上的设备之间通信的时钟速度通常约为 125MHz,而当设备在同一芯片上时可以使用约 375MHz 的速度。更快速度在将来是可能的。在这些速度,设备必须适应信号传播延迟中的大量可变性。信号延迟的差异和改变可能例如由制作工艺固有的变化、随时间变化的环境条件、电源变化和其它因素造成。

[0006] 由于成本是针对商品的一项重要考虑,所以需要一种不仅与高定价的产品兼容而且与较低成本的产品如低成本的现场可编程门阵列(FPGA)兼容的串行通信协议和接口,这些 FPGA 经常用来实施数字系统中诸如发送器和接收器的设备。

[0007] 也需要一种允许串行数据通信的接口和对接方法,其中发送器可以将它的发送速率调节成接收器可以接受的发送速率。

发明内容

[0008] 这些需要是通过一种适应信道传播延迟及其慢变化的用于一个或者多个数据发送器与数据接收器之间通信的串行协议和接口来解决。该协议需要数据接收器与数据发送器之间的三个逻辑信道:时钟信道、同步信道和数据信道。如说明的那样,各逻辑信道由一个或者多个导体的分立物理信道提供,但是如设想的那样,其它实施也是可能的。

[0009] 在时钟信道上向数据发送器提供由数据接收器供应的时钟信号 CLK。在同步信道上使用由数据接收器供应的同步信号 SYNC 以请求数据发送器发送帧(即数据发送单位)。在一些其它实施例中,接收器没有请求帧,而 SYNC 从数据发送器发送到数据接收器,这表明帧的发送。最后在数据信道上数据信号 DOUT 从数据发送器发送到数据接收器。

[0010] 帧是一时间段,在该时间段期间中在数据信道上发送报头和 / 或数据。帧长度由设备 (即它们的设计) 先决地协定或者由数据发送器或者数据接收器确定,该帧长度是在帧期间中将要发送的位的总数目。对新帧 (即开始) 的请求在同步信道上由数据接收器发送 (而由数据发送器接收。) 当没有发送数据时 (即在帧期间以外的时间), 同步信道由数据发送器监视,而在同步信号由数据发送器读取时确定数据接收器已经请求新帧。

[0011] 当已经接收对新帧的请求时,预定数目的数据位跟随其后的报头位通过数据信道从发送器串行发送到接收器。使用来自接收器的时钟信号的位发送速率应当不快于时钟速率的三分之一以保证接收器的准确数据检测。

[0012] 数据接收器在对新帧的请求之后监视数据信道并且先检测报头位。报头位由数据接收器用来确定用于后续位的采样时间。在帧完成时数据信号设置成预定空闲状态。

[0013] 本发明具有可以独自或者与其它方面组合实施或者实现的数个方面。根据第一方面,提供一种用于数据发送器与数据接收器之间二进制信号串行通信的方法,这些二进制信号在代表第一二进制值的第一逻辑电平与代表第二二进制值的第二逻辑电平之间变化。在这一方法中,以预定时钟速率将时钟信号从数据接收器发送到数据发送器。将同步信号从数据接收器发送到数据发送器。响应于同步信号来初始化帧的发送。在初始化帧时以预定标称位速率将二进制数据信号从数据发送器发送到数据接收器,所述数据信号包括多个数据位跟随其后的报头码。在初始化帧之后,在接收器接收所述二进制数据信号并且检测报头码。响应于检测到报头码为帧中的其余数据位确定数据位采样时间;并且在数据接收器在所述数据位采样时间确定每个所述数据位的逻辑值。

[0014] 用于数据发送的预定标称位速率优选地是时钟速率的三分之一或者更少。

[0015] 响应于同步信号来初始化帧的发送可以包括检测表明帧初始化请求的同步逻辑电平改变。可以在检测到同步信号的逻辑电平的进一步改变时终止帧。

[0016] 帧长度可以固定或者可变。在可变帧长度的情况下,数据信号可以包括在报头码内或者之后的编码帧长度。

[0017] 在数据接收器检测报头码可以包括:以标称位速率至少三倍的速率对报头码进行采样;对表明检测到第一报头位的样本的数目进行计数;以及响应于所述计数为帧中的其余数据位建立采样时间。

[0018] 在数据接收器检测报头码可以包括:产生具有与数据位速率相等的时钟速率的主时钟的多个附加相移对应时钟;在主时钟及其各相移对应时钟对数据信号进行采样;以及选择主时钟或者附加对应时钟之一以便为帧中的后续数据位指定所述数据位采样时间并且在所述时间对数据位进行采样。

[0019] 在一些实施例中,这样的方法还可以包括:从外部源接收被称为外部时钟信号的时钟信号;确定外部时钟信号的时钟速率是否超过预定最小速率,如果超过所述预定最小速率则将外部时钟信号再现为用于在接收器中使用的内部时钟信号,否则通过生成速率超过所述预定最小速率的时钟信号来产生用于在接收器中使用的内部时钟信号;以及在产生向发送器发送的时钟信号时使用内部时钟信号。

[0020] 根据另一方面,提供一种数据接收器,该数据接收器用于从数据发送器接收帧中的二进制信号的串行通信 (所述帧包括一个或者多个报头位和一个或者多个数据位) 并且用于将接收的二进制信号解码成二进制数据以确定发送的位。这样的数据接收器可以包

括：时钟生成器，向发送器提供时钟信号；同步信号源，向发送器提供用于启动帧的同步信号；状态机，接收串行通信、检测报头码、确定用于对串行通信进行采样以对其数据位进行解码的数据位采样时间并且在数据位采样时间对接收的串行通信的逻辑电平进行采样以及提供对应数据位值，其中状态机通过从有限多个潜在采样时间之中选择采样时间来确定数据位采样时间以便在最接近于接收的位值的标称中部进行采样。

[0021] 在一些实施例中，时钟生成器以发送器在串行通信的二进制信号中发送位的位速率的至少三倍速率来提供时钟信号。

[0022] 另外在一些实施例中，同步信号源通过改变同步信号的逻辑电平来从发送器请求帧。

[0023] 同步信号源可以通过将同步信号从第一逻辑电平改变成第二逻辑电平来从发送器请求帧，并且可以通过将同步信号从第二逻辑电平改变成第一逻辑电平来请求帧的终止

[0024] 在一些实施例中，状态机适于在主时钟的各时钟循环对接收的串行通信进行采样、对检测到第一报头位的次数进行计数并且据此确定数据位采样时间。

[0025] 为了检测报头码，状态机可以适于通过对时钟速度与数据位速率相等的主时钟进行相移来产生附加时钟、在各时钟对数据信号进行采样以及选择主时钟或者附加时钟之一来指定数据位采样时间。

[0026] 根据另一方面，取代了接收器向发送器提供同步信号，发送器可以包括向接收器提供同步信号以表明随后将有帧的同步信号生成器。例如，发送器可以包括用于生成周期同步信号的定时电路。

[0027] 在另外其它方面或者实施例中，在各标称数据位单元的持续时间期间对串行通信流多次采样，其中各样本存储于寄存器或者其它临时存储设备中，然后仅选择这些多个样本中与数据位单元的标称中部最接近的一个样本作为接收的数据位值。因而，一种用于实施这样的方法的接收器包括本发明的另一方面，该方面包括用于获得多个样本的装置以及用于从样本之中选择与位单元的标称中部最接近的一个样本的装置。例如，可以使用相对于彼此有相移的三个（或者更多）主时钟来获得这样的多个样本。

[0028] 另一方面是一种发送器，该发送器以第一速率接收时钟、组装数据帧并且以不大于第一速率的三分之一的速率来发送数据帧，从而响应于同步信号。

附图说明

[0029] 在结合附图来阅读以下具体描述时将更好地理解本发明及其实施例。在附图中元件未必按比例绘制。一般而言，在多幅图中出现的相似元件由相似标号来标识。在附图中：

[0030] 图 1 是用于实现本发明各方面的装置的示例实施例的简化框图，该框图描绘了根据这里教导的构思的多个数据发送器和数据接收器以及其间的通信接口；

[0031] 图 2 是描述数据接收器的操作的流程图；

[0032] 图 3 是描述数据发送器的操作的流程图；

[0033] 图 4 是图示在一个举例实施例中在帧的过程期间中举例时钟、同步和数据信号之间关系的一组波形；

[0034] 图 5 是图示用于检测第一报头位并且应用这里教导的检测规则的两个实施例的一组波形和表；

[0035] 图 6 是描述数据发送器的示例例子的操作的流程图,其中位发送速率是时钟速率的三分之一;

[0036] 图 7 是描述数据接收器的示例例子的操作的流程图,其中位发送速率是时钟速率的三分之一;以及

[0037] 图 8 是图示当在位单元期间中的多个时间、比如由三个相移主时钟确定的时间对 DOUT 进行采样时的 DOUT 采样选择的简化框图。

具体实施方式

[0038] 描述一种用于数据发送器与数据接收器之间通信的串行通信接口和协议,由此在指定长度的帧中发送数据,从而仅定期地要求同步。该方式容许传播延迟和位沿时序中的变化。

[0039] 参照图 1,数据从 N 个数据发送器 12 发送到数据接收器 14,其中 N 是整数。(尽管示出多个发送器和单个接收器,但是本发明当然可以应用于单个发送器-单个接收器的环境和多个发送器-多个接收器的环境。)各数据发送器可以是诸如模拟到数字转换器(ADC)、电流到数字转换器(IDC)等生成数字数据输出的多个设备中的任何设备。各个数据发送器编号为 12-i,其中索引 i 的范围从 1 到 N。通过同步信道 16、时钟信道 18 和 N 个数据信道 20 进行通信。

[0040] 典型数据接收器可以实施为有限状态机(FSM),该有限状态机实现在例如现场可编程门阵列(FPGA)、专用逻辑和其它电路、适当编程的通用或者专用编程微处理器或者微控制器或者其它形式中。本领域技术人员知道如何根据这里提供的技术描述来实施 FSM。

[0041] 数据接收器和数据发送器的操作概述

[0042] 现在给出数据接收器和数据发送器操作的高级概述。

[0043] 在图 2 中图示数据接收器的操作。当接收器接通或者重置时开始初始化步骤 26。初始化步骤包括开始将 CLK 信号发送到发送器并且保证 SYNC 信号没有请求帧。主时钟信号在内部生成以提供用于传入数据的一组潜在采样时间。

[0044] 在步骤 28 中在适当时间发送帧请求。然后针对数据报头来监视 DOUT(步骤 30)。一旦已经检测到数据报头,应用判决规则逻辑以确定数据采样时间(步骤 32)。在适当采样时间对数据进行采样直至到达帧的结束。操作然后返回到步骤 28 为新帧做预备。

[0045] 在图 3 中图示了数据发送器的操作。当发送器接通或者重置时开始初始化步骤 36。初始化步骤包括将 DOUT 设置成预定空闲值。在步骤 38,发送器针对发送帧的请求来监视同步信道。在收到帧请求时,在步骤 40 向 DOUT 写入数据报头、继而发送数据(步骤 42)。在帧结束时(步骤 44)采取完成步骤,比如将 DOUT 设置成预定空闲状态。然后发送器等待新帧请求。

[0046] 在数据接收器与数据发送器之间的通信

[0047] 二进制(即数字逻辑)信号在数据发送器与数据接收器之间发送。各信号可以在给定瞬间由它的发送器驱动成第一逻辑电平或者第二逻辑电平。不失一般性并且仅为举例,考虑第一逻辑电平是图 4 和图 5 中由低电平代表的“0”而第二逻辑电平是图 4 和图 5 中由高电平代表的“1”这一情况。本领域技术人员认识到相反情况以及使用多值逻辑信号也是可能。

[0048] 在一个示例实施例中,各数据发送器 12-i 通过图示为在三个对应物理信道中实现的三个逻辑信道连接到数据接收器 14。各同步信号 SYNC 和时钟信号 CLK 在它们各自对应信道(分别为 16、18)上从数据接收器 14 并行(尽管并行馈送并非必需)发送到数据发送器 12。数据信号 DOUT-i 在第三信道 20-i 上从数据发送器 12-i 发送到数据接收器 14。因此在该举例实施例中各数据发送器连接到三个信道,而数据接收器连接到 N+2 个信道。

[0049] 时钟信号通过以等于时钟速率两倍的速率在 0 与 1 之间交替来保持用于数据发送器的时间。时钟速率是在信号 CLK 上从 0 到 1 转变时出现的上升沿频率。在 CLK 的上升沿,数据发送器执行操作,比如数据写入操作。既不要求时钟速率恒定也不要求使用特定时钟占空比。

[0050] 在时钟从数据接收器到数据发送器的发送中固有地存在一些传播延迟并且在数据发送器处的时钟沿与数据位生成之间有一些延迟。然后存在从发送器到接收器的传播延迟。必须解决这种累积延迟以便对接收的位的采样进行恰当定时以允许对发送的数据的可靠检测/解码。

[0051] 在一些实施例中,外部时钟信号 ECLK 可以是向数据接收器的输入。数据接收器 14 中的时钟生成器 22 可以将 ECLK 信号再现为内部时钟信号 ICLK;或者在另一实施例中,可以确定 ECLK 的频率,如果该频率在某一阈值以下则增加频率以生成 ICLK 信号;否则将 ECLK 信号再现为 ICLK。同步和时钟控制电路 24 使用 ICLK 来生成时钟信号 CLK。

[0052] 在最简易的实施例中,电路 24 充当通行电路,使得 CLK 与 ICLK 直接地相连。也设想 CLK 由一系列脉冲串或者脉冲组成的实施例。各脉冲串包括一系列时钟循环,而在脉冲串之间没有时钟循环。

[0053] 同步信号由接收器用来请求数据发送器发送帧。许多实施例是可能的。在举例实施例中,同步信道上通过 0 及其后跟随的 1 发出请求帧的信号。在另一实施例中,连续读取时 SYNC 信号的值改变(从 0 到 1 或者从 1 到 0)表明请求新帧。在一些实施例中,外部同步信号 ESYNC 是向数据接收器的输入,该输入触发数据接收器请求帧。ESYNC 由数据接收器适当地再现为 SYNC 信号以请求帧的初始化。电路 24 可以通过将 ESYNC 信号和 SYNC 直接地相连来将 ESYNC 信号再现为 SYNC。在其它实施例中,电路 24 可以根据 ESYNC 信号来得出或者生成 SYNC 信号。

[0054] 参照图 4,信道 20-i 上的数据信号 DOUT-i 发送帧的有价值的信息,该信息包括随后是多个数据位 48 的报头 46。空闲间隔 50 分离相继帧,并且空闲间隔 50 可选地可以省略。在帧期间发送的位的总数目称为帧长度。在一些实施例中,帧长度由数据发送器和数据接收器先决地协定。它可以是例如设计到发送器和/接收器的硬件和/或软件中的固定数。

[0055] 也可以使用可变帧长度。在一个可选实施例中,SYNC 信号可以用来请求帧的终止。例如,SYNC 的值从 0 到 1 的改变可以请求帧的发送,而从 1 到 0 的改变可以请求帧的终止。一些实施例可以使用在数据位之后发送的脚注码,以避免关于最后数据位的多义性。当采用可变长度的帧时,报头的部分可以例如是包含表示帧长度的一系列位。

[0056] 在帧完成时数据信号优选地设置成预定空闲状态(0 或者 1)。

[0057] 发送协议的说明

[0058] 为了说明发送协议,考虑图 4 中的信号关系的非限制例子,其中时钟信号 CLK52 的

速率维持于恒定速度,帧大小预定为共计五位(包括报头),而 SYNC54 通过从 0 切换到 1 来初始化帧。在这一例子中的帧报头 46 是包括 1 及跟随其后的 0 的两位模式,数据信号预定空闲状态是 0,而数据位速率是每三个时钟循环一位。图 4 中的信号被示出为将在数据发送器测量。为求简化,DOUT-i 在这一图示中记作为 DOUT56。

[0059] 一般而言,报头可以是任何所需长度。当然,如本领域技术人员将认识的那样,可以利用其它报头模式。如果需要,则报头模式的选择可以记录于为该目的而提供的寄存器(未示出)中。

[0060] 常规 NRZ 码用来发送包括报头位的数据(无曼彻斯特编码)。通过在整个位间隔中生成高电平来用信号发送“1”,而通过在整个位间隔中生成低电平来用信号发送“0”。在接收器中,如上文讨论的状态机即使在面临发送的数据信号与接收器的时钟信号之间存在某一明显程度的时滞时仍然根据这里描述的处理来操作以推断位的位置和值。利用恰当设计的接收器、接收器时钟速率与位速率之间的因子 3(或者更大)以及在各帧的开始以报头模式的形式发送的定期同步模式,系统可以适应从接收器到发送器和反向的显著传播延迟以及电路中的传播延迟。

[0061] 该例从处于 SYNC54 和 DOUT56 均为 0 的空闲状态 50 下的系统开始。在时间 58a, SYNC 信号 54 的状态从 0 改变成 1,这表明数据接收器已经请求开始新帧。在时间 58b 在下一时钟循环读取 SYNC 信号 54。数据发送器将这识别为对新帧的请求并且开始在下一时钟循环(时间 58c)在 DOUT56 发送报头码 46。

[0062] 继而是以每三个时钟循环一位的速率在时间 58e 开始的数据位 48。在这一例子中,帧大小允许三个数据位 48。数据位序列 101 的选择是示例。注意 SYNC 信号在时间 58d 返回到 0。在这一举例实施例中,这没有触发数据发送器的响应。

[0063] 在时间 58f,已经发送预定数目的数据位,而 DOUT 返回到空闲状态为新帧做预备。新帧请求在时间 58a' 发送而在时间 58b' 检测。注意在这一实施例中如果 SYNC 在先前位上没有读取为 0 则不会检测到帧请求。

[0064] 接收的位采样

[0065] 现在考虑如何对接收数据位进行采样,由于传播延迟及其可变性该接收数据位可能在关于时钟信号逐位时滞的时间到达。将参照图 5 并结合表 I 和 II 来讨论这一主题。

[0066] 信号 DOUT 在一些(未知、可能有些不可控并且甚至可变的)传播延迟之后到达数据接收器。优选地,如果先前帧的最后数据位是 1,则在帧之间的空闲时间是至少两个时钟循环。这保证接收器紧接在第一报头位之前读取 0 从而允许数据接收器不同地标识报头的开始。使用用于建立采样时间的主时钟来读取 DOUT。

[0067] 在图 5 中所示举例实施例 60 中,主时钟 MCLK 具有与 CLK 相同的时钟速率。读取第一报头位的 MCLK 循环随后用来选择数据位采样时间。

[0068] 在举例实施例 62 中,主时钟 MCLK1 具有等于数据位速率的时钟速率。通过将 MCLK1 分别相移 120 度和 240 度来生成两个附加主时钟信号 MCLK2 和 MCLK3。基于读取第一报头位的时钟来确定数据位采样时间。根据传播延迟和信号时序不确定性,读取报头位的时钟或者时钟循环的数目可以是二、三或者四。

[0069] 对于两个举例实施例,利用所讨论的在时钟速率与数据位速率之间的关系,位采样的四种情况 64 是可能的。在图 5 中图示了这些情况。在情况 64a 中,第一报头位由于传

播延迟而伸展,其结果是有四次检测。在情况 64b 中,报头位相对于主时钟有延迟,这造成三次检测。在情况 64c 中,信号相对于时钟沿提早,这同样造成 3 次检测。在情况 64d 中,脉冲为短,这造成仅两次检测。数据接收器使用通过报头位的检测而确定的判决规则来判决在哪个时钟循环对 DOUT 进行采样。两个判决规则是适当的。

[0070] 1) 在与 1 的第二次检测对应的时间进行采样;或者

[0071] 2) 在与 1 的倒数第二次检测对应的时间进行采样。

[0072] 当使用单个主时钟时,如举例实施例 60,对应时间是如下判决沿,这些判决沿是经过初始选择的采样时间之后的三个时钟循环的倍数。在表 I 中图示了选择规则的应用。

[0073] 表 I:实施例 60。读取值和所选采样时间

[0074]

时间	T0	T1	T2	T3	T4	T5
情况 1	0	1	1 ⁺	1 [*]	1	0
情况 2	0	0	1	1 ⁺⁺	1	0
情况 3	0	1	1 ⁺⁺	1	0	0
情况 4	0	0	1 [*]	1 ⁺	0	0

[0075] ⁺- 在与 1 的第二次检测对应的时间进行采样。

[0076] ^{*}- 在与 1 的倒数第二次检测对应的时间进行采样。

[0077] 在其中使用相移主时钟的举例实施例 62 中,在所选采样时钟的各上升沿对数据信号进行采样。在表 II 中图示了选择规则的应用。

[0078] 表 II:实施例 62。采样时间和所选采样时钟

[0079]

情况	1	2	3	4
MCLK1	T1, T4	T4	T1	(无)
MCLK2	T2 ⁺	T2	T2 ⁺⁺	T2 [*]
MCLK3	T3 [*]	T3 ⁺⁺	T3	T3 ⁺

[0080] ⁺- 在与 1 的第二次检测对应的时间进行采样。

[0081] ^{*}- 在与 1 的倒数第二次检测对应的时间进行采样。

[0082] 这些规则保证样本尽可能接近位的中心出现以最大化对信道传播延迟变化的容许。如果传播延迟在帧期间中改变过多,则采样时间当然将不再与适当位对应,而是可能造成对位进行双采样且不是对位进行采样或者造成落入位之间的转变中。各境况都有可能造成错误。

[0083] 如果帧大小是预定的,则它必须为数据发送器和数据接收器所知并且应当为数据发送器和数据接收器所知以便基于预期的传播延迟变化来提供可接受的误差可能性。

[0084] 数据发送器在举例实施例中的操作

[0085] 针对一个举例实施例将数据发送器的操作进一步图示为图 6 中的流程图。这一举例实施例假设：以每三个时钟循环一位的速率发送数据，二进制报头是 10，以及帧中的数据位的数目被先决地确定为 M (M 在图 5 和图 6 中是 3)。帧请求被检测为 SYNC 信号从 0 到 1 的转变。

[0086] 初始化步骤 76 在接收器接通或者重置时开始。初始化步骤包括将 DOUT 设置成 0。发送器通过先读取 SYNC (步骤 78) 并且确定它是否为 0 (步骤 80) 来寻找帧请求。如果 SYNC 在步骤 80 检测为 0、在后续读取 SYNC (步骤 82) 时检测为 1 (步骤 84)，则初始化帧。在接收帧请求之后向 DOUT 写入第一报头位 (步骤 86)。在步骤 88 这将保持三个循环。由于有更多报头位要写入 (步骤 90)，在返回到步骤 86 时写入下一报头位 0。

[0087] 在发送报头之后向 DOUT 写入数据。在步骤 92，数据发送器确定是否已经发送将要为帧发送的所有数据位。当需要发送更多数据时，在步骤 94 向 DOUT 写入下一位。步骤 96 保证数据位已经被保持三个循环。如果尚未发送第 M 个数据 (步骤 92)，则数据发送器返回到步骤 94。

[0088] 在已经发送第 M 个数据之后将 DOUT 设置成 0 (步骤 98)。在寻找下一帧请求之前，数据发送器保证 DOUT 被保持为 0 持续至少两个循环 (步骤 100)。这保证后续帧中报头位的恰当检测。

[0089] 现在描述数据接收器的操作。

[0090] 数据接收器在举例实施例中的操作

[0091] 针对当前举例实施例将数据接收器的操作进一步图示为图 7 中的流程图。本领域技术人员将认识到可以用各种方式、比如 FPGA 中的 FSM 实施图 7 的流程图中所示实施例。

[0092] 使用实施例 60 中所示形式的主时钟。初始化步骤 102 在接收器接通或者重置时开始。初始化步骤包括开始发送 CLK 信号以及向 SYNC 写入 0 (即设置 SYNC 信号值为 0)。在步骤 104，接收器等待请求以发送新帧请求。帧请求可以来自其它内部电路或者来自 ESYNC。

[0093] 当确定进行帧请求时，在步骤 106 向 SYNC 信号写入 1 值 (即 SYNC 信号升高电平或者 1)。接收器然后在各时钟循环读取 DOUT 信号 (步骤 108) 直至读取 1 (步骤 110)。这对应于图 5 中的时间 66。根据数据接收器与数据发送器之间的全部信号发送延迟，该时间可以是经过在步骤 106 发送新帧请求的时间之后的任何数目的时钟循环，并且该时间用于数据发送器做出响应。

[0094] 一旦在 DOUT 读取 1 (步骤 110)，因为数据发送器已经确认帧请求 (步骤 112)，所以向 SYNC 写入 0。数据接收器继续读取 DOUT (步骤 114) 从而寻找 0 (步骤 116)。这对应于图 5 中的时间 68。在这一示例实施例中，应用的判决规则是“在与 1 的倒数第二次检测对应的时间进行采样”。紧接后续的时钟循环对应于采样时间 (时间 70a)，并且在对应步骤即步骤 118 读取 DOUT。在分别与时间 72a 和 74a 对应的步骤 120 和 122 无需动作，因为数据接收器现在等待下一采样时间。假设尚未读取最后数据位 (步骤 124)，操作返回到步骤 118 以在时间 70b 读取下一位。该循环继续 (在时间 70c、70d 等读取) 直至已经读取帧中的第 M 个数据位，此后数据接收器返回到步骤 104。

[0095] 注意第一次执行步骤 118 是在时间 70a 读取第二报头位。虽然这是多余的读取操作，但是它简化了流程。

[0096] 数据接收器确定帧大小的实施例

[0097] 如果数据接收器确定帧的结束,则应当取得数据信号的附加样本以针对信号延迟的改变来监视线路。例如,在图 5 中的情况 64a 和情况 64d 中,用于选择采样时间的规则造成不同结果。两个规则均可以与允许扩展的帧一起使用直至样本不一致。对于情况 64b 和 64c,两个规则均产生对相同采样时间的选择。在两种情况下产生第一报头位的三个样本。通过在第一或者第三采样时间发现不一致之前在所有三个时间监视数据信号并且在出现不一致之前在其余两个采样时间继续地进行采样,可以大量地扩展帧长度。

[0098] 当数据接收器确定帧大小时,有必要的是数据信号不包括其中数据持续为 1 或者 0 的长伸展。在这些境况之下,接收器没有检测传播延迟改变的手段并且可能没有对连续 1 或者 0 的数目准确地进行计数。可以由数据发送器实施编码机制以避免这一境况。

[0099] 使用多个采样时钟的实施例

[0100] 在另一实施例中,以数据位速率(即每数据单元)取得三个或者更多样本,比如通过各自以数据位速率生成的三个主时钟信号 MCLK1、MCLK2 和 MCLK3。MCLK2 和 MCLK3 可以(但是并非需要)是 MCLK1 的相移版本(例如分别相对地移位 120 度和 240 度)。在一个实施例中,在各主时钟对 DOUT 进行采样并且记录检测。可以在以后的时间进行对用作数据值的样本的选择。例如,如图 8 中所示,分别与 MCLK1、MCLK2 和 MCLK3 对应的 DOUT 样本 128a、128b 和 128c 分别馈送到寄存器 130a、130b 和 130c。寄存器连接到由控制信号 132 控制的 MUX126。控制信号 132 由实施上述判决算法的附加电路(未示出)驱动,以确定和选择应当使用哪个主时钟来为特定数据位选择样本。然后所选 DOUT 读取由 MUX 写入到输出信号 134。

[0101] 数据发送器初始化同步的实施例

[0102] 设想在一些实施例中,数据发送器可以经由同步信号向数据接收器表明它在发送(或者将要发送)数据帧。因此在这样的实施例中,生成同步信号的是发送器而不是接收器。在从数据发送器收到同步信号时,数据接收器在 DOUT 检测帧报头和数据。例如在已经收集某一数量数据的数据发送器确定正是向数据接收器递送数据的适当时间时,这样的实施例是适当的。可替代地,发送器可以包括对同步信号的生成进行触发的定时器。

[0103] 由此已经描述本发明构思以及用于实现这些本发明构思和方面中的一个或者多个的可能实施例的某些举例实施,本领域技术人员现在将清楚可以用各种其它方式实施本发明的多个方面。本公开内容旨在提出和覆盖在本发明精神内且不脱离本发明精神的本领域技术人员容易想到的此类其它实施。因而,本发明不限于讨论的例子或者由这些例子限制而是仅由所附权利要求及其等同来限定。

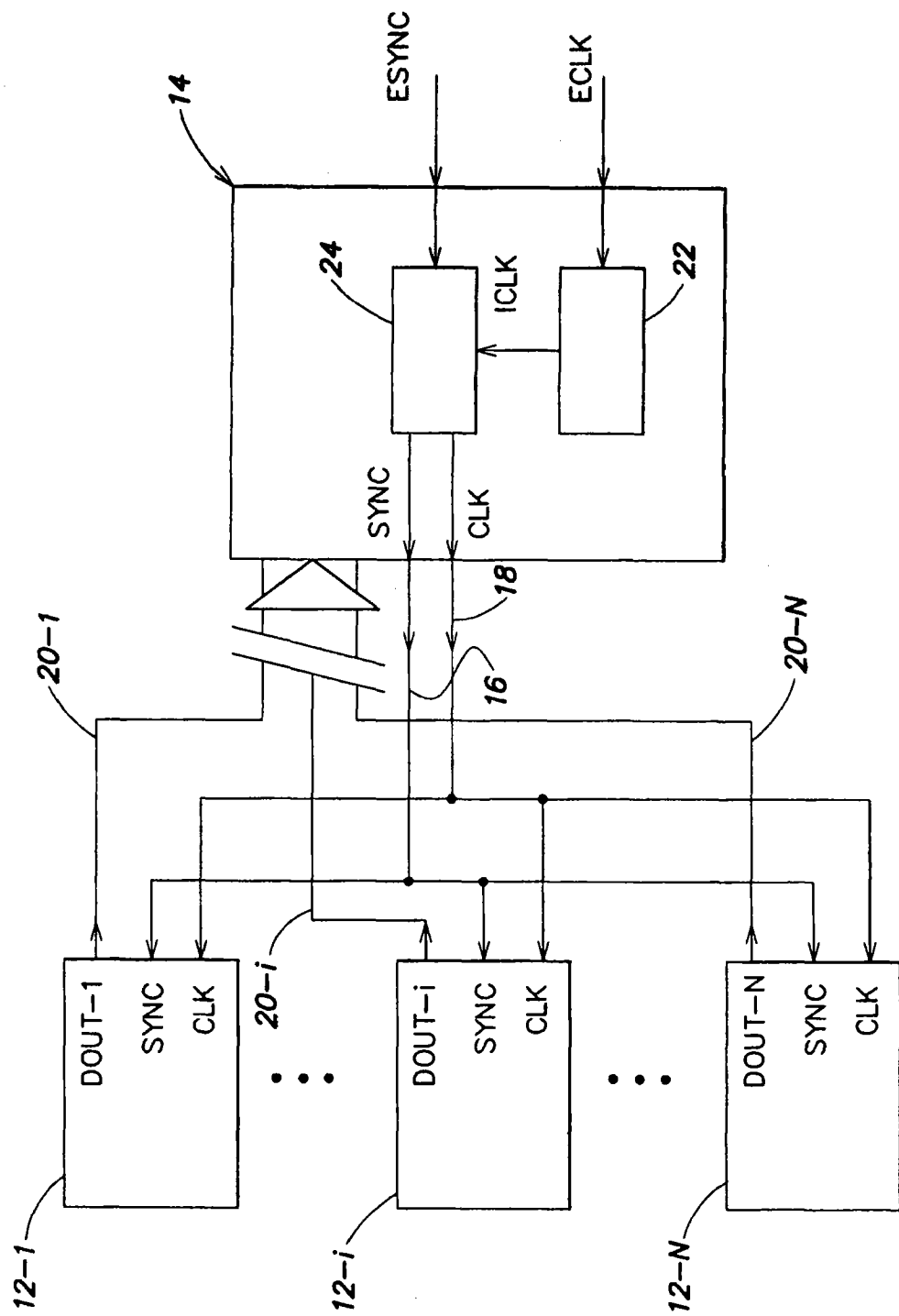


图1

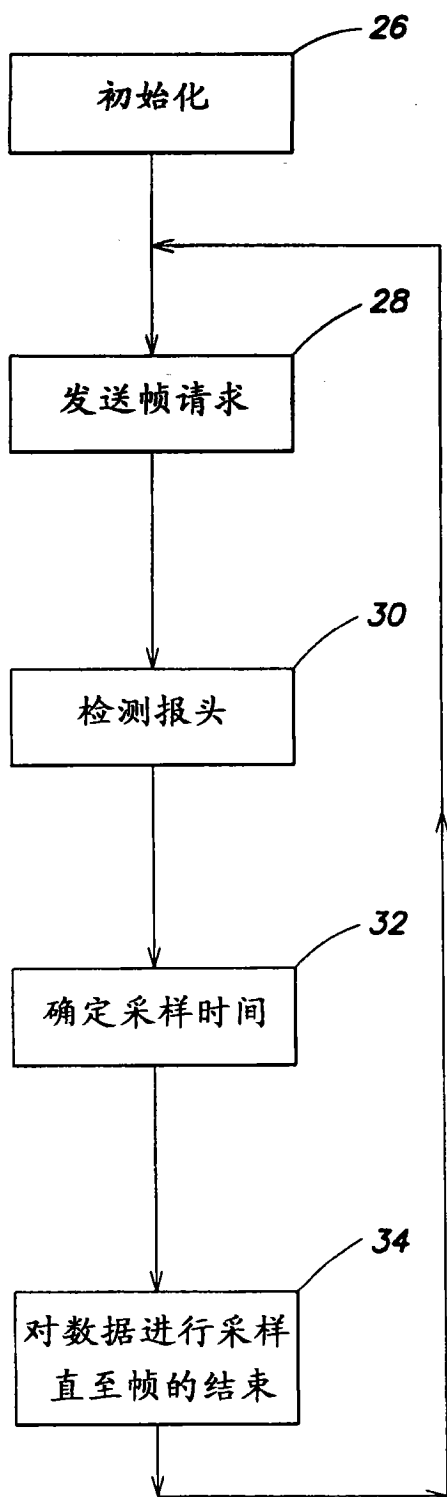


图 2

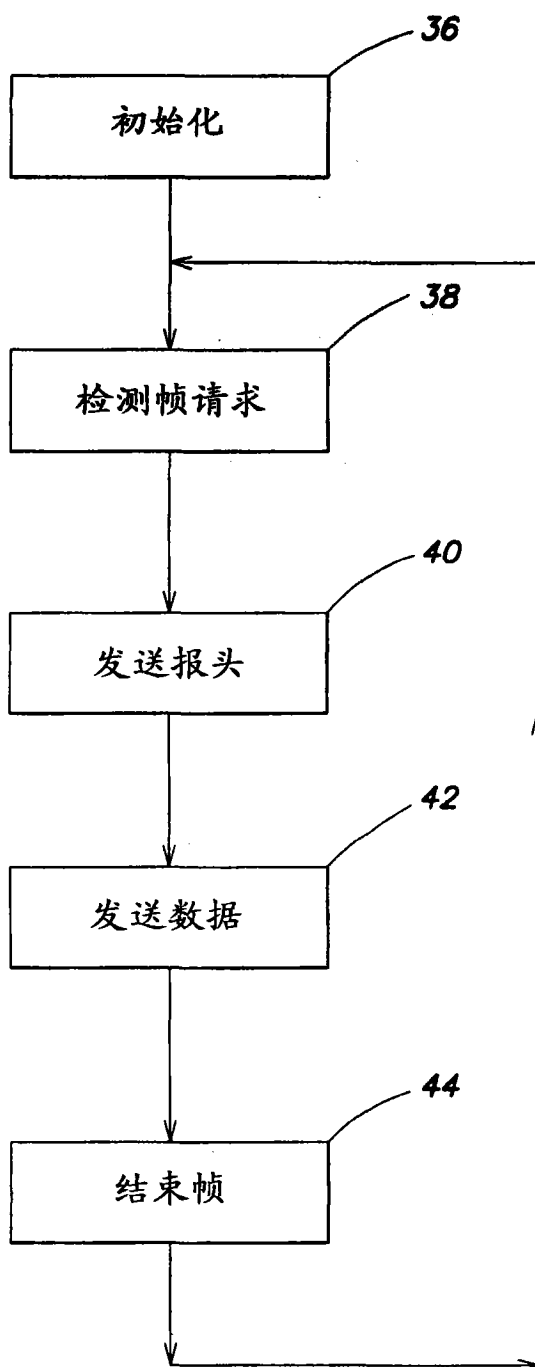


图 3

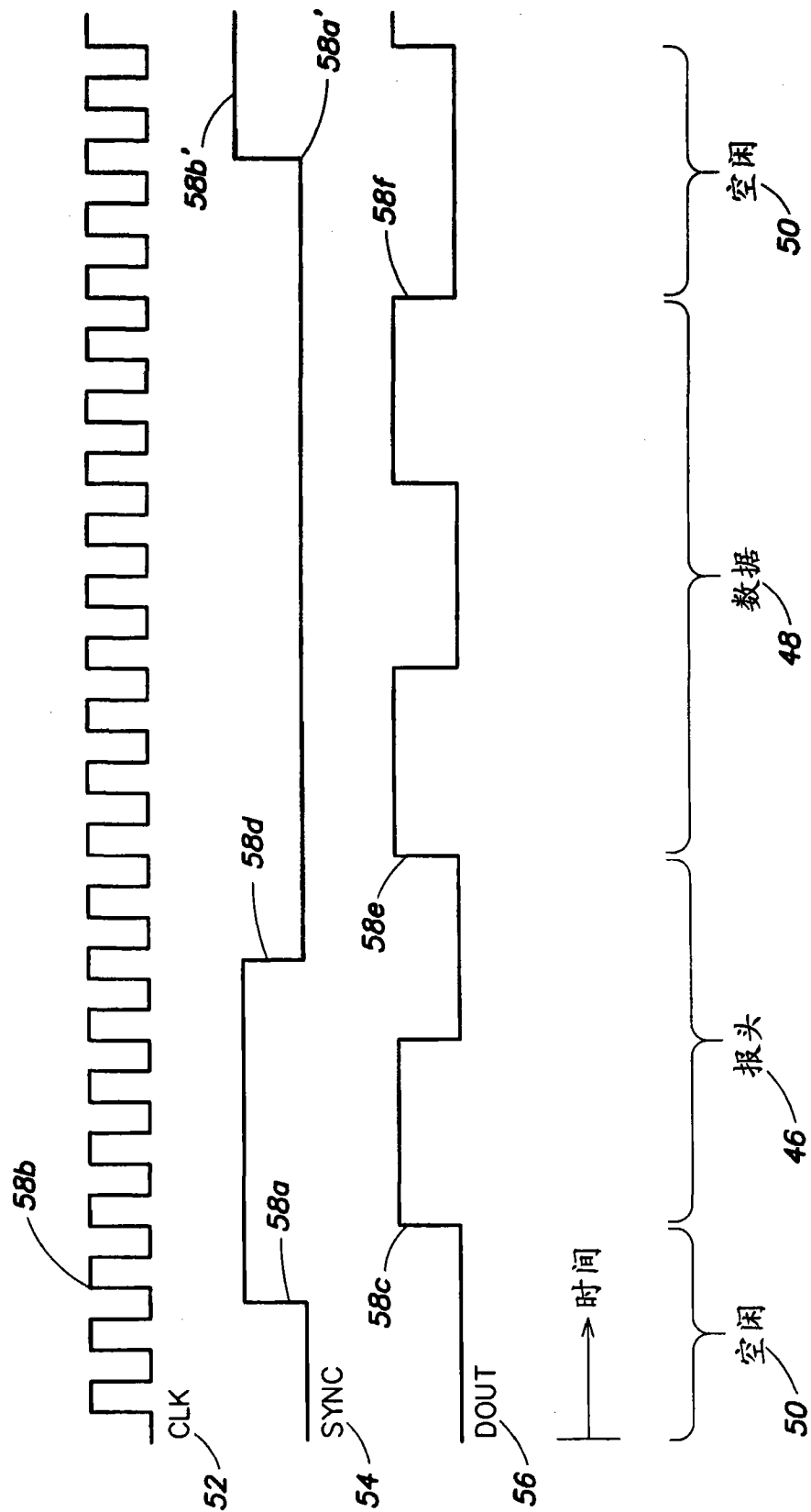


图 4

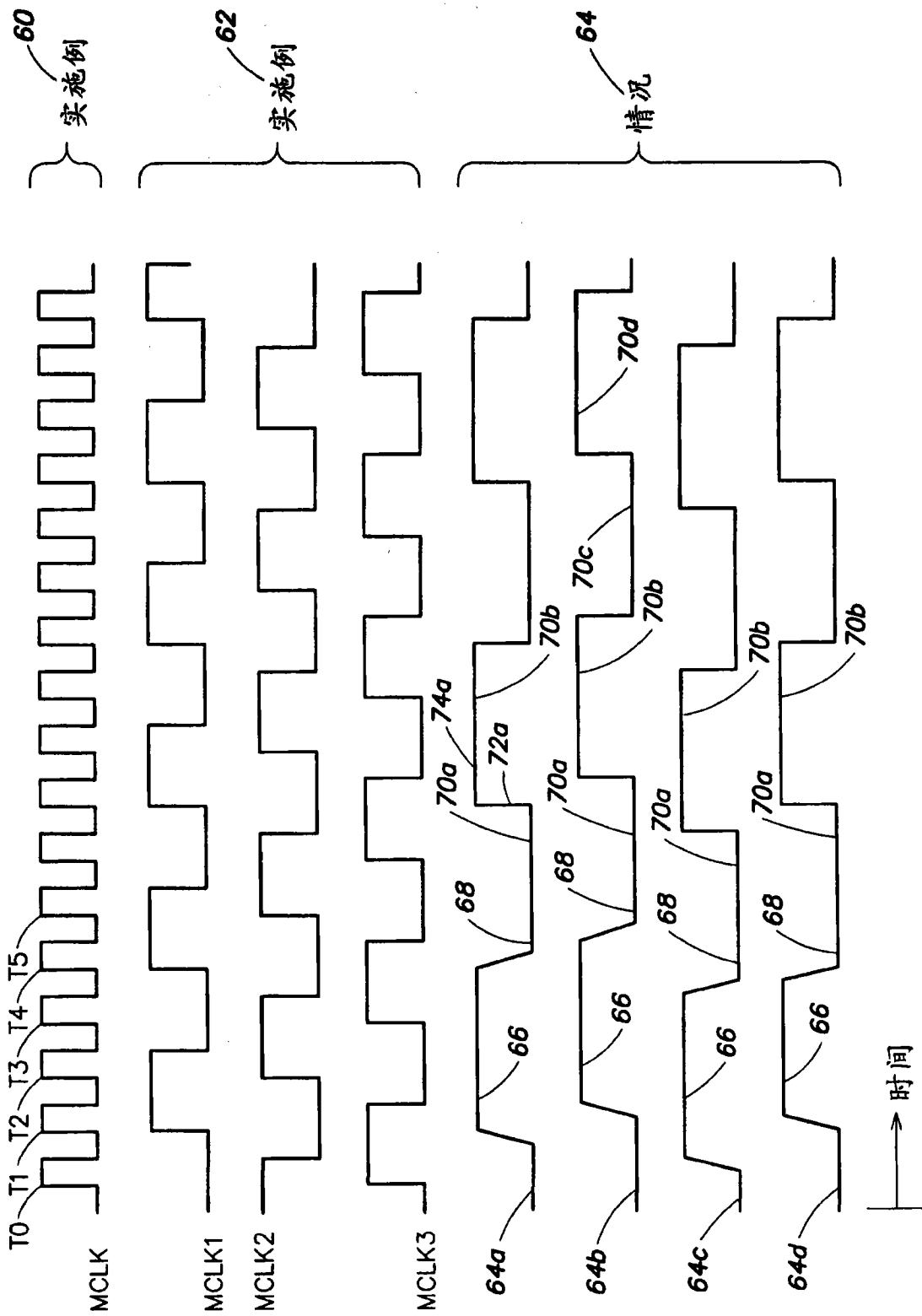


图5

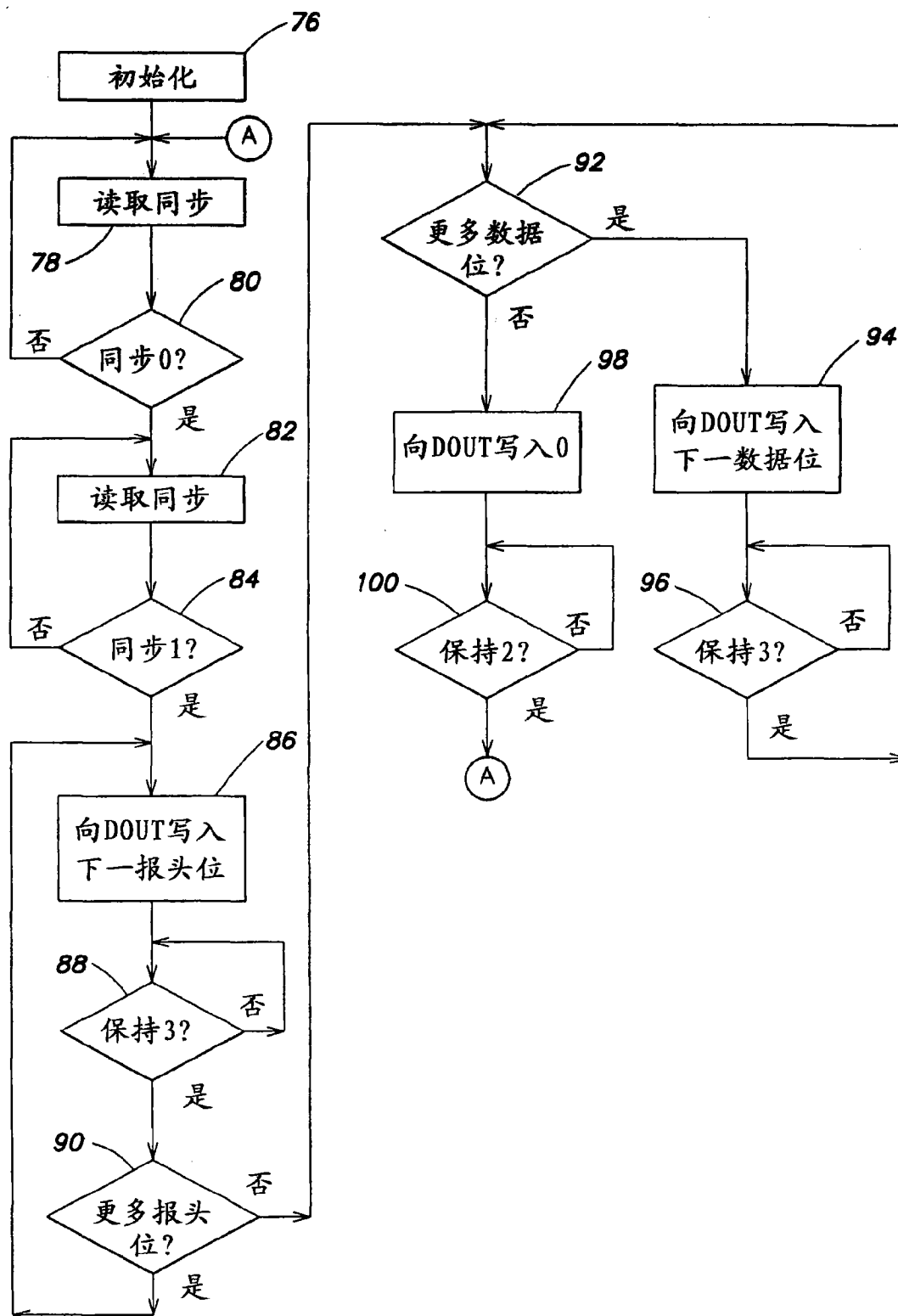


图 6

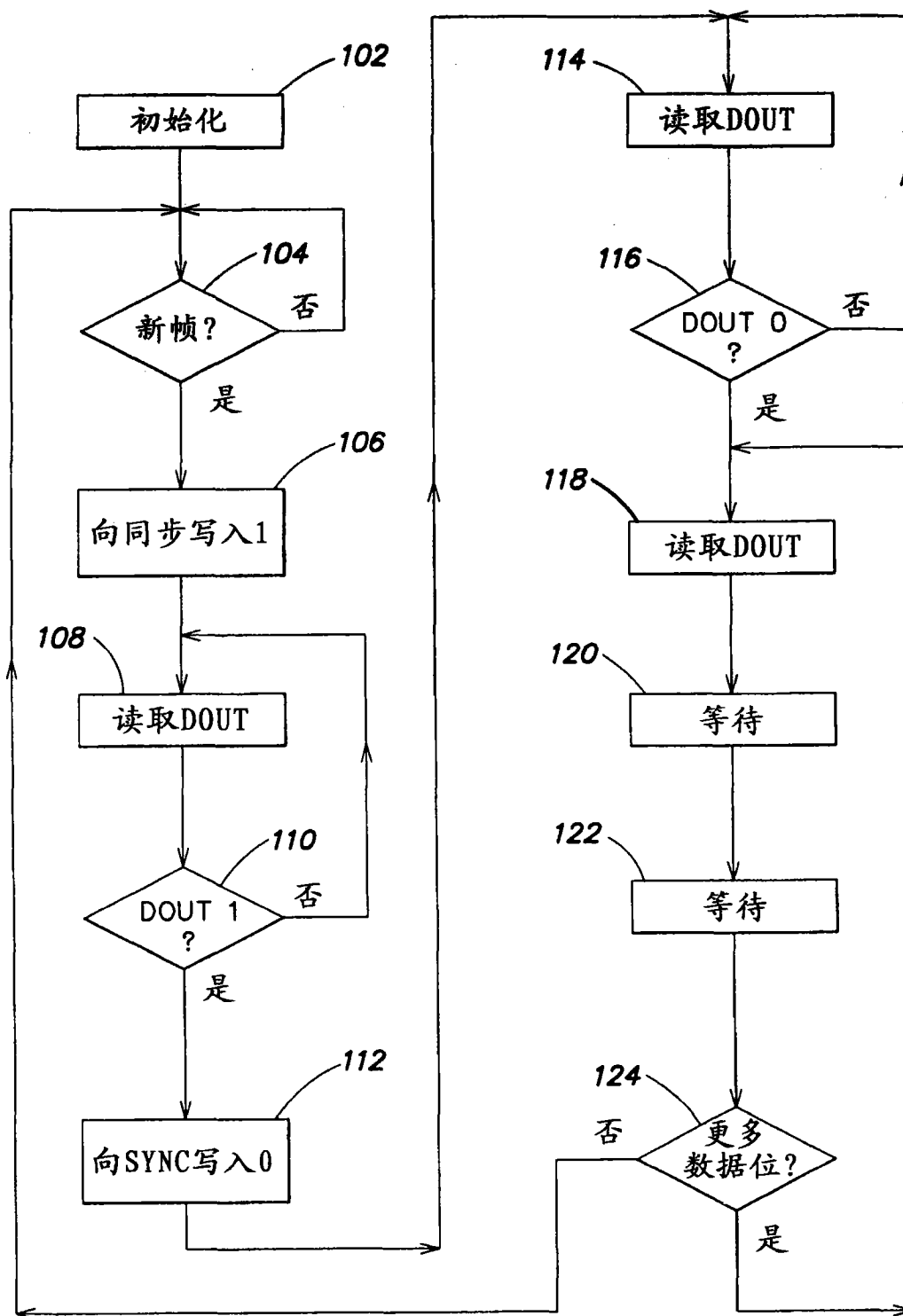


图 7

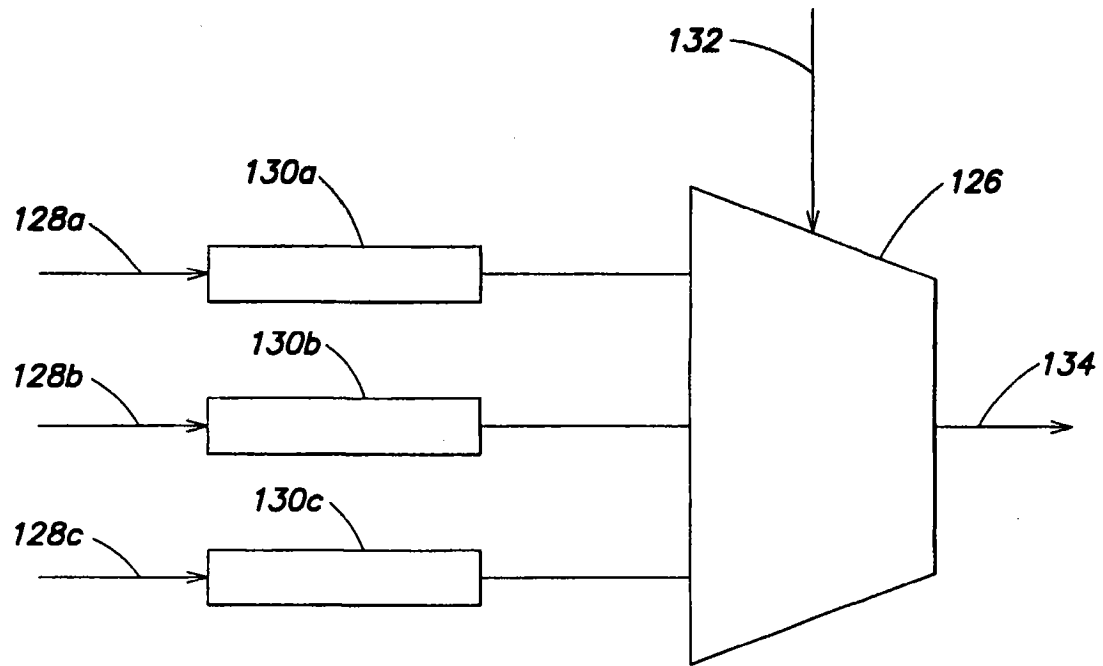


图 8